TI技术支持工程师：

您好，非常感谢您能耐心看完我的问题描述并给予我答疑解惑。

我使用型号为TMS320vc5509的DSP来控制AD进行数据采集，用的AD也是TI的ADS8361，AD与DSP的MCBSP串口的连接示意图如图1所示，这是AD技术手册中给出的典型电路，MCBSP其中一个串口的发送帧同步（FSX）与两个串口的接收帧同步（FSR）相连接，并且与AD的转换信号（CONVST）和读信号（RD）连接；其中一个串口的发送时钟（CLKX）与两个串口的接收时钟（CLKR）相连接，并且与AD的时钟信号连接。这样设计是利用其中一个串口的发送端内部sample rate generator产生周期性的帧同步和时钟信号来驱动AD的采集以及另外两个串口接收端接收AD的两路串行数据。

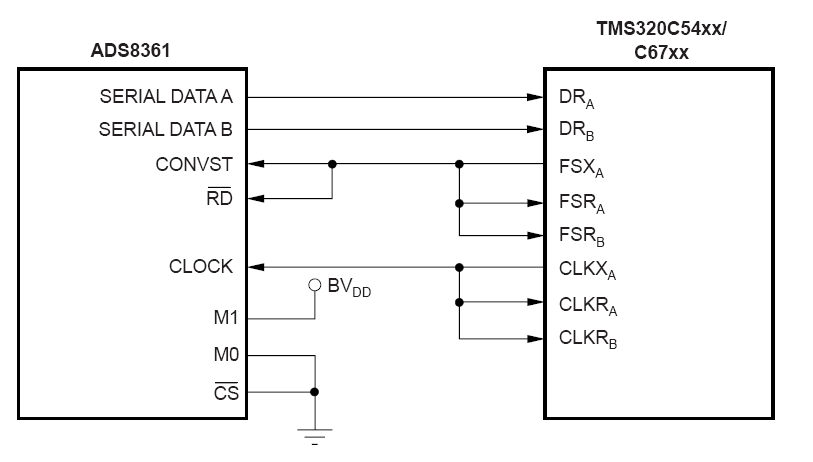


图1

DSP软件对MCBSP串口的配置为：

mov #1137h,port(#SRGR1\_0)

mov #0A0Eh,port(#PCR0)

目前的配置参数是将串口的发送端的帧同步和时钟配置为内部采样率发生器产生，发送帧同步低有效，时钟在下降沿给出帧同步并发送数据；将串口接收端的帧同步和时钟配置为外部输入模式，接收帧同步低有效，在外部接收时钟的下降沿采样串行输入的数据。

现在我们遇到的问题是在已生产的几百套产品中大约有1%的产品会出现AD采集数据错误，后来我们分析是我们同时采集的两路信号，一路信号采集是正常的，另一路信号总是丢帧。在DSP采集测试程序中同时采集长度相等的（4096点）两路信号，分别用两个计数器保存当前采集到的点数，当其中某一路采集到4096点后，设置断点停止程序运行，观察两个计数器的值，当通道2采集完成4096个点时，通道1仅采集到3722个点，因此可以确定是由于丢帧导致采集到的波形异常。

我们也对丢帧的原因进行了分析，DSP的串口接收端时序以及AD的采集时序都是由DSP串口的发送端周期性给出的时钟信号和帧同步信号来实现的，DSP串口的发送端时钟和帧同步的时序关系按照手册上给出的如图2所示。

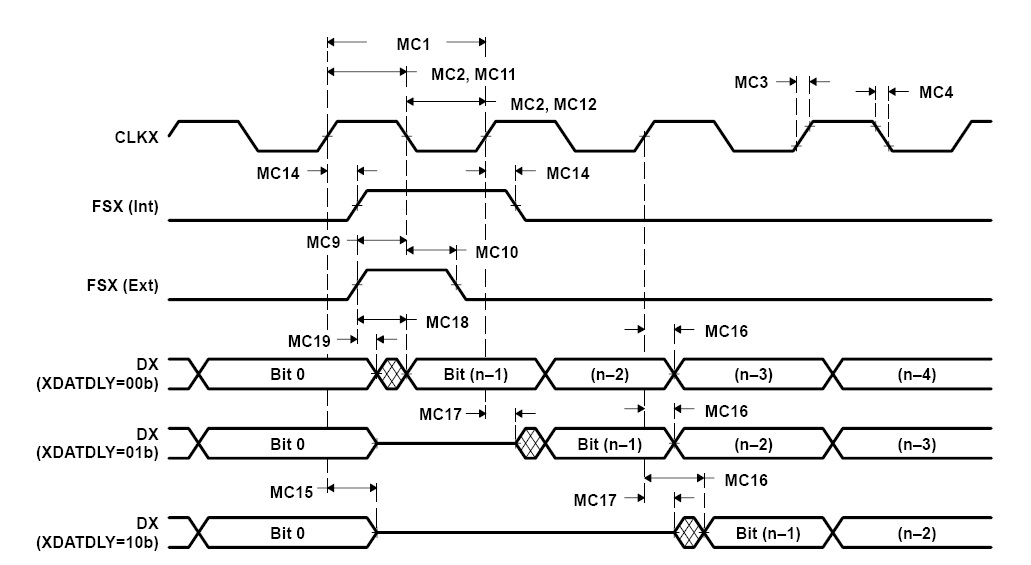
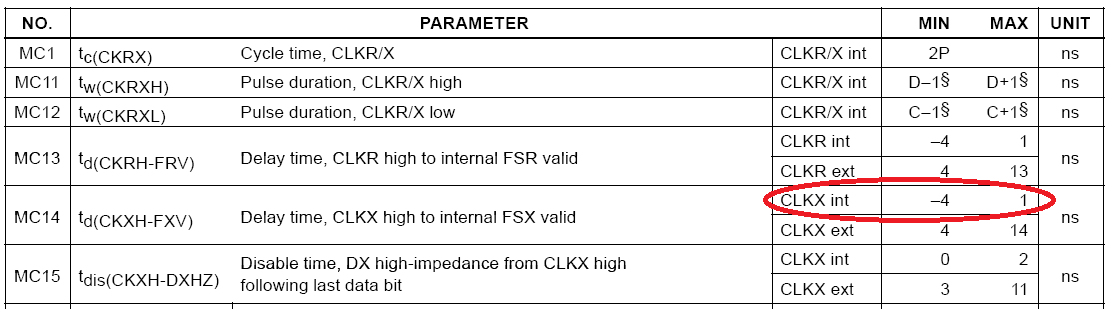


图2 DSP串口发送端时序

串口的发送端采用内部采样率发生器产生帧同步和时钟信号，在图2中只看CLKX和FSX(int)之间的关系，查询DSP手册给出内部的CLKX的上升沿到FSX(int)有效的时延为-4~1ns如表1红色圈内标注所示，这个数据说明FSX(int)高有效的状态可能会在CLKX的上升沿之前4ns和CLKX的上升沿之后1ns的时间范围内，每个DSP芯片可能由于内部电路的电路特性不一样会导致FSX(int)高有效的状态在这个时间范围内变化。按照你们之前给我的回复是这个时延相对某一单片DSP来说每次上电工作这个时延应该都是固定的，比如说某片DSP是-2ns，那么它每次上电工作时都应该在-2ns左右。

表1 MCBSP串口时序表



按照目前程序中对DSP串口的配置，发送端是内部产生时钟和帧同步信号，帧同步是低有效，发送数据是在下降沿发送数据，因此发送端FSX管脚上的帧同步信号会在FSX\_int反相后输出，同样时钟信号管脚输出的信号也是CLKX\_int反相后输出。体现在时序上就是如图3所示，图4是图3在帧同步有效时的局部放大图，黄色线为发送帧同步信号，蓝色线为发送时钟信号，从图4局部放大图上黑色圈里可以看出，帧同步信号在时钟下降沿变为有效。

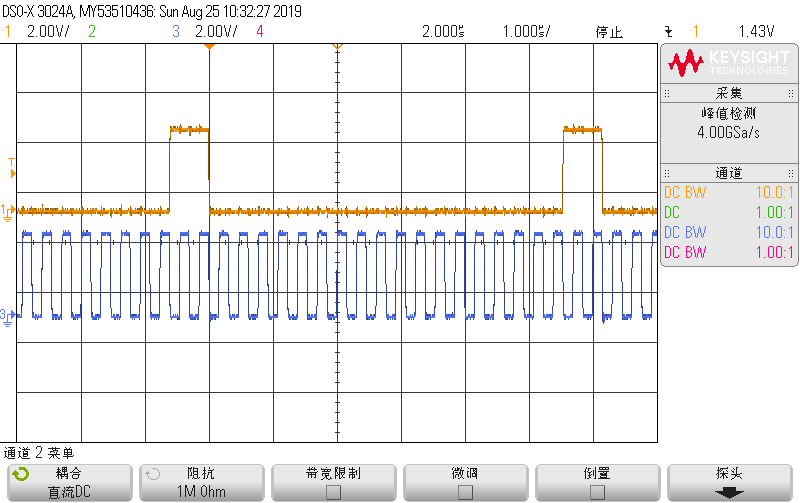


图3 当前使用程序配置下的串口发送端时序

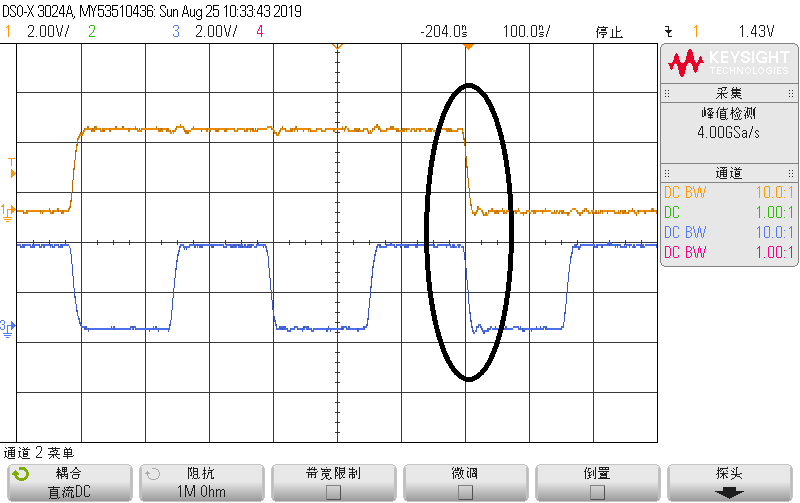
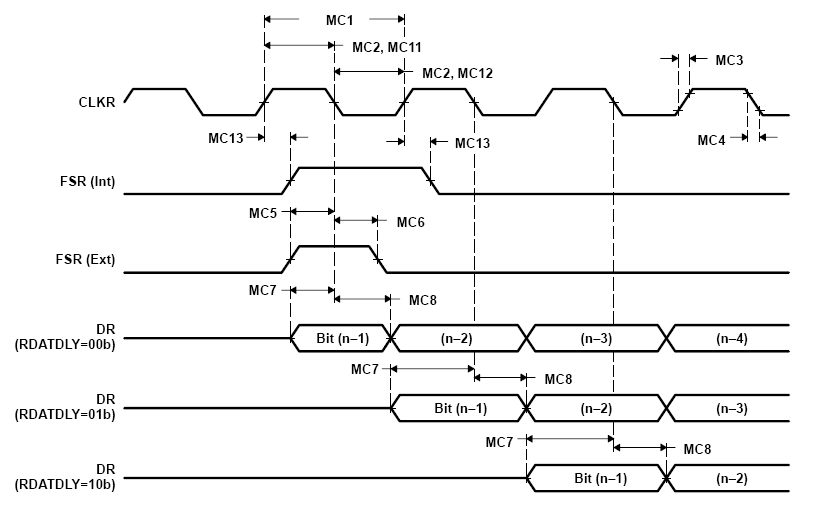


图4 局部展开图

DSP串口接收端配置接收帧同步和时钟信号为外部输入，手册中给出的时序图如图5所示，对于串口接收端要时钟下降沿检测接收帧同步的有效性，图中的MC5这个建立时间查询手册是最小是2ns。



帧同步低电平有效，并在时钟的下降沿检测帧同步是否有效。结合前面给出的发送端帧同步和时钟的时序关系，如果发送端帧同步有效相对发送时钟的下降沿延时在-4~-2ns，这时接收端帧同步满足至少2ns的建立时间，就可以正确的检测到有效的帧同步信号；如果发送端帧同步有效相对发送时钟的下降沿延时在-2~1ns，这时接收端帧同步就不满足2ns的建立时间，导致接收端就会延迟一个时钟周期检测到帧同步有效。假如某片DSP处于-2ns一个比较临界的时延，在第n个采集周期没有正确识别了帧同步的下降沿，而在第n+1个采集周期又正确识别了帧同步的下降沿，这时就会造成第n个采集周期没有计够20个时钟周期，由于串口是配置成一帧20位接收，如果不到20位这一帧数据就不会复制到串口接收寄存器DRR里，就造成了这一帧数据丢失。以上就是我们对于目前我们产品部分AD采集错误丢帧的原因分析，不知是否准确。我们知道在发送端时钟的下降沿给出帧同步信号，又要在接收端这个时钟的下降沿检测这个帧同步信号肯定是存在时序的风险，我们也找到了解决措施，就是把发送端配置为上升沿给出帧同步信号，这样在接收端时钟的下降沿就能稳定可靠的检测到帧同步信号了。只是我们需要对前期正常的产品做一个风险评估，是否需要对产品进行召回，所以还要请教以下问题。

之前我咨询的串口发送端时钟和帧同步时序的问题，你们给出的答复是：从单独一个芯片来说，他作为输入时，只要这个时延在-3 至2ns之内就是OK的，系统可以识别，他作为输出时，由于芯片的硬件特性，他的输出时延是固定的，可以是0ns，也可以是1ns。作为一大批产品来说，他作为输入时与单品是一样的，作为输出的话，他的时延是不固定的，但是会在datasheet规定的范围之内。

**我们现在还有疑惑的是以下问题：**

**1、图2串口发送时序中的MC14在-4~1ns之间是否存在一个典型值？比如说大部分的芯片这个时延都会在-3ns，这也就能解释我们生产的绝大部分产品都没有出现问题，只有极少数芯片由于这个时延大于-2ns，导致接收端时钟和帧同步不能满足接收时序的要求而出现错误。**

**2、之前技术支持给出的单独某个芯片他作为输出时，由于芯片的硬件特性，他的输出时延是固定的，但是我们极少数产品遇到的问题是时延不稳定，有时能接收正确，有时会丢帧，处于一个临界状态，这个输出时延会不会在一个很小的范围内抖动，这个范围是多少能否给出来？**

**3、目前我们绝大多数正常的产品都是正常的，我们关心的是正常的产品会不会也存在不稳定的因素，比如MC14这个时延本来满足接收端时钟和帧同步的时序，但是随着外界条件比如温度、电磁干扰等条件的变化会不会导致芯片内部这个时延发生改变，从而使正常的产品也会偶尔出现异常？**

我的联系方式是13009841980，[邮件是lixiang@hrbeu.edu.cn](mailto:邮件是lixiang@hrbeu.edu.cn)，您也可以直接打电话给我，或是邮件答复。再次非常感谢您能耐心看完我们遇到的问题描述，也期待您能给我们提供技术上的支持和答复，谢谢！！