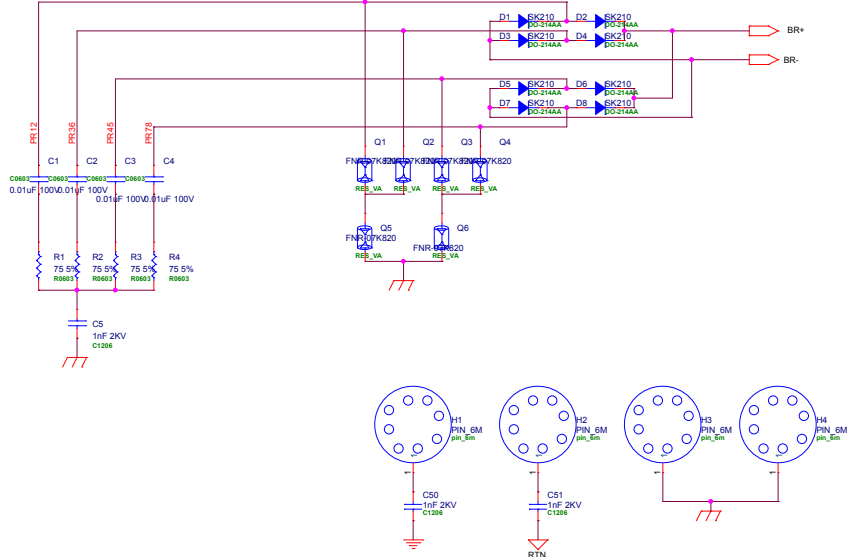
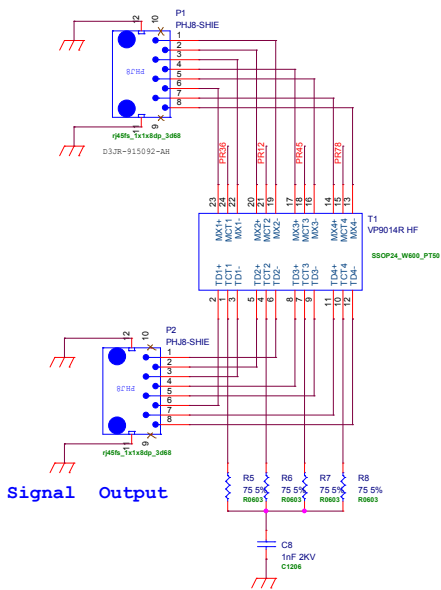


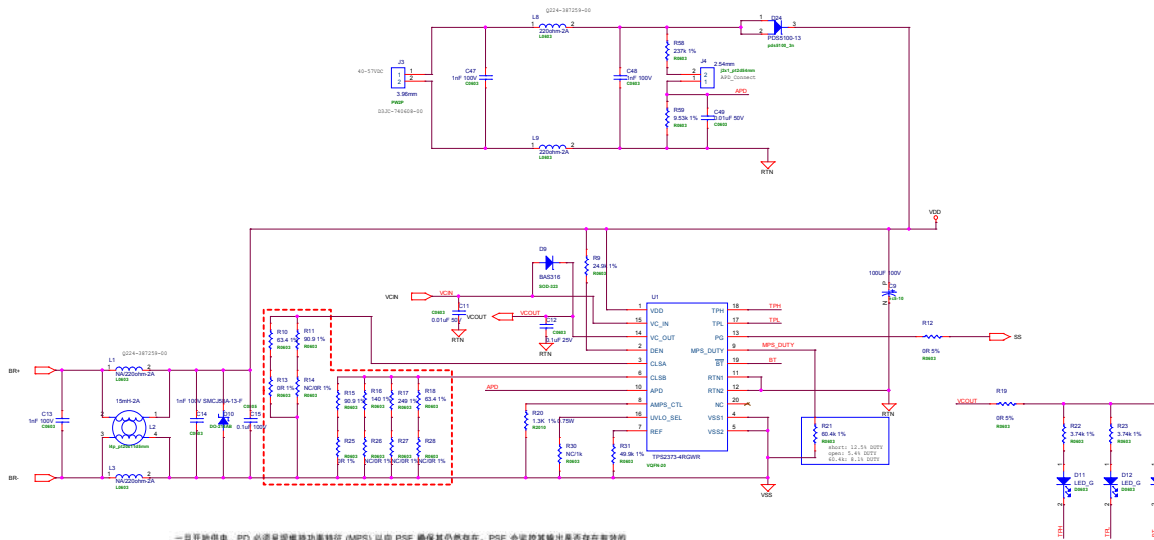
PSE&Signal Input



■ 后续产品的硬件设计极性统一参照下表，对应IEEE标准的Alternative A (MDI-X) + Alternative B 说明：
1、对于AF和AT机型，参考12和36 Pair。
2、对于BT机型，参考全部Pair。

端口 Pair	PoE电源极性
12	负
36	正
45	正
78	负

Project Name : JT-HPD90			
Board Name : JT-HPD90			
Page Name : PAGE1			
JWIPC	Engineer : zhoujunling	Size: A3	Rev. V1.0
	Date: Thursday, November 1, 2018		
	Sheet: 1 of 3		
Technology Development Ltd.			



一旦开始供电，PD 必须呈现维持功率特征 (AMPS) 以向 PSE 确保其仍然存在。PSE 会监控其输出是否存在有效的 MPS；如果丢失 MPS，则会关闭端口。丢失 MPS 会使 PSE 恢复到低功耗状态。Figure 22 显示了作为 PD 输入电压函数的运行状态。

7.3.8 AMPS_CTL, MPS_DUTY 和自动 MPS

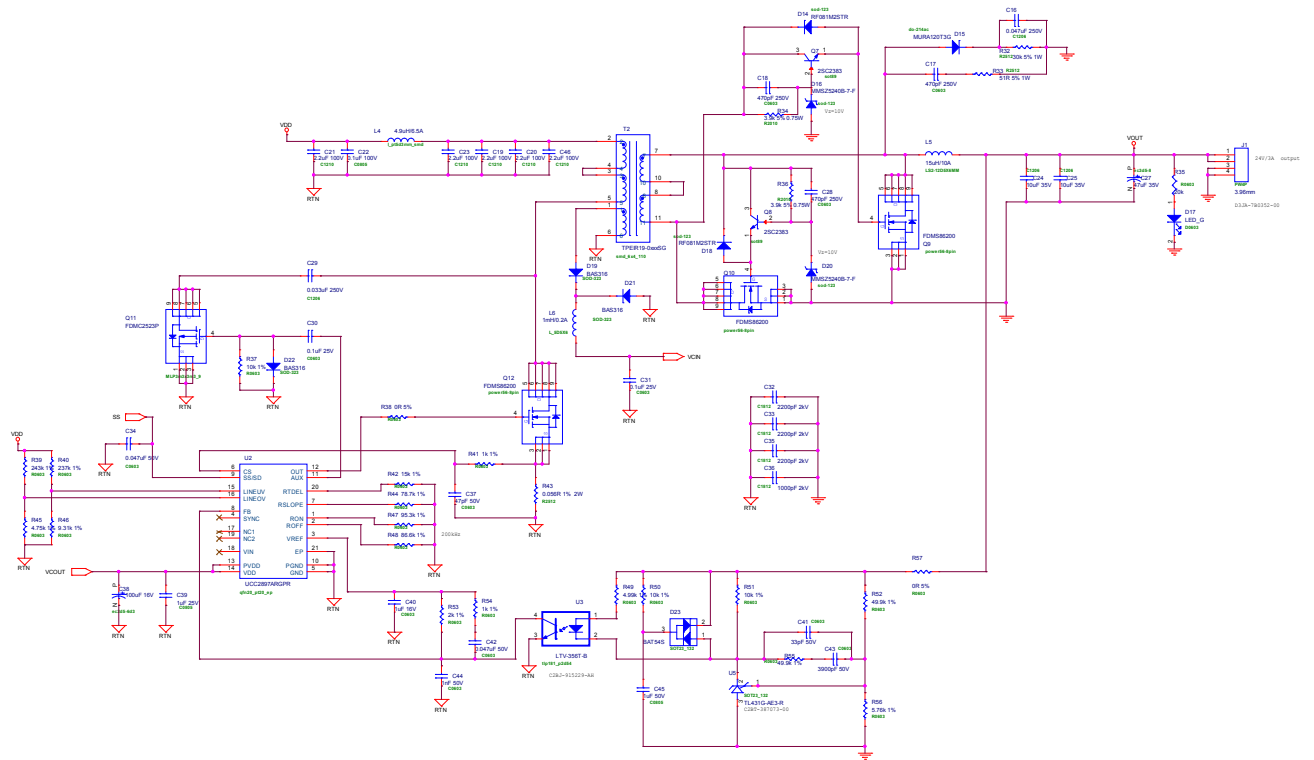
为了维持 PSE 功率，AMPS_CTL 输出端将产生电压脉冲。通过在 AMPS_CTL 和 VSS 之间连接一个电阻，此电压脉冲将转换为电流脉冲。只要通过 RTN 至 VSS 路径的电流不够大 (小于约 25mA)，就会自动产生这些脉冲。在负载电流可能低于约 20mA 并且必须维持 PSE 功率的应用中，推荐使用 1.3kΩ 的典型电阻值。

Table 1. 类 别 电 压 选 择

PD 类 别	类 别 特 征 A	类 别 特 征 B	电 压 PD 功 率 (V)	电 压 PD 功 率 (V)	电 压 PD 功 率 (V)	电 压 PD 功 率 (V)	电 压 PD 功 率 (V)	电 压 PD 功 率 (V)
0	0	0	0.44	12.45	1	12.45	12.45	12.45
1	1	1	0.44	2.54	1	2.54	2.54	2.54
2	2	2	3.54	0.44	1	4.00	4.00	4.00
3	3	3	6.46	12.45	1	6.46	6.46	6.46
4	4	4	12.45	2.54	2, 3	12.45	12.45	12.45
5	4	0	25.5	4.0	4	25.5	25.5	25.5
6	4	1	4.0	5.1	4	5.1	5.1	5.1
7	4	2	4.1	4.2	5	4.2	4.2	4.2
8	4	3	6.2	7.1	5	6.2	6.2	6.2

Table 2. TPH, TPL, BT and Allocated Power Truth Table

PSE Type	PD Class	NUMBER OF CLASS CYCLES	PSE ALLOCATED POWER AT PD (W)	TPH	TPL	BT ⁽¹⁾
1-2	0	1	12.95	HIGH	HIGH	HIGH
1-2	1	1	3.84	HIGH	HIGH	HIGH
1-2	2	1	6.49	HIGH	HIGH	HIGH
1-2	3	1	12.95	HIGH	HIGH	HIGH
2	4	2	25.5	HIGH	LOW	HIGH
3-4	0	1	12.95	HIGH	HIGH	LOW
3-4	1	1	3.84	HIGH	HIGH	LOW
3-4	2	1	6.49	HIGH	HIGH	LOW
3-4	3	1	12.95	HIGH	HIGH	LOW
3-4	4	2-3	25.5	HIGH	LOW	LOW
3-4	5	4	40	LOW	HIGH	LOW
3-4	6	4	51	LOW	HIGH	LOW
4	7	5	62	LOW	LOW	LOW
4	8	5	71	LOW	LOW	LOW



Project Name :	JF4P006
Board Name :	Board Name
Page Name :	PAGE1
JWIPC	
Engineer	Rev
Technology Development Ltd	V1.0