

TLV320ADC3101 配置浅谈

TLV320ADC3101 是一款支持数字麦克风且具有 miniDSP 的 92dB SNR 低功耗立体声 ADC，本文将对 TLV320ADC3101 在使用中如何配置进行系统地描述。

当确定被采集信号、输出信号以及主时钟之后，用户就可以开始配置 TLV320ADC3101 了。本文将通过 TLV320ADC3101 的输入配置、输出配置、时钟配置以及信号处理配置进行讲解，其中，输入、输出以及时钟的正确配置决定了 ADC 是否能够正常工作，信号处理的正确配置决定了 ADC 的输出结果是否满足系统要求。

输入配置

TLV320ADC3101 内置两路 ADC、拥有六路模拟输入，支持单端输入、差分输入以及混合或多路复用输入。除此之外，TLV320ADC3101 也支持数字麦克风输入。在 AVDD=3.3V 时，满幅模拟输入为 0.707Vrms。

- 对于左右两路 ADC，分别拥有三路模拟输入，可以分别配置为一路差分、一路单端或者三路单端。表 1 中列出了所有可以配置的情况。

表 1

AUDIO SIGNALS AVAILABLE TO LEFT ADC		AUDIO SIGNALS AVAILABLE TO RIGHT ADC	
SINGLE-ENDED INPUTS	DIFFERENTIAL INPUTS	SINGLE-ENDED INPUTS	DIFFERENTIAL INPUTS
IN1L(P)	IN1L(P), IN1R(M)	IN1R(M)	IN1L(P), IN1R(M)
IN2L(P)	IN2L(P), IN3L(M)	IN2R(P)	IN2R(P), IN3R(M)
IN3L(M)	IN2R(P), IN3R(M)	IN3R(M)	IN2L(P), IN3L(M)
IN1R(M)		IN1L(P)	

对于需要多路混合的信号，为了防止混合信号幅度超限，TLV320ADC3101 可以对输入信号进行 -6dB 衰减。

- 对 TLV320ADC3101 的模拟输入配置可以通过 I2C 写寄存器 P1:0x34(52) [Left ADC Input Selection for Left PGA]，P1:0x36(54) [Left ADC Input Selection for Left PGA]，P1:0x37(55) [Right ADC Input Selection for Right PGA]，P1:0x39(57) [Right ADC Input Selection for Right PGA] 进行配置。

在使用模拟麦克风输入时，TLV320ADC3101 提供 MICBIAS，用户可以通过寄存器 P1 R51 [MICBIAS Control]配置 MICBIAS 为 2V、2.5V 或 AVDD。根据不同的麦克风输入，需要的 MICBIAS 也不同。

在使用数字麦克风输入时，TLV320ADC3101 需要配置其复用引脚 GPIO1 和 GPIO2 作为数字麦克风的时钟线和数据线，可以通过寄存器

P0 R51 [DMCLK/GPIO2 Control],
P0 R52 [DMDIN/GPIO1 Control]配置。

输出配置

- TLV320ADC3101 提供灵活的输出接口配置。对于用户来说，确定音频输出格式及采样率非常重要。TLV320ADC3101 支持 I2S 以及左对齐、右对齐格式、TDM 音频格式，数据位宽 16、20、24 或 32 位，以及通道互换、时隙调节、BCLK 反向等灵活配置。
- 用户可以通过 I2C 写寄存器

P0: 0x1B (27) [ADC Audio Interface Control 1],

P0: 0x1C (28) [Data Slot Offset Programmability 1],

P0: 0x1D (29) [ADC Audio Interface Control 2] (D3),

P0: 0x25 (37) [Data Slot Offset Programmability 2],

P0: 0x26 (38) [I2S TDM Control Register] 进行配置。

时钟配置

TLV320ADC3101 有两种时钟模式：主模式和从模式；在主模式中，ADC 需要外部 MCLK，其他时钟通过内部的 PLL 和分频器产生；在从模式中，ADC 需要外部 MCLK 和 BCLK，LRCLK 可以外部输入也可以由分频产生。

在实际应用中，根据具体时钟输入选择是否使能 PLL 以及各个分频器。

在时钟配置中，PLL 的输入时钟 PLL_CLKIN 可以是 MCLK 或 BCLK（从模式），ADC 的输入时钟 ADC_CLKIN 可以是 MCLK，BCLK（从模式）或 PLL_CLK。

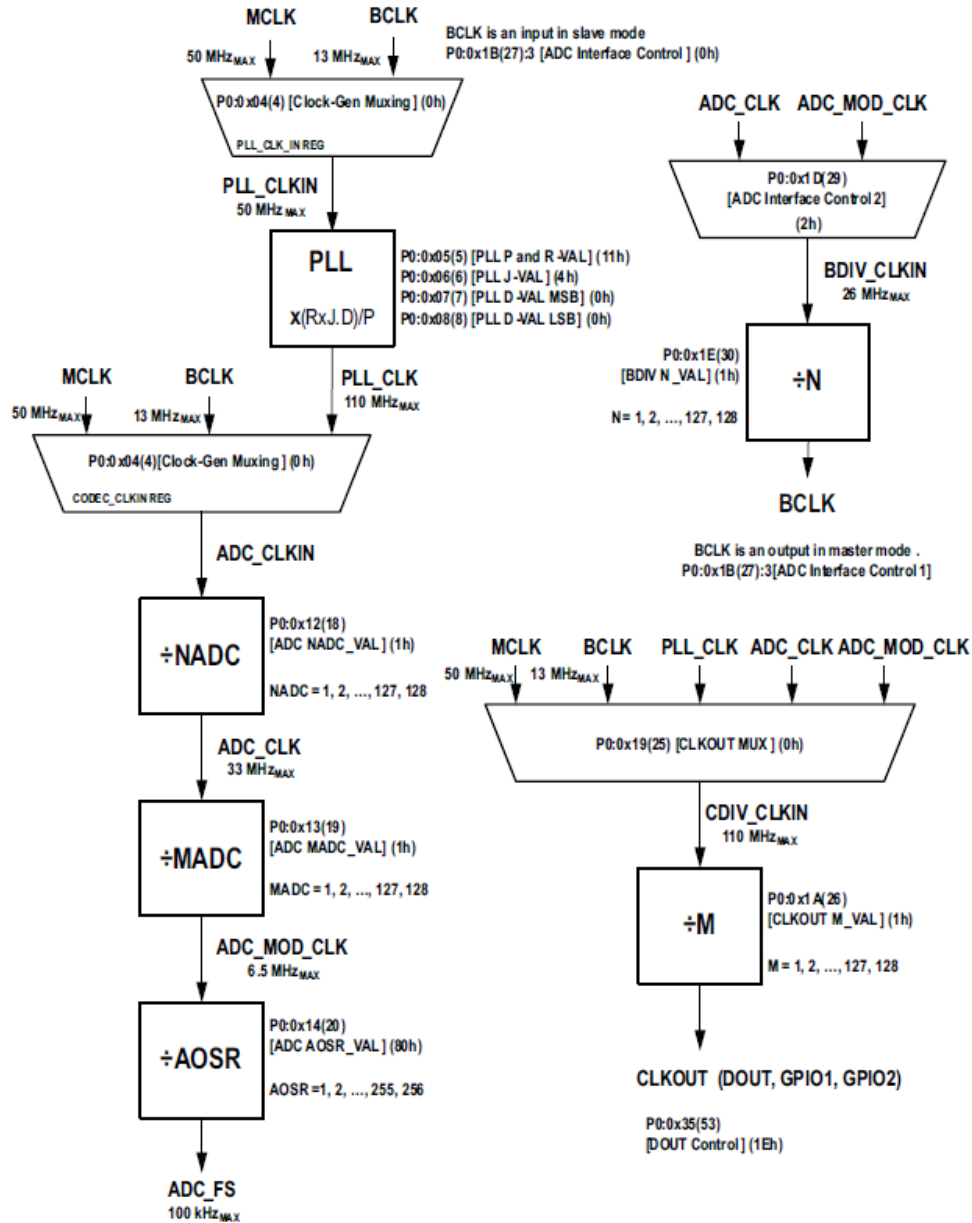
ADC_CLKIN (CODEC_CLKIN) 三次分频后产生的 ADC_FS 和 LRCLK 一致。

PLL 和分频器参数的选择可以在 <http://www.ti.com/lit/ds/symlink/tlv320adc3101.pdf> 中找到详细的限制条件。

用户可以通过 <http://www.ti.com/lit/zip/slac248> 下载 Graphical User Interface (GUI) Software，利用其中的 PLL Clock Tool 计算 PLL 和分频器参数。

图 1 完整描述了 ADC3101 的时钟配置过程。

图 1



信号处理配置

信号处理配置包括增益调节以及数字处理两部分；其中增益调节包括模拟增益以及数字增益；数字处理包括各种滤波器和 AGC。

增益调节

TLV320ADC3101 内置 PGA 可以实现精度为 0.5dB, 0dB 到 40dB 的模拟增益调节；同时，TLV320ADC3101 也可以实现精度为 0.1dB, -12dB 到 20dB 的数字增益调节。

用户可以通过写寄存器

P1 r59 [Left Analog PGA Settings]

P1 r60 [Right Analog PGA Settings]

P0 r82 [ADC Fine Volume Control]

P0 r83 [Left ADC Volume Control]

p0 r84 [Right ADC Volume Control]

进行配置。

数字处理

在选择信号处理方式时，用户可以选择内置的固定处理过程，也可以自定义处理过程；TLV320ADC3101 的 Processing Blocks 包括抽取滤波器以及 AGC（自动增益控制）。

表 2 包含了 18 种内置处理过程，用户可以通过寄存器 P0 r61 [ADC Processing Block Selection] 进行选择；

用户可以利用 TI 的 PurePath Studio graphical development environment 自定义处理过程。

下载地址为：

http://www.ti.com/tool/AICPUREPATH_STUDIO?keyMatch=PurePath%25E2%2584%25A2%2520Studio&tisearch=Search-EN-Everything

表 2

PROCESSING BLOCKS	CHANNEL	DECIMATION FILTER	FIRST-ORDER IIR AVAILABLE	NUMBER OF BIQUADS	FIR	REQUIRED AOSR VALUE	INSTRUCTION COUNT
PRB_R1	Stereo	A	Yes	0	No	128, 64	188
PRB_R2	Stereo	A	Yes	5	No	128, 64	240
PRB_R3	Stereo	A	Yes	0	25-tap	128, 64	236
PRB_R4	Right	A	Yes	0	No	128, 64	96
PRB_R5	Right	A	Yes	5	No	128, 64	120
PRB_R6	Right	A	Yes	0	25-tap	128, 64	120
PRB_R7	Stereo	B	Yes	0	No	64	88
PRB_R8	Stereo	B	Yes	3	No	64	120
PRB_R9	Stereo	B	Yes	0	20-tap	64	128
PRB_R10	Right	B	Yes	0	No	64	46
PRB_R11	Right	B	Yes	3	No	64	60
PRB_R12	Right	B	Yes	0	20-tap	64	64
PRB_R13	Right	C	Yes	0	No	32	70
PRB_R14	Stereo	C	Yes	5	No	32	124
PRB_R15	Stereo	C	Yes	0	25-tap	32	120
PRB_R16	Right	C	Yes	0	No	32	36
PRB_R17	Right	C	Yes	5	No	32	64
PRB_R18	Right	C	Yes	0	25-tap	32	62

AGC 主要用于功率控制，用户可以通过配置 AGC 相关的寄存器，实现不同效果的 AGC。

参考实例

以下实例描述了当模拟麦克风双通道单端输入，要求音频信号为 I2S 格式，48K 采样率，24 位数据，ADC 主模式工作，主时钟 MCLK=12.288MHz 时如何配置 TLV320ADC3101。

I2C 的写命令格式为 w [I2C 地址] [寄存器地址] [寄存器值];

#软件复位

```
w 30 00 00 //选择 Page 0
```

```
w 30 01 01 //软件初始化
```

#输入配置

```
w 30 00 01 //选择 Page1
```

```
w 30 33 50 //设置 MICBIAS 为 2.5V
```

```
w 30 34 fc // 左通道为 IN1L(P)单端输入
```

```
w 30 37 fc// 右通道为 IN1R(M)单端输入
```

#输出配置

```
w 30 00 00 //选择 Page 0
```

```
w 30 1b 2c // I2S,24bits,Master Mode, 3-stating of DOUT disabled
```

#时钟配置

#根据音频信号要求以及 LRCLK=ADC_FS=48KHz, 计算得 BCLK=2.304MHz; 根据 MCLK=12.288MHz 以及数据手册中的限制条件，计算 PLL 的参数以及各分频器的值。

```
w 30 00 00 //选择 Page 0
```

```
w 30 04 03 // 选择 MCLK 为 PLL 输入时钟, 选择 PLL_CLK 为 ADC 输入时钟
```

```
w 30 05 a1 // PLL_P = 2, PLL_R = 1
```

```
w 30 06 0f // PLL_J = 15
```

```
w 30 12 85 // NADC divider = 5
```

```
w 30 13 83 // MADC divider = 3
```

```
w 30 14 80 // AOSR = 128 (默认设置)
```

```
w 30 1d 02 // BDIV_CLKIN=ADC_CLK (默认设置)
```

w 30 1e 88 // BCLK N divider = 8

信号处理配置

w 30 00 00 //选择 Page 0

#增益调节

w 30 51 c2 // 使能 ADC 左右通道

w 30 52 00 //取消 ADC 左右通道静音，精调数字增益为 0dB

w 30 53 00 // 左通道数字增益为 0dB（默认设置）

w 30 54 00 // 右通道数字增益为 0dB（默认设置）

w 30 3b 32 // 选择左通道模拟增益为 25dB

w 30 3c 32 // 选择右通道模拟增益为 25dB

数字处理

w 30 3d 01 //选择 ADC 信号处理模块 PRB_P1（默认设置）

w 30 56 00 // 关闭 AGC 功能（默认设置）