

运放稳定性






第 1 部分（共 15 部分）：环路稳定性基础

作者：Tim Green, TI 公司 Burr-Brown 产品战略发展经理

1.0 引言

本系列所采用的所有技术都将“以实例来定义”，而不管它在其他应用中能否用普通公式来表达。为便于进行稳定性分析，我们在工具箱中使用了多种工具，包括数据资料信息、技巧、经验、SPICE 仿真以及真实世界测试等，都将用来加快我们的稳定运放电路设计。尽管很多技术都适用于电压反馈运放，但上述这些工具尤其适用于统一增益带宽小于 20MHz 的电压反馈运放。选择增益带宽小于 20MHz 的原因是，随着运放带宽的增加，电路中的其他一些主要因素会形成回路，如印制板 (PCB) 上的寄生电容、电容中的寄生电感以及电阻中的寄生电容与电感等。我们下面介绍的大多数经验与技术并非仅仅是理论上的，而且是从利用增益带宽小于 20MHz 的运放、实际设计并构建真实世界电路中得来的。

本系列的第 1 部分回顾了进行稳定性分析所需的一些基本知识，并定义了将在整个系列中使用的一些术语。

- ✓ Data Sheet Info 
- ✓ Tricks 
- ✓ Rules-Of-Thumb 
- ✓ Tina SPICE Simulation 
- ✓ Testing 

Goal: To learn how to *EASILY* analyze and design Op Amp circuits for guaranteed Loop Stability using Data Sheet Info, Tricks, Rules-Of-Thumb, Tina SPICE Simulation, and Testing.

Note: *Tricks & Rules-Of-Thumb apply for Voltage Feedback Op Amps, Unity Gain Bandwidth <20MHz*

图 1.0 稳定性分析工具箱

图字（上、下）：

数据资料信息、技巧、经验、Tina SPICE 仿真、测试；

目的：学习如何用数据资料信息、技巧、经验法则、Tina SPICE 仿真及测试来“更容易地”分析和设计运放，以确保环路稳定性；

注：用于统一增益带宽小于 20MHz 的电压反馈运放的技巧与经验法则。

1.1 波特图（曲线）基础

幅度曲线的频率响应是电压增益改变与频率改变的关系。这种关系可用波特图上一条以分贝 (dB) 来表示的电压增益比频率 (Hz) 曲线来描述。波特幅度图被绘成一种半对数曲线：x 轴为采用对数刻度的频率 (Hz)、y 轴则为采用线性刻度的电压增益 (dB)，y 轴最好是采用方便的每主格 45° 刻度。波特图的另一半则是相位曲线（相移比频率），并被描绘成以“度”来表示的相移比频率关系。波特相位曲线亦被绘成一种半对数曲线：x 轴为采用对数刻度的频率 (Hz)、y 轴为采用线性刻度的相移（度），y 轴最好是采用方便的每主格 45° 刻度。

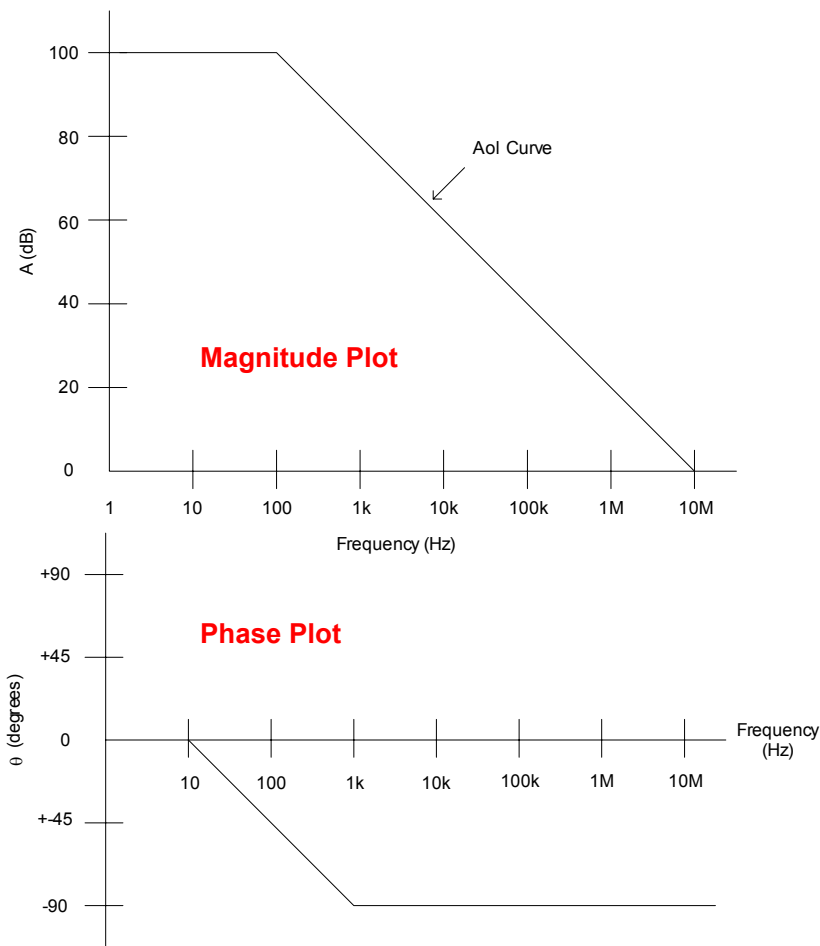


图 1.1 幅度与相位波特曲线（图）

图字（上、下）：Aol 曲线、幅度曲线、频率、相位曲线。

幅度波特图要求将电压增益转换成分贝 (dB)。进行增益分析时，我们将采用以 dB（定义为 $20\text{Log}_{10}A$ ）表示的电压增益，其中 A 为以伏/伏表示的电压增益。

dB \rightarrow $A(\text{dB}) = 20\text{Log}_{10}A$ where $A = \text{Voltage Gain in V/V}$

A (V/V)	A (dB)
0.001	-60
0.01	-40
0.1	-20
1	0
10	20
100	40
1,000	60
10,000	80
100,000	100
1,000,000	120
10,000,000	140

图 1.2 幅度波特曲线分贝(dB) 定义

图 1.3 定义一些常用的波特图术语:

- **Roll-Off Rate** → Decrease in gain with frequency
- **Decade** → x10 increase or x1/10 decrease in frequency. From 10Hz to 100Hz is one decade.
- **Octave** → X2 increase or x1/2 decrease in frequency. From 10Hz to 20Hz is one octave.

图 1.3 更多波特曲线定义

图字(上、下): roll-off rate (下降速率) —— 增益随频率减小; decade (十倍频程) —— 频率按 x10 增加或按 x1/10 减小, 从 10Hz 到 100 Hz 为一个 decade (十倍频程); octave (倍频程) —— 频率按 x2 增加或按 x1/2 减小, 从 10Hz 到 20 Hz 为一个 octave (倍频程);

在电压增益波特图上, 增益随频率变化的斜线可定义成按 +20dB/decade 或 -20dB/decade 增加或减小。另一种描述同样斜线的方法是按 +6dB/octave 或 -6dB/octave 增加或减小 (参见图 1.4)

以下推导证明了 20dB/decade 与 6dB/octave 的等效性:

$$\begin{aligned} \Delta A(\text{dB}) &= A(\text{dB}) \text{ at } f_b - A(\text{dB}) \text{ at } f_a \\ \Delta A(\text{dB}) &= [A_{ol}(\text{dB}) - 20\log_{10}(f_b/f_1)] - [A_{ol}(\text{dB}) - 20\log_{10}(f_a/f_1)] \\ \Delta A(\text{dB}) &= A_{ol}(\text{dB}) - 20\log_{10}(f_b/f_1) - A_{ol}(\text{dB}) + 20\log_{10}(f_a/f_1) \\ \Delta A(\text{dB}) &= 20\log_{10}(f_a/f_1) - 20\log_{10}(f_b/f_1) \\ \Delta A(\text{dB}) &= 20\log_{10}(f_a/f_b) \\ \Delta A(\text{dB}) &= 20\log_{10}(1\text{k}/10\text{k}) = -20\text{dB/decade} \end{aligned}$$

$$\begin{aligned} \Delta A(\text{dB}) &= 20\log_{10}(f_b/f_c) \\ \Delta A(\text{dB}) &= 20\log_{10}(10\text{k}/20\text{k}) = -6\text{dB/octave} \end{aligned}$$

$$-20\text{dB/decade} = -6\text{dB/octave}$$

因此:

$$\begin{aligned} +20\text{dB/decade} &= +6\text{dB/octave} & -20\text{dB/decade} &= -6\text{dB/octave} \\ +40\text{dB/decade} &= +12\text{dB/octave} & -40\text{dB/decade} &= -12\text{dB/octave} \\ +60\text{dB/decade} &= +18\text{dB/octave} & -60\text{dB/decade} &= -18\text{dB/octave} \end{aligned}$$

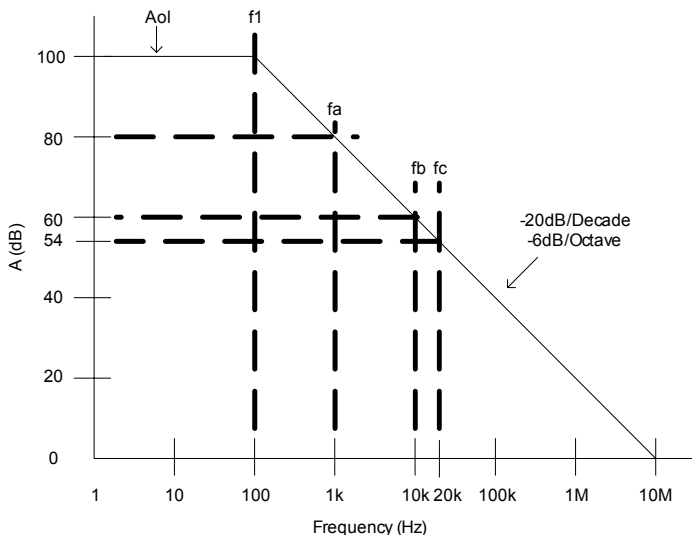
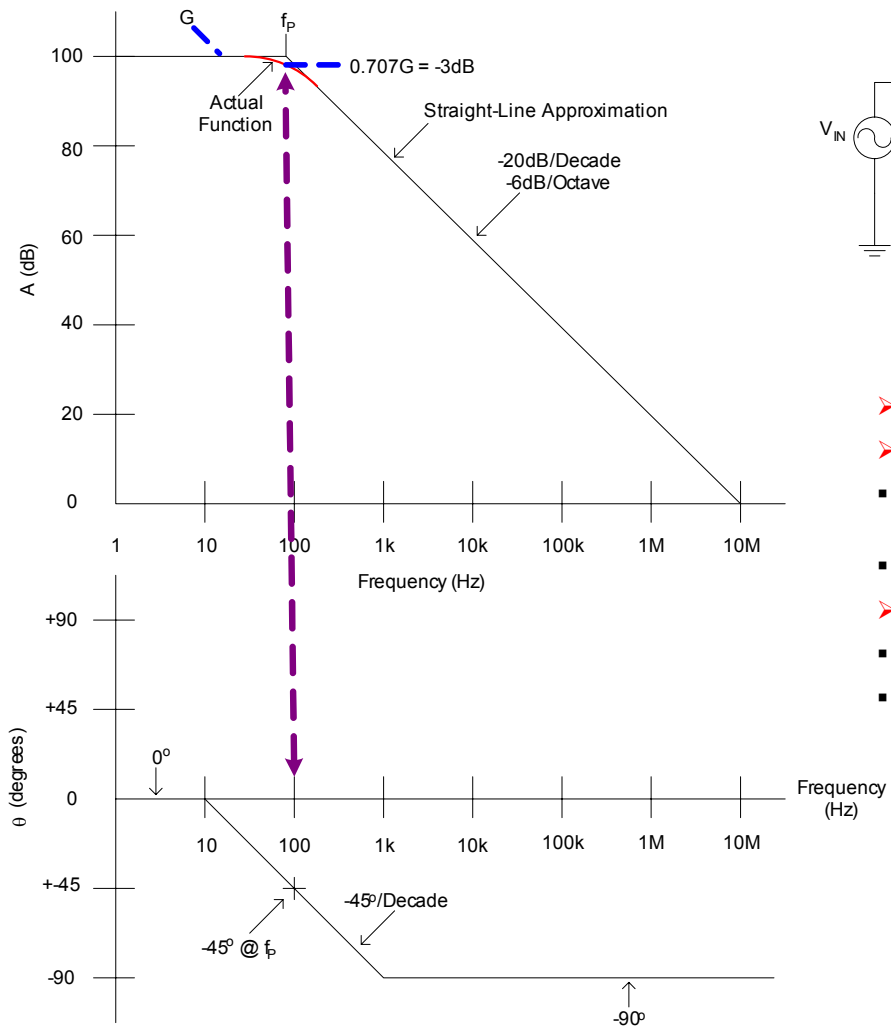


图 1.4 幅度波特图: 20dB/decade = 6dB/octave

极点→ 单个极点响应在波特图（幅度或增益曲线）上具有按 -20dB/decade 或 -6dB/octave 斜率下降的特点。在极点位置，增益为直流增益减去 3dB 。在相位曲线上，极点在频率 f_p 上具有 -45° 的相移。相位在 f_p 的两边以 $-45^\circ/\text{decade}$ 的斜率变化为 0° 和 -90° 。单极点可用图 1.5 中的简单 RC 低通网络来表示。请注意极点相位是如何影响直到高于（或低于）极点频率 10 倍频程处的频率的。



- **Pole Location** = f_p
- **Magnitude** = $-20\text{dB/Decade Slope}$
 - Slope begins at f_p and continues down as frequency increases
 - Actual Function = $-3\text{dB down @ } f_p$
- **Phase** = $-45^\circ/\text{Decade Slope through } f_p$
 - Decade Above f_p Phase = -90°
 - Decade Below f_p Phase = 0°

图 1.5 极点：波特曲线幅度与相位

图字：实际函数、直线近似、频率；

单极点电路等效电路图
 极点位置 = f_p
 幅度 = -20dB/decade 斜线
 - 斜线从 f_p 处开始、并继续随频率增加而下降
 - 实际函数 = $-3\text{dB down @ } f_p$
 相位 = $-45^\circ/\text{decade}$ 斜率通过 f_p
 - f_p 以上 10 倍频程处相位 = -90°
 - f_p 以下 10 倍频程处相位 = 0°

零点→ 单个零点响应在波特图（幅度或增益曲线）上具有按 $+20\text{dB/decade}$ 或 $+6\text{dB/octave}$ 斜率上升（对应于下降）的特点。在零点位置，增益为直流增益加 3dB 。在相位曲线上，零点在其频率 f_z 上具有 $+45^\circ$ 的相移。相位在 f_z 的两边以 $+45^\circ/\text{decade}$ 斜率变化为 0° 与 $+90^\circ$ 。单零点可用图 1.6 中的简单 RC 高通网络来表示。请注意零点相位是如何影响直到高于（或低于）零点频率 10 倍频程处的频率的。

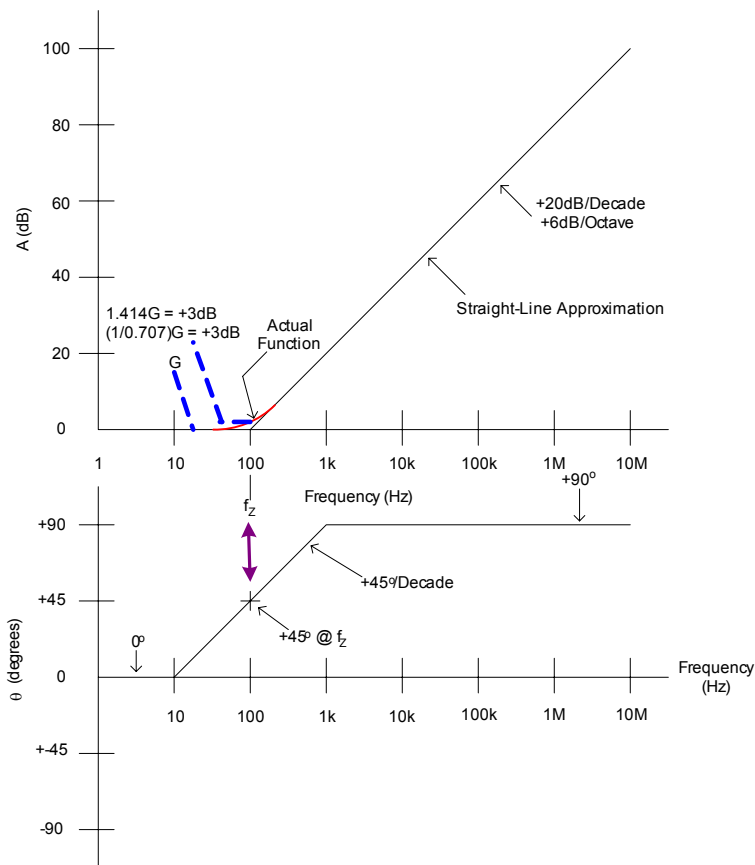


图 1.6 零点：波特曲线幅度与相位

图字：实际函数、直线近似、频率；

- **Zero Location** = f_z
- **Magnitude** = +20dB/Decade Slope
 - Slope begins at f_z and continues up as frequency increases
 - Actual Function = +3dB up @ f_z
- **Phase** = +45°/Decade Slope through f_z
 - Decade Above f_z Phase = +90°
 - Decade Below f_z Phase = 0°

单零点电路等效电路图

零点位置 = f_z

幅度 = +20dB/decade 斜线

- 斜线从 f_z 开始、并继续随频率增加而上升

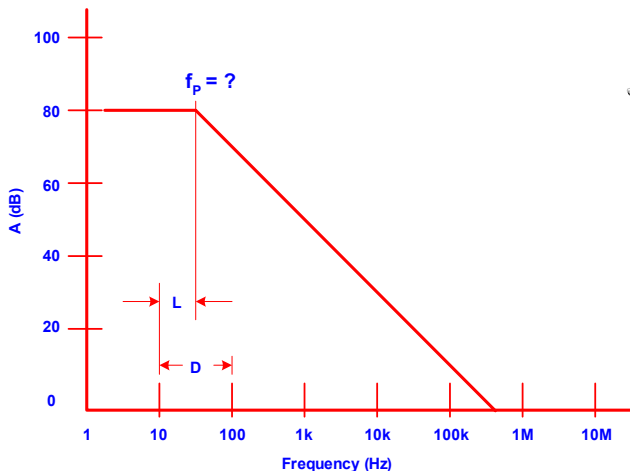
- 实际函数 = -3dB up @ f_z

相位 = +45°/decade 斜率通过 f_z

- f_z 以上 10 倍频程处相位 = +90°

- f_z 以下 10 倍频程处相位 = 0°

在波特幅度图上，很容易测量给定极点或零点的频率。由于 x 轴为频率的对数刻度，故这种技术允许用距离比来准确及迅速地确定感兴趣的极点或零点的频率。图 1.7 显示这种“对数刻度技巧”。



Log Scale Trick ($f_p = ?$):

- 1) Given: $L = 1\text{cm}$; $D = 2\text{cm}$
- 2) $L/D = \text{Log}_{10}(f_p)$
- 3) $f_p = \text{Log}_{10}^{-1}(L/D) = 10^{(L/D)}$
 $f_p = 10^{(L/D)} = 10^{(1\text{cm}/2\text{cm})} = 3.16$
- 4) Adjust for the decade range working within – 10Hz-100Hz decade → $f_p = 31.6\text{Hz}$
- 5) $L = \text{Log}_{10}(f_p') \times D$
 $L = \text{Log}_{10}(3.16) \times 2\text{cm} = 1\text{cm}$
 where $f_p' = f_p$ normalized to the 1-10 decade range – $f_p = 31.6 \rightarrow f_p' = 3.16$

图 1.7 对数刻度技巧

图字: $f_p=?$ 、频率;

对数刻度技巧 ($f_p=?$)

- 1) 假设 $L=1\text{cm}$, $D=2\text{cm}$
- 2) $L/D=\log_{10}(f_p)$
- 3)
- 4) 对应的十倍频程内的频率为 $f_p=31.6\text{Hz}$
- 5), 其中 f_p' 为 f_p 对 1-10 十倍频程归一化后的频率, $f_p'=31.6$, $f_p'=3.16$

1.2 直观元件模型

大多数运放应用都采用四种关键元件的组合, 即: 运放、电阻、电容和电感。为便于进行稳定性分析, 最好是能拥有这些关键元件的“直观模型”。

用于交流稳定性分析的直观运放模型如图 1.8 所示。IN+ 与 IN- 端之间的差分电压先被放大 1 倍并转化为单端交流电压源 V_{DIFF} , V_{DIFF} 然后再被放大 $K(f)$ 倍, 其中 $K(f)$ 代表数据资料中的 A_{OL} (开环增益比频率曲线)。由此得到的电压 V_{O} 后再接运放开环、交流小信号及输出电阻 R_{O} 。电压通过 R_{O} 后即为 V_{OUT} 。

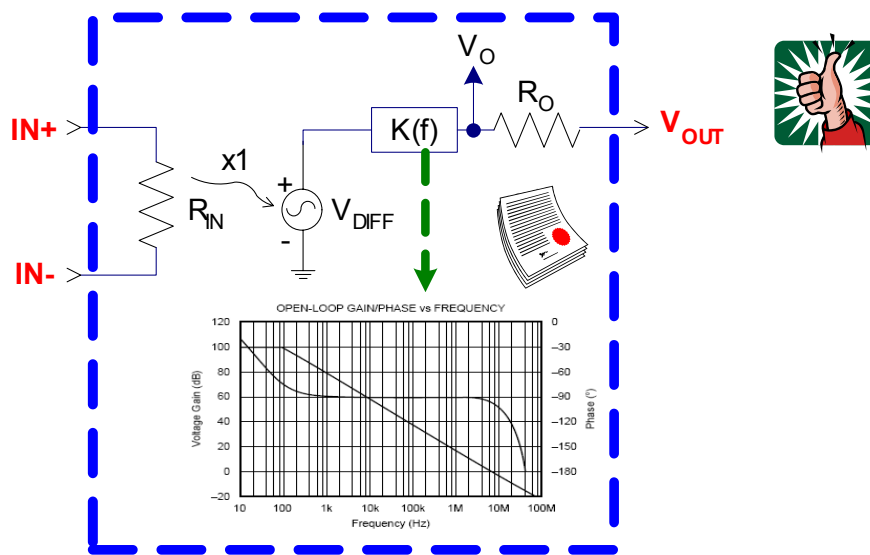


图 1.8 直观运放模型

图 1.9 定义用于交流稳定性分析的直观电阻模型。无论其工作频率如何, 电阻均具有恒定的阻值。

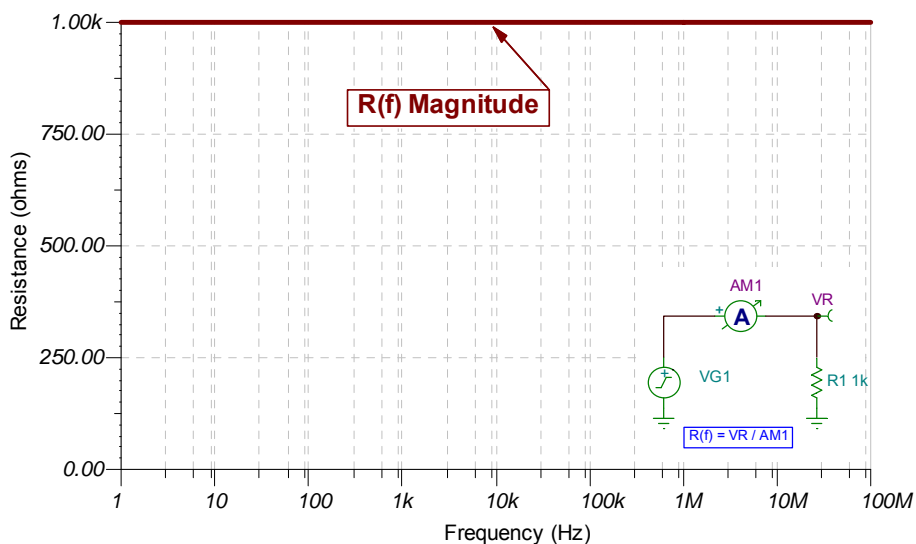


图 1.9 直观电阻模型

图 1.10 定义用于交流稳定性分析的直观电容模型，包括三个不同的工作区。在“直流”区，电容将被看成是开路。在“高频”区，电容则被看成是短路。在这二者之间，电容将被看成是一个受频率控制的电阻（阻抗 $1/X_c$ 随频率增加而减小）。图 1.11 所示的 SPICE 仿真结果显示直观电容模型随频率变化的关系。

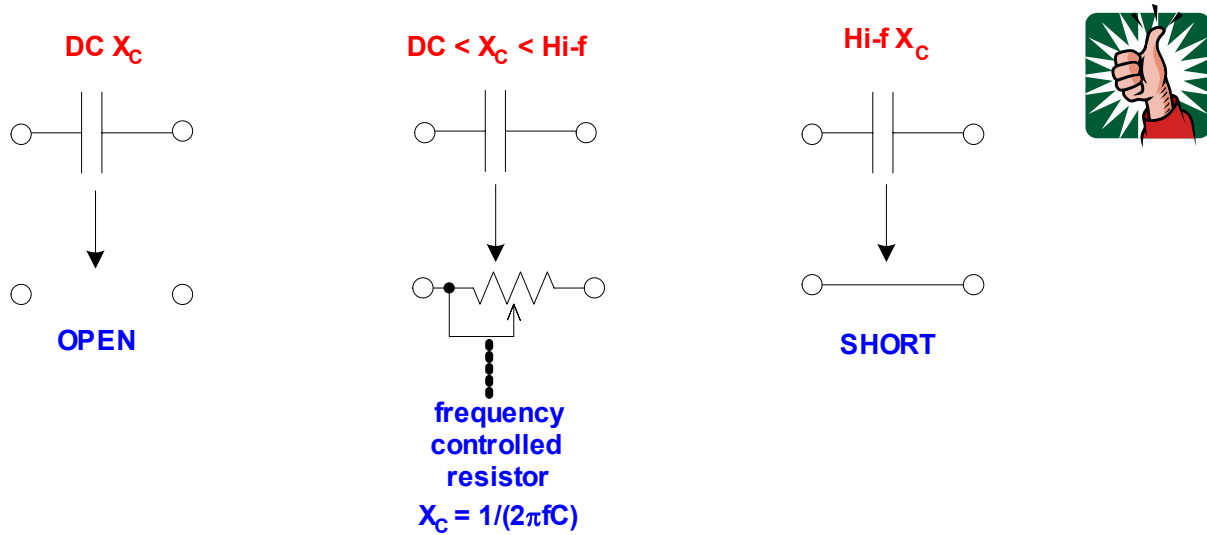


图 1.10 直观电容模型

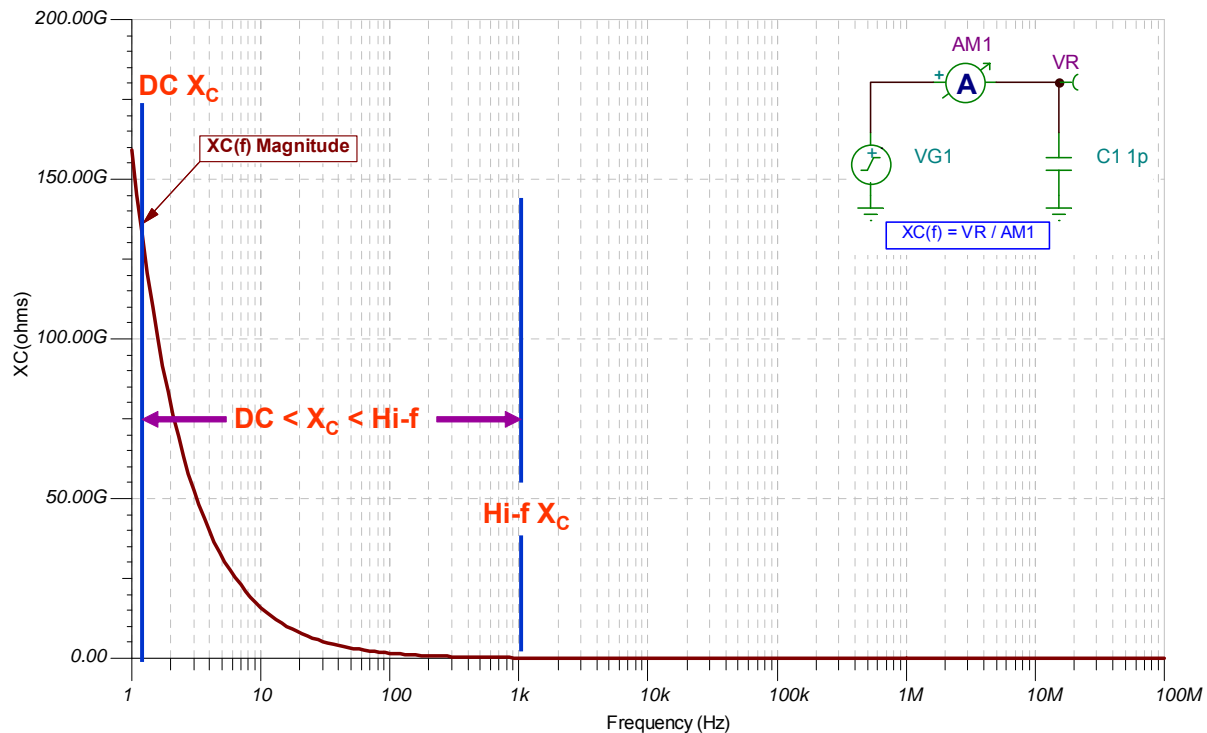


图 1.11 直观电容模型 SPICE 仿真

图 1.12 定义用于交流稳定性分析的直观电感模型，包括三个不同的工作区。在“直流”区，电感将被看成是短路。在“高频”区，电感则被看成是开路。在这二者之间，电感将被看成是一个受频率控制的电阻（阻抗 X_L 随频率增加而增加）。图 1.13 所示的 SPICE 仿真结果显示直观电感模型随频率变化的关系。

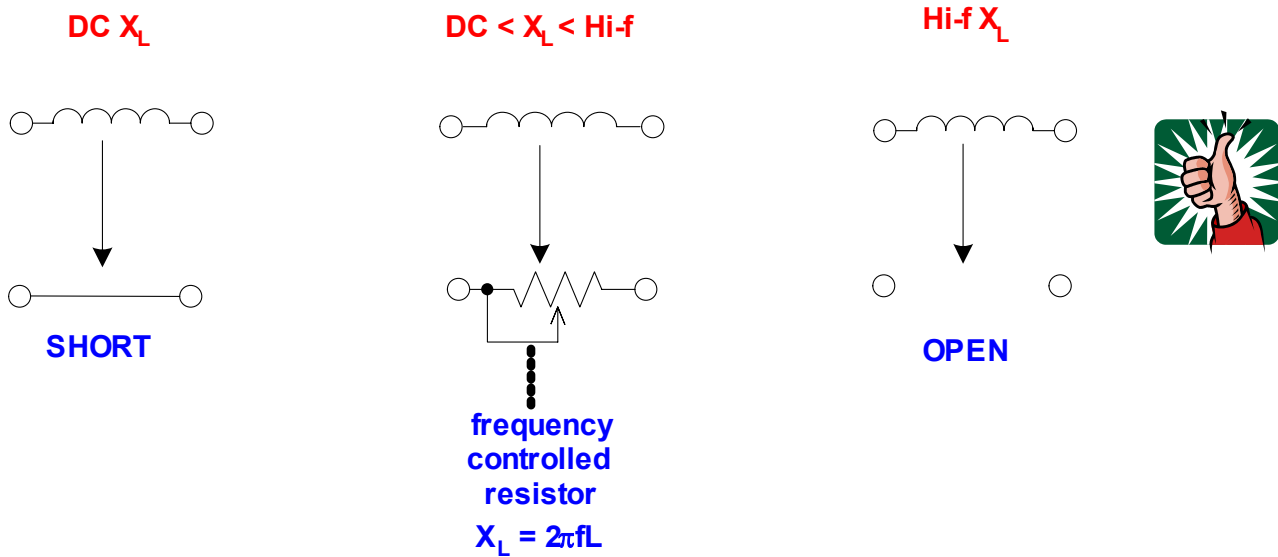


图 1.12 直观电感模型

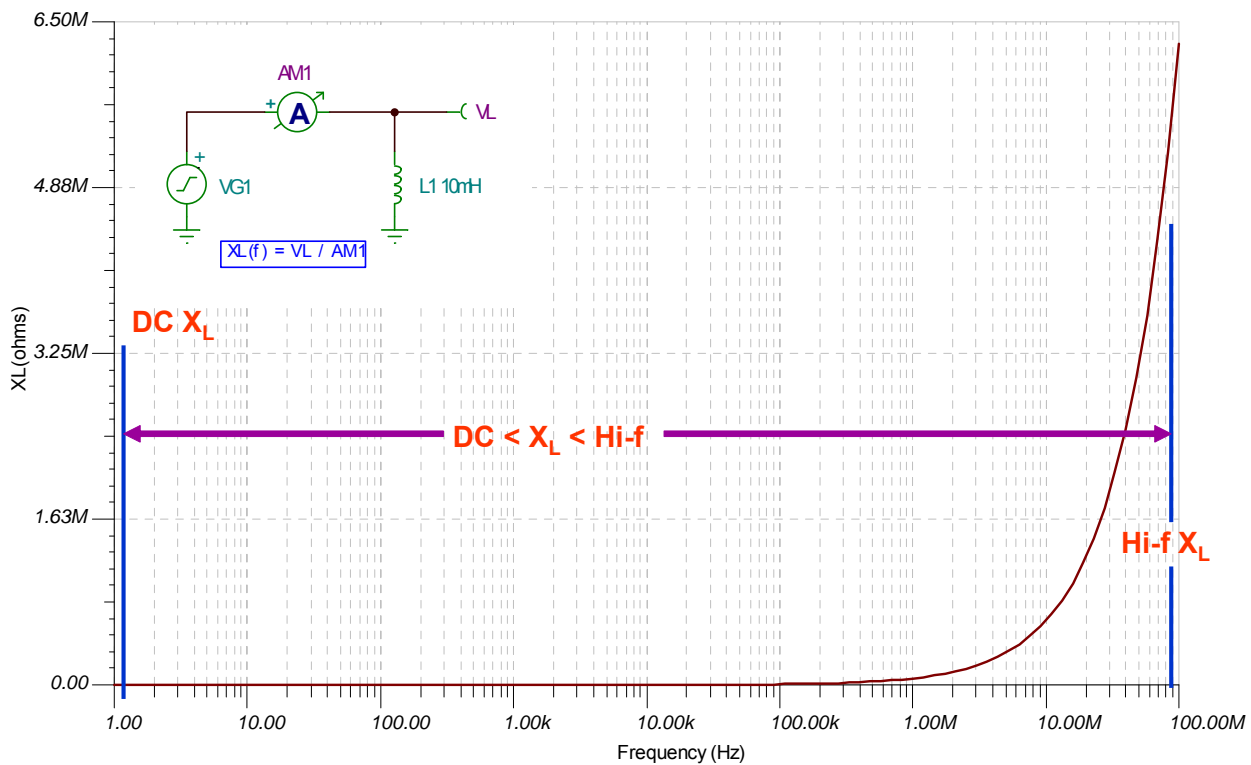


图 1.13 直观电感模型 SPICE 仿真

1.3 稳定性标准

图 1.14 的下部显示代表一个带反馈运放电路的传统控制环路模型框图；上部显示与控制环路模型相对应的典型带反馈运放电路。我们将这种带反馈运放电路称为“运放环路增益模型”。请注意， A_{ol} 为运放数据资料 A_{ol} ，且为运放的开环增益。 β （贝它）为从 V_{OUT} 上作为反馈返回的输出电压量。本例中的 β 网络为一个电阻反馈网络。

在推导 V_{OUT}/V_{IN} 时，我们能看到，可直接用 A_{ol} 及 β 来定义闭环增益函数。

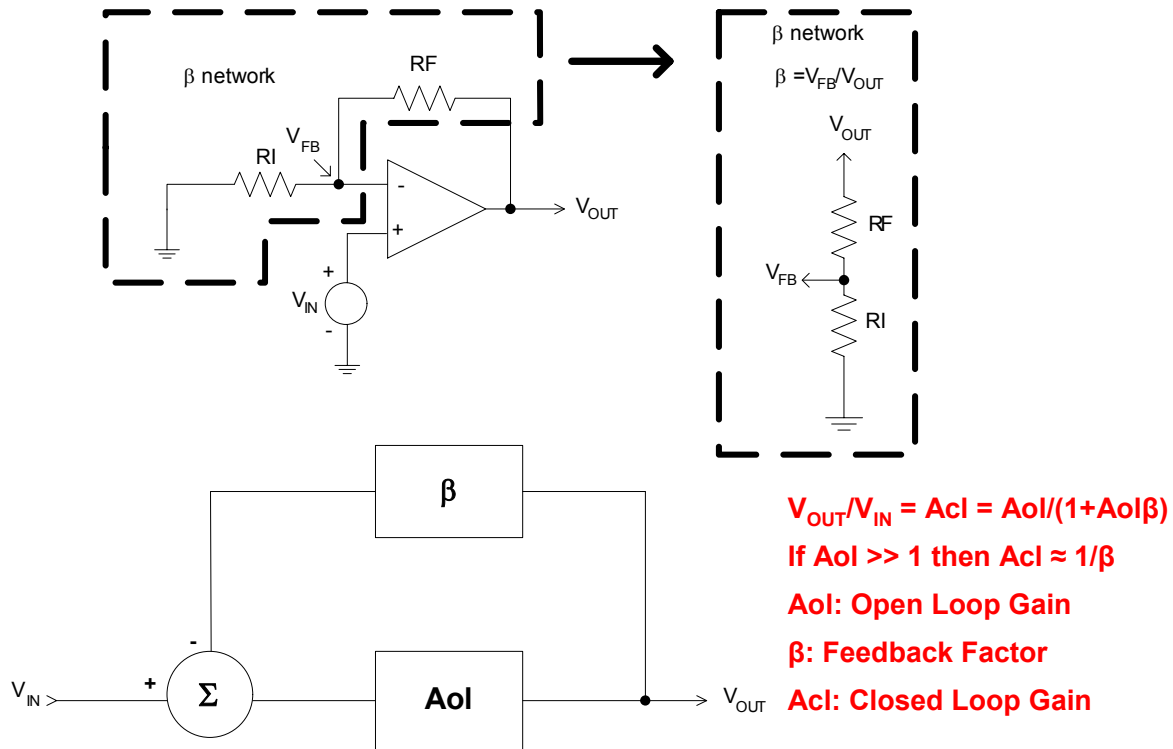


图 1.14 运放环路增益模型

图字: A_{ol} : 开环增益; β : 反馈系数; A_{cl} : 闭环增益

从图 1.14 所示的运放开环增益模型中, 我们能得出稳定闭环运放电路的标准。详细推导如图 1.15 所示。

在频率 f_{cl} 上, 环路增益 ($A_{ol}\beta$) 为 1 或 0dB, 如果环路增益相移为 $\pm 180^\circ$, 则电路不稳定! 在 f_{cl} 上, 环路增益相移距离 180° 的相位称为环路增益相位余量。对于临界阻尼表现良好的闭环响应, 我们要求环路增益相位余量大于 45° 。

$$V_{OUT}/V_{IN} = A_{ol} / (1 + A_{ol}\beta)$$

If: $A_{ol}\beta = -1$

Then: $V_{OUT}/V_{IN} = A_{ol} / 0 \rightarrow \infty$

If $V_{OUT}/V_{IN} = \infty \rightarrow$ Unbounded Gain

Any small changes in V_{IN} will result in large changes in V_{OUT} which will feed back to V_{IN} and result in even larger changes in $V_{OUT} \rightarrow$ **OSCILLATIONS \rightarrow **INSTABILITY !!****

$A_{ol}\beta$: Loop Gain

$A_{ol}\beta = -1 \rightarrow$ Phase shift of $\pm 180^\circ$, Magnitude of 1 (0dB)

f_{cl} : frequency where $A_{ol}\beta = 1$ (0dB)

Stability Criteria:

At f_{cl} , where $A_{ol}\beta = 1$ (0dB), Phase Shift $< \pm 180^\circ$

Desired Phase Margin (distance from $\pm 180^\circ$ Phase Shift) $\geq 45^\circ$

图 1.15 稳定性标准推导

图字:

$$V_{OUT}/V_{IN} = Aol/(1 + Aol\beta)$$

如果: $Aol\beta = -1$

$$\text{则: } V_{OUT}/V_{IN} = Aol/0 \rightarrow \infty$$

如果: $V_{OUT}/V_{IN} = \infty \rightarrow$ 无穷大增益

则 V_{IN} 中任何小的变化都会导致 V_{OUT} 中的很大变化, 而这又会反馈给 V_{IN} 并导致 V_{OUT} 中更大的变化 \rightarrow 振荡 \rightarrow 不稳定!!

$Aol\beta$: 环路增益

$Aol\beta = -1 \rightarrow \pm 180^\circ$ 相移, 幅度为 1 (0dB)

fcl: $Aol\beta = 1$ (0dB) 时的频率

稳定性标准:

在 $Aol\beta = 1$ (0dB) 时的 fcl 频率上, 相移 $< \pm 180^\circ$

所需相位余量 (离 $\pm 180^\circ$ 相移的距离) $\geq 45^\circ$

1.4 环路稳定性测试

由于环路稳定性由环路增益 ($Aol\beta$) 的幅度与相位曲线决定, 因此我们需要知道如何才能方便地分析环路增益幅度与相位。为做到这一点, 我们需要打破闭环运放电路, 并将一个小信号交流源插入到环路中, 然后再测量幅度与相位并绘出完整的环路增益曲线图。图 1.16 显示运放环路增益控制模型的等效控制环路框图、以及我们准备用于环路增益测试的技术。

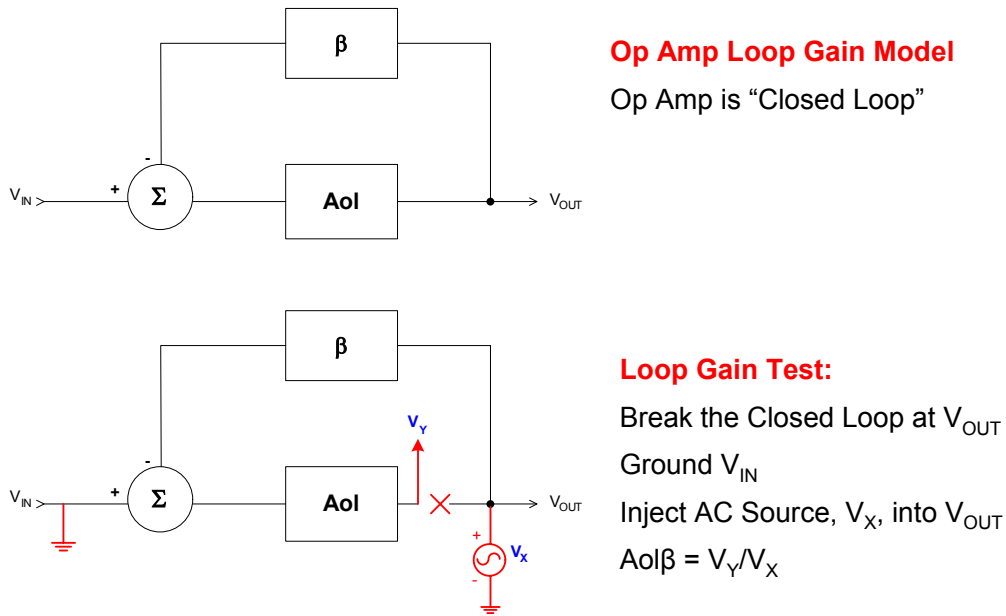


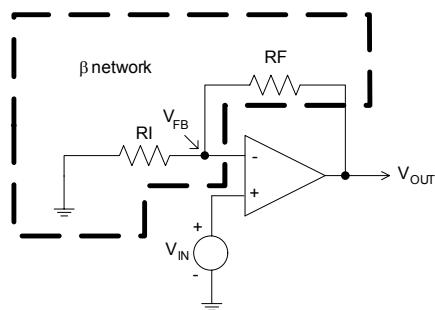
图 1.16 传统环路增益测试

图字 (上、下):

运放环路增益模型: 运放为 "闭环"

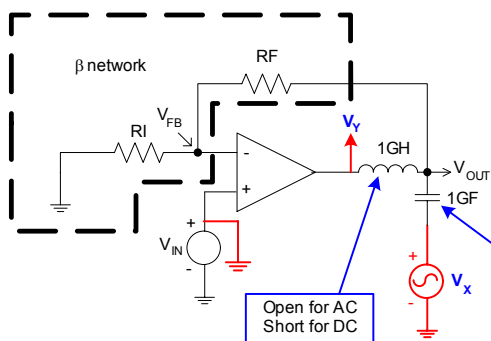
环路增益测试: 在 V_{OUT} 、地与 V_{IN} 之间将环路打破, 并插入一个交流源 V_X , $Aol\beta = V_Y/V_X$

在分析用 SPICE 仿真构建的电路时, 传统环路增益法利用一个电感及电容将闭环运放电路打破。很大的电感值可确保环路在直流上闭合 (要求 SPICE 仿真能在进行交流分析以前先计算出直流工作点), 但在感兴趣的交流频率上打开。很大的电容值可确保交流小信号源与直流隔开, 但可直接与感兴趣的频率相连。图 1.17 显示用于传统环路增益测试的 SPICE 设置示意图。



Op Amp Loop Gain Model

Op Amp is “Closed Loop”



SPICE Loop Gain Test:

Break the Closed Loop at V_{OUT}

Ground V_{IN}

Inject AC Source, V_X , into V_{OUT}

$$Aol\beta = V_Y/V_X$$

图 1.17 传统环路增益测试 – SPICE 设置

图字（上、下）：

运放环路增益模型：运放为“闭环”

SPICE环路增益测试：在 V_{OUT} 、地与 V_{IN} 之间将环路打破，并插入一个交流源 V_X ， $Aol\beta=V_Y/V_X$

在用 SPICE 仿真一个电路之前，我们想知道近似结果如何。请记住 GIGO（垃圾进，垃圾出）！！贝它 (β) 及其倒数 ($1/\beta$) 连同数据资料 Aol 曲线，可在运行 SPICE 以前为我们提供一种用于环路增益分析一阶近似的强大方法。在后续几节中，我们将介绍计算 (β) 及其倒数 ($1/\beta$) 的技巧与经验。图 1.18 定义运放电路的贝它 (β) 网络。

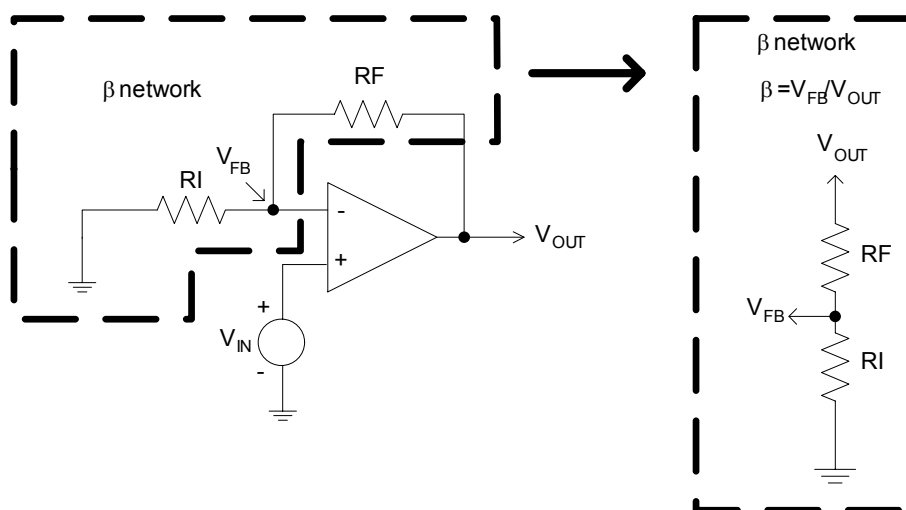


图 1.18 运放 β 网络

Aol 曲线上叠加的 $1/\beta$ 曲线，可提供环路增益 ($Aol\beta$) 曲线究竟如何的清晰画面。从图 1.19 中的推导中，我们可清楚地看出，当我们以dB值来在 Aol 曲线上绘出 $1/\beta$ 时， $Aol\beta$ 幅度曲线即为 Aol 与 $1/\beta$ 之差。请注意， $Aol\beta$ 随频率的增加而减小。 $Aol\beta$ 是用于纠正 V_{OUT}/V_{IN} 或闭环响应中误差的增益。因此，随着 $Aol\beta$ 减小， V_{OUT}/V_{IN} 响应精度降低，直到 $Aol\beta$ 降为 0dB、而 V_{OUT}/V_{IN} 响应完全跟随 Aol 为止。

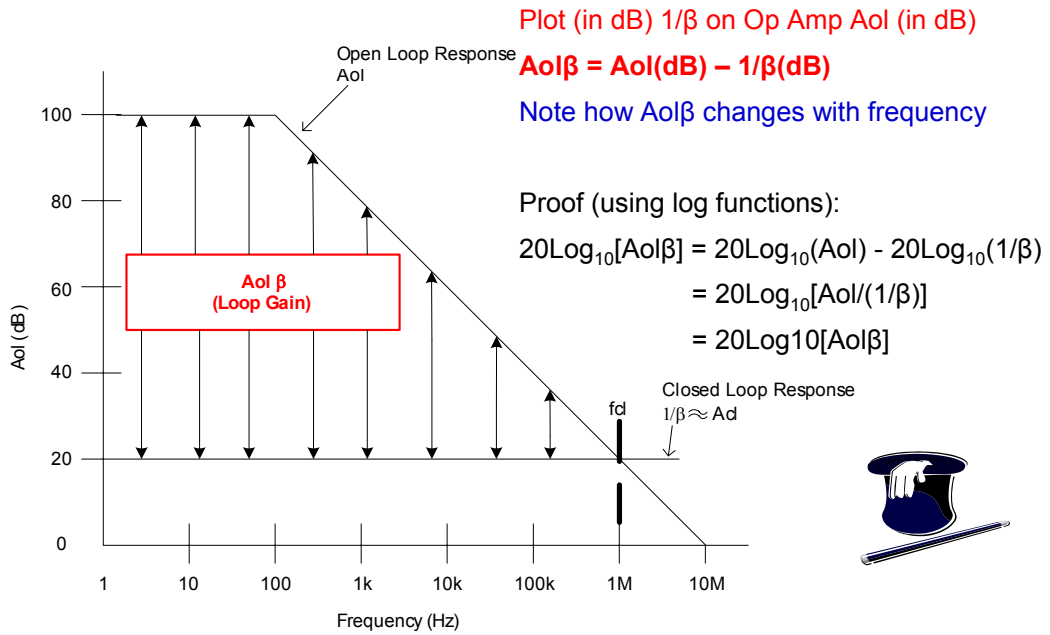


图 1.19 取自 A_{ol} 曲线与 $1/\beta$ 曲线的环路增益信息

图字（上、下）：开环响应 A_{ol} 、 $A_{ol}\beta$ （环路增益）、频率；运放 A_{ol} 上（以 dB 表示）绘出 $1/\beta$ （以 dB 表示）、闭环响应 $1/\beta \approx A_{cl}$ 。

一旦我们在 A_{ol} 上绘出 $1/\beta$ ，有一种称为“闭合速度”的简单一阶稳定性检查法。这种闭合速度稳定性检查，定义为 $1/\beta$ 曲线与 A_{ol} 曲线在 f_{cl} 上（此时环路增益为 0dB）的“闭合速度”。40dB/decade 的闭合速度意味着不稳定，因为它意味着在 f_{cl} 以前有两个极点，而这可能意味着 180° 的相移。图 1.20 给出了 4 个例子，并将其各自的闭合速度计算如下：

- fcl1: $A_{ol}-1/\beta_1 = -20\text{dB}/\text{decade} - +20\text{dB}/\text{decade} = -40\text{dB}/\text{decade} \diamond 40\text{dB}/\text{decade}$ 闭合速度与不稳定
- fcl2: $A_{ol}-1/\beta_2 = -20\text{dB}/\text{decade} - 0\text{dB}/\text{decade} = -20\text{dB}/\text{decade} \diamond 20\text{dB}/\text{decade}$ 闭合速度与稳定
- fcl3: $A_{ol}-1/\beta_3 = -40\text{dB}/\text{decade} - 0\text{dB}/\text{decade} = -40\text{dB}/\text{decade} \diamond 40\text{dB}/\text{decade}$ 闭合速度与不稳定
- fcl4: $A_{ol}-1/\beta_4 = -40\text{dB}/\text{decade} - -20\text{dB}/\text{decade} = -20\text{dB}/\text{decade} \diamond 20\text{dB}/\text{decade}$ 闭合速度与稳定

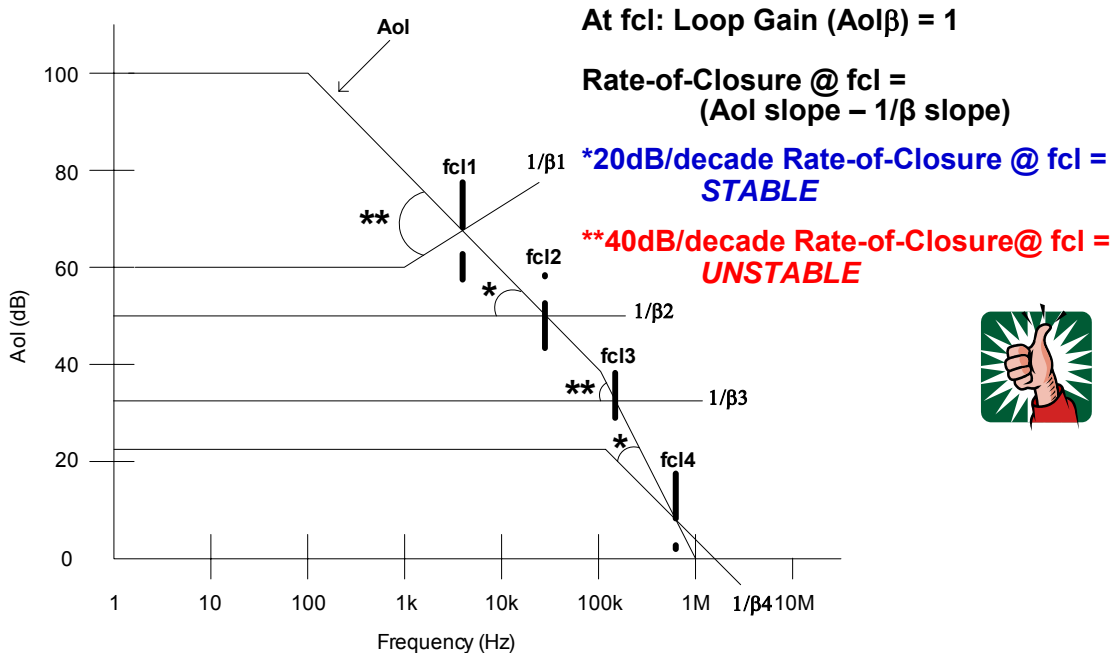


图 1.20 环路增益稳定性闭合速度测试

1.5 环路增益稳定性举例

环路增益分析举例（图 1.21）用来说明我们如何能从绘制在 A_{ol} 曲线上的 $1/\beta$ 曲线来分析运放的稳定性。这里，随着频率的增加，电容 C_F 逐渐趋于短路，从而分别随频率的增加而降低 β 曲线的幅度（亦即电压反馈随频率增加而减小）或抬高 $1/\beta$ 曲线的幅度。从闭合速度标准来看，我们预计该电路不稳定。

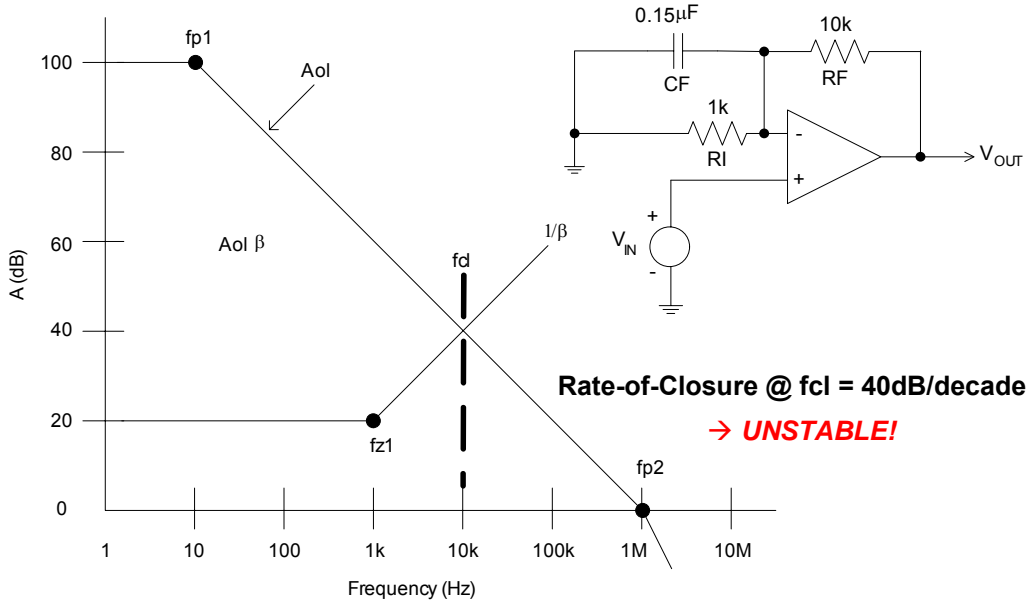


图 1.21 环路增益稳定性举例

从 A_{ol} 曲线上的 $1/\beta$ 曲线，我们能绘出 $A_{ol}\beta$ （环路增益）幅度曲线（图 1.22）。从环路增益幅度曲线，我们又能绘出环路增益相位曲线。从 A_{ol} 曲线上的 $1/\beta$ 曲线绘出 $A_{ol}\beta$ 曲线的规则很简单： A_{ol} 曲线上的极点和零点即为 $A_{ol}\beta$ 曲线上的极点和零点； $1/\beta$ 曲线上的极点和零点则为 $A_{ol}\beta$ 曲线上的零点与极点。记住这一点的一种简单方法是， β 用于 $A_{ol}\beta$ 曲线，而 $1/\beta$ 为 β 的倒数，因此我们预计 $A_{ol}\beta$ 曲线会采用 $1/\beta$ 曲线上极点与零点的倒数，而极点的倒数为零点，零点的倒数为极点。

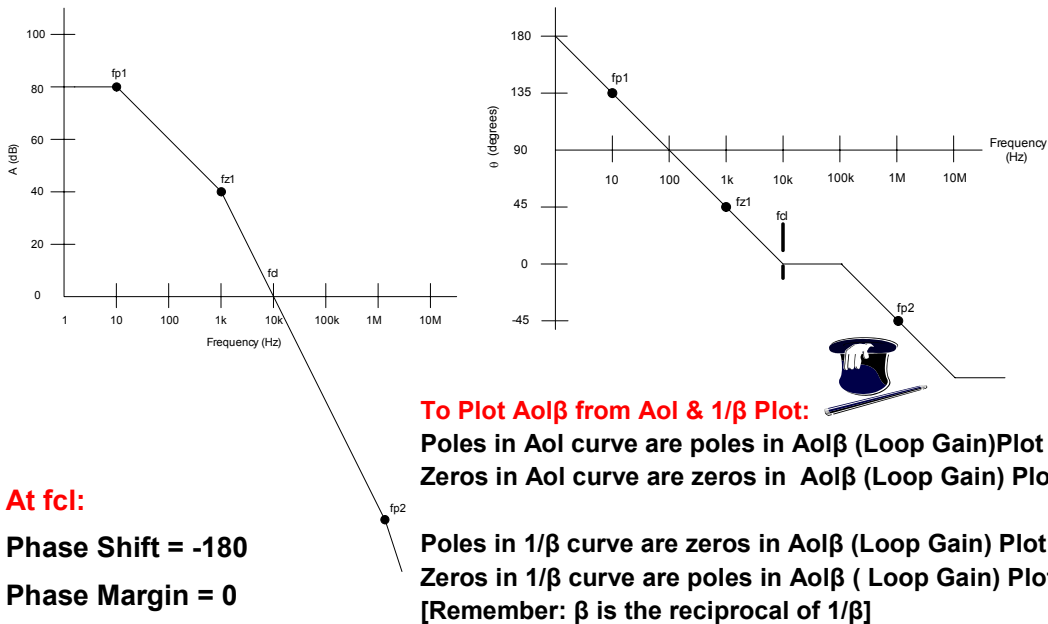


图 1.22 得自 A_{ol} 曲线与 $1/\beta$ 曲线的的闭环增益

图字：在 f_{cl} 上：
相移 = -180°
相位余量 = 0

为从 A_{ol} 及 $1/\beta$ 曲线绘出 $A_{ol}\beta$ 曲线：
 A_{ol} 曲线上的极点为 $A_{ol}\beta$ （环路增益）曲线上极点
 A_{ol} 曲线上的极点为 $A_{ol}\beta$ （环路增益）曲线上极点
 $1/\beta$ 曲线上的极点为 $A_{ol}\beta$ （环路增益）曲线上零点
 $1/\beta$ 曲线上的零点为 $A_{ol}\beta$ （环路增益）曲线上极点
(请记住： β 为 $1/\beta$ 的倒数)

1.6 $1/\beta$ 与闭环响应

V_{OUT}/V_{IN} 闭环响应并非总是和 $1/\beta$ 一样。在图 1.23 的示例中，我们可看出，交流小信号反馈受与 R_I 并联的 R_n - C_n 网络的修改。随着频率的增加，我们看到该网络修改的结果反映在 A_{ol} 曲线上的 $1/\beta$ 曲线中。因此可将本例看成是一个反相取和运放电路。我们将通过 R_I 的 V_{IN} 与通过 R_n - C_n 网络到地的信号相加。 V_{OUT}/V_{IN} 在低频上不会受此 R_n - C_n 网络的影响，且所需增益可看成是 20dB。随着环路增益 ($A_{ol}\beta$) 被 R_n - C_n 网络拉低至 1 (0dB)，即没有环路增益用于纠正误差，而 V_{OUT}/V_{IN} 则会在 f_{cl} 以上频率上跟随 A_{ol} 曲线。

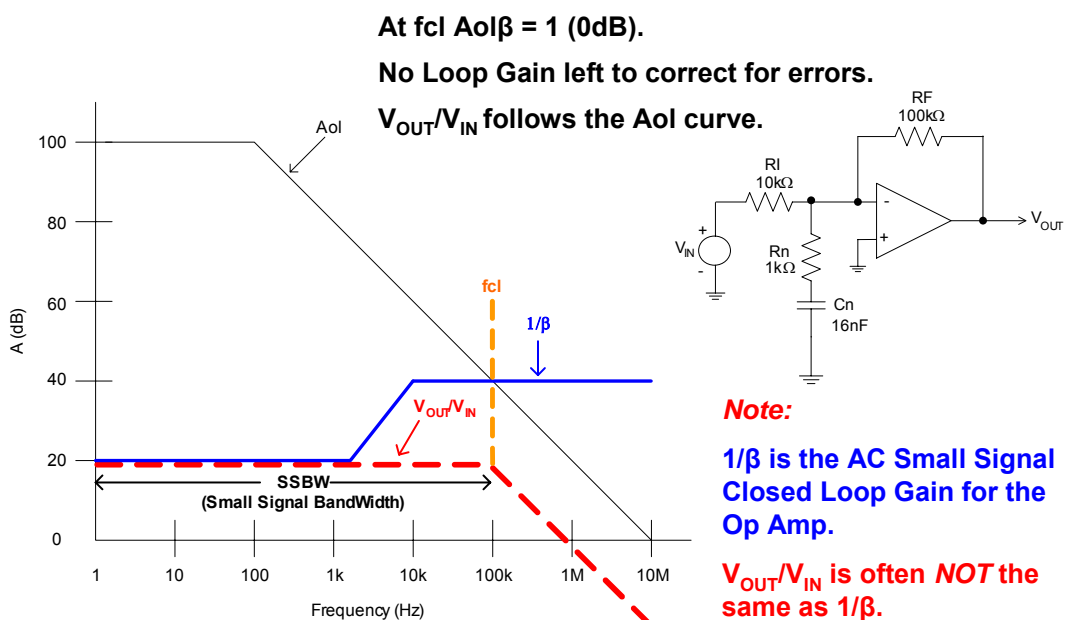


图 1.23 V_{OUT}/V_{IN} 比 $1/\beta$

图字（上下、左右）： A_{ol} 、SSBW（小信号带宽）；在 f_{cl} 上 $A_{ol}\beta=0$ (dB)、无环路增益用于纠正误差、 V_{OUT}/V_{IN} 响应跟随 A_{ol} 曲线；注： $1/\beta$ 为运放交流小信号闭环增益、 V_{OUT}/V_{IN} 常常与 $1/\beta$ 不同。

参考文献：

- 1、Frederiksen, Thomas M., “直观运放基础与应用”，修订版，McGraw-Hill 公司，纽约，1988 年。
- 2、Faulkenberry, Lucus M., “用于线性 IC 应用的运放入门”，第二版，John Wiley & Sons 公司，纽约，1982
- 3、Tobey – Graeme –Huelsman, 编辑，“Burr-Brown 运放设计与应用”，McGraw-Hill 公司，纽约，1971 年

运算放大器的稳定性

第 2 部分（共 15 部分）：运放网络，SPICE 分析

作者：Tim Green，德州仪器公司

2.0 引言

本系列第 2 部分将着重分析运放电路（尤其是两种常见运放网络）的稳定性。重要的是必须在进行 SPICE 仿真前先进行 1 阶分析（主要用您的经验来进行人工分析）。请记住，如果您不掌握仿真前看到的东西，则电路仿真程序将导致 GIGO（“垃圾进垃圾出”）。我们将用 SPICE 环路增益测试法来进行，以便绘制 Aol 曲线、 $1/\beta$ 曲线及环路增益曲线的波特图。另外，我们还将采用易于构建的运放交流 SPICE 模型，以便对任何运放电路的交流稳定性进行快速分析。

在本系列中，我们将采用称为 TINA 的通用 SPICE 仿真软件来分析运放电路的稳定性并给出相应的结果。通常将此软件称为 Tina SPICE，您可以在 www.designsoftware.com 上找到它的各种版本。尽管所给出的一些 SPICE 技巧是针对 TINA 的，但您也会发现，您采用的其他 SPICE 软件也可从这些技巧中获益。

2.1 SPICE 环路增益测试

图 2.0 为 SPICE 环路增益测试的详细示意图。LT 提供一个直流闭环电路，因为每一个交流 SPICE 分析都要求有一个直流 SPICE 分析。在进行交流 SPICE 分析时，随着频率增加，CT 将逐渐变成短路而 LT 将逐渐变成开路，因此，可用一个 SPICE 程序来运行所有有关运放交流稳定性的信息。利用图 2.0 给出的公式，很容易从 SPICE 后处理上得到运放 Aol、环路增益以及 $1/\beta$ 幅度与相位曲线。尽管有其他一些方法可用来“打破环路”并用 SPICE 来进行交流分析，但图 2.0 所示方法证明是一种误差最小以及在 SPICE 中造成数学差别最小的方法。

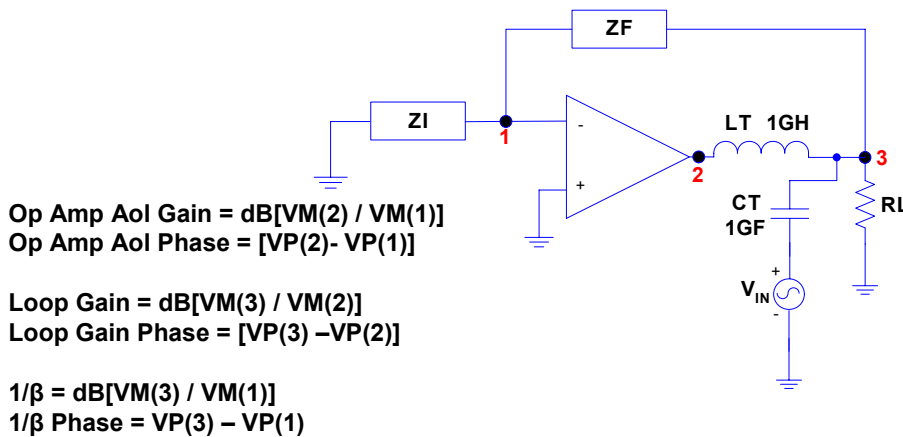


图 2.0 SPICE 环路增益测试

图字：

运放 Aol 增益 = $\text{dB}[\text{VM}(2)/\text{VM}(1)]$

运放 Aol 相位 = $[\text{VP}(2)-\text{VP}(1)]$

环路增益 = $\text{dB}[\text{VM}(3)/\text{VM}(2)]$

环路增益相位 = $[\text{VP}(3)-\text{VP}(2)]$

$1/\beta = \text{dB}[\text{VM}(3)/\text{VM}(1)]$

$1/\beta$ 相位 = $[\text{VP}(3)-\text{VP}(1)]$ 。

2.2 运放网络与 $1/\beta$

图 2.1 给出了两种常见的运放网络——ZI 与 ZF。我们将首先单独对这两种网络进行 1 阶分析，如果与我们的预测结果一致，则再用 Tina SPICE 来对运放电路进行仿真与验证。1 阶分析的关键是采用我们在本系列第 1 部分中介绍的直观器件模型与少许直觉。

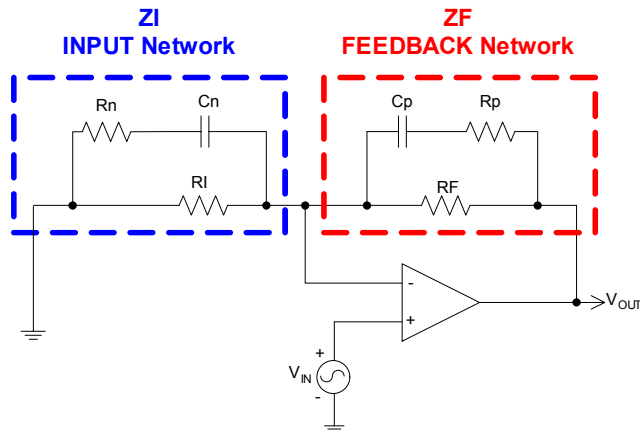
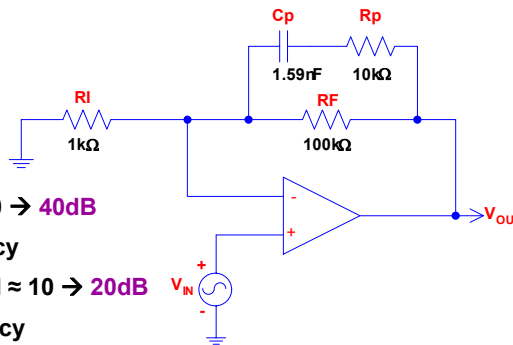


图 2.1 两种常见运放网络：ZI 与 ZF

图字：ZI 输入网络、ZF 反馈网络。

2.2 ZF 运放网络

让我们先对图 2.2 所示 ZF 网络进行 1 阶分析。这是一个运放电路中的反馈网络，其中 C_p 在低频上为开路，且低频 $1/\beta$ 变成如图所示的简单 RF/RI 。而在其他极端频率上（例如高频）， C_p 为短路且高频 $1/\beta$ 变成 $(R_p//RF)/RI$ 。但当 C_p 短路时，由于 $R_p \ll RF$ ，故 R_p 应在反馈电阻中占优势，因此我们将高频增益近似为 R_p/RI 。请注意，由于在运放反馈路径中有一个电抗元件——电容，因此我们知道在传输函数中的某处必定有几个极点和/或零点。在 C_p 量值与并联阻抗量值相匹配的频率上（这里 RF 占优势），我们可以预计在 $1/\beta$ 曲线上会有一个极点。反馈电阻将变小，因此 V_{OUT} 必定开始减小。现在，在 C_p 量值与串联电阻 R_p 量值相匹配的频率上，我们预计会有一个零点，因为随着 C_p 接近短路，净反馈电阻将不再变小，而 V_{OUT} 则会随频率的增加而变得平坦。因此通过 1 阶分析我们可以预测出现极点与零点位置以及低频与高频 $1/\beta$ 幅度。



- $1/\beta$ Low Frequency = $RF/RI = 100 \rightarrow 40\text{dB}$
 $C_p = \text{Open at Low Frequency}$
- $1/\beta$ High Frequency = $(R_p//RF)/RI \approx 10 \rightarrow 20\text{dB}$
 $C_p = \text{Short at High Frequency}$
- Pole in $1/\beta$ when Magnitude of $X_{C_p} = RF$
 Magnitude $X_{C_p} = 1/(2 \cdot \pi \cdot f \cdot C_p)$
 $f_p = 1/(2 \cdot \pi \cdot RF \cdot C_p) = 1\text{kHz}$
- Zero in $1/\beta$ when Magnitude of $X_{C_p} = R_p$
 $f_z = 1/(2 \cdot \pi \cdot R_p \cdot C_p) = 10\text{kHz}$

图 2.2 对 ZF 网络的 $1/\beta$ 1 阶分析

图字：

- ◆ $1/\beta$ 低频 = $RF/RI = 100 \rightarrow 40\text{dB}$
 $C_p =$ 在低频上开路
- ◆ $1/\beta$ 高频 = $(R_p//RF)/RI \approx 10 \rightarrow 20\text{dB}$
 $C_p =$ 在高频上短路
- ◆ 当 X_{C_p} 值 = RF 时， $1/\beta$ 上有极点
 X_{C_p} 值 =

- $f_p = \dots = 1\text{kHz}$
- ◆ X_{cp} 值 = R_p 时, $1/\beta$ 上有零点
- $f_z = \dots = 10\text{kHz}$

为验证 1 阶分析, 我们用 Tina SPICE 构造的 ZF 分析电路示于图 2.3 中。VIN 设置为直流 0V, 交流源选项则选择为将交流幅度设置为 1。我们的交流分析设置成从 10Hz 至 10MHz, 并要求保留 100 个数据点与幅度/相位数据点用于后处理。为进行“SPICE 环路增益测试”, 我们采用了带方便电压检测点 (N1、N2 及 N3) 的 L1、C1 与 VIN。从此电路上, 我们可看出: $A_{ol} = N2/N1$ 及 $1/\text{Beta} = N3/N1$ 。

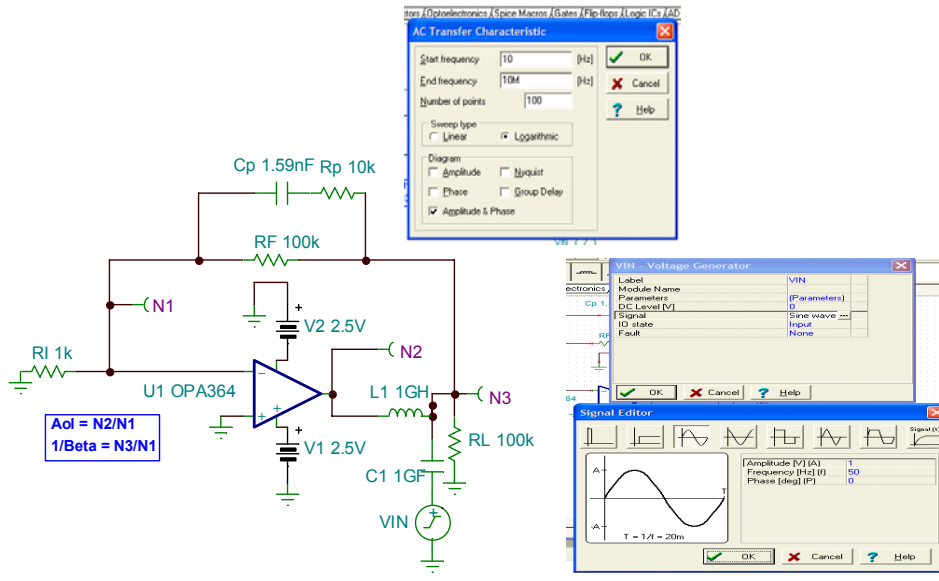


图 2.3 用于 ZF 分析的 Tina SPICE 电路

Tina SPICE 仿真的“默认结果”如图 2.4 所示。没有像我们感兴趣的 ZF $1/\text{Beta}$ 曲线与运放 A_{ol} 曲线那么有用。

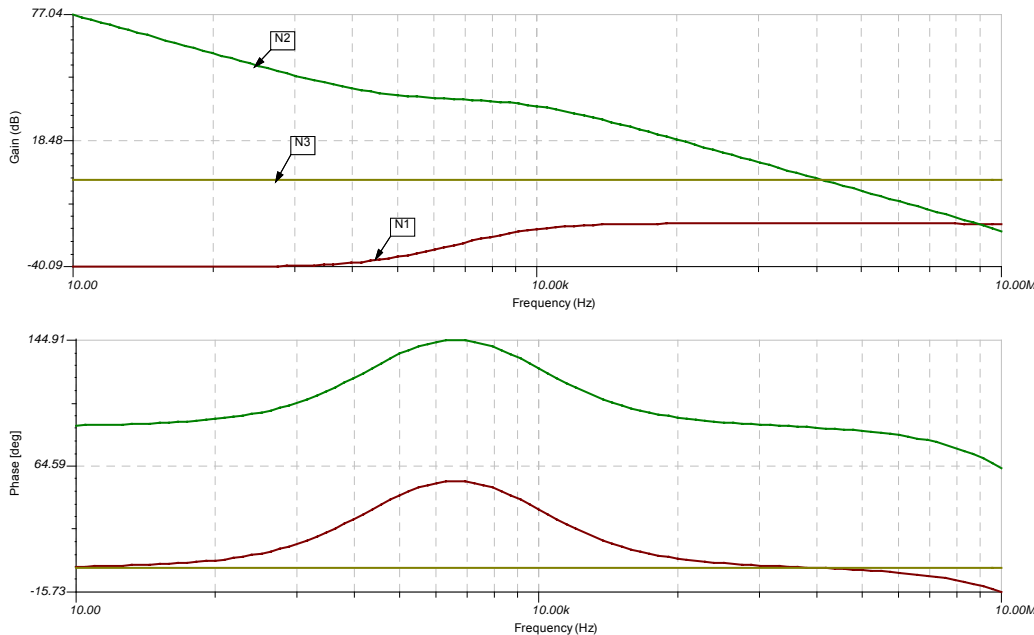


图 2.4 用于 ZF 分析的 Tina SPICE 默认结果

因此为获得所期望的曲线，我们将执行如图 2.5 所示的“后处理计算”。用户自定义函数 **Aol** 被指定为计算公式 $N2/N1$ （用于 **Aol** 曲线），而 **Beta1**（之所以采用这个代号是因为 Tina SPICE 中不认 $1/Beta$ ）则被指定为计算公式 $N3/N1$ （用于 $1/Beta$ 曲线）。

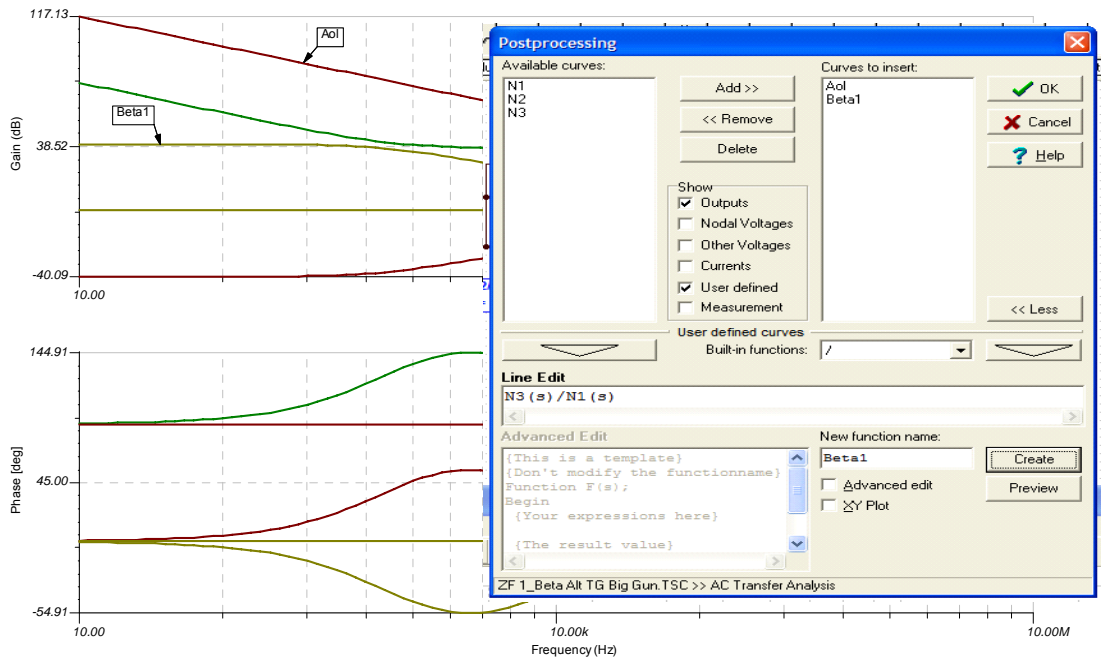


图 2.5 用于 ZF 分析的 Tina SPICE 后处理计算

现在我们得出如图 2.6 所示用于 **Aol** 及 **Beta1** 的计算结果。通过在右击我们不再需要的幅度与相位图中的每一个波形（例如 **N1**、**N2** 及 **N3**），我们能清除所得到的曲线窗口并删除这些不需要的波形。经过这种清理后，再右击每一条曲线的 Y 轴并选择“默认范围”。到目前为止，除我们的曲线不熟悉以及没有使其容易看到 20db/decade 幅度斜线及 $45^\circ/\text{decade}$ 相位斜线的刻度外，一切都很好。

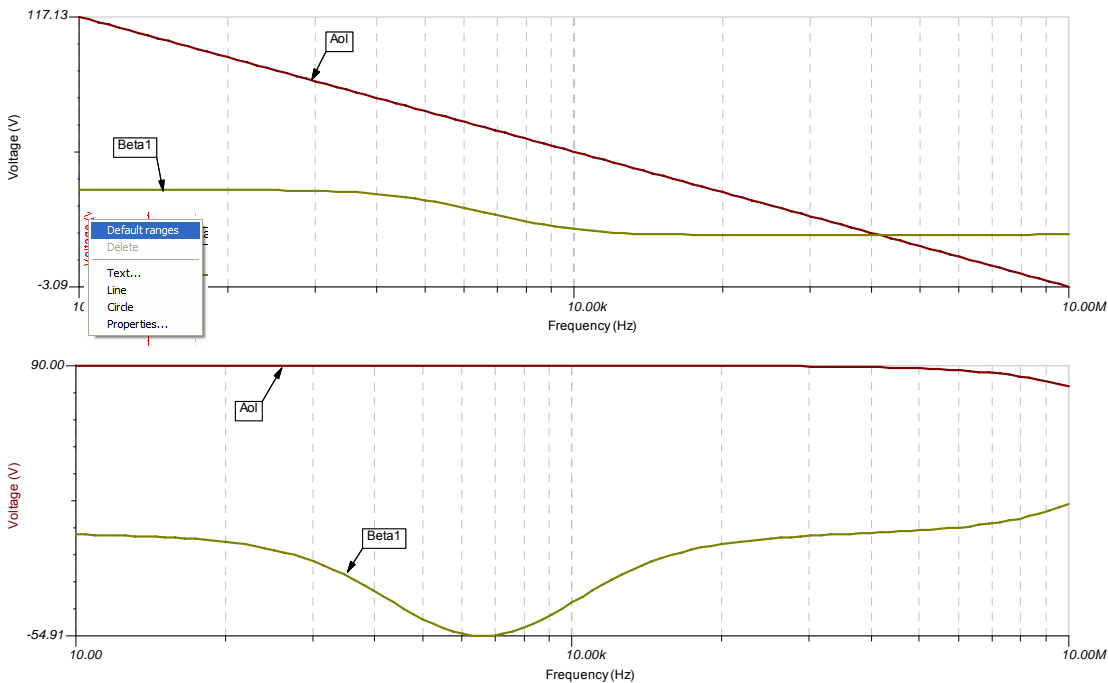


图 2.6 Tina SPICE 默认定标——用于 ZF 分析的后处理

如图 2.7 所示，有一个“频率再定标”技巧可使我们能方便地在 x 轴上得到频率的最佳十倍频程分辨率。右击 x 轴并选择“属性”，将弹出一个窗口。现在选择用于定标的正确“滴答”数的奥秘是计算所绘出的频率范围种的十倍频程数并加 1。如上所述，对于 10Hz -10MHz 的频率范围，有 6 个十倍频程（亦即：10 至 100、100 至 1k、1k 至 10k、10k 至 100k、100k 至 1M 以及 1M 至 10M）。现在频率轴看起来就像是我们的熟悉的半对数曲线。

- Right click on X-Axis. Select “Properties”
- # Ticks = # Decades + 1
i.e. 10Hz-10MHz → 6 decades
Ticks = 6 + 1 = 7

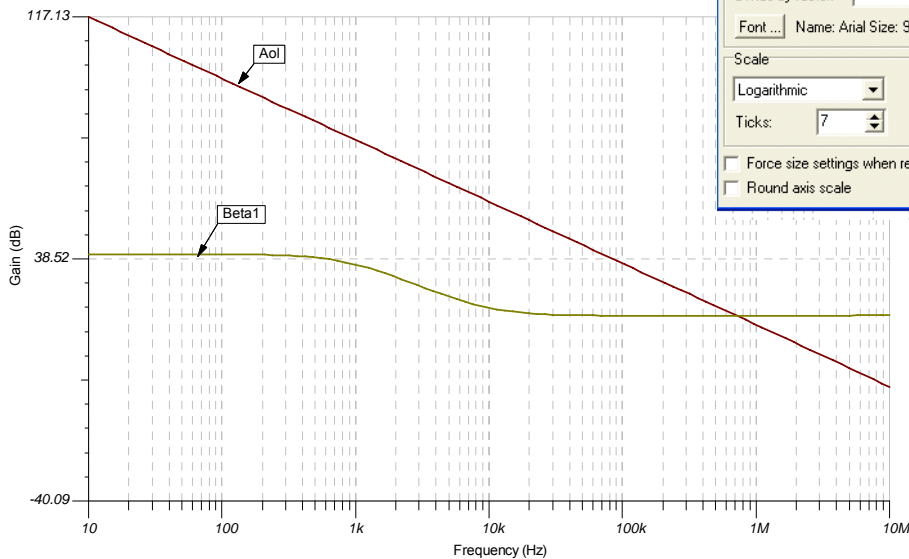
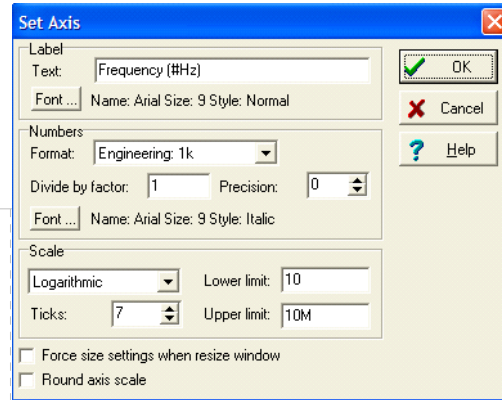


图 2.7 ZF 分析的 Tina SPICE 频率再定标

图字：右击 X 轴，选择“属性”、滴答数=十倍频程+1、例如 10Hz-10MHz=6 个十倍频程、滴答数=6+1=7

现在，我们对幅度曲线的 y 轴进行再定标，以获得更加熟悉的 20dB/格刻度。我们的“增益再定标”技巧如图 2.8 所示。右击 y 轴并选择“属性”，将弹出一个窗口。现在选择用于定标的适当“滴答”数的奥秘是，先将“下极限”设置为最近，即使增加 20dB 也小于所示的默认“下极限”。然后再将“上极限”设置为最近，即使增加 20dB 也大于所示的默认“上极限”。从新的“下极限”上减去新的“上极限”并除以 20。将结果加 1，我们即算出了获得我们熟悉的 20dB/格 y 轴定标所需的适当“滴答”数。

- Right click on Y-Axis again and select “Properties”
- Lower Limit = Nearest 20dB < Min Gain (i.e. -20dB < Min Gain)
- Upper Limit = Nearest 20dB > Max Gain (i.e 120dB > Max Gain)
- # Ticks = [Upper Limit – Lower Limit]/20 + 1
- # Ticks = [120- (-20)]/20 + 1 = 8

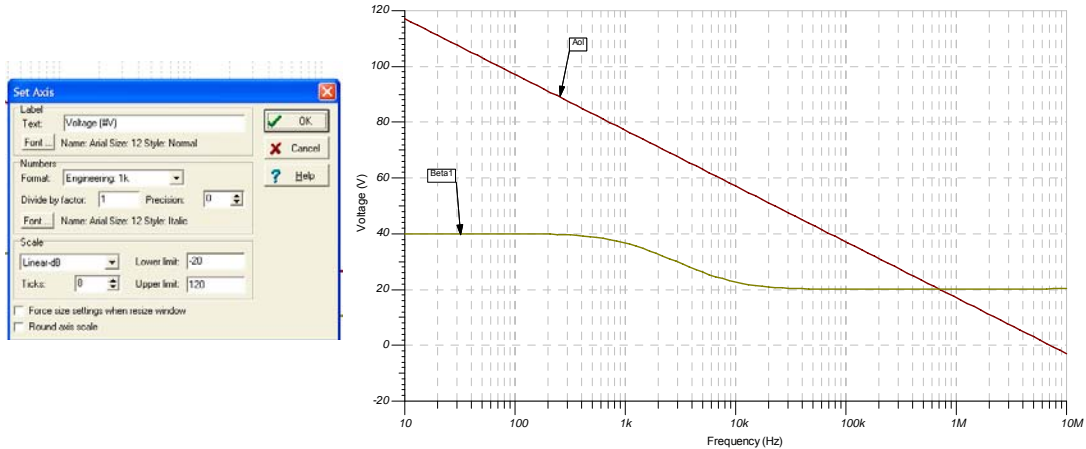


图 2.8 ZF 分析的 Tina SPICE 增益再定标

图字：右击 y 轴然后选择“属性”、下极限=最近 20dB< 最小增益（例如 -20dB< 最小增益）、上极限=最近 20dB> 最大增益（例如 120dB>最大增益）、滴答数=（上极限一下极限）/20+1、滴答数=[120-(-20)]/20+1=8

此外，为便于对相位曲线读数，我们将 y 轴再定标为更为熟悉的 45°/格刻度。我们的“相位再定标”技巧如图 2.9 所示。右击 y 轴并选择“属性”，将弹出一个窗口。现在选择用于定标的适当“滴答”数的奥秘是，先将“下极限”设置为最近，即使增加 45°也小于所示的默认“下极限”。然后再将“上极限”设置为最近，即使增加 45°也大于所示的默认“上极限”。从新的“下极限”上减去新的“上极限”并除以 45。将结果加 1，我们即算出了获得我们熟悉的 45°/格 y 轴定标所需的适当“滴答”数。

- Right click on Y-Axis again and select “Properties”
- Lower Limit = Nearest 45 degrees < Min Phase (i.e. -90 degrees < Min Phase)
- Upper Limit = Nearest 45 degrees > Max Phase (i.e +180 degrees > Max Phase)
- # Ticks = [Upper Limit – Lower Limit]/45 + 1
- # Ticks = [90- (-90)]/45 + 1 = 5

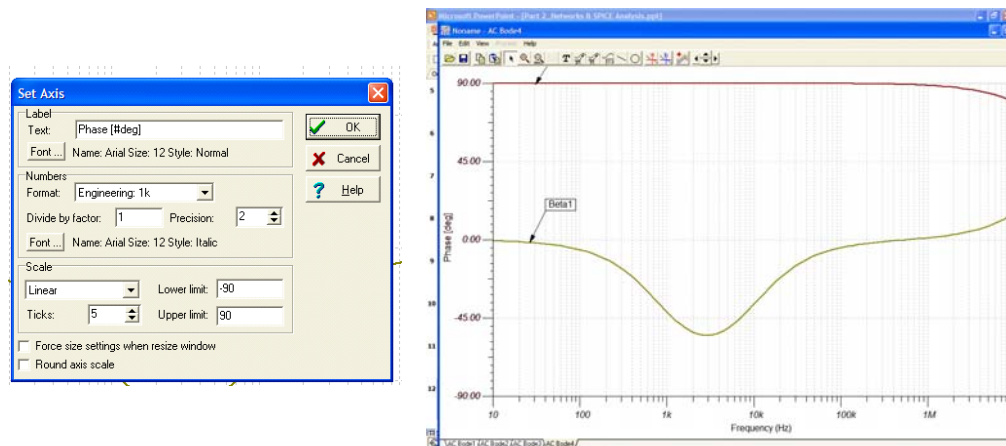


图 2.9 ZF 分析的 Tina SPICE 相位再定标

图字：右击 y 轴然后选择“属性”、下极限=最近 45° < 最小相位（例如 -90° < 最小相位）、上极限=最近 45° > 最大相位（例如 $+180^\circ$ > 最大相位）、滴答数=（上极限-下极限）/45+1、滴答数= $[90-(-90)]/45+1=5$

ZF 最佳定标 Tina SPICE 仿真结果示于图 2.10。紫线表示我们的 1 阶分析预测。游标设置成偏离低频 $1/\beta$ - 3dB 处与偏离高频 $1/\beta$ +3dB 处的精确幅度差。1 阶分析结果与预测虽然不精确，但肯定优于强大及直观的交流稳定性分析结果。

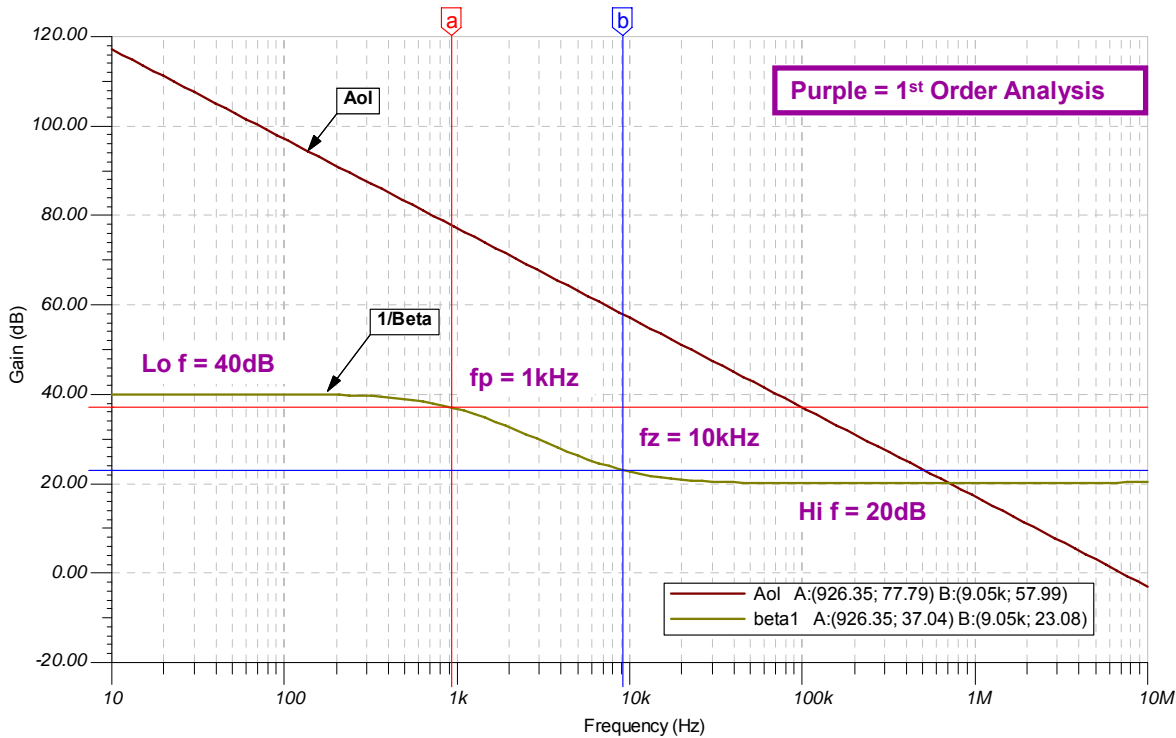
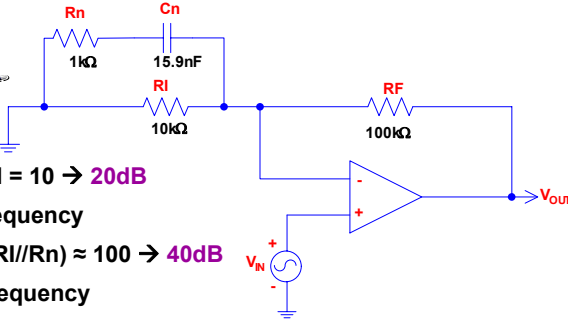


图 2.10 ZF 分析的 Tina SPICE 最佳定标结果

图字：紫线=1 阶分析

2.2 运放网络 ZI

让我们先对图 2.11 所示 ZI 网络进行 1 阶分析。这是一个运放电路中的输入网络，其中 C_n 在低频上为开路，且低频 $1/\beta$ 变成如图所示的简单 RF/RI 。而在其他极端频率上（例如高频）， C_n 为短路且高频 $1/\beta$ 变成 $(RF//RI)/R_n$ 。但当 C_p 短路时，由于 $R_n \ll RI$ ，故 R_n 应在输入电阻中占优势，因此我们将高频增益近似为 RF/R_n 。请注意，由于在运放输入路径中有一个电抗元件——电容，因此我们知道在传输函数中的某处必定有几个极点和/或零点。在 C_n 量值与并联阻抗量值相匹配的频率上（这里 RI 占优势），我们可以预计在 $1/\beta$ 曲线上会有一个零点。输入电阻将变小，故 V_{OUT} 开始增加。现在，在 C_n 量值与串联电阻 R_n 量值相匹配的频率上，我们预计会有一个极点，因为随着 C_n 接近短路，净输入电阻将不再变小，而 V_{OUT} 则会随频率的增加而变得平坦。因此通过 1 阶分析，我们可以预计出现极点与零点位置以及低频与高频 $1/\beta$ 幅度。



- $1/\beta$ Low Frequency = $RF/RI = 10 \rightarrow 20\text{dB}$
 $C_n = \text{Open at Low Frequency}$
- $1/\beta$ High Frequency = $RF/(RI//R_n) \approx 100 \rightarrow 40\text{dB}$
 $C_n = \text{Short at High Frequency}$
- Zero in $1/\beta$ when Magnitude of $X_{C_n} = RI$
 Magnitude $X_{C_n} = 1/(2 \cdot \pi \cdot f \cdot C_n)$
 $f_z = 1/(2 \cdot \pi \cdot RI \cdot C_n) = 1\text{kHz}$
- Pole in $1/\beta$ when Magnitude of $X_{C_n} = R_n$
 $f_p = 1/(2 \cdot \pi \cdot R_n \cdot C_n) = 10\text{kHz}$

图 2.11 ZI 的 $1/\beta$ 1 阶分析

图字:

- ◆ $1/\beta$ 低频 = $RF/RI = 10 \rightarrow 20\text{dB}$
 $C_n = \text{在低频上开路}$
- ◆ $1/\beta$ 高频 = $RF/(RI//R_n) \approx 100 \rightarrow 40\text{dB}$
 $C_n = \text{在高频上短路}$
- ◆ 当 X_{C_n} 值 = RI 时, $1/\beta$ 上有零点
 X_{C_n} 值 =
 $f_z = \dots\dots = 1\text{kHz}$
- ◆ X_{C_n} 值 = R_n 时, $1/\beta$ 上有极点
 $f_p = \dots\dots = 10\text{kHz}$

为验证 1 阶分析, 我们用 Tina SPICE 构造的 ZI 分析电路示于图 2.12 中。VIN 设置为直流 0V, 交流源选项则选择为将交流幅度设置为 1。我们的交流分析设置成从 10Hz 至 10MHz, 并要求保留 100 个数据点与幅度/相位数据点用于后处理。为进行“SPICE 环路增益测试”, 我们采用了带方便电压检测点 (N1、N2 及 N3) 的 L1、C1 与 VIN。从此电路上我们可看出: $A_{ol} = N2/N1$ 及 $1/\text{Beta} = N3/N1$ 。

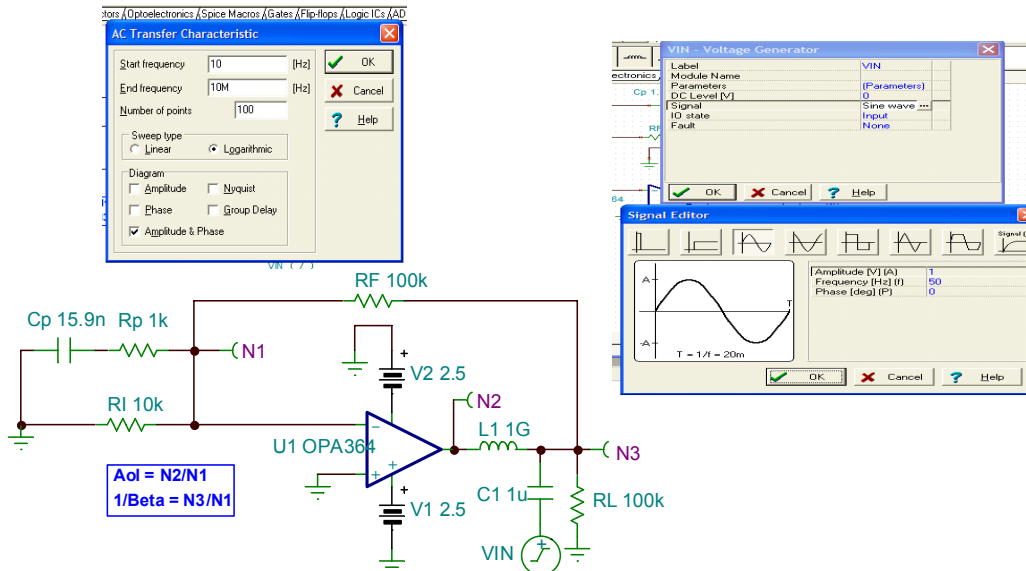


图 2.12 用于 ZI 分析的 Tina SPICE 电路

ZI 最佳定标 Tina SPICE 仿真结果示于图 2.13。紫线表示我们的 1 阶分析预测。游标设置为偏离低频 $1/\text{Beta}$ +3dB 处与偏离高频 $1/\text{Beta}$ -3dB 处的精确幅度差。1 阶分析结果与预测虽不精确，但肯定优于功能强大及直观的交流稳定性分析结果。

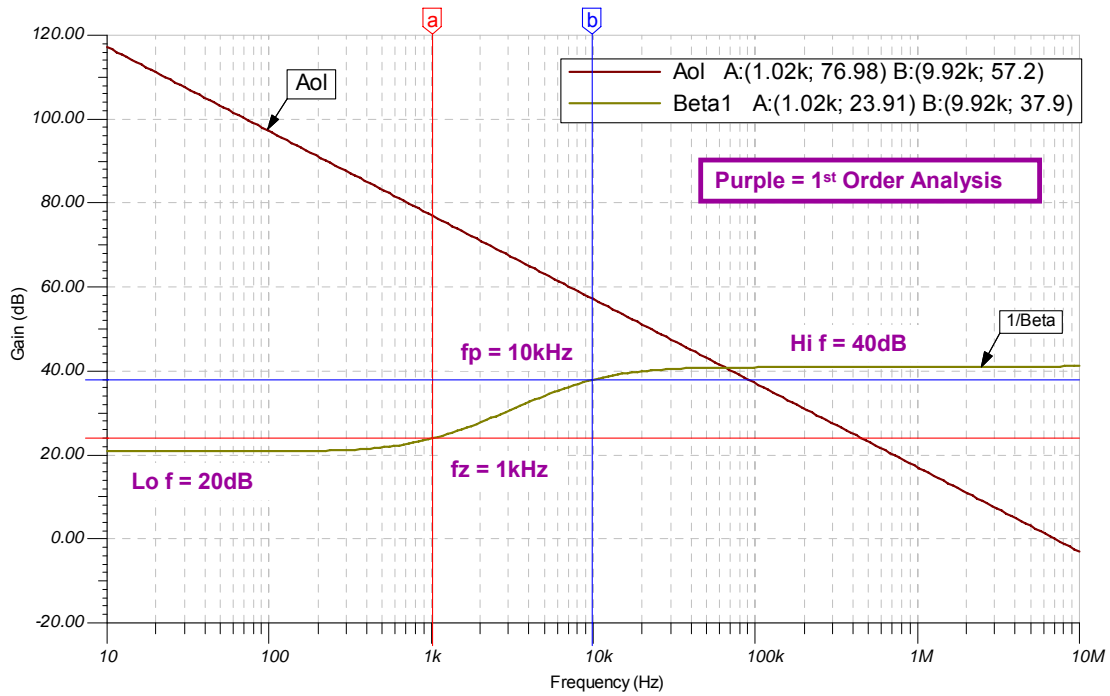


图 2.13 ZI 分析的 Tina SPICE 最佳定标结果

图字：紫线=1 阶分析

2.3 简单运放交流 SPICE 模型

正如我们所看到的，SPICE 可以是一种用来检查 1 阶分析的強大分析工具。但对于交流稳定性分析，它要求我们用运放模型来构建电路。有时我们没有 SPICE 模型，但却拥有我们准备使用的运放数据资料。例如，假设我们没有 OPA364（单电源、RRIO 及 CMOS 运放，由德州仪器公司提供的 Burr-Brown 产品）的运放模型。其数据资料给出的开环增益与相位曲线如图 2.14 所示。CMOS 运放的共同特点是，低频开环幅度与负载无关。这就是上面给出的默认 10kΩ 与 100kΩ 负载例子。从该曲线的相位部分，我们用“对数定标技术”（参见本系列第 1 部分）可确定 -45° 处于的频率为 29Hz。OPA364 的统一增益带宽在 7.4MHz 频率上测得。我们首先用双极点方法来制定一个简单运放交流模型。我们将在相位下降为 -135° 的频率上设置第二个极点 fp1。

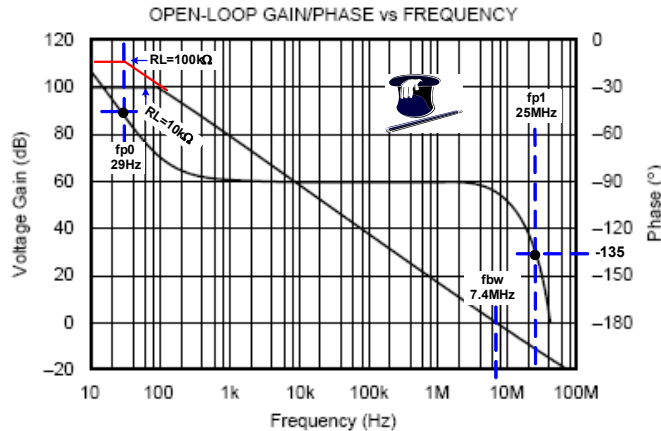


图 2.14 简单运放模型：OPA364 数据资料曲线

图字：开环增益/相位比频率、电压增益、相位、频率。

图 2.15 为 OPA364 的简单运放交流 SPICE 模型。关键频率器件为用来形成 fp0 与 fp1 的元件。请注意，压控电压源 VCV1、VCV2 及 VCV3 在频率元件之间提供完美的缓冲，并防止它们互相作用或加载。其他重要元件是 RO。RO 为运放交流小信号、开环输出阻抗。我们将在本系列的第 3 部分详细对其进行详细研究——我们将讨论如何从厂商提供的资料或通过测量来获得 RO。对于我们目前的讨论，我们将给此 OPA364 交流模型的 RO 分配一个 160Ω 的值。此模型将在 SPICE 快速运行，且如果我们主要关心的是获得一种稳定性良好的设计，则它能为我们提供所需的一切。图 2.15 还显示，我们通过带方便电压检测点（VM、VOA 及 VOUT）的 LT、CT 及 VIN 来使用“SPICE 环路增益测试”。从该电路我们可看出 $A_{ol} = VOA / VM$ 。

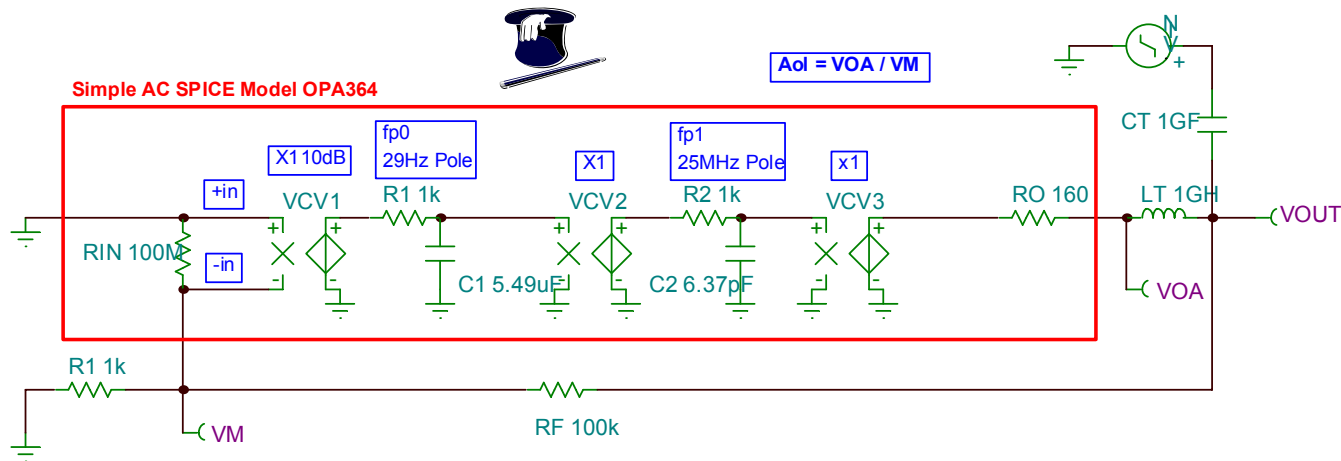


图 2.15 简单运放模型：交流 SPICE 模型

简单运放交流 SPICE 模型的最佳定标 Tina SPICE 仿真结果示于图 2.16 中。SPICE 仿真的相位结果从 180° 开始并下降至 0°，而典型数据资料曲线显示相位则从 0° 开始并下降至 -180°。这是因为大多数曲线都被看成是信号从运放正相输入至输出的结果。由 SPICE 执行后处理计算后所得到的结果以 180° 相位系数而告终，这是因为我们计算时用 VOA（运放电压输出）除以 VM（意味着 -1 系数或 180° 相位的运放反相输入）。为将此结果与数据资料进行比较，我们将 y 轴上的每一个值减去 180°。在上述相位曲线中，我们发现，在 8.68MHz 统一增益带宽频率上的 70.82° 读数，等于数据资料开环增益/相位曲线上的 -109.18° (70.82 - 180)。这接近前一张图中的数据资料曲线在 fbw=7.4MHz 处的相移。如果我们希望模型与 fbw=7.4MHz 精确匹配，则我们可能需要稍微减少低频 Aol 的幅度。

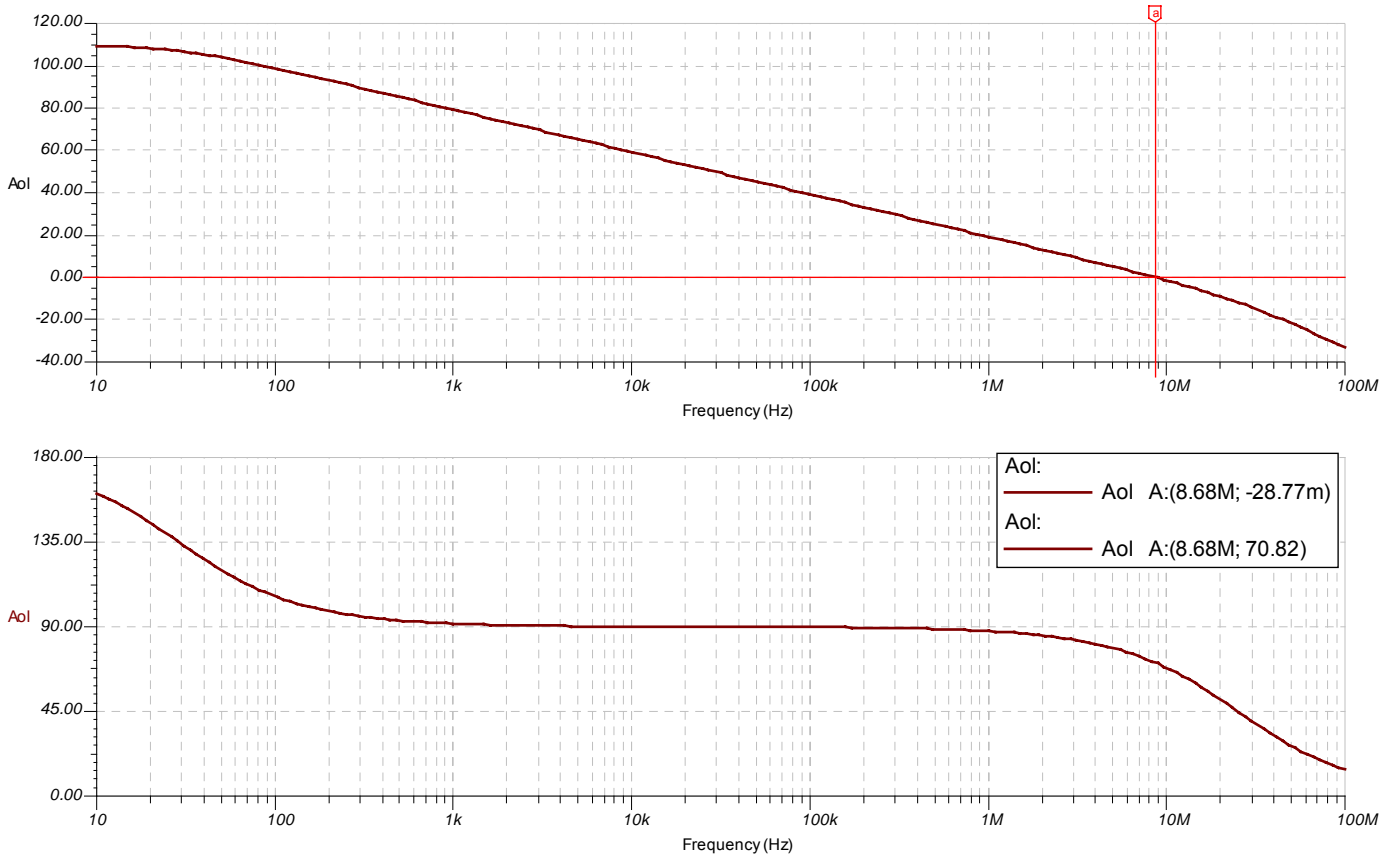


图 2.16 简单运放模型：交流 SPICE 仿真结果

2.3 详细运放交流 SPICE 模型

现在，如果我们想复制 OPA364 的高频相位影响，我们可以创建一个详细运放 SPICE 模型。在图 2.17 所示的数据资料开环增益/相位曲线图上，我们以多倍 $-45^\circ/\text{decade}$ 斜率画出几条相位斜线。此信息使我们能计算出需在何处放置更高阶极点我们才能获得如图所示的响应。

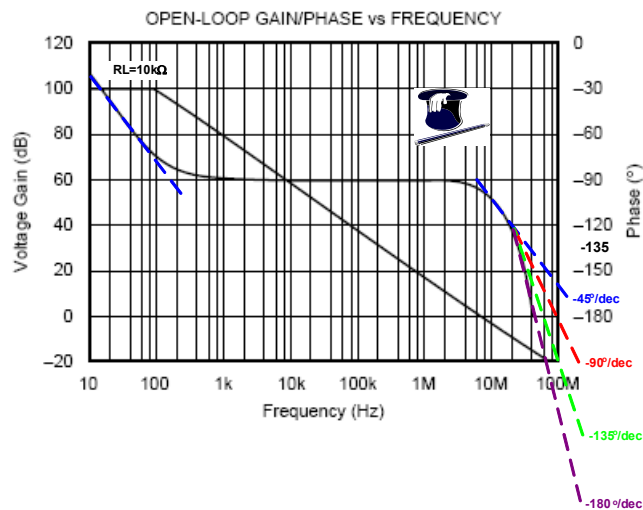


图 2.17 详细运放模型：OPA364 数据资料曲线

图字：开环增益/相位比频率、电压增益、相位、频率。

从图 2.17，我们能将相位斜率信息转换为可产生这种响应的器件。在图 2.18 中，我们将 fp_0 置于在前一张图中的数据资料曲线上相位为 -45° 的频率上，而将 fp_1 置于开环相位为 -135° 的频率上。从图 2.17 可看出，从 20MHz

开始，必定有 $-180^\circ/\text{decade}$ 的斜率。 $-45^\circ/\text{decade}$ 的斜率则来自 $fp1$ 。因此，由于极点对低于和高于实际极点位置十倍频程处的频率有相位影响，因此我们知道在 20MHz 以上十倍频程处，我们必须拥有 3 个额外极点才能得到所需的斜率。这可以图形显示为 $ftp3$ ($fp3$ 处的三个极点)。从 20MHz 开始的斜线一定为 $-45^\circ/\text{decade}$ ，且经过一个十倍频程，我们将看到 $ftp3$ 的实际位置 (200MHz)。这种图形技术使我们很容易综合所需的相位响应，并绘出各极点和/或零点之和。

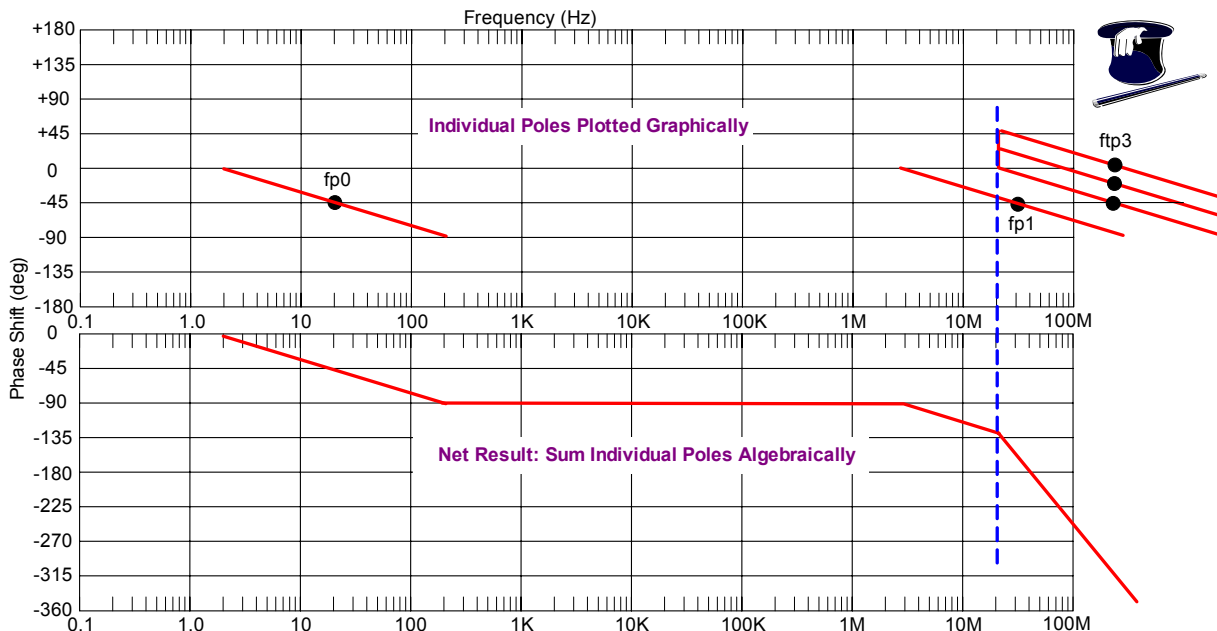


图 2.18 详细运放模型：Aol 相位响应图

图字：所绘出的单个极点、净结果：单个极点代数之和。

详细运放交流模型增加 3 个高频极点来与数据资料开环增益/相位曲线匹配，如图 2.19 所示。

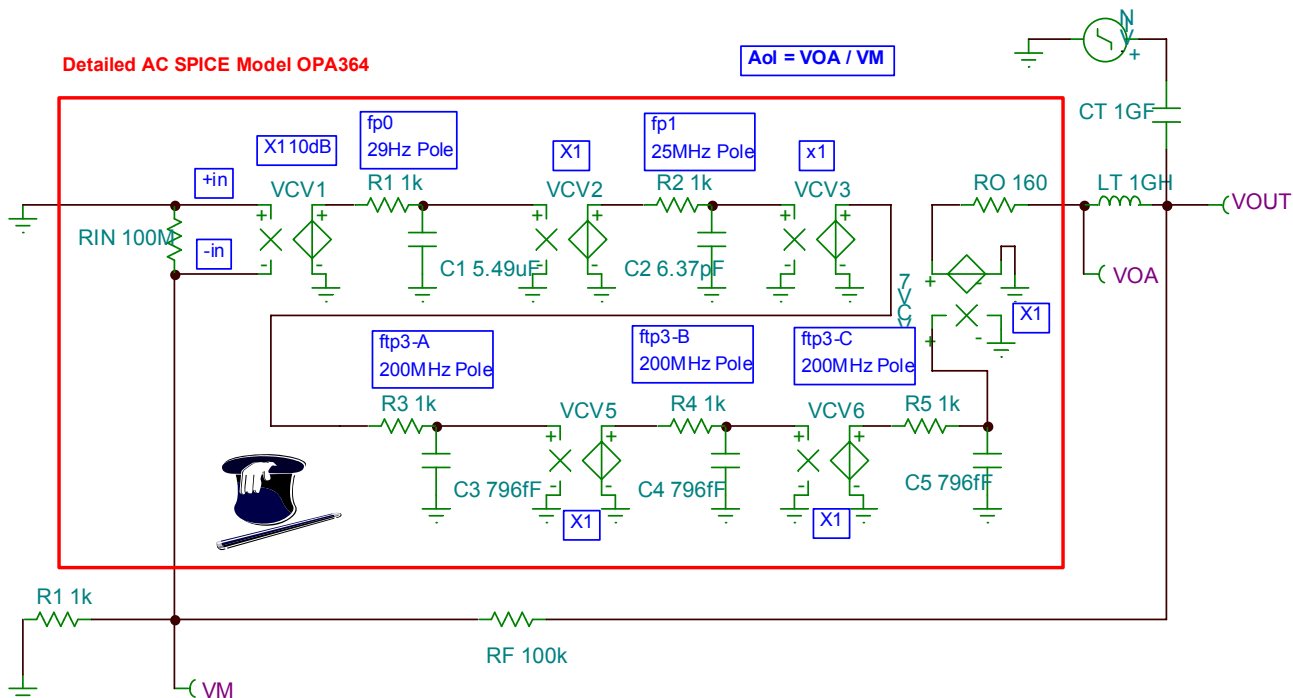


图 2.19 详细运放模型：交流 SPICE 模型

详细运放交流 SPICE 模型的最佳定标 Tina SPICE 仿真结果示于图 2.20 中。如果将这些结果与数据资料开环增益/相位曲线进行比较，我们会发现，我们的详细运放交流 SPICE 模型得到的结果与资料上给出的结果非常接近。对于大多数运放稳定性分析而言，简单运放交流 SPICE 模型已经够用。但当性能与带宽要求提高时，我们也拥有可对运放高频相移进行建模的更精确方法。

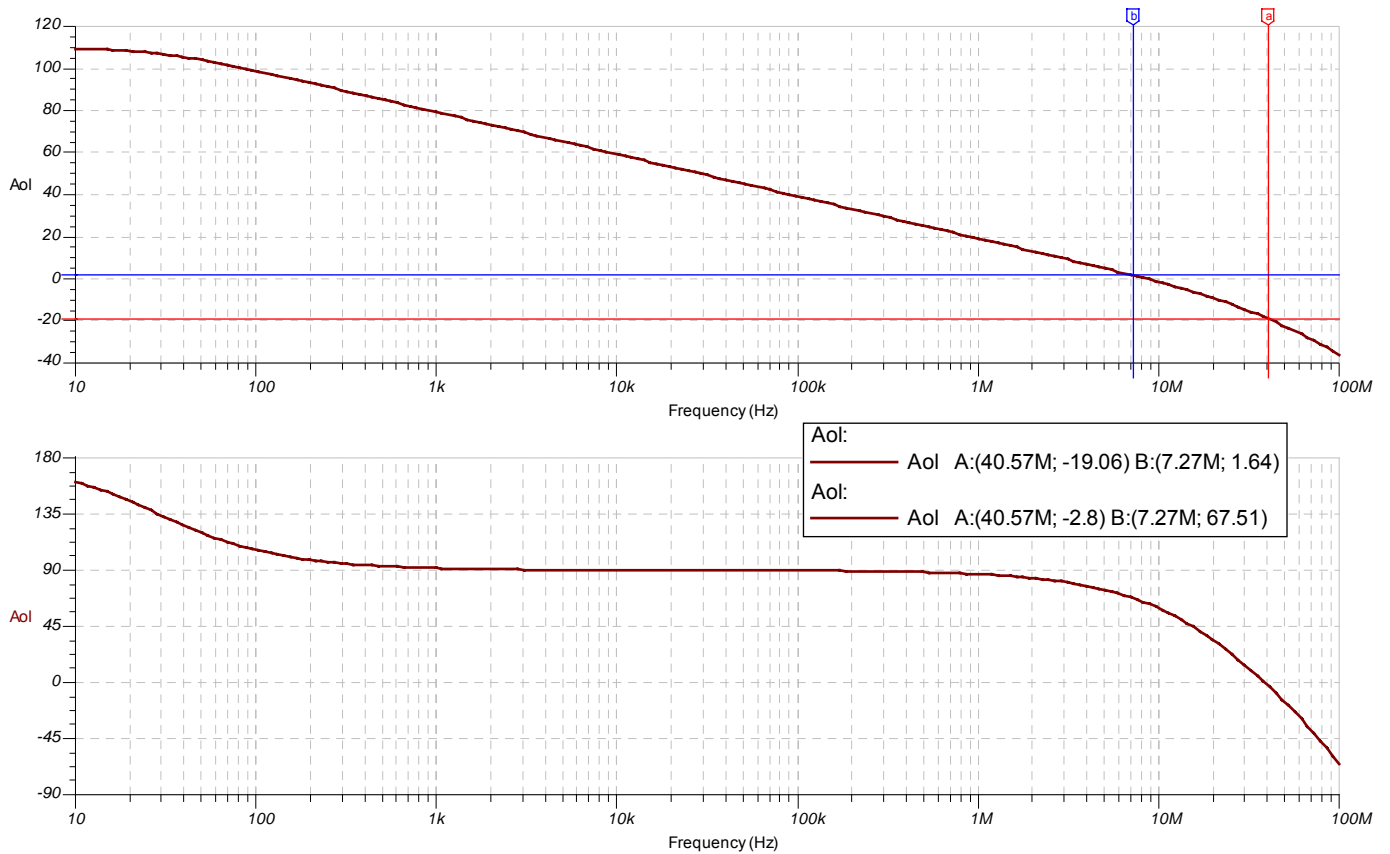
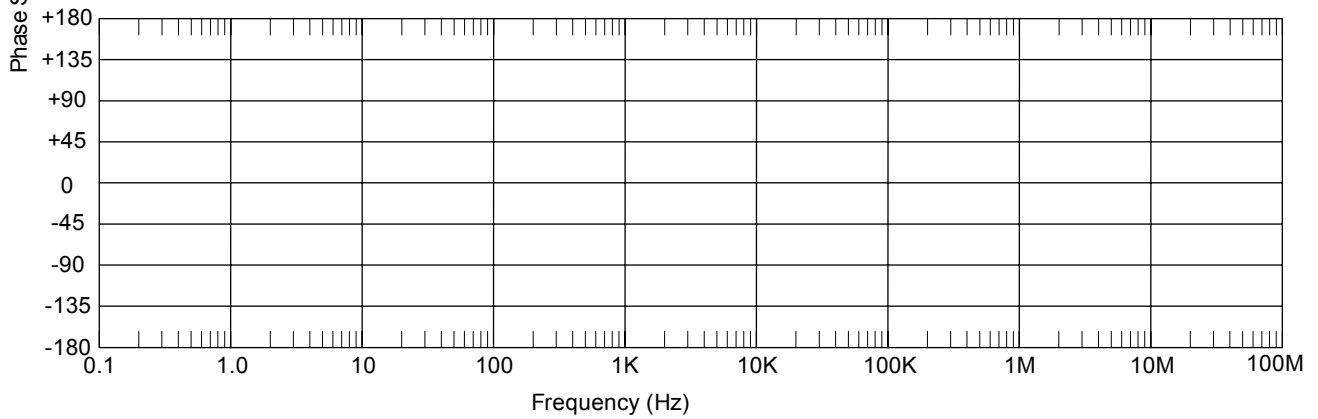
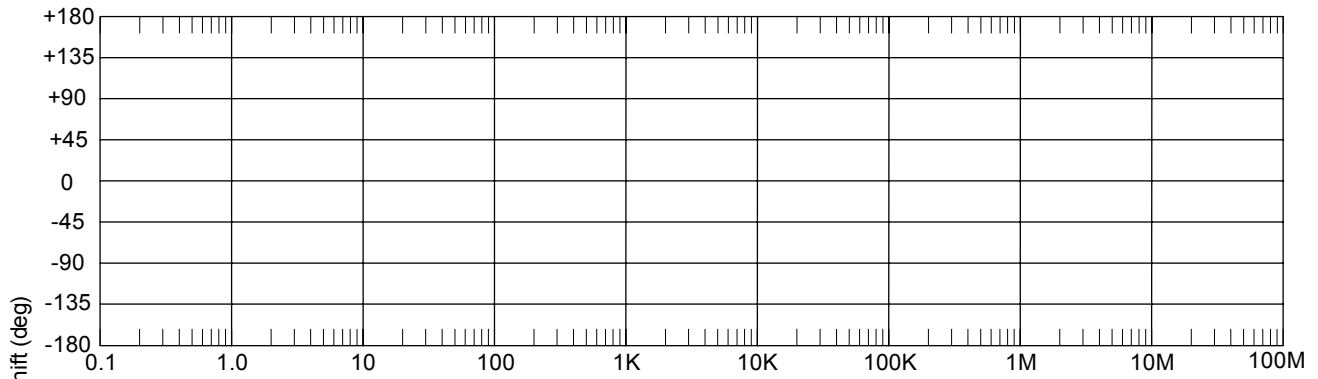
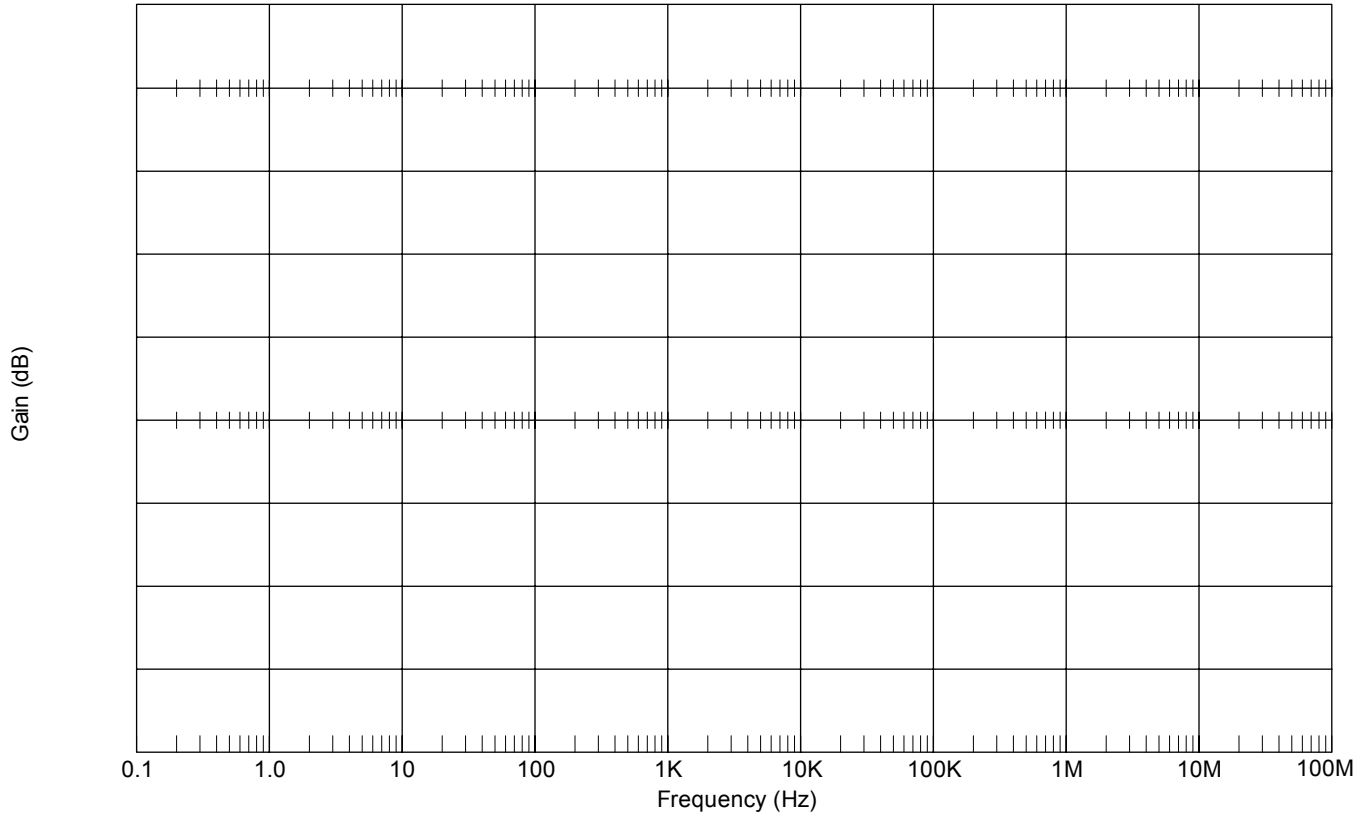


图 2.20 详细运放模型：交流 SPICE 仿真结果

2.4 附录：空白幅度与相位曲线

为便于进行 1 阶分析，本部分的最后两页给出了一张空白幅度与相位曲线图。



运算放大器的稳定性

第 3 部分（共 15 部分）：R_O与R_{OUT}

作者：Tim Green，德州仪器公司

本系列第 3 部分将着重澄清有关运放“输出阻抗”的一些常见误解。我们将会为运放定义两种不同的输出阻抗——R_O和R_{OUT}。R_O 在我们开始稳定正在驱动容性负载的运放电路时变得极其有用。我们将介绍几种从运放厂商数据资料上得出R_O 的简单技术，此外还会给出几种针对其数据资料不包含R_O指标的运放的实测技术。我们还将介绍一种使用SPICE 运放模型和R_O 的技巧，这种技巧将使您能使用SPICE环路增益测试并将R_O作用包括进去（这对容性负载驱动电路极其有用）。

R_O和R_{OUT}的定义与推导

这里，并且在本系列的各处，R_O 定义为运放的开环输出阻抗。R_{OUT}定义为运放的闭环输出阻抗。图 3.0 突出了这两种不同阻抗间的重要差别。

R_O = Op Amp Open Loop Output Resistance

R_{OUT} = Op Amp Closed Loop Output Resistance

图 3.0: R_O 和 R_{OUT}的定义与推导

图字：R_O=运放开环输出阻抗，R_{OUT}=运放闭环输出阻抗

图 3.0 显示R_O 和 R_{OUT}。R_{OUT}为减小了环路增益倍的R_O。图 3.1 定义用于从R_O 导出 R_{OUT}的运放模型。此简化运放模型专门用于描述运放的基本直流特征。在-IN与+IN之间具有高输入阻抗（100 mΩ 到 GΩ）。-IN与+IN之间的压差在R_{DIFF}上形成误差电压V_E。该误差电压V_E被放大开环增益系数A_{ol}倍后变成V_O。串联在V_O至输出电压V_{OUT}之间的就是R_O——开环输出阻抗。

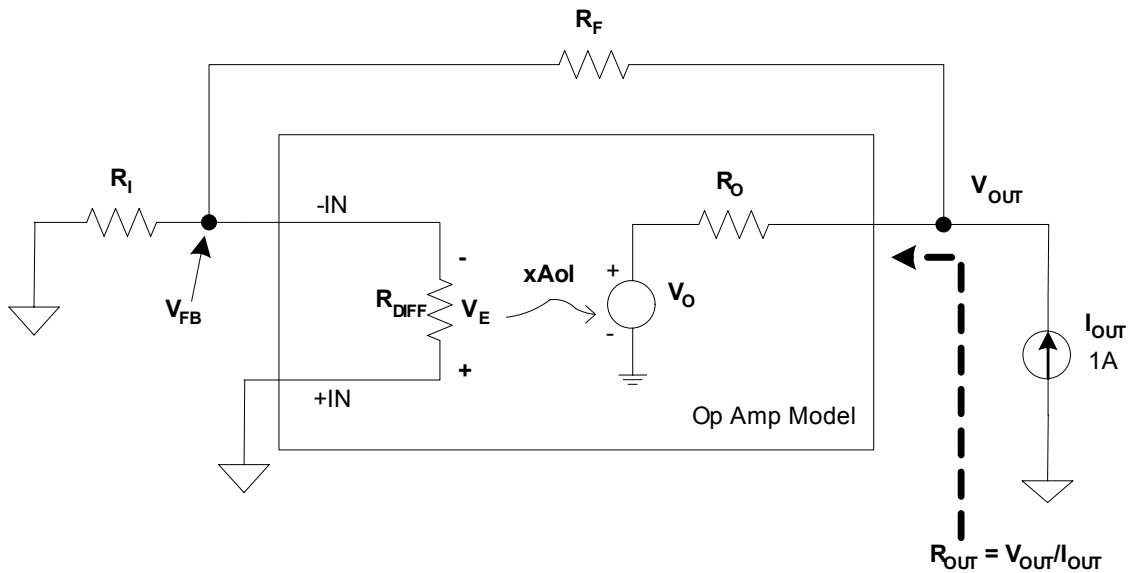


图 3.1: 用于推导R_{OUT}的运放模型

利用图 3.1 所示的运放模型，我们可得出R_{OUT}为R_O 和 A_{ol}β函数。这一推导的详细过程在图 3.2 中给出。我们看到，环路增益A_{ol}β缩小R_O，从而对于较大的A_{ol}β值，带反馈的运放的输出阻抗R_{OUT}会比R_O低得多。

$$1) \beta = V_{FB} / V_{OUT} = [V_{OUT} (R_i / \{R_F + R_i\})] / V_{OUT} = R_i / (R_F + R_i)$$

$$2) R_{OUT} = V_{OUT} / I_{OUT}$$

$$3) V_O = -V_E A_{ol}$$

$$4) V_E = V_{OUT} [R_i / (R_F + R_i)]$$

$$5) V_{OUT} = V_O + I_{OUT} R_O$$

$$6) V_{OUT} = -V_E A_{ol} + I_{OUT} R_O \text{ Substitute 3) into 5) for } V_O$$

$$7) V_{OUT} = -V_{OUT} [R_i / (R_F + R_i)] A_{ol} + I_{OUT} R_O \text{ Substitute 4) into 6) for } V_E$$

$$8) V_{OUT} + V_{OUT} [R_i / (R_F + R_i)] A_{ol} = I_{OUT} R_O \text{ Rearrange 7) to get } V_{OUT} \text{ terms on left}$$

$$9) V_{OUT} = I_{OUT} R_O / \{1 + [R_i A_{ol} / (R_F + R_i)]\} \text{ Divide in 8) to get } V_{OUT} \text{ on left}$$

$$10) R_{OUT} = V_{OUT} / I_{OUT} = [I_{OUT} R_O / \{1 + [R_i A_{ol} / (R_F + R_i)]\}] / I_{OUT}$$

Divide both sides of 9) by I_{OUT} to get R_{OUT} [from 2)] on left

$$11) R_{OUT} = R_O / (1 + A_{ol} \beta) \text{ Substitute 1) into 10)}$$

$$R_{OUT} = R_O / (1 + A_{ol} \beta)$$

图 3.2: R_{OUT} 的推导

图字:

6) ...将 3) 代入 5) 替换 V_O

7) ...将 4) 代入 6) 替换 V_E

8) ...整理 7) 得到左边形式的 V_{OUT}

9) ...在 8) 中两边相除得到左边的 V_{OUT}

10) .. 9) 两边同时除以 I_{OUT} , 得到左边的 R_{OUT} [从(2)]

11) ..将 1) 代入 10)

从数据资料曲线上计算 R_O

OPA353 为宽带 (UGBW=44MHz、SR=22V/ μ S、Settle to 0.1%=0.1 μ s) CMOS、单电源 (2.7V至 5.5V)、RRIO (轨至轨输入和输出) 运放。在厂家数据资料中的规格表中没有给出 R_O 的指标。不过, 在典型性能曲线中有两条有助于我们确定 R_O 的的曲线。我们需要使用开环增益/相位与频率关系曲线 (见图 3.3) 和闭环输出阻抗与频率关系曲线 (见图 3.4) 来方便地计算 R_O 。闭环输出阻抗与频率关系曲线实际上是 R_{OUT} 与频率关系曲线。在电压反馈运放的统一增益带宽内, R_O 与 R_{OUT} 主要是阻性的。在图 3.4 所示的闭环输出阻抗与频率关系曲线上, 我们选择 $G=10$ 的曲线和 x 轴上的点 1 MHz (只是选择一个容易读取的数据点)。在 1 MHz 和 $G=10$ 曲线的交叉点上, 我们看到 $R_{OUT}=10\Omega$ 。在图 3.3 所示的开环增益/相位与频率关系曲线上, 我们在 x 轴上找到 1 MHz 的频率点, 且读出开环增益为 29.54dB (我们使用标尺来测量这个值, 并根据线性 dB y 轴按比例得出结果。这一测量是在剪切得到、且经过尽可能放大后的曲线上进行的)。图 3.5 给出了从图 3.3 和 3.4 中收集到的信息来推导 R_O 的详细过程。现在从我们针对 R_O 的公式, 我们整理出用 R_{OUT} 、 A_{ol} 、和 β 给出的 R_O 等式。由这个等式以及我们的数据资料信息, 我们计算出 OPA353 的 R_O 为 40 Ω 。

OPA353 Specifications:

$A_{ol} @ 1\text{MHz} = 29.54\text{dB} = \times 30$

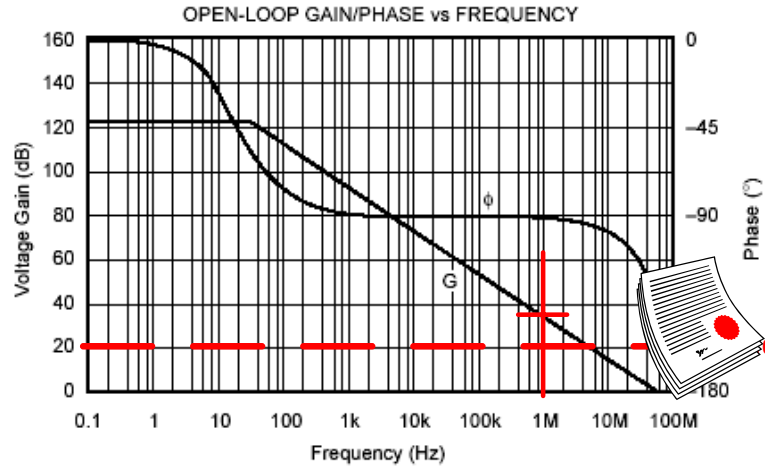
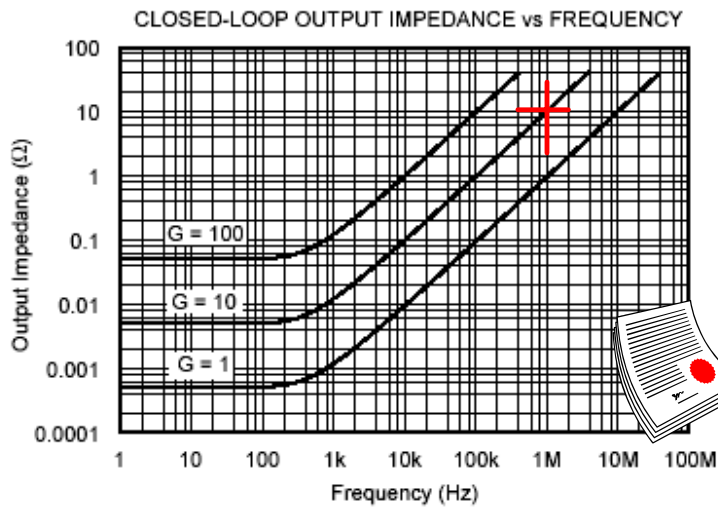


图 3.3: OPA353 Aol 曲线

图字: OPA353 技术规格、开环增益/相位与频率关系曲线、电压增益、相位、频率。



OPA353 Specifications:

$R_{OUT} (@ 1\text{MHz}, G=10) = 10\Omega$

图 3.4: OPA353 闭环输出阻抗曲线

图字: OPA353 技术规格、闭环增益/相位与频率关系曲线、电压增益、相位、频率。

OPA353 R_o Calculation

$$R_{OUT} = R_o / (1 + A_{ol}\beta)$$

$$R_o = R_{OUT} (1 + A_{ol}\beta)$$

$$R_o = 10\Omega (1 + 30[1/10])$$

$$R_o = 40\Omega$$

图 3.5: OPA353 R_o 计算

我们可用图 3.1 中用于从 R_O 推导 R_{OUT} 的运放模型以及从 OPA353 数据资料中得到的信息来填写模型中的实际值，如图 3.6 所示。因此我们看到，我们的模型与真实运放的关系怎样。请注意，在这个模型中，我们将 V_O 定义为 R_O 之前运放的输出，并且将 V_{OUT} 定义为实际的运放输出。当然在真实运放中我们只能得到 V_{OUT} ，但这个模型以及我们可以真实数据来建立这个模型的事实稳定性分析当中将会非常有效。

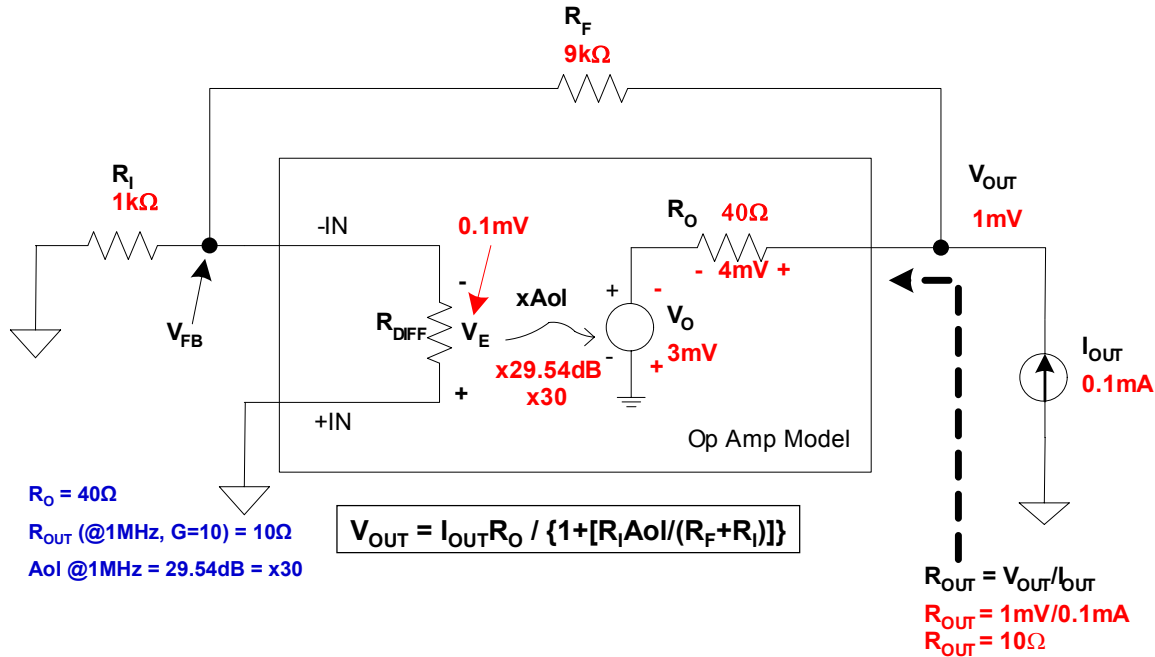


图 3.6: 利用运放模型来计算 OPA353 的 R_O

R_O 和 R_{OUT} 要点概述

图 3.7 着重强调了 R_O 与 R_{OUT} 之间的主要差别。图 3.8 总结了 R_O 的要点。

- R_O does NOT change when Closed Loop feedback is used
- R_{OUT} is the effect of R_O , A_{oI} , and β controlling V_O
 - ✓ Closed Loop feedback (β) forces V_O to increase or decrease as needed to accommodate V_O loading
 - ✓ Closed Loop (β) increase or decrease in V_O appears at V_{OUT} as a reduction in R_O
 - ✓ R_{OUT} increases as Loop Gain ($A_{oI}\beta$) decreases

图 3.7; R_O 比 R_{OUT}

图字:

在使用闭环反馈时 R_O 不变

R_{OUT} 为 R_O 、 A_{oI} 和 β 控制 V_O 的结果

- 根据补偿 V_O 负载的需要，闭环反馈 (β) 迫使 V_O 增大或减小
- 闭环反馈 (β) 增大或减小 V_O ，在 V_{OUT} 上表现为 R_O 减小
- R_{OUT} 随环路增益 ($A_{oI}\beta$) 减小而增大



- R_O is constant over the Op Amp's bandwidth
- R_O is defined as the Op Amp's Open Loop Output Resistance
- R_O is measured at $I_{OUT} = 0$ Amps, $f = 1$ MHz
(use the unloaded R_O for Loop Stability calculations since it will be the largest value \rightarrow worst case for Loop Stability analysis)
- R_O is included when calculating β for Loop Stability analysis

图 3.8: R_O 关键点

图字:

- R_O 在运放带宽上为常数
- R_O 定义为运放的开环输出电阻
- R_O 是在 $I_{OUT}=0$ 安培、 $f=1$ MHz的情况下测得的（使用未加载 R_O 进行环路稳定性计算，因为它将是最大值 \rightarrow 环路稳定性分析的最坏情况）
- 在进行环路稳定性分析计算 β 时包含 R_O

R_O 与SPICE仿真

In Fig. 3.9 we show a Simple AC SPICE Model for the OPA353. Here we use the 40Ω we computed for R_O . Notice that we break the loop for AC Stability Analysis here using the SPICE Loop Gain Test. The loop break is made between R_O and V_O in order to analyze the effects of R_O on $1/\beta$. This will become extremely important in stabilizing capacitive loads driven by op amps (this topic will be covered in detail in Part 7 and Part 8 of this series).

在图 3.9 中，我们给出了用于 OPA353 的简单 AC SPICE 模型。这里我们使用我们计算出来的 40Ω 的 R_O 。注意，为了在这里使用 SPICE 环路增益测试进行 AC 稳定性分析，我们断开了环路。环路断开是在 R_O 和 V_O 之间进行的，以便分析 R_O 对 $1/\beta$ 的影响。在分析由运放驱动的容性负载的情况下，这是极其重要的（这个主题将在本系列文章的第 7 和第 8 部分中详细介绍）。

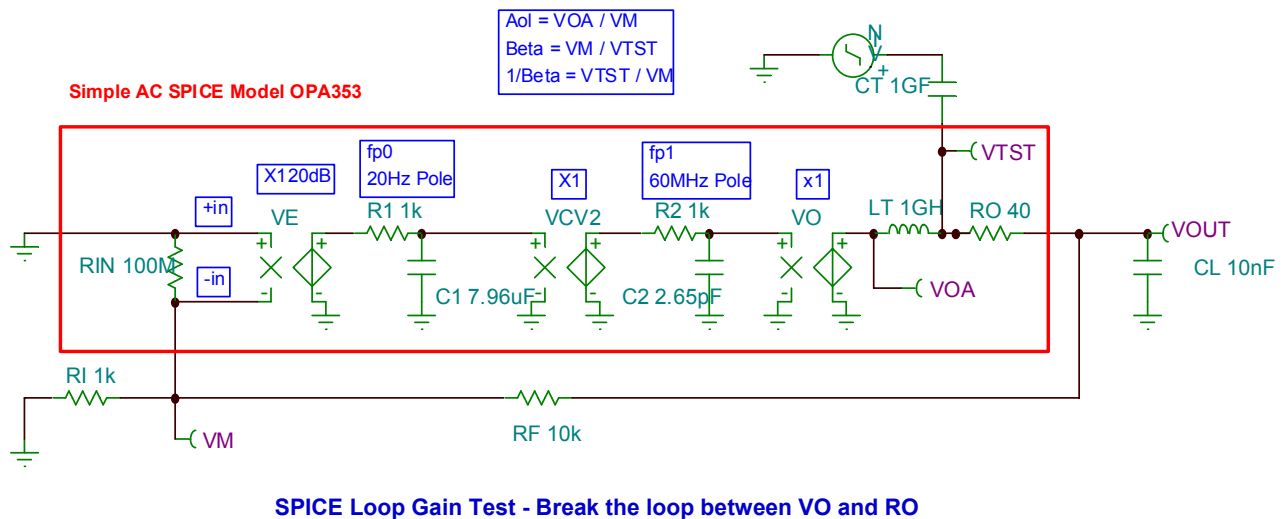


图 3.9: 带 R_O 的简单交流 SPICE 模型

图字: 简单交流 SPICE 模型 OPA353、SPICE 环路增益测试—断开 V_O 与 R_O 之间的环路

对于给定现有厂商的运放SPICE模型，我们可方便地增加一个外部 R_o ，从而在我们用SPICE环路增益测试来找出 $1/\beta$ 时，我们能包含进 R_o 的影响。在如图 3.10 所示经过改造的 R_o SPICE宏模型中，我们增加了一个增益等于 1 的可控电压电压源 (VCVS) VO。这能将运放的输出与任何内部 R_o 隔开，内部 R_o 是由与VOA连接的所有元件内部模拟的。现在我们可以将VCVS (VO) 后面加上我们自己的 R_o ，并且断开VO与 R_o 之间的环路，其中在分析容性负载及其对 $1/\beta$ 的影响时，希望 R_o 包含 R_o 的影响。

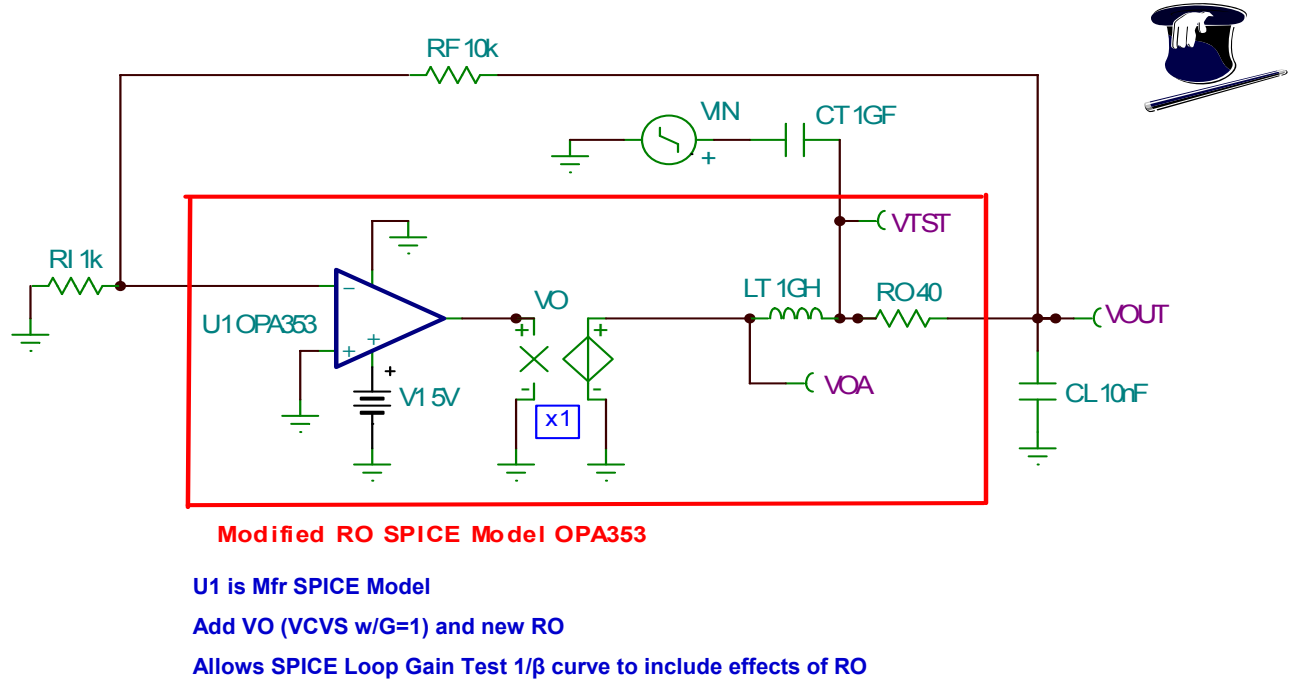


图 3.10: 改造后的 R_o SPICE 宏模型

图字: 改造后的 RO SPICE 模型 OPA353、U1 为 Mfr SPICE 模型、加入 VO(VCVS w/G=1)和新的 RO、使 SPICE 环路增益测试 $1/\beta$ 曲线包含 RO 的影响。

单电源运放的真实 R_o

图 3.11 列出了一些针对很多单电源运放的实测 R_o 。请注意，我们分析得出 $R_o=40\Omega$ 的 OPA353 测量值为 44Ω 。这一接近的相互关系是因为我们所使用的从厂商数据资料中得到的数据也同样是对典型元件进行测量得出的数据！

Part	R_o (ohms)	Part	R_o (ohms)	Part	R_o (ohms)
OPA132	80	OPA348	600	OPA627	55
OPA227	40	OPA350	50	OPA684	50
OPA277	10	OPA353	44	THS4503	14
OPA300	20	OPA354	35	TLC080	100
OPA335	90	OPA355	40	TLC081	100
OPA336	250	OPA356	30	TLC2272	140
OPA340	80	OPA363	160	TLE2071	80
OPA343	80	OPA380	30	TLV2461	173

图 3.11: 某些单电源运放的真实 R_o

R_O的实测技术

如果我们没有任何厂商提供的R_O指标而我们又想知道，那我们该怎么办？有两种真实的测量技术可用来测量R_O。每种方法都是从察看开环增益/相位曲线与频率的关系曲线开始。图 3.12 给出了OPA364 的这一曲线，OPA364 为宽带（UGBW=7MHz、SR=5V/uS、Settle to 0.1%=1.5us）CMOS、单电源（1.8V 至 5.5V）、RRIO（轨至轨输入和输出）运放，它具有“在共模范围内的线性偏移”。如果我们选择以增益 100 和 1 MHz 频率来对此运放进行测试，那么将不会有环路增益Aolβ。因此，如果我们在这些条件下测量R_{OUT}，我们实际上将得到R_O值。

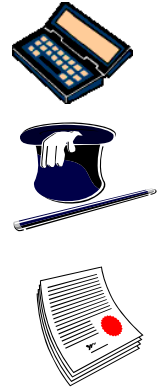
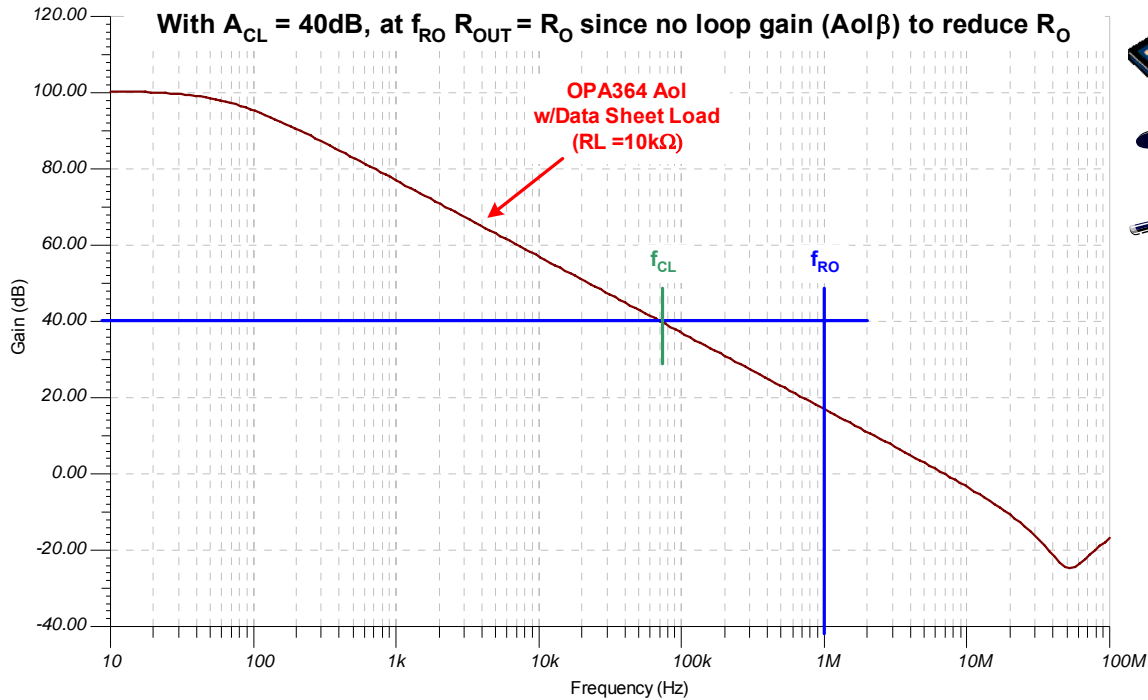


图 3.12: 测量R_O的技巧

图字：采用A_{CL}=40dB、在f_{RO}上R_{OUT}=R_O，因为没有环路增益 (Aolβ) 来减小R_O
OPA364 Aol w/数据资料负载、增益、频率

图 3.13 所示的测试电路显示实际测量R_O的一种方法。这种方法我们称其为R_O激励法。这里OPA364 的输出通过交流耦合电容C1 进行激励。这是为了确保不会因任何直流电流使放大器负担过重。大多数运放的R_O会随激励它们的电流增大而变小。我们想要在R_O具有最大值的情况下测量R_O（该最大值将会引起交流稳定性分析中的大多数问题）。按照此项技术，对放大器输出端的电压VO进行测量。而且还要测量交流耦合电容C1 与限流电阻R3 接点处的电压VTest。计算进入运放输出端的电流并用该电流来除以运放的电压，以给出测得的R_O值。请注意，虽然OPA364 为单电源运放（1.8V 到 5.5V），但我们可以想办法让它工作在 +2.5V 和 -2.5V上，以避免输入或输出信号产生更复杂的电平移位。

注意：在“激励法”中使用的所有的测量值都必须是没有任何直流分量的交流电压。如果有谁使用TINA SPICE中的交流分析/计算节点电压，他将会得到在节点上读取的rms电压，该电压包括电路中的直流电压（即，涉及输出的偏移）。如果与交流电压分量相比，该偏移电压很明显，则可能计算出错误的R_O。在图 3.13 中，我们虽采用了交流分析/计算节点电压，但VOA上的直流偏移大约为 87.63μV，相比于 34.87mV 和 353.55mV 的rms值，还是交流电压分量占优势。





图 3.13: 测量 R_O 的激励法

图 3.14 和图 3.15 所示测试电路显示另一种实际测量 R_O 的方法。该方法先获取在运放加载和不加载情况下的电压读数，然后再计算 R_O 。对于我们的测量，我们仍然需要使用高频率和高增益组合来确保没有环路增益减小 R_{OUT} 。在这种结构中，向运放输入端输入较小的交流信号。反相或正相增益将会起作用。在图 3.14 中，我们测量 V_{OUT} ，即未加载电压。请注意，这是一个较小输出电压值，因此当我们对其加载时，我们不会拉出很大的电流，因为我们正在寻求的是未加载（因而是最高） R_O 值。

注意：在“负载法”中所使用的所有测量值都必须是没有任何直流分量的交流电压。如果有谁使用 TINA SPICE 中的 AC 分析/计算节点电压，则他会得到在节点上读取的 rms 电压，该电压包括电路中的直流电压（即，涉及输出的偏移）。如果与交流电压分量相比，该偏移电压比较明显，则将计算出错误的 R_O ！

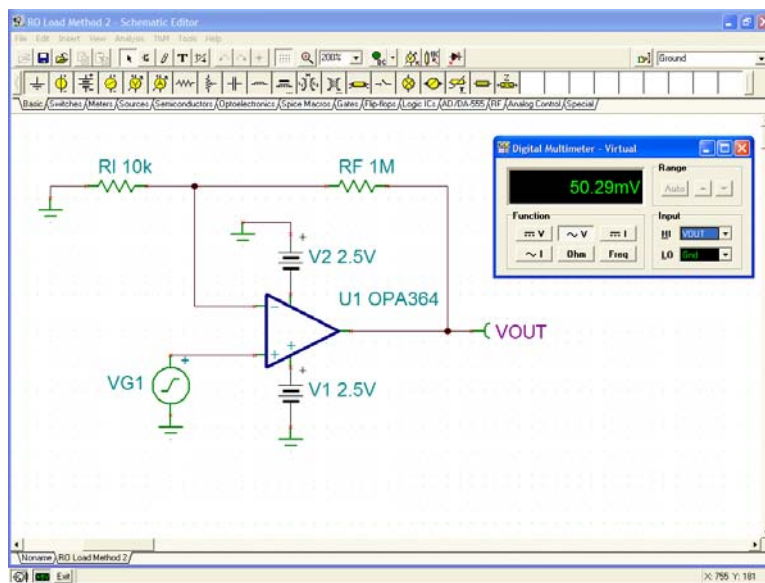


图 3.14: 测量 R_O 的负载法, V_{OUT} 未加载

在图 3.15 中，我们测量将 RL 连接到运放输出端时的 VOUT 加载值 VOUTL。注意，RL 值为是多大，以不会造成大电流流入或流出运放输出端为准。

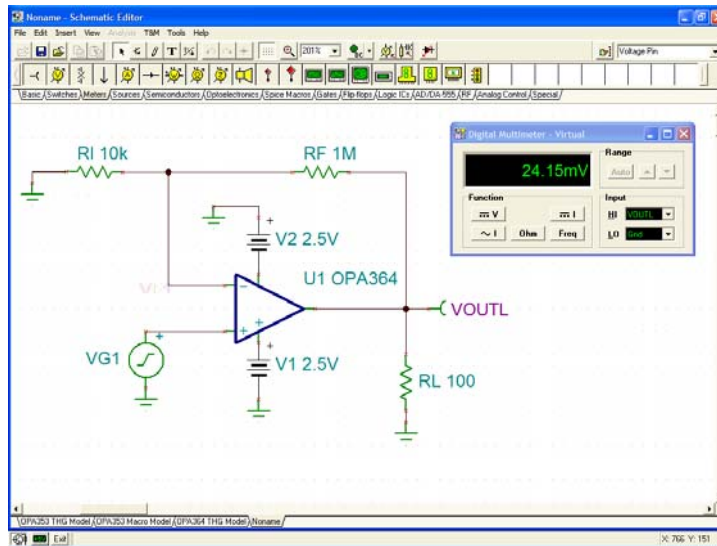


图 3.15: 测量 RO 的负载法, VOUT 加载

现在我们完成了对 RO 的负载法测量，进行简单的计算即可得到 RO 值。无论是否存在负载 RL，未加载值 VOUT 总是为 VO。由此我们可创建图 3.16 中的最终模型。经检查，IOUT 正好为 VOUTL / RL。RO 上的压降为 VOUT - VOUTL。RO 上的压降除以电流，即得出如这张幻灯片中所示的 RO 值。请注意，这种方法得出 RO = 108.2Ω，而 RO 激励法得出的则是 RO = 109.42Ω。对于测量真实的 RO，两种方法都是可以接受的。

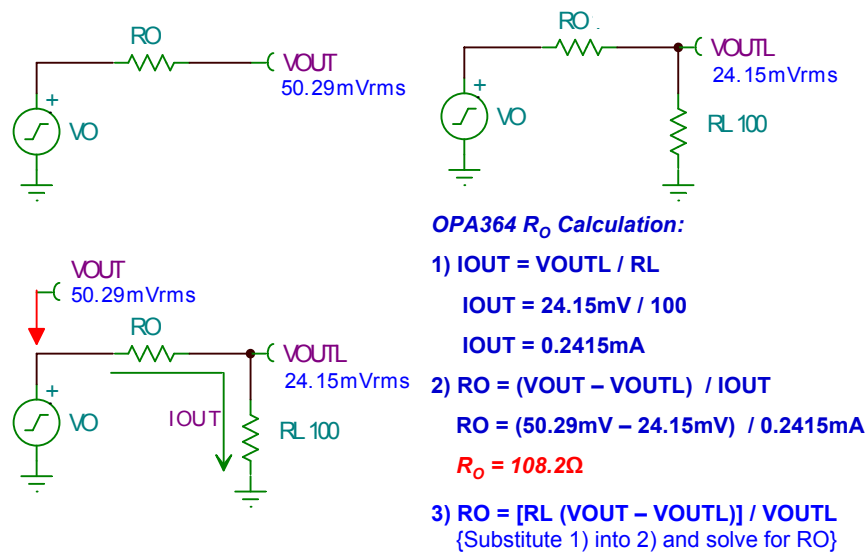


图 3.16: 测量 RO 负载法 计算过程

图字：OPA364 RO 计算、将 1) 代入 2) 并求解 RO

参考文献:

Frederiksen, Thomas M. , “直观运放，从基础到应用”，修订版，McGraw-Hill 出版公司，纽约，1988 年。

运算放大器的稳定性

第 4 部分 (共 15 部分) : 环路稳定性主要技巧与经验

作者: Tim Green, TI 公司

本系列的第 4 部分着重讨论了环路稳定性的主要技巧与经验。首先,我们将讨论 45 度相位及环路增益带宽准则,考察了在 Aol 曲线与 $1/\beta$ 曲线以及环路增益曲线 $Aol\beta$ 中的极点与零点之间的互相转化关系。我们还将讨论用于环路增益稳定性分析的频率“十倍频程准则”。这些十倍频程准则将被用于 $1/\beta$ 、 Aol 及 $Aol\beta$ 曲线。我们将给出运放输入网络 ZI 与反馈网络 ZF 的幅度“十倍频程准则”。我们将开发一种用于在 $1/\beta$ 曲线上绘制双反馈路径的技术,并将解释为何在使用双反馈路径时应该避免出现“BIG NOT”这种特殊情况。最后,我们将给出一种便于使用的实际稳定性测试方法。在本系列的第 5 部分中,这些关键工具的综合使用使我们能够系统而方便地稳定一个带有复杂反馈电路的实际运放应用。

环路增益带宽准则

已确立的环路稳定性标准要求要求在 f_{cl} 处相移必须小于 180 度, f_{cl} 是环路增益降为零时的频率。在 f_{cl} 处的相移与整个 180 度相移之间的差定义为相位余量。图 4.0 详细给出了建议用于实际电路的经验,亦即在整个环路增益带宽 ($f \leq f_{cl}$) 中设计得到 135 度的相移(对应于 45 度的相位余量)。这是考虑到,在实际电路中存在着功率上升、下降及瞬态情况,在这些情况下,运放在 Aol 曲线上的改变可能会导致瞬态振荡。而这种情况在功率运放电路中是特别不希望看到的。由于存在寄生电容与印制板布局寄生效应,因此这种经验还考虑在环路增益带宽中用额外的相位余量来考虑实际电路中的附加相移的。此外,当环路增益带宽中相位余量小于 45 度时,即可能在闭环传输函数中导致不必要的尖峰。相位余量越低及越靠近 f_{cl} ,则闭环尖峰就会越明显。

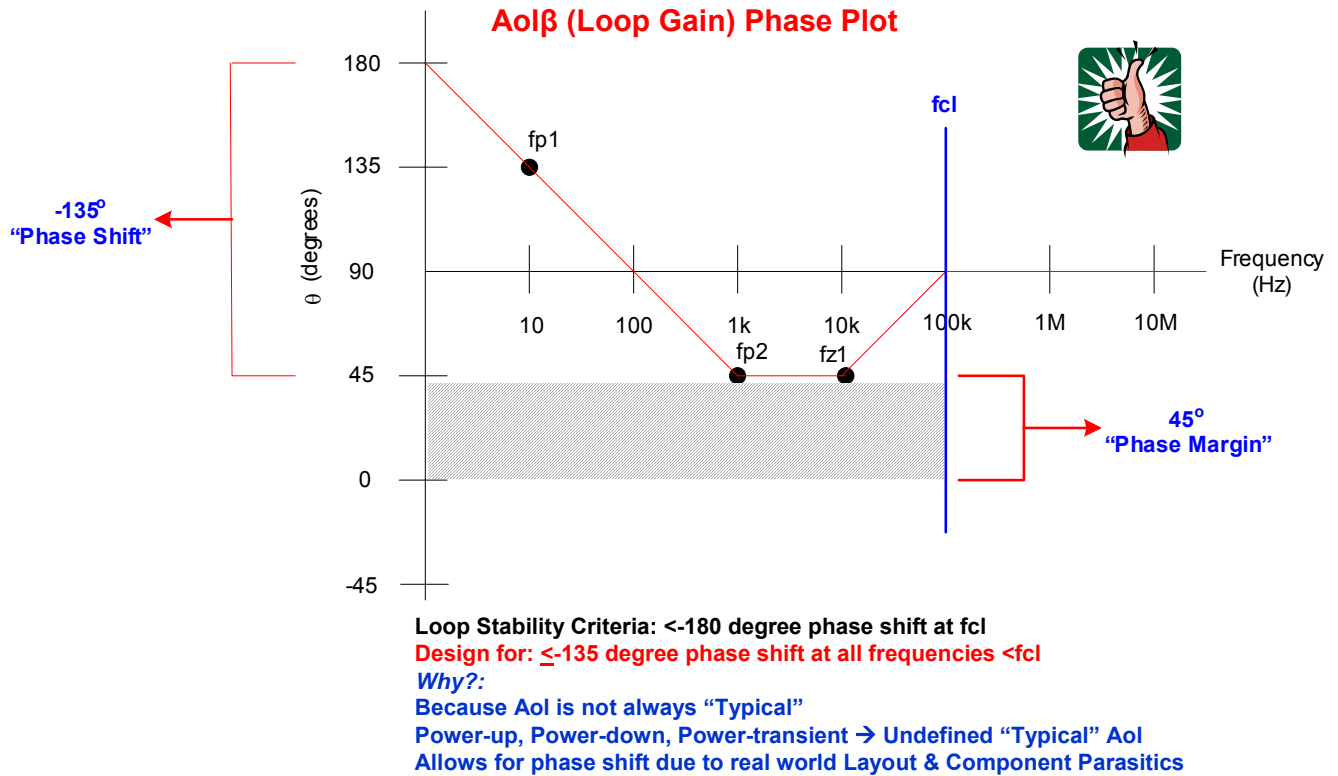


图 4.0: 环路增益带宽准则

图字(上下、左右): $Aol\beta$ (环路增益) 相位曲线、-135° “相移”、频率 (Hz)、45° “相位余量”
环路稳定性标准: 在 f_{cl} 处相移 < -180 度

设计目的：在所有 $< f_{cl}$ 的频率上，都有相移 ≤ -135 度

原因：因为 A_{ol} （开环增益）并不总是“典型”，考虑到实际电路布局与器件的寄生效应，存在着功率上升、下降及暂态现象
 → 这些是未定义的“典型” A_{ol} 。

极点与零点转换技术

图 4.1 给出了环路增益曲线与 A_{ol} 曲线之间的关系，并包括了一条 $1/\beta$ 曲线。此关系使我们能够利用厂商提供的运放数据资料中的 A_{ol} 曲线来在图中绘制我们的反馈曲线 $1/\beta$ 。从这两张图，我们可以方便地推断出环路增益曲线中的情况，从而更加方便地总结出，为得到良好的稳定性我们应该对反馈进行怎样的调整。考虑到环路增益曲线是一条“开环”曲线，而 A_{ol} 已经是一条开环曲线，因此 A_{ol} 曲线中的极点就是环路增益曲线中的极点，而 A_{ol} 曲线中的零点就是环路增益曲线中的零点。 $1/\beta$ 曲线为小信号交流闭环增益曲线。如果我们想要断开环路来查看反馈网络的影响，则当分析网络时我们将看到一个倒数关系。用于记住从 $1/\beta$ 曲线到环路增益曲线转换的更简便方法就是，环路增益曲线是 $A_{ol}\beta$ 图，而闭环反馈曲线则是 $1/\beta$ 曲线。因此，既然 β 是 $1/\beta$ 的倒数，那么 $1/\beta$ 曲线中的极点就成为环路增益曲线 ($A_{ol}\beta$) 中的零点，而 $1/\beta$ 曲线中的零点就成为环路增益曲线中的极点。

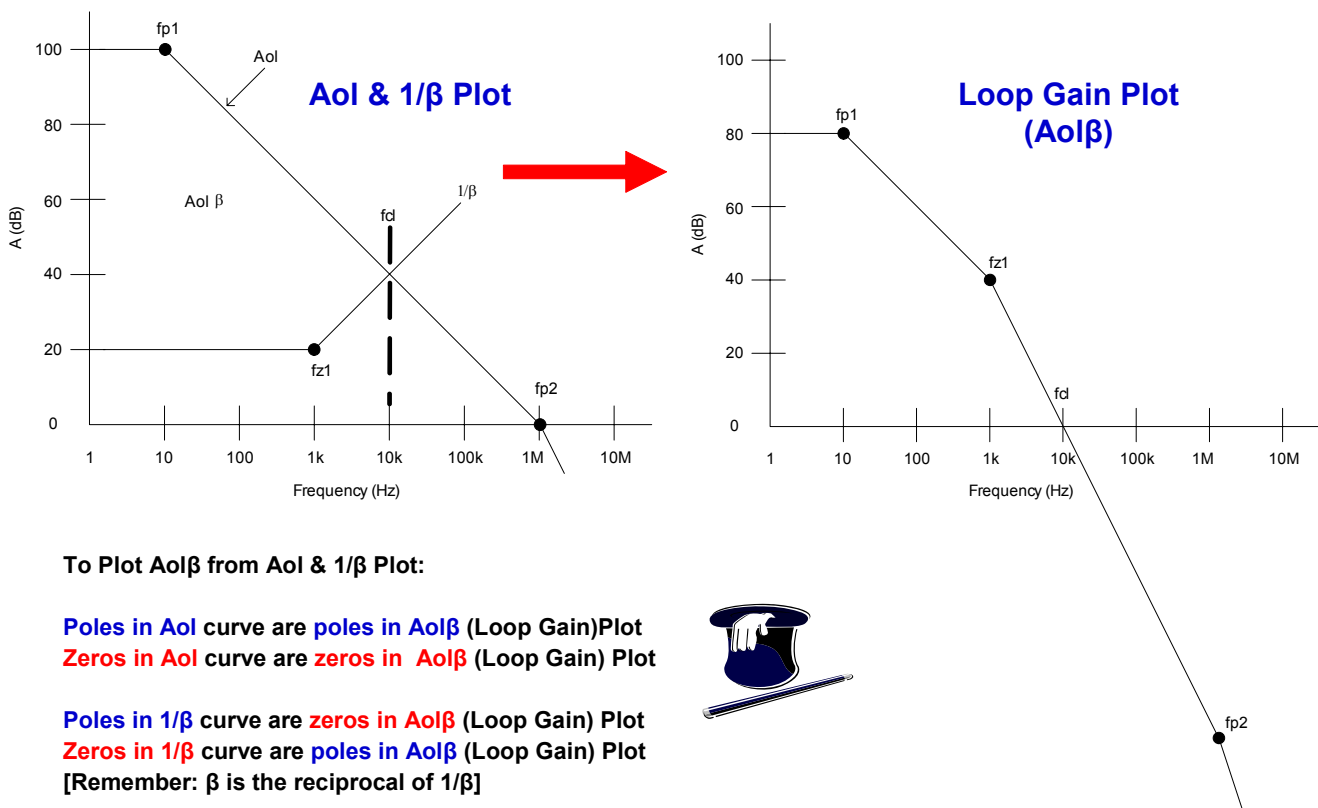


图 4.1：极点与零点转换技术

图字：

A_{ol} & $1/\beta$ 曲线、环路增益曲线 ($A_{ol}\beta$)

从 A_{ol} & $1/\beta$ 曲线来绘制 $A_{ol}\beta$ 曲线：

A_{ol} 曲线中的极点为 $A_{ol}\beta$ （环路增益）曲线中的极点

A_{ol} 曲线中的零点为 $A_{ol}\beta$ （环路增益）曲线中的零点

$1/\beta$ 曲线中的极点为 $A_{ol}\beta$ （环路增益）曲线中的零点

$1/\beta$ 曲线中的零点为 $A_{ol}\beta$ （环路增益）曲线中的极点

（请记住： β 为 $1/\beta$ 的倒数）

十倍频程准则

图 4.2 详细描述了在环路增益曲线中的“十倍频程准则”。这些十倍频程准则将被用于 $1/\beta$ 曲线, A_{ol} 曲线及 $A_{ol}\beta$ (环路增益) 曲线, 我们可以从 A_{ol} 曲线及 $1/\beta$ 曲线直接推导而来。对于本图所示的电路, A_{ol} 曲线在大约 100kHz 处包含了第二个极点 fp_2 , 这是因为存在容性负载 CL 及运放的 R_O , 详细讨论将在本系列的第 6 部分中给出。我们将建立一个满足我们环路增益带宽准则 (即 $f \leq f_{cl}$ 时余量为 45 度) 的反馈网络。我们将利用我们对环路增益图 ($A_{ol}\beta$) 的了解, 使用 $1/\beta$ 曲线及 A_{ol} 曲线图来对反馈网络进行分析与综合。在环路增益曲线 10Hz 处给出了第一个极点 fp_1 , 这说明在 10Hz 处相移为 -45 度, 在 100Hz 处相移为 -90 度。在 1kHz、 f_{z1} 、 $1/\beta$ 曲线的零点处, 我们在环路增益曲线上增加了一个极点, 在 1kHz 处增加了另外 -45 度的相移。现在, 在 1kHz 处, 总的相移为 -135 度。但如果我们从 f_{z1} 开始继续增加频率, 则在 10kHz 处相移将达到 -180 度! 因此我们增加了 fp_3 , 作为 $1/\beta$ 曲线上的极点, 这在环路增益曲线上是 10kHz 处的零点 (在 10kHz 处相移为 +45 度, 在 10kHz 以上及以下斜率为 +45 度/decade)。这保证了 1kHz 处的相移为 -135 度, 并使得从 1kHz 到 10kHz 的相位曲线都平坦地位于 -135 度 (请记住极点和零点对于它们实际频率位置处的上十倍频程和下十倍频程频率都有影响)。 fp_2 在环路增益曲线 100kHz 处又增加了一个极点, 这是因为 fp_2 是取自 A_{ol} 曲线。在 fp_3 所在的 10kHz 与 fp_2 所在的 100kHz 处, 我们希望两者之间没有相移, 因为 fp_3 是环路增益曲线的零点而 fp_2 则是环路增益曲线的极点。

因此, 如果我们保持极点与零点之间相隔十倍频程, 则可避免它们之间的相移继续减少, 因为它们各自对所在位置的上、下十倍频程都有影响。环路增益十倍频程准则最后的关键点是, fp_3 应置于距 f_{cl} 一个十倍频程远处。这是考虑到, 在我们可以达到一个余量稳定状态以前, A_{ol} 会向低频偏移十倍频程。当遇上最坏情况时, 就是 A_{ol} 随时间和温度发生了漂移, 此时, 许多 IC 设计者都会将观测到的数字 2 读成 1 (也就是说, 1MHz 的统一增益带宽运放可能会从 500kHz 偏移至 2MHz)。我们推荐我们的十倍频程准则, 因为它更容易记住并在波特图上可以方便地看出。额外的相位余量设计不会带来不便, 但如果同时要求带宽、稳定性与性能的话, 那么 2 变 1 准则仍不失为一个好的选择。

我们预计在环路增益离开 100kHz 以前, 该电路的 V_{OUT}/V_{IN} 曲线都平的, 之后它将跟随 A_{ol} 曲线变化。

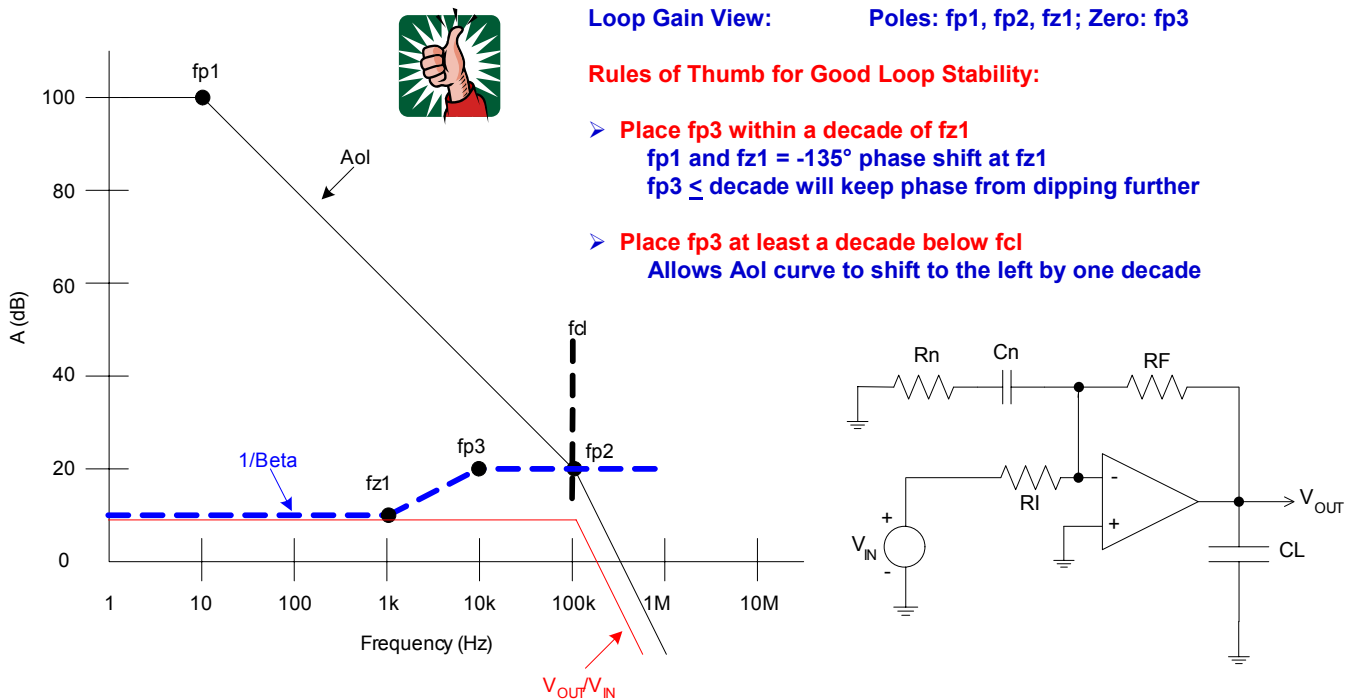


图 4.2: 极点与零点转换技术

图字: 环路增益图解: 极点: fp_1 、 fp_2 及 fz_1 ; 零点: fp_3

获得良好环路稳定性的经验:

将 fp_3 置于离 f_{z1} 的 1 个十倍频程以内

f_{z1} 处, f_{p1} 和 $f_{z1} = -135^\circ$ 相移
 $f_{p3} \leq \text{decade}$ 将避免相移进一步降低
 将 f_{p3} 置于 f_{cl} 至少一个十倍程以下位置
 容许 A_{ol} 曲线左移一个十倍频程

图 4.3 给出了有关图 4.2 所示电路的环路增益相位曲线的一阶人工分析预测。我们在 1MHz 处增加了另一个极点 f_{p4} , 来模拟真实世界中典型的双极点运放。

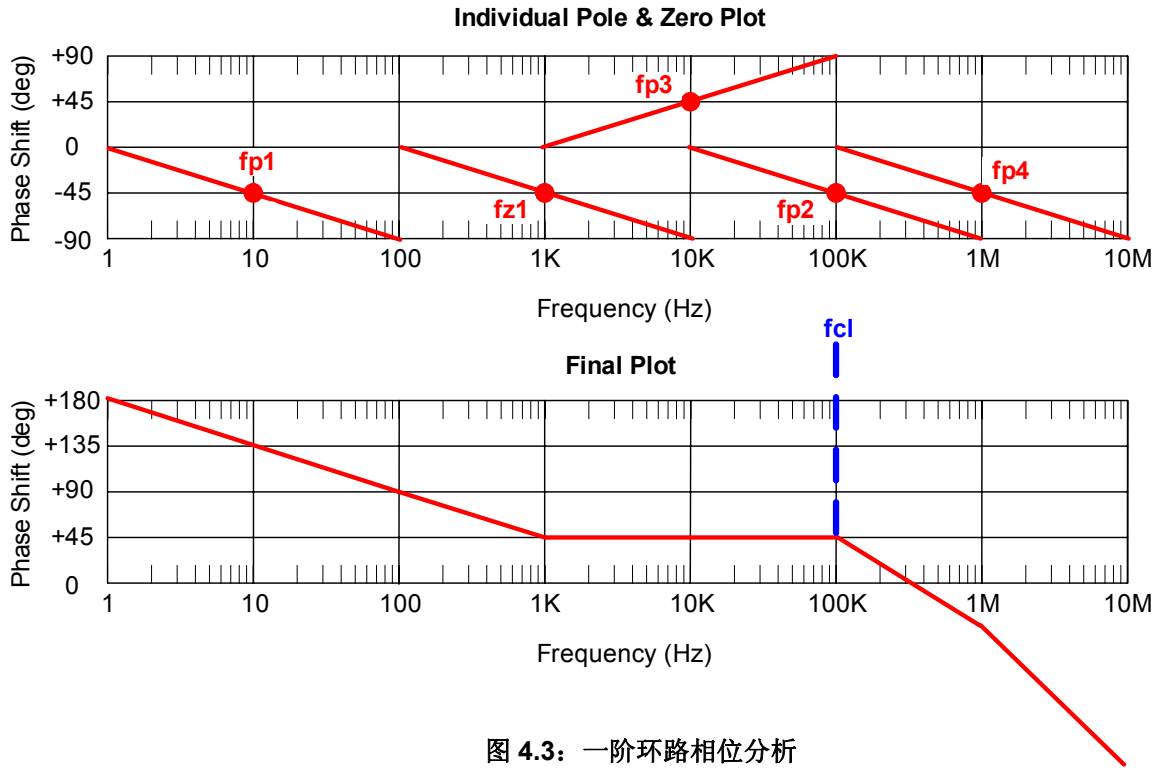


图 4.3: 一阶环路相位分析

图字: 单个极点和零点曲线、最终曲线

为检验我们的一阶环路相位分析, 我们用 Tina SPICE 构建了我们的运放电路, 如图 4.4 所示。同时我们还用 SPICE 环路增益测试来对 A_{ol} 曲线与 $1/\beta$ 曲线进行了测量。

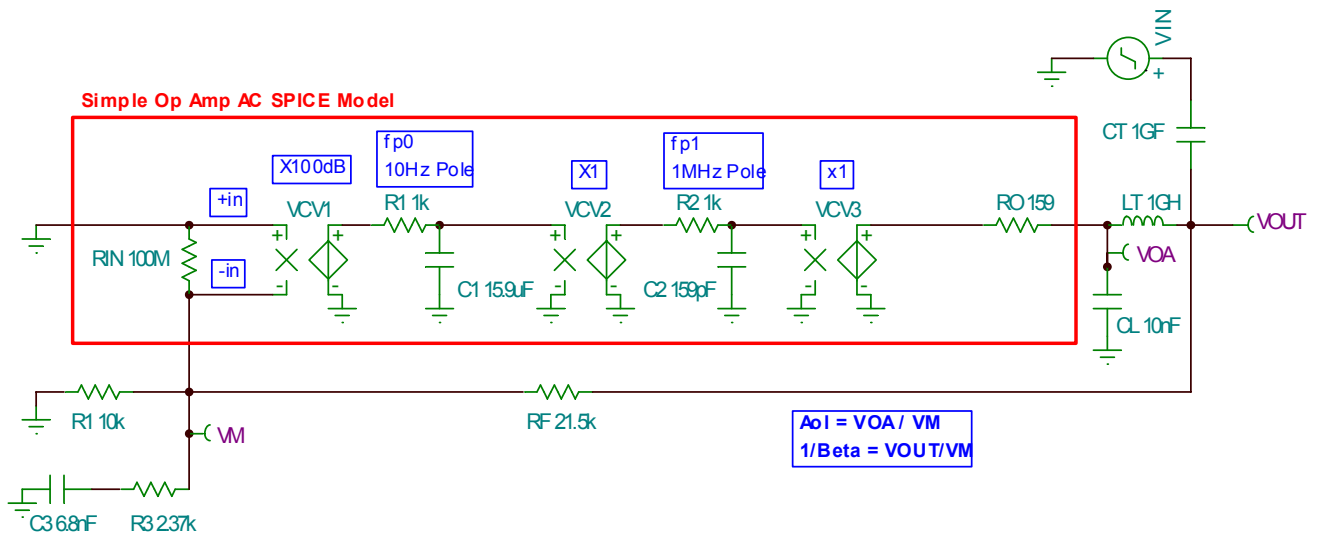


图 4.4: Tina SPICE 电路: SPICE 环路增益测试

图字：简单运放交流 SPICE 模型

图 4.5 给出了 A_{ol} 和 $1/\beta$ 的 Tina SPICE 仿真结果，并将其与我们一阶人工分析进行了仔细的相关比较。

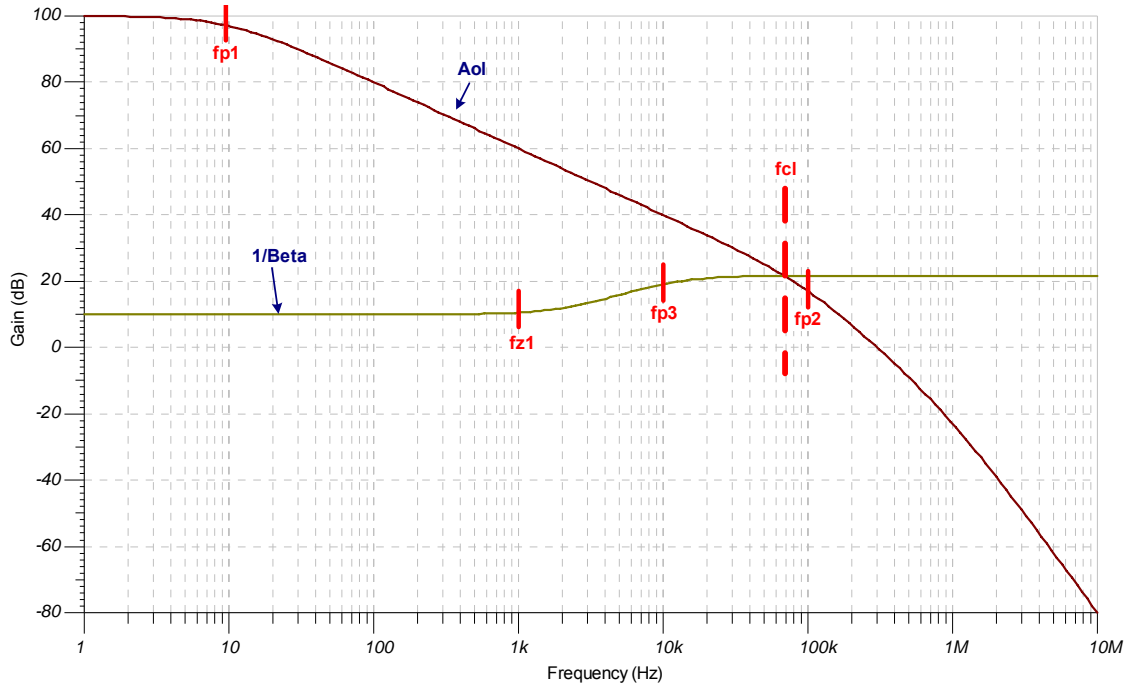


图 4.5: Tina SPICE 电路: $A_{ol}\beta$ 与 $1/\beta$

我们的 Tina SPICE 仿真也被用来绘制环路增益与环路相位曲线。图 4.6 给出了环路相位曲线，它是基于我们一阶人工分析得到的预测。

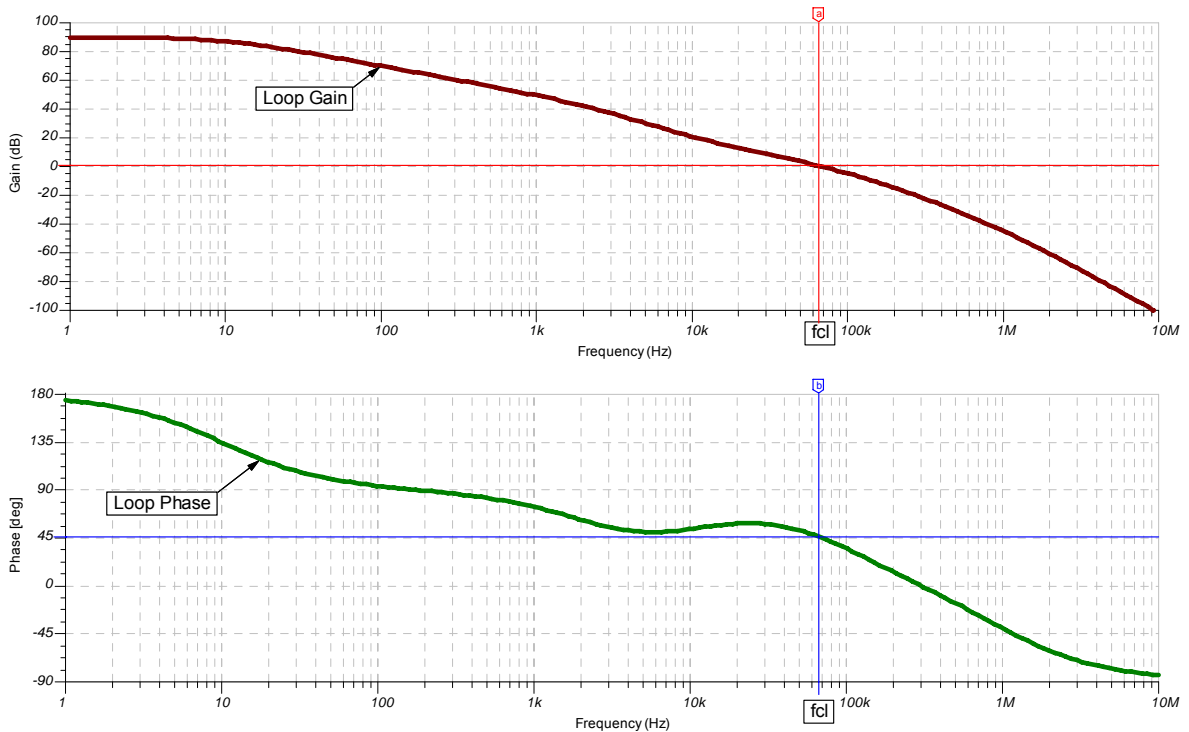


图 4.6: Tina SPICE 电路: 环路增益与环路相位

图字：环路增益、环路相位

为检验我们的 V_{OUT}/V_{IN} 预测是否正确，我们将Tina SPICE电路修改成如图 4.7 所示的电路并进行仿真。

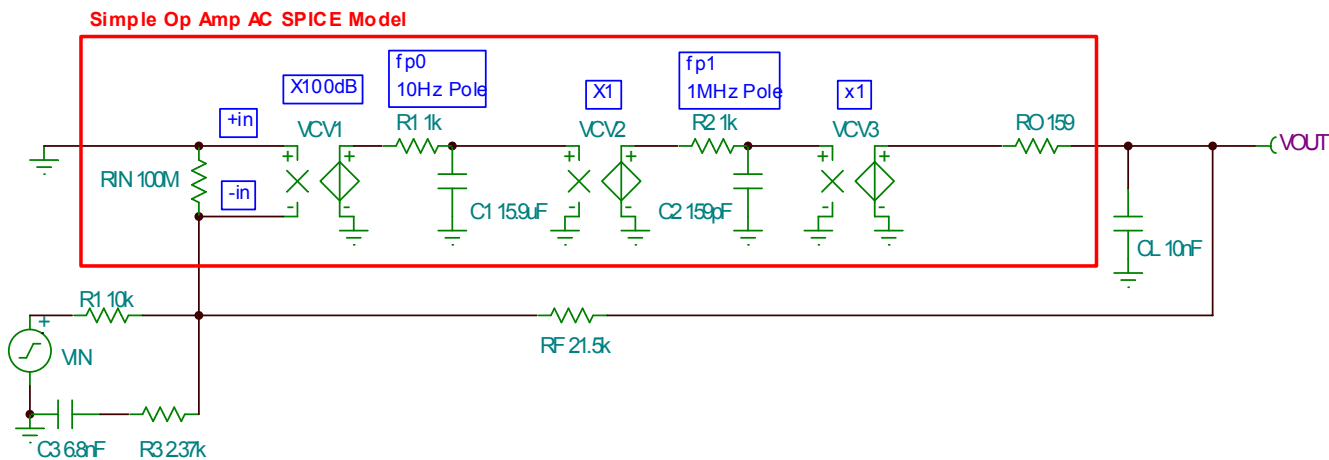


图 4.7: Tina SPICE电路: V_{OUT}/V_{IN}

图字: 简单运放交流 SPICE 模型

图 4.8 给出了 V_{OUT}/V_{IN} 的Tina SPICE仿真结果。我们看到 V_{OUT}/V_{IN} 传输函数从大约 10kHz开始，有一个微小的上升。这是因为环路增益由于存在Rn-Cn网络而开始明显下降。但这与我们得到的一阶人工分析预测结果相差不多。一个值得再次提醒的关键点是， V_{OUT}/V_{IN} 并非总是与 $1/\beta$ 一致。

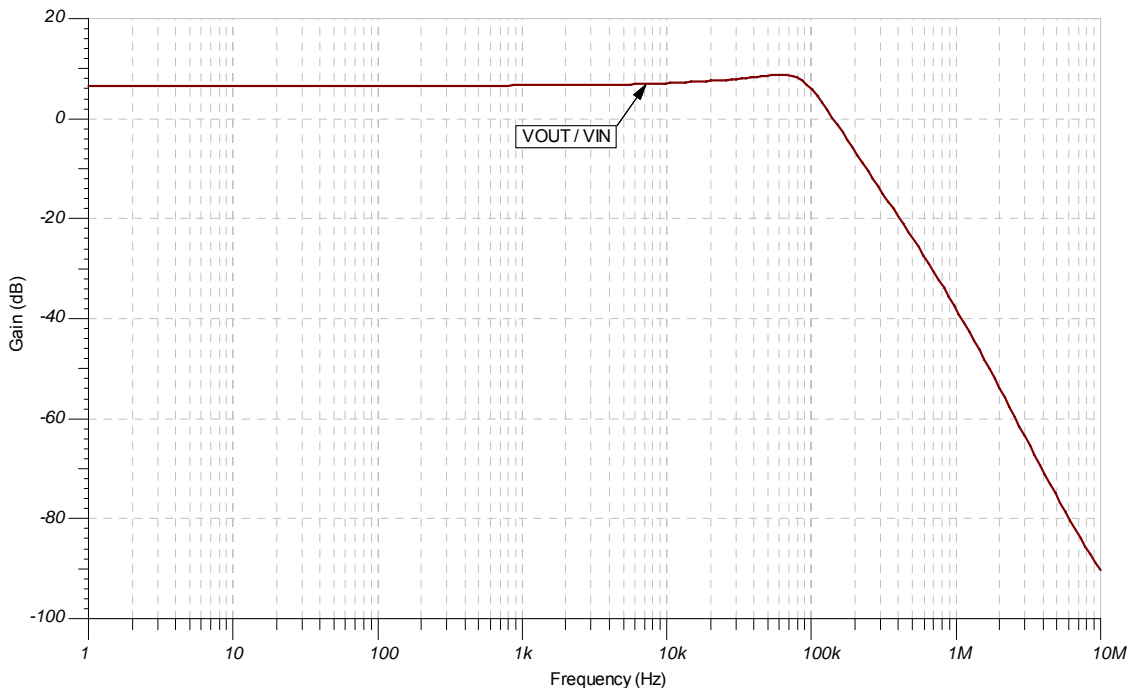


图 4.8: Tina SPICE电路: V_{OUT}/V_{IN} 传输函数

ZI 和 ZF 幅度十倍频程准则

我们从本系列的第 2 部分了解到 ZI 和 ZF 网络。图 4.9 详细给出了 ZI 输入网络中的幅度“十倍频程准则”。如果我们标定 $R_n = R_I/10$ (R_n 在数值上比 R_I 小“十倍”)，则我们可以确定在高频情况下，当 C_n 阻抗短路时， R_n 将把高频设置为 R_F/R_n 。这样标定使我们能更容易地绘出 $1/\beta$ 曲线中起主要作用的一阶结果。幅度十倍频程准则的另一个优势是它迫使我们加入极点/零点对—— f_p 与 f_z ，这样在其彼此一个十倍频程以内，以及因此在 f_p 与 f_z 之间，相移将保持平坦。

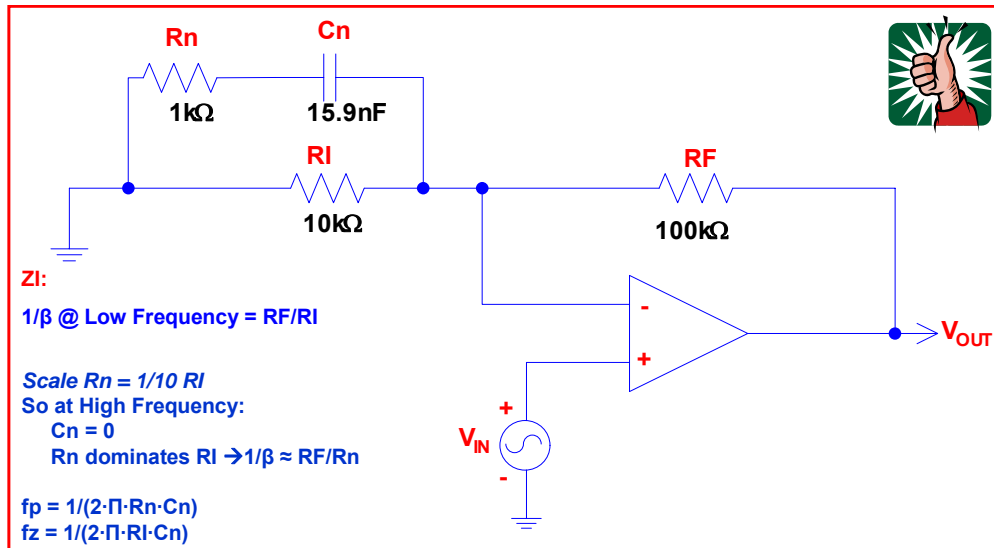


图 4.9: ZI 幅度十倍程准则

图字:

ZI: 低频处 $1/\beta = RF/RI$

标定 $Rn = RI/10$

这样在高频处:

$Cn = 0$

Rn 比 RI 占优势 $\rightarrow 1/\beta \approx RF/RI$

$f_p = 1/(2 \cdot \pi \cdot Rn \cdot Cn)$

$f_z = 1/(2 \cdot \pi \cdot RI \cdot Cn)$

图 4.10 给出了 ZF 反馈网络中的幅度“十倍频程准则”。如果我们标定 $Rp = RF/10$ (Rp 在数值上比 RF 小“十倍”), 则我们可以确定在高频情况下, 当 Cp 的阻抗短路时, Rp 将把高频设置为 Rp/RI 。这样标定使我们更容易绘出 $1/\beta$ 图中起主要作用的一阶结果。正如在输入网络 ZI 中一样, 幅度十倍频程准则的另一个优势是它迫使我们加入一个极点/零点对 f_p 和 f_z , 这样在其彼此一个十倍频程以内, 以及因此在 f_p 与 f_z 之间, 相移将保持平坦。

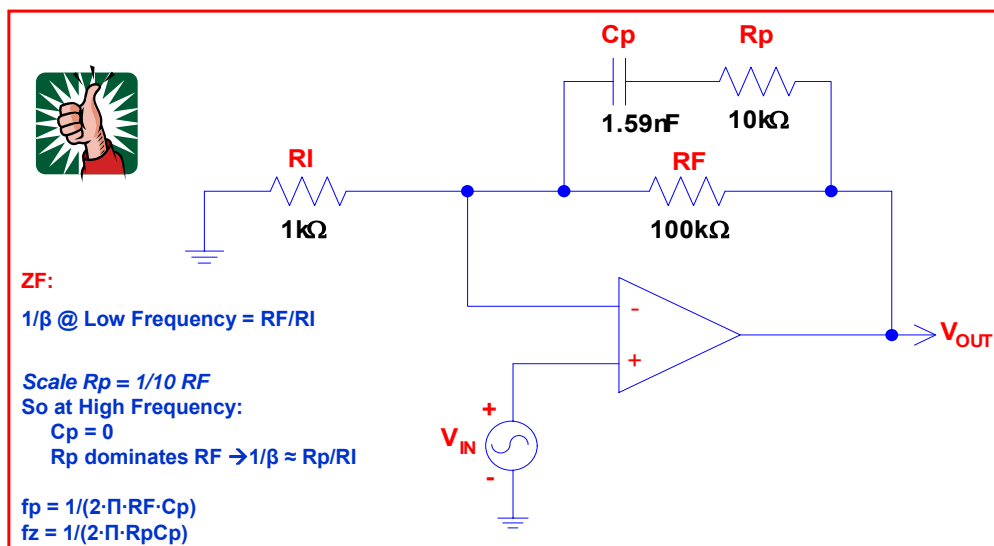


图 4.10: ZF 幅度十倍频程准则

图字:

ZF: 低频处 $1/\beta = RF/RI$

标定 $Rp = 1/10 RF$

这样在高频处:

Cn=0

Rp 比 RF 占优势 $\rightarrow 1/\beta \approx R_p/R_I$

$f_p = 1/(2 \cdot \pi \cdot R_F \cdot C_p)$, $f_z = 1/(2 \cdot \pi \cdot R_p \cdot C_p)$

双反馈路径

随着本系列的不断深入，我们将看到，常常运用反馈电路来确保获得良好的运放稳定性，需要使用一个以上的反馈路径。为更方便地分析和综合此类多级反馈，我们将使用叠加原理。图 4.11 定义了叠加原理。在此，我们将先单独分析每个影响，然后再将主要影响作为我们反馈的最终结果。

Superposition:

If cause & effect are linearly related, the total effect of several causes acting simultaneously is equal to the sum of the effects of the individual causes acting one at a time.

From: Smith, Ralph J. Circuits, Devices, And Systems. John Wiley & Sons, Inc. New York. Third Edition, 1973.

图 4.11: 叠加原理

摘自: Smith, Ralph J, “电路、器件与分析”, John Wiley&Sons 公司, 1973 年第三版, 纽约。

图字:

叠加原理: 如果起因和影响线性相关, 则同时起作用的几个起因造成的总的的影响就等同于单个起因每次单独作用的影响之和。

在图 4.12 中, 我们看到一个使用了两条反馈路径的运放电路。第一条反馈路径 FB#1, 位于运放的外部, 经过 Riso 和 CL 后返回, 并经过 RF 和 RI 回到运放的输入端。第二条反馈路径 FB#2, 位于运放的外部, 经过 CF 然后返回到运放的输入端。这里分别绘制了与这些反馈等效的 $1/\beta$ 曲线。此推导的详细过程将在本系列的后续部分给出。当围绕运放使用一个以上反馈路径时, 为运放提供最大反馈电压的反馈路径就成为主要的反馈路径。这意味着如果为每个反馈都绘制了 $1/\beta$ 图, 则在给定频率处, $1/\beta$ 最小的反馈就将在该点起主要作用。请记住, 最小的 $1/\beta$ 即最大的 β , 而由于 $\beta = V_{FB}/V_{OUT}$, 因此最大的 β 即表明反馈到运放输入端的电压最大。请记住一个简单的类比: 如果两个人对着你的同一只耳朵讲话, 那么哪个你听得更清楚一些呢——当然是讲话声较大的那个! 所以运放将会“听”具有最大 β 或最小 $1/\beta$ 的反馈路径。在 FB#1 或 FB#2 的任何频率上, 运放所看到的净 $1/\beta$ 曲线应该是较低的那个。

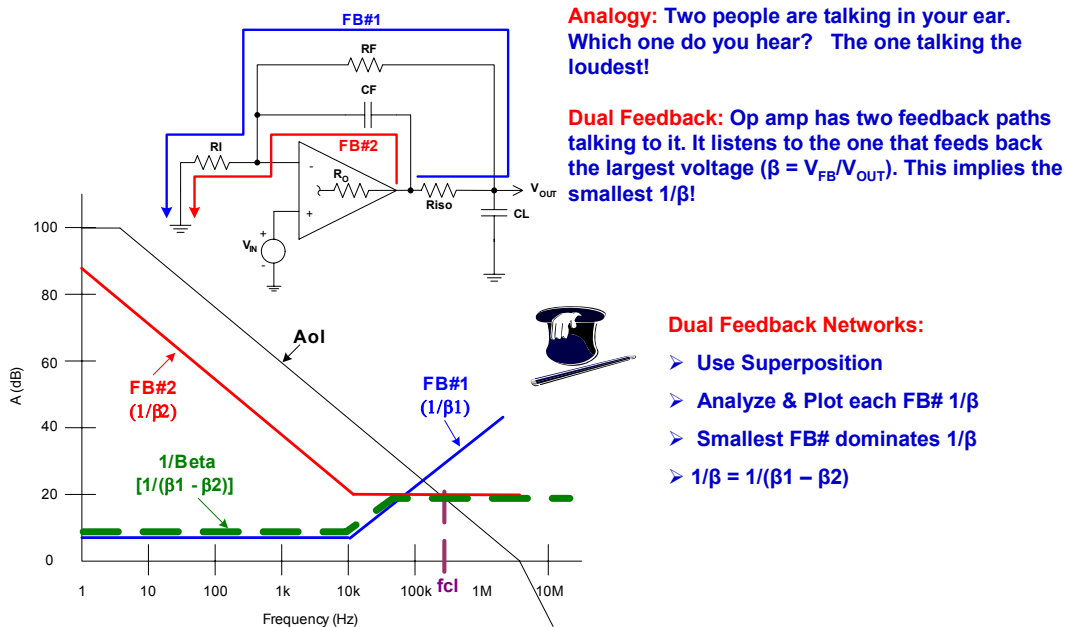


图 4.12: 双反馈网络

图字：

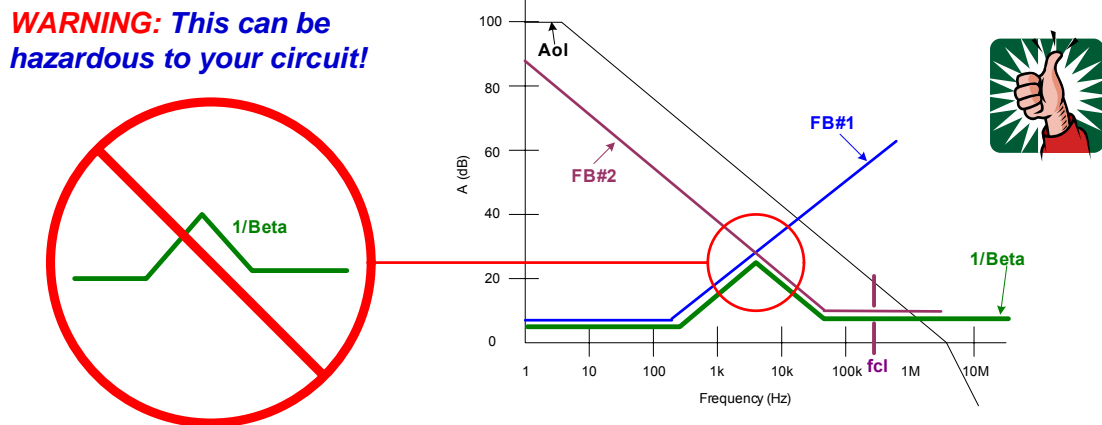
类比：两个人同时对着你的耳朵讲话。你更能听见哪个呢？当然是讲话声大的那个！

双反馈：有两条反馈路径在对运放“讲话”，它主要倾听反馈电压较大的路径 ($\beta = V_{FB}/V_{OUT}$)，这意味着最小的 $1/\beta$ 值！

双反馈网络：

- 采用叠加原理
- 分析每个 $FB\#1/\beta$ 并绘图、
- 最小 $FB\#$ 决定了 $1/\beta$
- $1/\beta = 1/(\beta_1 - \beta_2)$ 。

当围绕一个运放使用双反馈路径时，有一个极其重要的情况必须避免，即“BIG NOT”。如图 4.13 所示，其中的运放电路导致反馈路径中产生 BIG NOT 现象，该现象在 $1/\beta$ 曲线中可看到，图中 $1/\beta$ 斜率从 $+20\text{dB/decade}$ 突然变成了 -20dB/decade 。这种改变意味着，在 $1/\beta$ 曲线上有一个复共轭极点，这样相应地在环路增益曲线上即有一个复共轭零点。复零点与极点在它对应的频率上引起一个 $\pm 90^\circ$ 的相移。此外，复零点/复极点的相位斜率，在其出现频率位置附近的一个狭窄频带内可从 $\pm 90^\circ$ 变化至 $\pm 180^\circ$ 。复零点/复极点的产生在闭环运放响应中可能会引起严重的增益尖峰，这是很不希望看到的情况，尤其在功率运放电路中。



Dual Feedback and the **BIG NOT**:

$1/\beta$ Slope changes from $+20\text{dB/decade}$ to -20dB/decade

- Implies a “complex conjugate pole” in the $1/\beta$ Plot.
- Implies a “complex conjugate zero” in the $Aol\beta$ (Loop Gain Plot).
- $\pm 90^\circ$ phase shift at frequency of complex zero/complex pole.
- Phase slope from $\pm 90^\circ/\text{decade}$ slope to $\pm 180^\circ$ in narrow band near frequency of complex zero/complex pole depending upon damping factor.
- Complex zero/complex pole can cause **severe** gain peaking in closed loop response.

图 4.13：双反馈与 BIG NOT

图字：警告：这对你的电路可能很危险！

双反馈和 BIG NOT：

$1/\beta$ 斜率从 $+20\text{dB/decade}$ 变成 -20dB/decade

- 表明在 $1/\beta$ 曲线上有一个“复共轭极点”
- 表明在 $Aol\beta$ （环路增益）曲线上有一个“复共轭零点”
- 在复零点/复极点的频率处有 $\pm 90^\circ$ 的相移
- 在复零点/复极点所出现频率位置附近的一个狭窄频带内，相位斜率可以从 $\pm 90^\circ/\text{decade}$ 变化至 $\pm 180^\circ$ ，这取决于不同的阻尼系数
- 复零点/复极点在闭环响应中可能会引起严重的增益尖峰

图 4.14 给出了不同阻尼系数情况下复共轭极点的幅度图。不论阻尼系数如何，极点都表现为双极点且斜率为 -40dB/decade 。但相位将给出不同的情况。

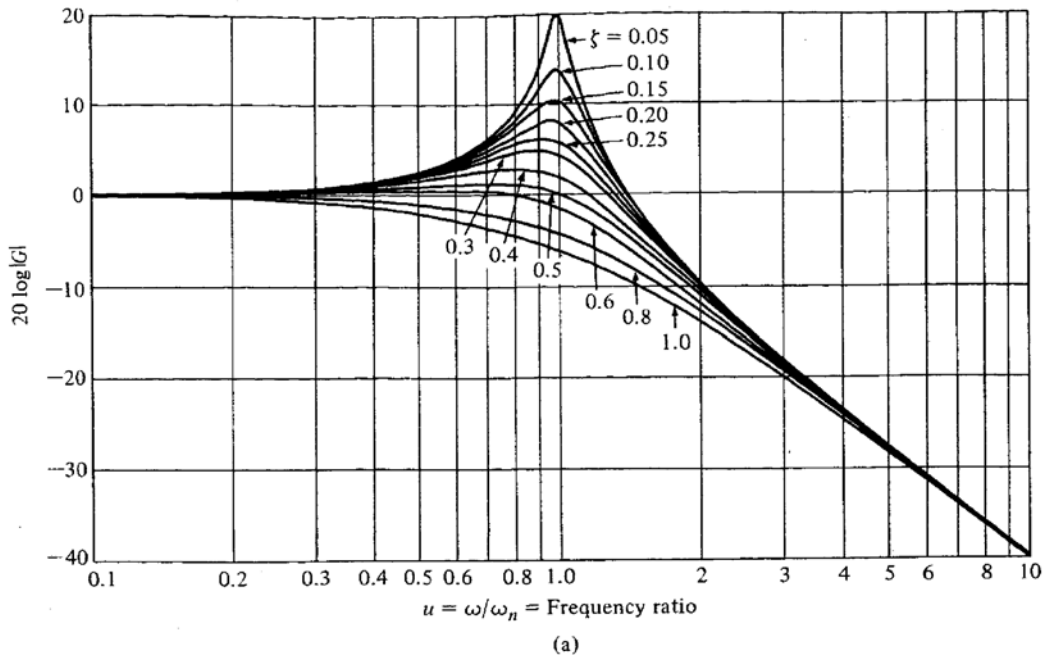


图 4.14: 复共轭极点幅度举例

摘自: Dorf, Richard C., “现代控制系统”, Addison-Wesley 出版公司, 麻省雷丁, 第三版, 1981年。

图 4.15 给出了复共轭极点的相位图。很明显, 由于阻尼系数不同, 故相移相对于单纯双极点而言可能会有极大的不同。在双极点情况下, 我们预计在该频率处的相移为 -90 度, 斜率为 -90 degree/decade (阻尼系数 = 1)。

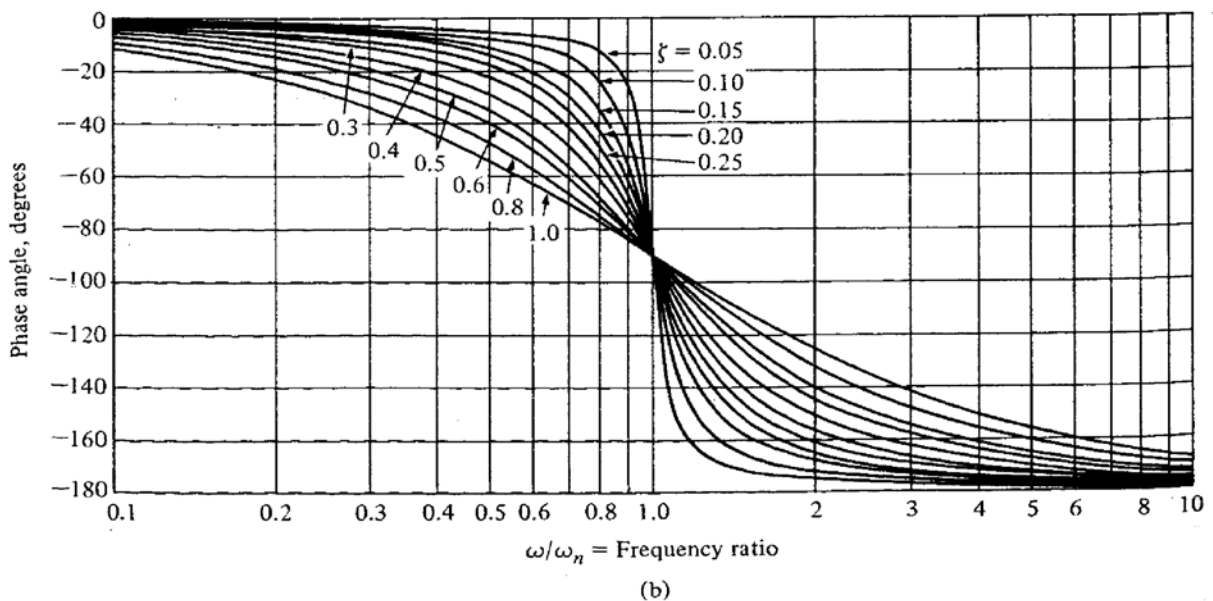
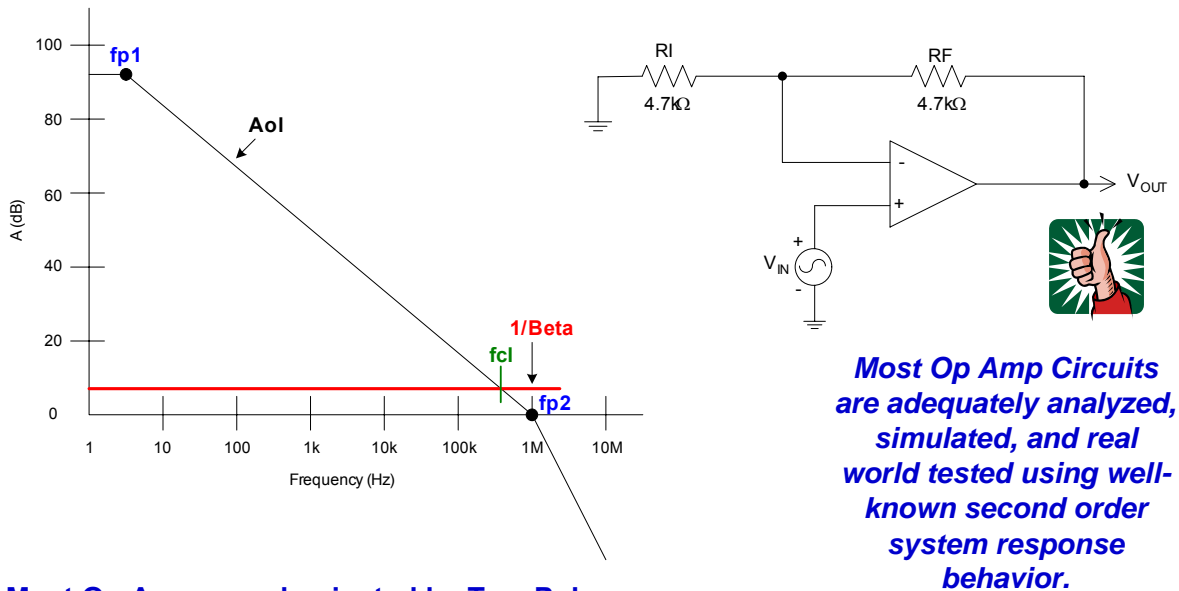


图 4.15: 复共轭极点相位举例

摘自: Dorf, Richard C., “现代控制系统”, Addison-Wesley 出版公司, 麻省雷丁, 第三版, 1981年。

实际稳定性测试

完成一阶人工分析后，再用 SPICE 仿真来进行合理性检查，我们即能建立起自己的运放电路。如果有一种简便的方法可以判断实际相位余量是否就是我们分析得到的预测结果的话，那么这将带来许多便利。许多实际运放电路都是双极点、二阶及系统响应这些因素占优势。参见图 4.16，一个典型的运放 Aol 曲线在 10Hz 至 100Hz 范围内有一个低频极点，在其统一增益转换频率处、或者其后不远处有另一个高频极点。如果采用单纯的电阻反馈，我们会看到环路相位曲线将呈现出双极点系统效应。对于更复杂的运放电路来说，总的环路增益与环路相位曲线通常都是由双极点响应来决定的。二阶系统的闭环行为得到了很好的定义，并能为我们提供一种用于实际稳定性检查的强大技术。



Most Op Amps are dominated by Two Poles:
Aol curve shows a low frequency pole, fp1
Aol curve also has a high frequency pole, fp2
Often fp2 is at fcl for unity gain
This yields 45 degrees phase margin at unity gain

图 4.16: 运放电路的交流行为

图字（上、下）：大部分运放电路都采用众所周知的二阶系统响应行为来进行充分的分析，模拟及进行测试。

大部分运放都有两个极点占优势：

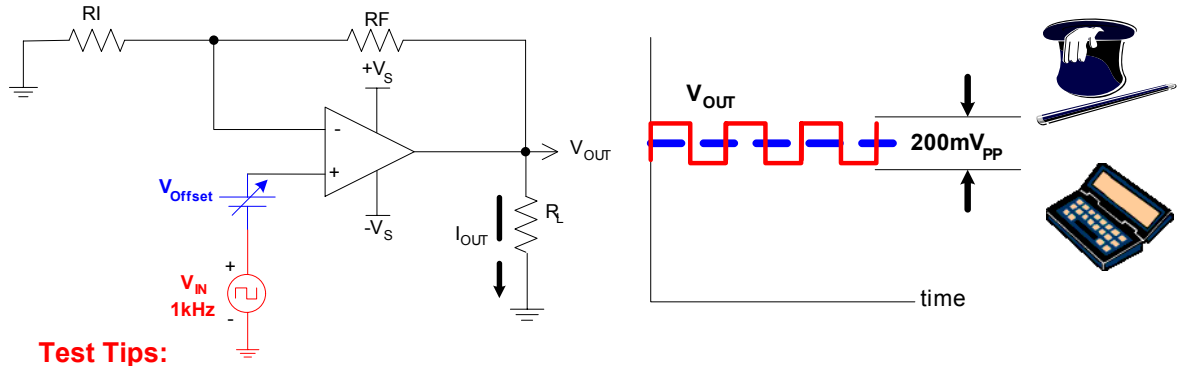
Aol 曲线给出了一个低频极点 fp1

Aol 曲线还有一个高频极点 fp2

fp2 通常位于 fcl 处以获得统一增益

这就在统一增益处产生 45 度的相位余量

图 4.17 给出了详细的实际暂态稳定性测试。将一个小幅度方波馈入闭环运放电路中作为 VIN 源，在环路增益带宽中选择一个频率，但这个频率要足够高以便于触发示波器。1kHz 对大部分应用来说都是一个不错的测试频率。调整 VIN 以使 VOUT 为 200mVpp 或更小。我们感兴趣的是电路的小信号交流行为，以找出交流稳定工作点。为此，我们不希望在输出上有较大的信号摆动，这可能也包含了一些大信号限制，例如摆动速率、输出电流限制或输出级电压饱和等。Voffset 提供了一种机制，以在整个输出电压范围内上下移动输出电压以寻找在所有工作点条件下的交流稳定工作点。对许多电路（尤其是驱动容性负载的电路）来说，最差的稳定性情况是输出接近于零（对双电源运放应用）、且直流负载电流很小或完全没有的时候，因为这样会导致运放的开环小信号阻抗 RO 达到最大值。记下方波输出上的过冲与振铃量，并将其与图 4.18 所示的二阶瞬态曲线进行对比。从与您的测量电路最匹配的曲线上记下相应的阻尼系数。在图 4.19 中的二阶阻尼系数比相位余量曲线的 y 轴上找出此相应的阻尼系数，X 轴包含了二阶电路的相位余量。



Test Tips:

- Choose test frequency $\ll f_{cl}$
- Adjust V_{IN} amplitude to yield “Small Signal” AC Output Square Wave
- Worst case is usually when $V_{Offset} = 0 \rightarrow$ Largest Op Amp R_O ($I_{OUT} = 0$)
- Use V_{Offset} as desired to check all output operating points for stability
- Set scope = AC Couple & expand vertical scope scale to look for amount of overshoot, undershoot, ringing on V_{OUT} small signal square wave

图 4.17: 实际瞬态稳定性测试

图字: 测试技巧:

- 选择测试频率 $\ll f_{cl}$
- 调整 V_{IN} 幅度以产生“小信号”交流输出方波
- 通常最坏情况是当 $V_{Offset} = 0$ 时 \rightarrow 最大运放 R_O 值 ($I_{OUT} = 0$)
- 任意改变 V_{Offset} 来检验所有输出工作点, 以找出稳定工作点
- 令范围 = 交流耦合与扩展垂直范围刻度, 以便找出 V_{OUT} 小信号方波上的过冲、下冲及振铃量。

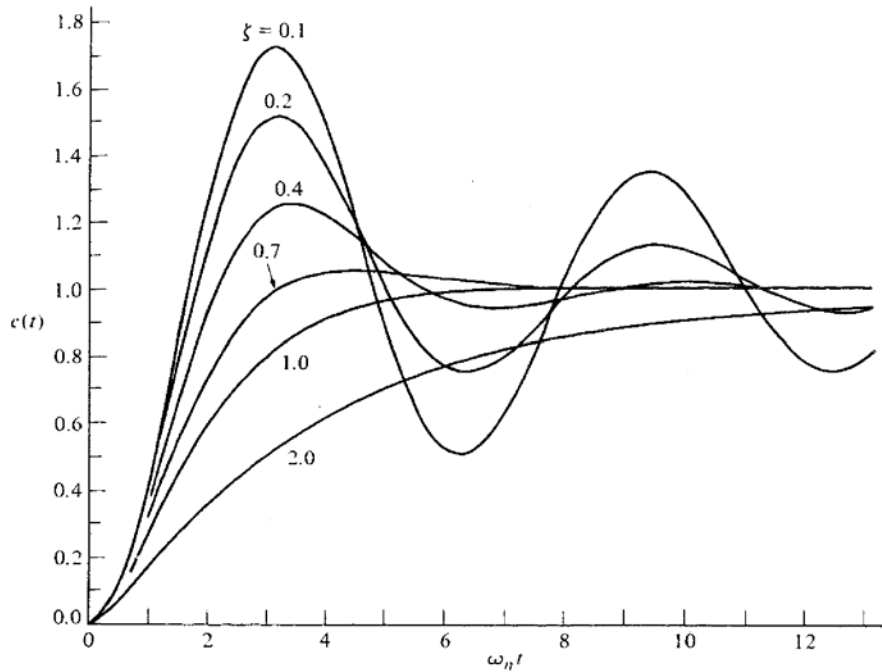


图 4.18: 二阶瞬态曲线

摘自: Dorf, Richard C., “现代控制系统”, Addison-Wesley 出版公司, 麻省雷丁, 第三版, 1981年。

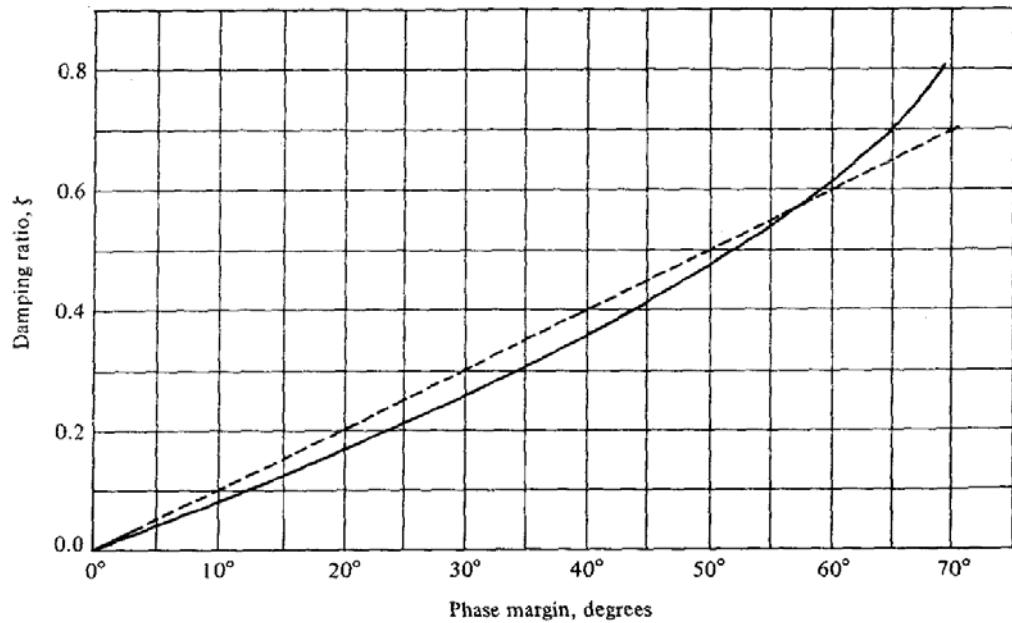


图4.19: 二阶阻尼系数比相位余量

摘自: Dorf, Richard C., “现代控制系统”, Addison-Wesley 出版公司, 麻省雷丁, 第三版, 1981年。

参考文献:

- 1、Frederiksen, Thomas M., “直观运放, 从基础到应用”, 修订版, McGraw-Hill 出版公司, 纽约, 1988
- 2、Dorf, Richard C., “现代控制系统”, Addison-Wesley 出版公司, 麻省雷丁, 第三版, 1981年。
- 3、Smith, Ralph J., “电路、器件与系统”, John Wiley & Sons 出版公司, 纽约, 第三版, 1973年。

运算放大器的稳定性

第 5 部分（共 15 部分）：单电源缓冲器电路的实际设计

作者：Tim Green, 德州仪器公司

本系列的第 5 部分将着重讨论“实际”应用，我们到目前为止所学会的技巧和经验都将得到应用，帮助我们方便地稳定一个复杂的电路。我们将设计一个通用单电源缓冲放大器（将 2.1V 缓冲至 4.1V 参考），5V 单电源供电使它能够在 **线性**地工作，可提供较大的输出电流 (>13mA)，并在 -40°C 至 +125°C 工作温度范围的漂移为 0.4V。虽然可将该电路用于许多应用中，但我们仍将简要介绍一下促使给出这个设计的原因，并解释为何没有现成的电路可用来完成此项工作。我们这里采用综合技术来开发器件网络，以提供一个证明对许多运放应用都有益的稳定电路。

技术背景：

在实际应用中，惠斯通电桥的一个常见应用就是压力测量。如图 5.1 所示，随着所加压力变化，很多这种压力传感器都具有明显的二阶非线性特性。

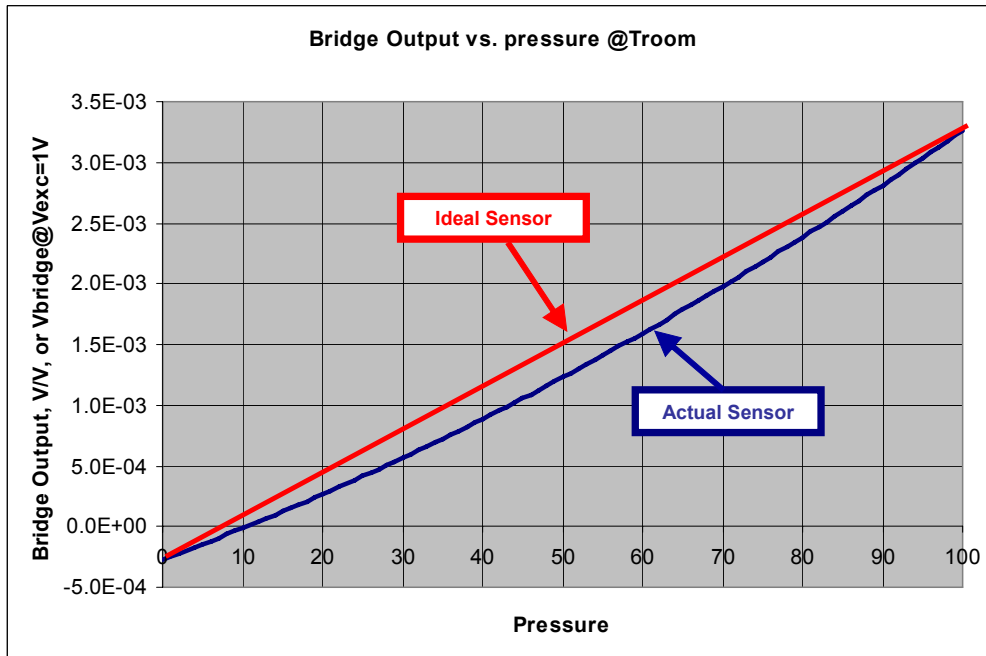


图 5.1 典型实际传感器输出比所加压力

图字（上、下）：室温下电桥输出与压力关系、理想传感器、实际传感器；
坐标轴字：X 轴：压力、Y 轴：Vexc=1V 时的电桥输出 (V/V 或 Vbridge)

除了随所加压力变化而产生的非线性外，许多压力传感器随温度变化在偏移量和范围上也有非线性特性。用来校正这些误差的一种现代解决方法是在压力传感器中内置电子电路，然后将电子电路与压力传感器作为一个模块，随着温度的变化进行数字校准。一种适用于此类用途的 IC 是由德州仪器公司提供的 Burr-Brown 产品 PGA309（如图 5.2 所示）。此输出电压已经过数字校准的传感器，其信号调整 IC 包含有一个模拟传感器线性化电路，该电路将输出电压的一部分反馈至传感器的电压激励引脚，从而以 20:1 的改良比例对二阶非线性进行线性化。因此，V_{EXC} 引脚将随传感器所加压力的变化而对其电压进行调整。此电路的一个局限就是其传感器激励引脚 V_{EXC}，在工作温度范围内限制在 5mA 最大输出电流上。这里我们遇到了一个两难的境地，即如何用一个阻抗来激励要求电流超过 5mA 的传感器。

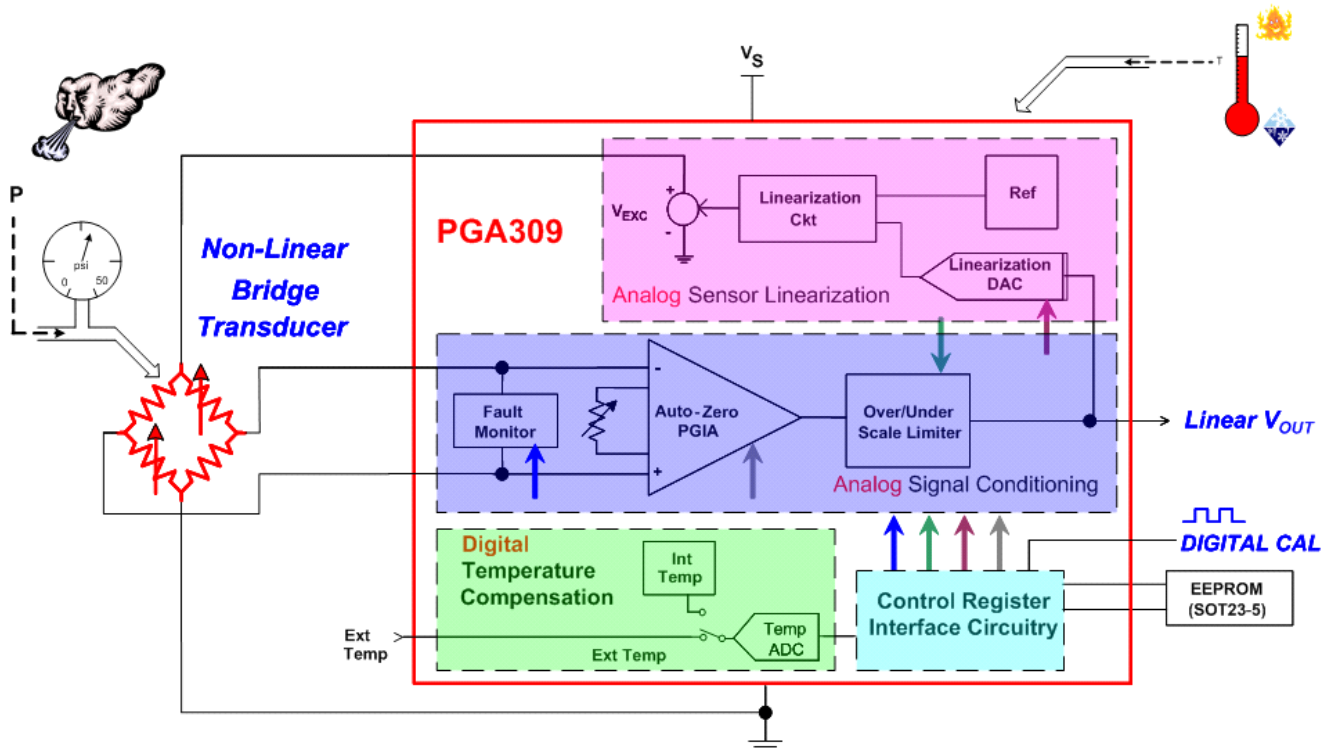


图 5.2: 现代数字校准传感器信号调整器

图字（左右、上下）：非线性电传式传感器、线性化电路、参考、模拟传感器线性化电路、线性化 DAC、故障监视器、自动零点 PGA、过/欠刻度限幅器、模拟信号调整电路、外部温度、数字温度补偿、内部温度、温度 ADC、控制寄存器接口电路、线性 V_{out} 、数字计算。

设计要求:

图 5.3 详细给出了主要的设计指标。我们希望用一个容差为 10% 的 5V 电源来供电。我们需要一个统一增益缓冲器，因为我们不希望 PGA309 线性化环路中引入任何误差。由于 PGA309 在 V_{EXC} 引脚上有很宽的可编程范围，因此我们需要容纳从 2.1V 至 4.1V 的电压范围。我们最小的传感器阻值为 300Ω。因此，对于最大 4.1V 的输出电压，我们至少需要提供 13.6mA 的电流。PGA309 线性化电路具有大约 35 kHz 的带宽。由于环路闭合的方式，我们的缓冲器带宽至少要等于或大于线性化环路的带宽。我们将目标定为 100kHz 的小信号闭环带宽。对于我们感兴趣的传感器应用来说，大信号响应若有 1V/μs 的摆动速率就足够了。该设计在从 -40°C 至 +125°C 的温度范围内内应该是稳定工作的。因为我们不希望由于缓冲器的原因而在最后应用电路中引入任何额外的误差，因此我们需要一个在运放共模输入范围内不会有任何交叉失真的电路。我们将简要讨论一下这个问题，因为它几乎对所有 CMOS 单电源轨至轨输入 (RRI) 运放来说都是一个问题。

Requirements:

- Single Supply ($4.5V < V_S < 5.5V$)
- Unity Gain Buffer
- $V_{IN} = 2.1V$ to 4.1V
- $R_L = 300\Omega$ to 820Ω
- $I_{OUT\ MAX} = 13.6mA \rightarrow (4.1V / 300\Omega)$
- Small Signal Bandwidth 100kHz
- Large Signal Slew Rate 1V/μs
- $-40^\circ C < \text{Operating Temperature} < +125^\circ C$
- No crossover distortion in CM range of Op Amp Input

图 5.3 单电源、大电流缓冲器指标

图字:

指标:

- 单电源 ($4.5V < V_s < 5.5V$)
- 统一增益缓冲器
- $V_{IN} = 2.1V$ 至 $4.1V$
- $R_L = 300\Omega$ 到 820Ω
- $I_{OUT\ MAX} = 13.6mA \rightarrow (4.1V/300\Omega)$
- 小信号带宽 100kHz
- 大信号摆动速率 $1V/\mu s$
- $-40^\circ C < \text{工作温度} < +125^\circ C$
- 在运放的共模范围内不能有交叉失真

对于轨至轨输入运放，传统的解决方案是将N沟道和P沟道MOSFET并联使用来实现轨以外的摆动。问题是这里存在着一个过渡区，如图 5.4 所示，此处两对晶体管都是打开。在此区域，PSR、CMR、偏移电压及偏移漂移都与通常情况不同。现代解决方法采用正在申请专利的低噪声电荷泵浦技术，来避免使用传统技术中的并联N沟道与P沟道MOSFET。这样就能消除偏移量被打乱的过渡区。在整个共模范围内，OPA363 和 OPA364 均有线性偏移。上面给出的典型曲线是对 1.8V 电源来说的。当电源电压升到 +5V 时， V_{OS} 的变化及非线性特性将变得更差。因此，为获得共模输入电压下最好的线性度，我们将采用 OPA364。

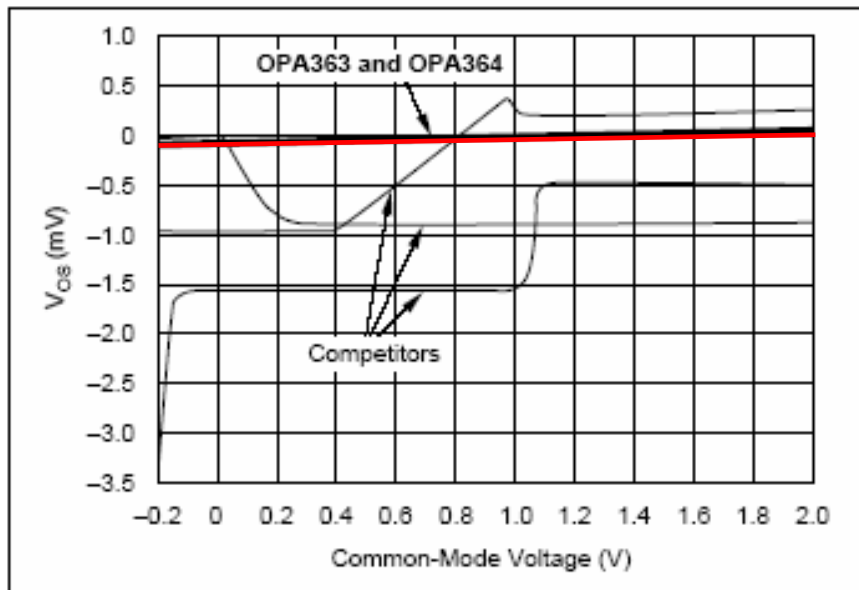


图 5.4: 单电源、RRI 运放 V_{OS} 比共模输入电压关系曲线

图字: 竞争产品、共模电压 (V)

图 5.5 给出了 OPA364 的一些关键指标:

OPA364 RRIO Op Amp

Supply: 1.8V to 5.5V
 Temp Range: -40C to +125C
 Common Mode Voltage Range: (V-)-0.1V to (V+)+0.1V
 Slew Rate: 5V/ μ s
 Gain Bandwidth: 7MHz

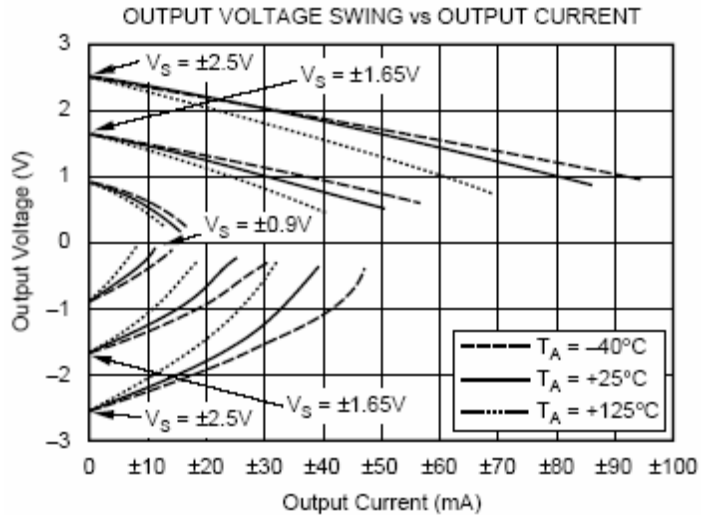


图 5.5: OPA364 关键指标

图字: OPA364 RRIO 运放

电源电压: 1.8V 至 5.5V

温度范围: -40°C 至+125°C

共模电压范围: (V-)-0.1V 至 (V+)+0.1V

摆动速率: 5V/ μ s

增益带宽: 7MHz

输出电压摆动与输出电流之间的关系、输出电压 (V)、输出电流 (mA)

设计拓扑:

既然我们知道我们所拥有的电压空间很少,那么让我们使用双极型晶体管而不是 MOSFET,因为双极型晶体管的 V_{be} 大约为 0.65V,而 MOSFET 的栅-源电压可能为 2V 或更大。此外,让我们使用如图 5.6 所示的射极跟随器结构。由于将超出电压空间,因此,如图 5.6 所示,在任何温度下都无法使用射极跟随器结构,且在 -40°C 温度上情况最差。

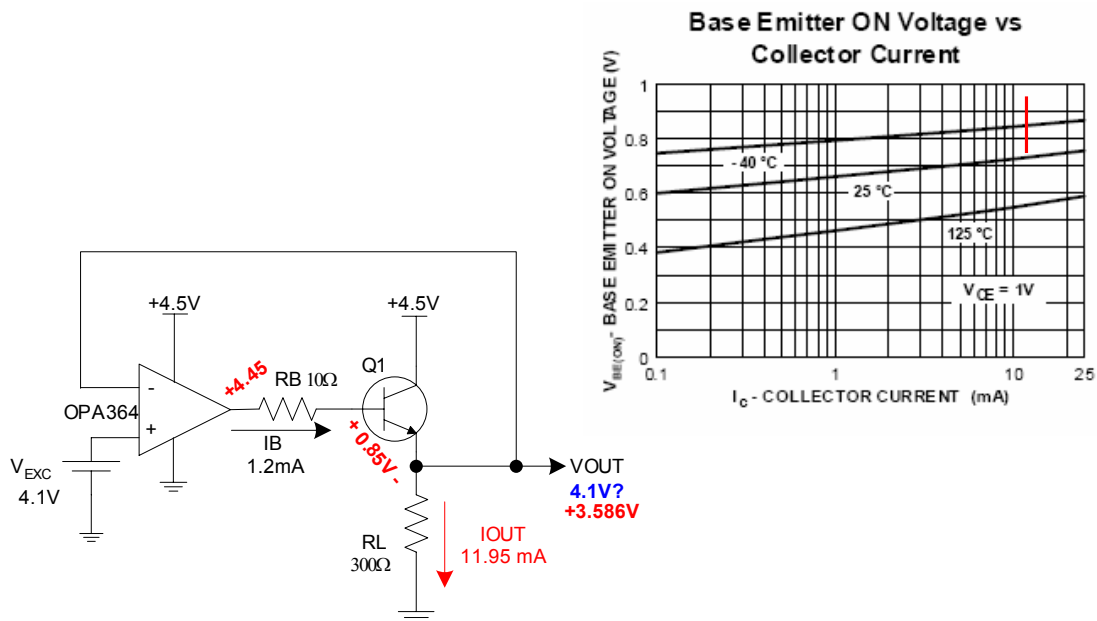
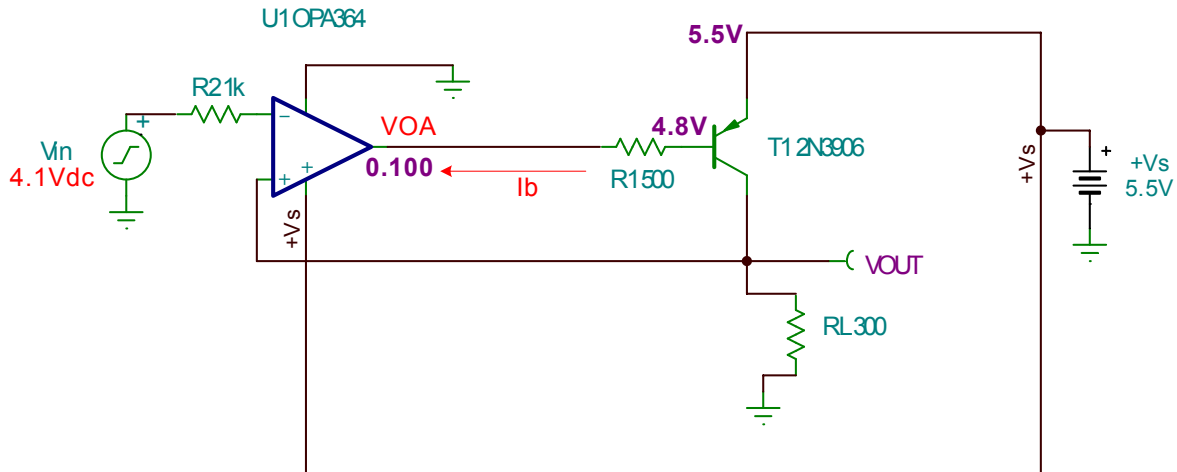


图 5.6: 使用射极跟随器? — 容易稳定!

图字: 基极和发射极导通电压与集电极电流关系、 $V_{BE(ON)}$ -基极和发射极导通电压 (V)、 I_C -集电极电流 (mA)。

让我们先保留双极型晶体管，因为我们还是只有很少的电压空间。但让我们把晶体管变成一个 PNP 型，如图 5.7 所示。现在我们看图 5.7 所示的拓扑结构时觉得它看起来有点奇怪。乍一看，我们可能认为它似乎像使用了正反馈而且即将产生振荡！但经过进一步检查后我们会发现，事实上通过 T1 我们获得了一个 180 度的反相。我们可以直观地看到随着 U1 输出的降低，更多的基极电流被驱动流过 T1 的基极，这将导致更多的电流流入 T1 的集电极并流过负载 RL。然后这又会导致 VOUT 增加。因此 U1 输出的降低将导致 VOUT 的增加。由于这个反相，我们的电路拓扑将用负输入 U1 来作为输入，而将正输入 U1 作为反馈点。

我们将增加一个 R1 来限制 OPA364 在启动或瞬态条件下所需的最大瞬态或直流电流。R1 还将运放的输出与晶体管 T1 的寄生电容进行隔离，这样就提供了一个地方，如果需要的话可方便地加入稳定性网络。



Choose PNP transistor for close swing to the rail and high current
Requires feedback into OP Amp +input due to phase inversion through transistor
Choose OPA364 for no CM crossover distortion

Assume VOA min = 0.1V
Choose R1 to limit the maximum Ib into OPA364 Output
 $I_b \text{ max} = 4.7V / 500 \text{ oms} = 9.4mA$: a reasonable value
R1 also provides "isolation" between VOA and T1 base
R1 will also allow us a potential place for stability networks to be added

图 5.7：基本缓冲放大器电路拓扑

图字：选择 PNP 晶体管以得到靠近电源轨的摆动及大电流
 要求反馈至运放+由于通过晶体管反相的输入
 选择 OPA364 避免共模交叉失真
 假定最小 VOA = 0.1V
 选择 R1 来限制流入 OPA364 输出端的最大 Ib 值
 最大 Ib = 4.7V / 500 欧姆 = 9.4mA：一个合理值
 R1 也提供了 VOA 和 T1 基极之间的“隔离”
 R1 还使我们有潜在地方来加入稳定性网络

图 5.8 详细给出了我们所需要的有关 T1——2N3906 PNP 晶体管的一些关键参数。

ON CHARACTERISTICS

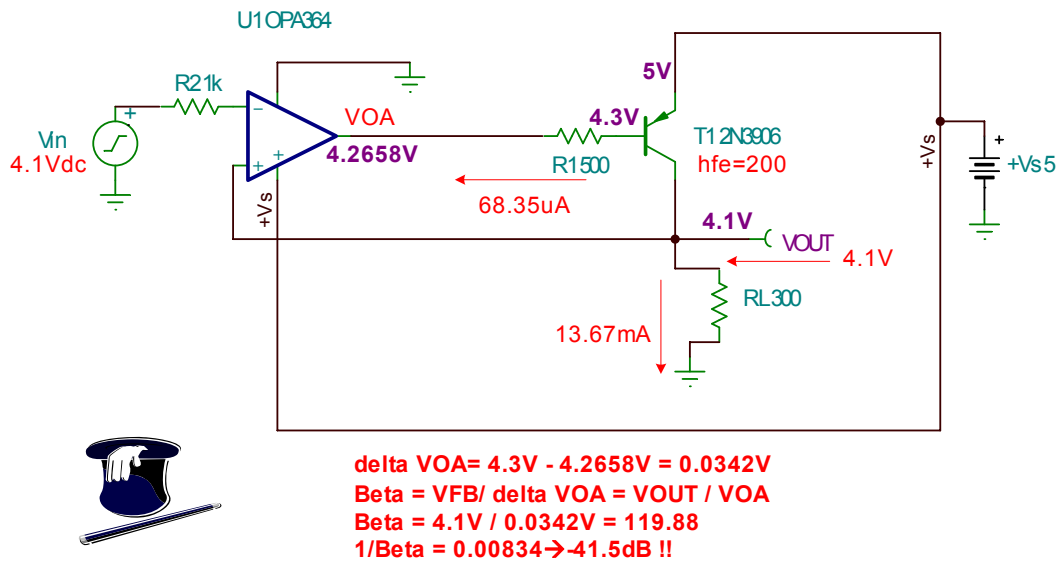
h_{FE}	DC Current Gain *	$I_C = 0.1 \text{ mA}, V_{CE} = 1.0 \text{ V}$ $I_C = 1.0 \text{ mA}, V_{CE} = 1.0 \text{ V}$ $I_C = 10 \text{ mA}, V_{CE} = 1.0 \text{ V}$ $I_C = 50 \text{ mA}, V_{CE} = 1.0 \text{ V}$ $I_C = 100 \text{ mA}, V_{CE} = 1.0 \text{ V}$	60 80 100 60 30	300	
$V_{CE(sat)}$	Collector-Emitter Saturation Voltage	$I_C = 10 \text{ mA}, I_B = 1.0 \text{ mA}$ $I_C = 50 \text{ mA}, I_B = 5.0 \text{ mA}$		0.25 0.4	V V
$V_{BE(sat)}$	Base-Emitter Saturation Voltage	$I_C = 10 \text{ mA}, I_B = 1.0 \text{ mA}$ $I_C = 50 \text{ mA}, I_B = 5.0 \text{ mA}$	0.65	0.85 0.95	V V

图 5.8: T1-2N3906 关键参数

图字：开通特性
直流电流增益、集电极-发射极饱和电压、基极-发射极饱和电压

1/β 分析：

现在我们将开始对缓冲器电路进行稳定性分析。首先，图 5.9 详细给出了直流 1/β 项的计算。假设 T1 拥有 $h_{FE} = 200$ 的电流增益，300Ω 负载需要从缓冲器电路上得到 4.1V 上的 13.67mA 电流。这意味着 T1 处的基极电流将需要 68.35μA。假设 T1 的压降 V_{be} 为 0.7V，我们将看到 VOA 将需要 4.2658V 电压来提供 T1 所需的基极电流。如图 5.9 所示，这意味着 OPA364 的输出电压若有 0.0342V 的变化，将导致 13.67mA 的电流流入 RL。因此，我们可以计算在此电路中与电压有关的 β 项，得到的计算值为 119.88。对直流 1/β，这意味着 -41.5dB 的值。对大多数运放电路而言，1/β 通常是一个正数，但我们所开发的技术仍然有效，并使我们能分析此电路拓扑。通过在运放电路的反馈路径中增加增益，我们就得到了一个负的 1/β 值。我们知道，在晶体管 T1 中有寄生电容，我们猜测它可能会在反馈路径中引入几个高频极点——亦即 1/β 曲线上的零点。但无论是从器件数据资料来看，还是经过和经验丰富的 IC 设计者就如何在环路分析中方便地确定电容的影响进行长时间讨论以后，这一点也并不十分明显。因此我们将获取制造商的 SPICE 晶体管模型，并用 Tina SPICE 仿真来为我们演示它们应位于何处。



We know there is some high frequency roll-off somewhere
(due to parasitic capacitances of T1) but not sure about where?

图 5.9: 什么是直流 1/β?

图字：我们知道在某些地方会有一些高频极点（由于 T1 的寄生电容），但我们不能确定在哪里？

图 5.10 显示我们如何用 Tina SPICE 电路来寻找可能出现的高频极点。请注意，我们使用了一个直流电压 V1，它设置了我们的直流工作点，这样晶体管 T1 就在其实际工作点附近被偏置。这能保证我们能获得适当的交流分析结果。

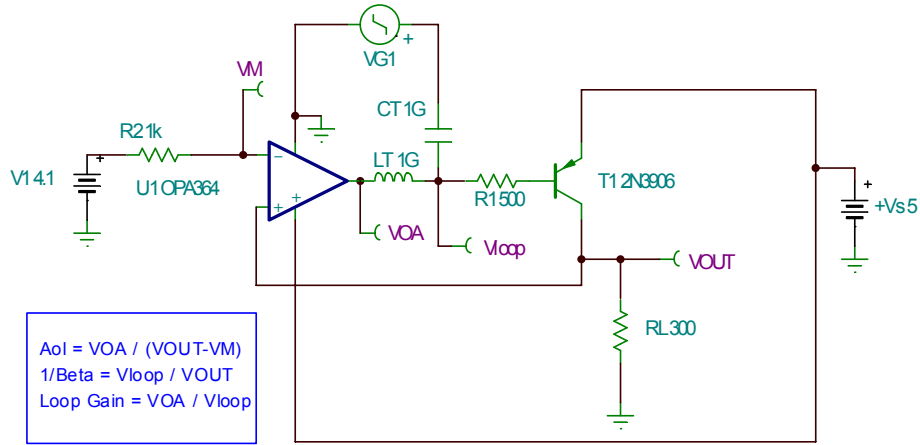


图 5.10: “高频极点在哪里?” 电路

图字: $A_{ol} = V_{OA} / (V_{OUT} - V_M)$
 $1/\beta = V_{loop} / V_{OUT}$
 环路增益 = V_{OA} / V_{loop}

图 5.11 给出了我们寻找高频极点的仿真结果。我们注意到，对 $R_L = 300\Omega$ 来说直流 $1/\beta$ 值为 -30.89dB 。我们用一阶分析得到的预测值为 -41.5dB 。如同实际的结果，仿真结果也依赖于实际使用的晶体管。对于 $R_L = 820\Omega$ ，仿真结果表明直流 $1/\beta$ 值为 -39.6dB 。我们确实希望 β 值会随负载的增加而增加 ($1/\beta$ 值降低)。VOUT 保持不变，但负载增加时 IOUT 减少，因此基极电流变小， ΔV_{OA} 也变小。这就说明，将 β 设为较大值 ($1/\beta$ 设为较小值) 时 $V_{OUT} / \Delta V_{OA}$ 将变大 (负 dB 数量级更大)。我们看到高频极点在大约 736kHz 处。为便于使用一阶分析，我们取直流 $1/\beta$ 值为 -40dB 而高频极点为 1MHz 。根据我们关于稳定性的一阶闭合速度准则，我们发现电流缓冲电路是不稳定的 (fcl 处的闭合速度为 40dB/Decade) !

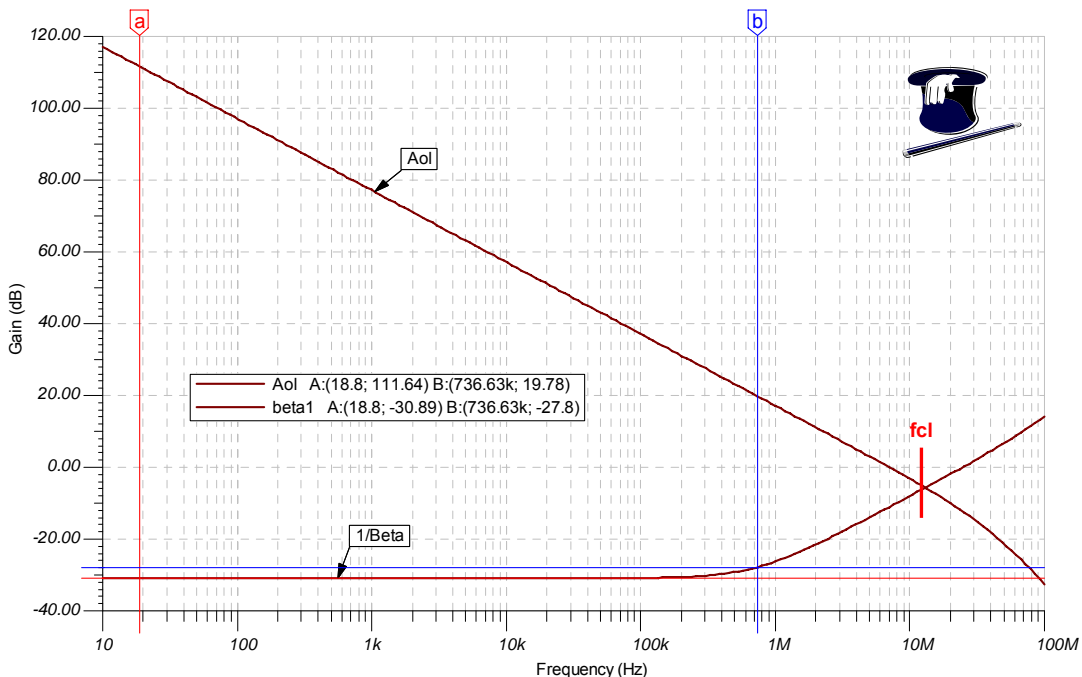


图 5.11: 找到高频极点!

作为对我们的不稳定性预测的快速验证，我们对如图 5.12 所示的现有缓冲器电路做了一个 Tina 瞬态分析，这类类似于我们的实际稳定性测试。如图 5.13 所示，我们发现它振荡得很严重！

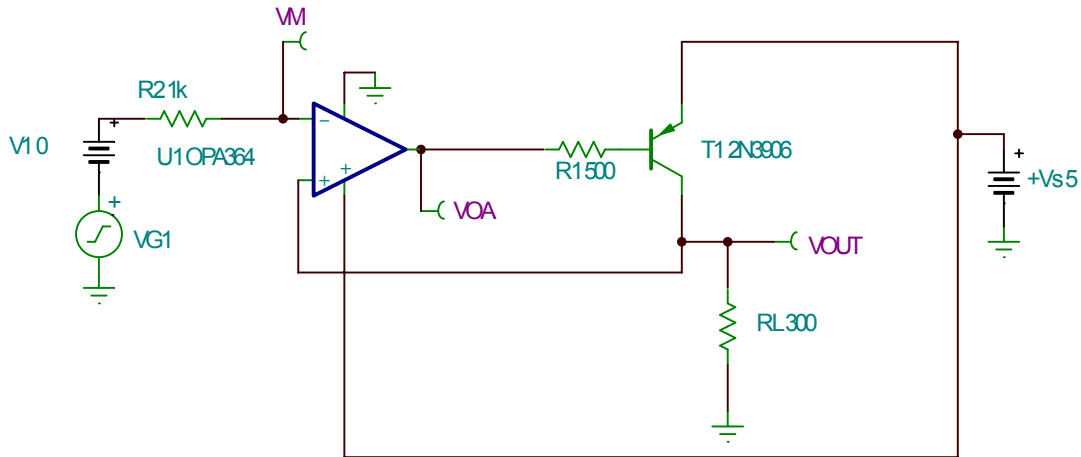


图 5.12: 瞬态分析电路 —— 缓冲器拓扑 w/o 补偿

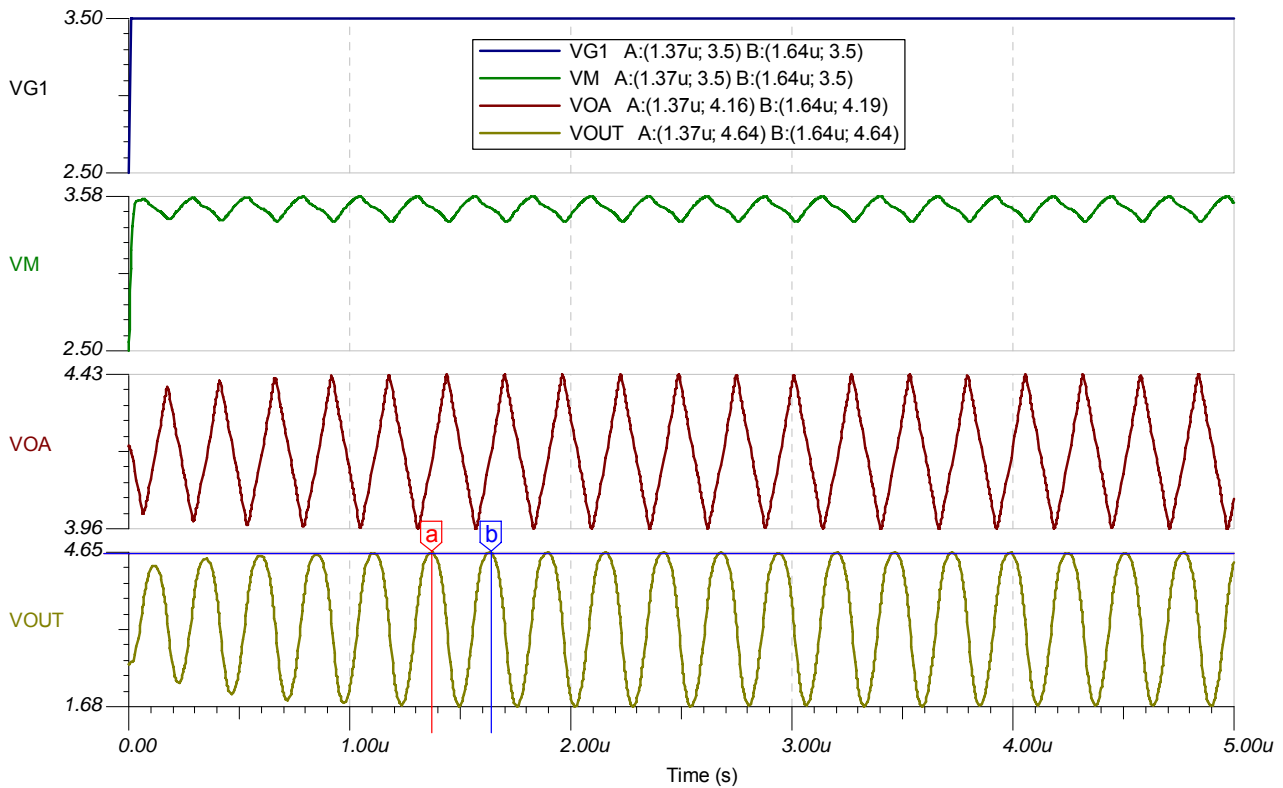


图 5.13: 瞬态分析结果 —— 缓冲器拓扑 w/o 补偿

我们在实验室建成了缓冲器拓扑 w/o 补偿结构，以 100Hz 方波激励的结果如图 5.14 所示。现在，通过预计电路的不稳定性，我们“闭合了环路”。通过用一阶分析预测，再用 Tina SPICE 仿真，最后在实际电路中证明这个电路如同预计的一样，是不稳定的。振荡的准确频率与 SPICE 仿真结果并不相同，这是因为使用了别的晶体管来代替 T1，就算实验室有 2N3906 可用的话，也无法得到 2N3906 在 SPICE 模型中所具有的确切参数。

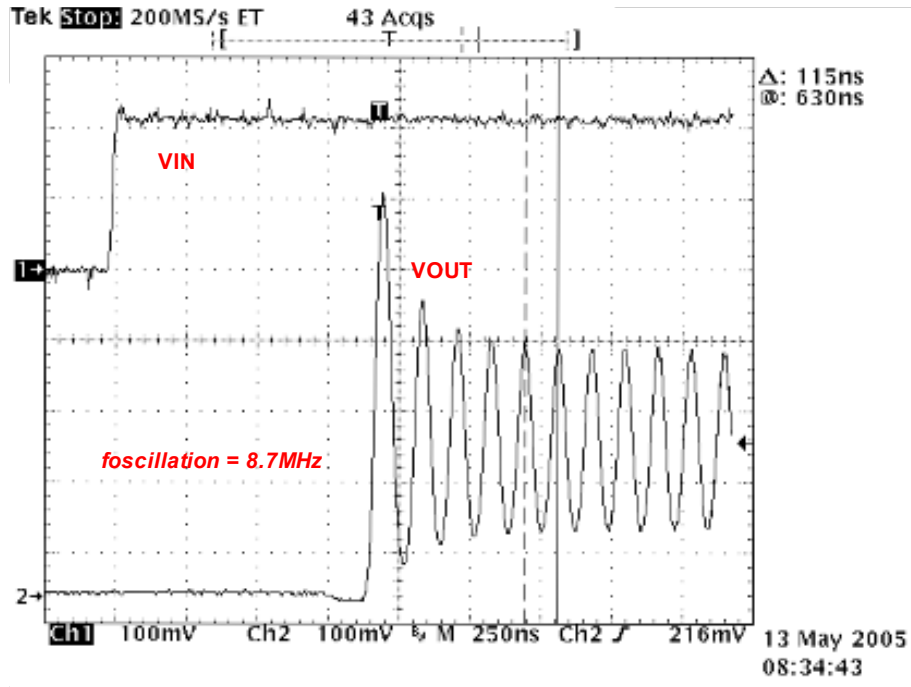


图 5.14: “实际瞬态稳定性测试结果” —— 缓冲器拓扑 w/o 补偿

为进一步进行我们的一阶稳定性分析，我们需要从数据资料中找到 OPA364 的 Aol 曲线，曲线如图 5.15 所示。

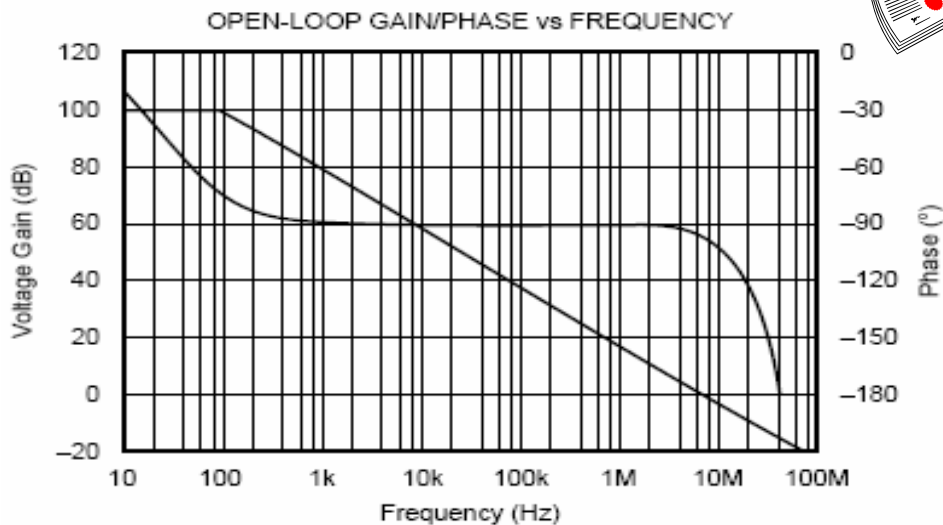


图 5.15: OPA364 数据资料 Aol 曲线

图字（上下、左右）：开环增益/相位与频率关系、电压增益（dB）、相位（°）、频率（Hz）。

在图 5.16 中，我们分析了缓冲器电路拓扑 w/o 补偿原理，并给出了采用两条反馈路径的解决方案。我们的 Aol 曲线是取自厂商的数据资料（见图 5.15）。标为“缓冲器拓扑 w/o 补偿”的曲线是我们的直流 Beta 分析结果，我们用 Tina SPICE 仿真来找出高频极点。现在我们利用十倍频程经验法则来调整 FB#1，这是我们缓冲电路中已有的反馈路径。我们注意到，在 fcl 处，我们想得到 20dB/decade 的闭合速度。从 -40dB 到 0dB 的距离较大，因此我们每次用掉数量上的一个十倍频程，这使我们得到如图 5.16 所示的阶跃式上升，频率上也是如此。一旦我们在 FB#1 曲线上达到 1MHz，由于晶体管电容的寄生效应，我们需要加入高频极点（从 1/Beta w/no 补偿曲线）。我们对 FB#1 进行了所有能做的工作，但我们注意到它与 Aol 曲线以 40dB/decade 的闭合速度相交。现在我们将增

加第二条反馈路径 **FB#2**。如果我们能将它加入我们的缓冲电路中（如图所示），则我们可以看到它将在频率大于 1MHz 时占优势，且 $1/\beta$ 曲线和 A_{ol} 曲线将以 20dB/decade 的闭合速度相交！！

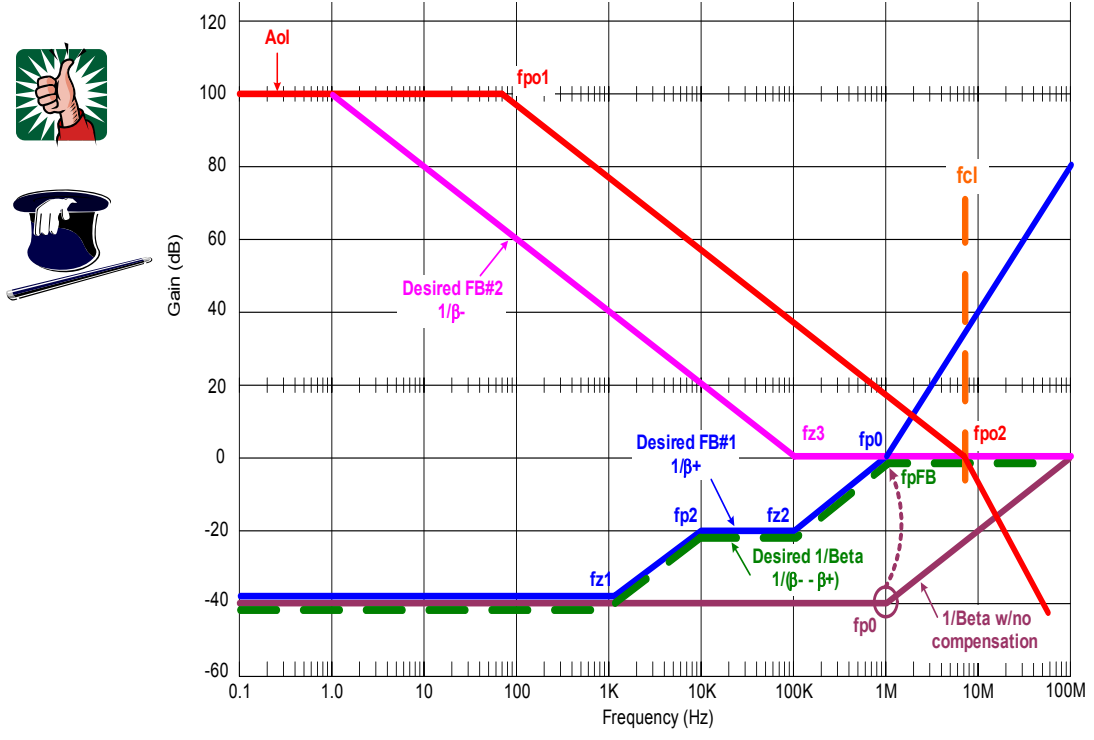


图 5.16: 1 阶分析: A_{ol} 与 $1/\beta$ 曲线

图字: 所期望的 $FB\#2$ $1/\beta$ -、所期望的 $FB\#1$ $1/\beta$ +、所期望的 $1/\beta$ $1/(\beta-\beta+)$ 、 $1/\beta$ w/no 补偿

如果我们将 $1/\beta$ 曲线转化成 β 曲线的话，我们将更容易将需的 $1/\beta$ 曲线综合至器件中。正如我们在反馈环路中“围绕”缓冲器电路一样，我们可以更容易地知道在哪里增加所需的极点和零点。如图 5.17 所示，我们利用有关 β 和 $1/\beta$ 互为倒数的知识，可方便地画出 β 曲线。在 $FB\#2$ 中我们需要增加 fz_3 。而在 $FB\#1$ 中我们则需要增加 fz_1 、 fp_2 与 fz_2 。由于晶体管 T1 的寄生电容， fp_0 已经存在。



For Ease of Circuit Implementation – Use β Plots

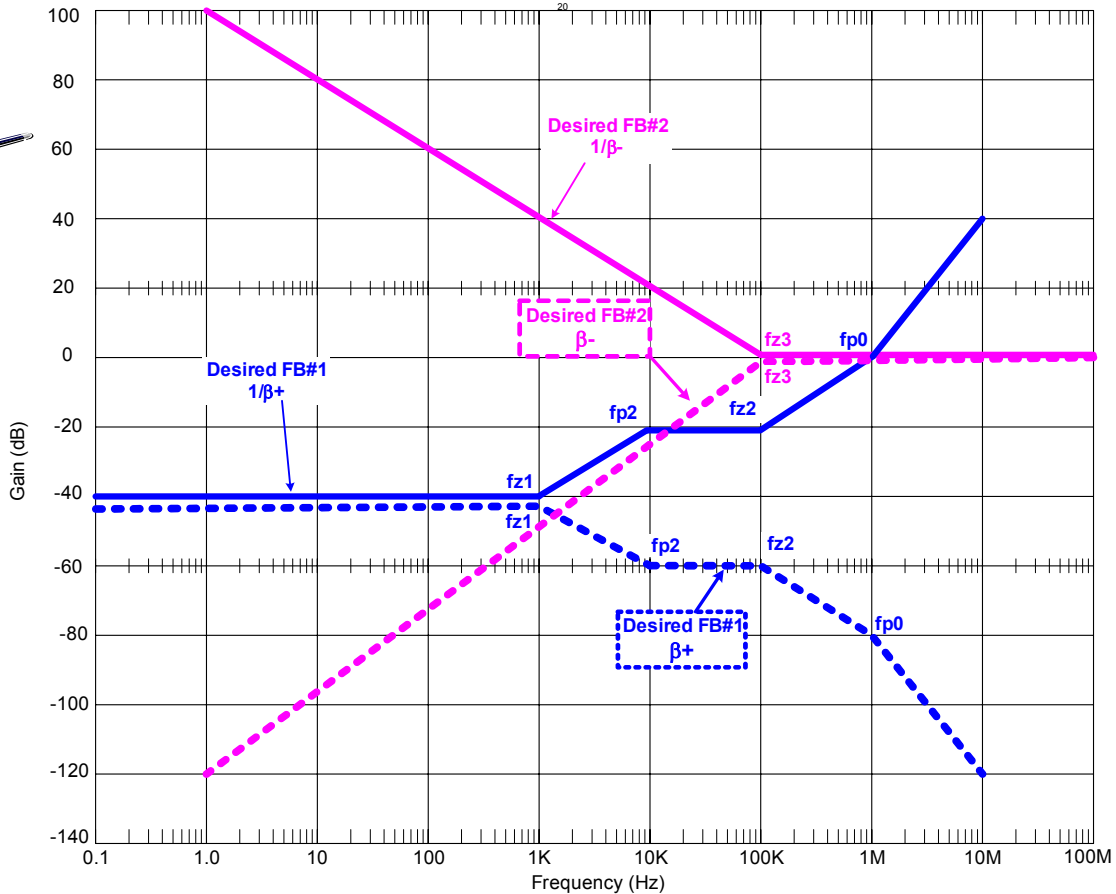
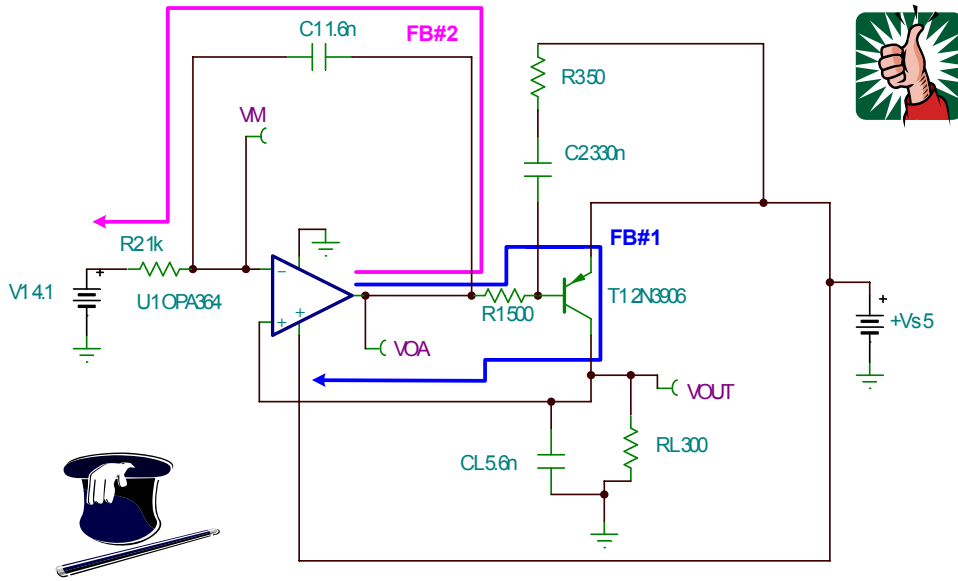


图 5.17: 得自 $1/\beta+$ 的 $\beta+$ 曲线与得自 $1/\beta-$ 的 $\beta-$ 曲线

当我们看图 5.18 时，我们首先环顾 FB#1 周围，找出在哪里我们可以方便的加入 $fz1$ 、 $fp2$ 及 $fz2$ 。由于在我们以 $\beta+$ 视图沿着环路的行走过程中， $fz1$ 是一个极点，因此我们可以方便的通过增加 $C2$ 来加入该点，且可以利用已有的 $R1$ 来使用它。 $fp2$ 作为 $\beta+$ 视图中的零点，可以通过电阻 $R3$ 与 $C2$ 的串联来加入。 $fz2$ 作为 $\beta+$ 视图中的极点，可以通过增加电容 CL 与负载电阻 RL 并联来实现。事实上， CL 起了双重作用。除有助于提高回路的稳定性外，它还作为阻性电桥负载的局部高频旁路，这里用 RL 来表示。FB#2 要求我们加入 $\beta-$ 视图中的极点 $fz3$ 。这可通过增加反馈电容 $C1$ 与输入电阻 $R2$ 来实现。鉴于完整性，我们考虑是否要将 RO 的影响包括进来， RO 是我们在计算 β 和 $1/\beta$ 时运放的开环输出电阻。对于 OPA364， RO 为 160Ω 。对 FB#2 来说，VOA 是 RO 与 $T1$ 基极输入（它看起来是个大阻抗）的中点。对于 FB#1， RO 与 $R1$ 串联，为 500Ω ，这对我们的一阶分析来说并不会带来很大的误差。因此在此电路中，对于一阶分析，我们可以忽略 RO 的影响，同时检查与使用 Tina SPICE 仿真的结果是否相接近。



FB#1 (1/β+):
 $fz1 = 1 / (2 \cdot \pi \cdot R1 \cdot C2)$
 $fz1 = 1\text{kHz}$
(Pole in β+ Plot)

$fp2 = 1 / (2 \cdot \pi \cdot R3 \cdot C2)$
 $fp2 = 10\text{kHz}$
(Zero in β+ Plot)

$fz2 = 1 / (2 \cdot \pi \cdot RL \cdot CL)$
 $fz2 = 100\text{kHz}$
(Pole in β+ Plot)

FB#2 (1/β-):
 $fz3 = 1 / (2 \cdot \pi \cdot R2 \cdot C1)$
 $fz3 = 100\text{kHz}$
(Pole in β- Plot)

From our Loop Stability Tricks and Rules-Of-Thumb:

Look at FB#1 (1/β+) and FB#2 (1/β-) and add poles and zeros where our desired 1/β breakpoints are. Often this is easier to do from a β+ and β- plot.

Remember a smaller V_{FB} → Smaller β → Larger 1/β

图 5.18: 用于稳定性的极点与零点综合

图字:

- (β+曲线上的极点)
- (β+曲线上的零点)
- (β+曲线上的极点)
- (β-曲线上的极点)

从我们的环路稳定性技巧和经验可得:

考虑 FB#1 (β+) 和 FB#2 (β-), 在我们所预计的 1/β 断点处增加极点与零点, 这通常在 β+ 和 β- 曲线上较容易实现。请记住: V_{FB} 越小 → β 越小 → 1/β 越大

CMOS 放大器与 Aol 注意点:

一个关于 Aol 和 CMOS 的注意点。随着 CMOS 放大器输出负载的增加 (负载阻值变小), Aol 曲线的直流部分在数值上减小。对如图 5.19 所示的 OPA364 电路, 我们看到 VOUT 上有一个 2MΩ 的负载。图 5.20 给出了用这个负载时, 对 Aol 曲线的 Tina SPICE 仿真结果。我们注意到图 5.20 中的直流 Aol 值在 10Hz 时扩大到大约 118dB, 这与图 5.15 中的数据资料 Aol 曲线不相符。

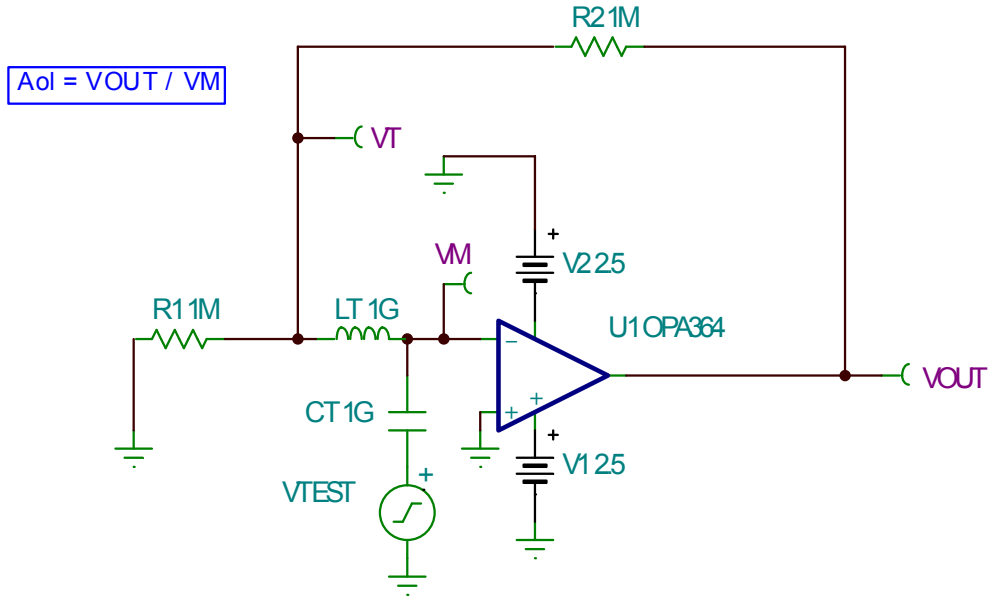


图 5.19: OPA364 Aol 测试电路 w/Load = 2MΩ

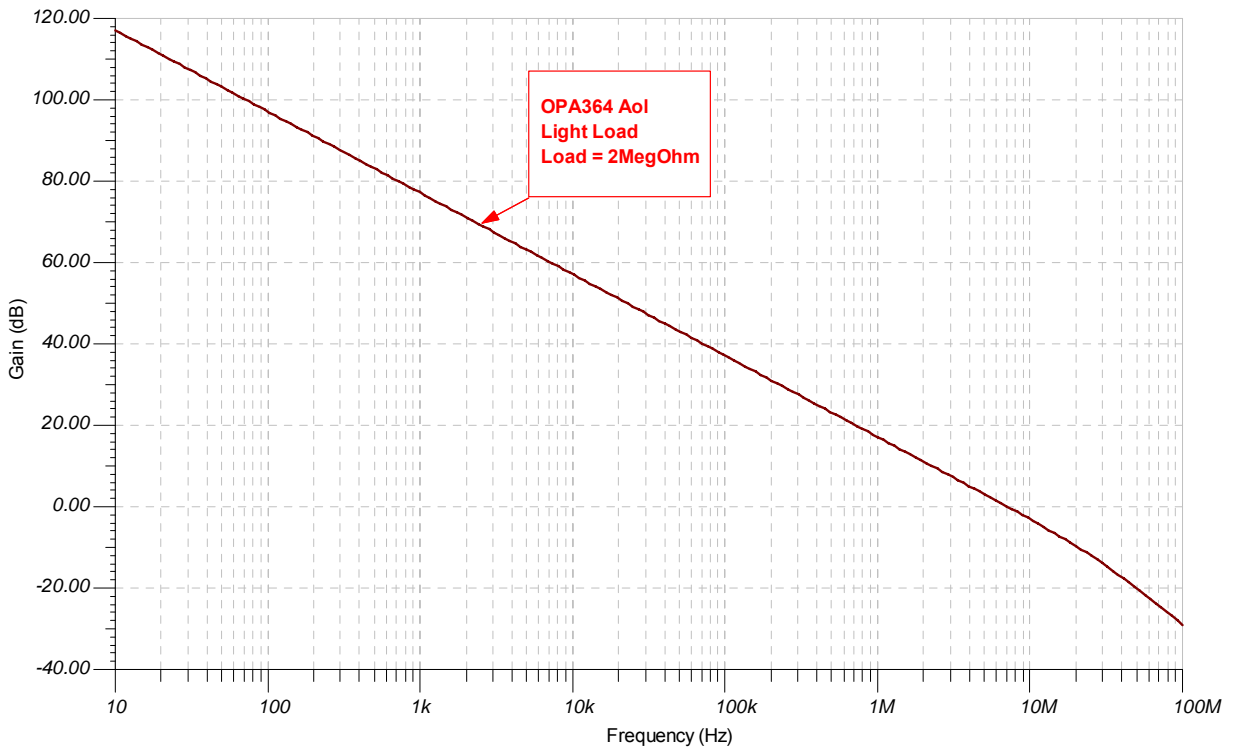


图 5.20: OPA364 Aol w/Load = 2MΩ

图 5.21 所示电路在 OPA364 的输出上加了 10kΩ 的负载。这是在 OPA364 数据资料 Aol 曲线中给定的。我们对负载为 10kΩ 的 OPA364 (图 5.22) 所进行的 Tina SPICE 仿真结果与数据资料 Aol 曲线相符。因此，在单电源缓冲器 Tina SPICE 分析中，所给出的未加负载的 OPA364 Aol 曲线也是正确的。因此这个 OPA364 SPICE 模型准确地模拟了 OPA364 CMOS 放大器在实际电路中的行为，即低频情况下输出负载改变时 Aol 的变化。

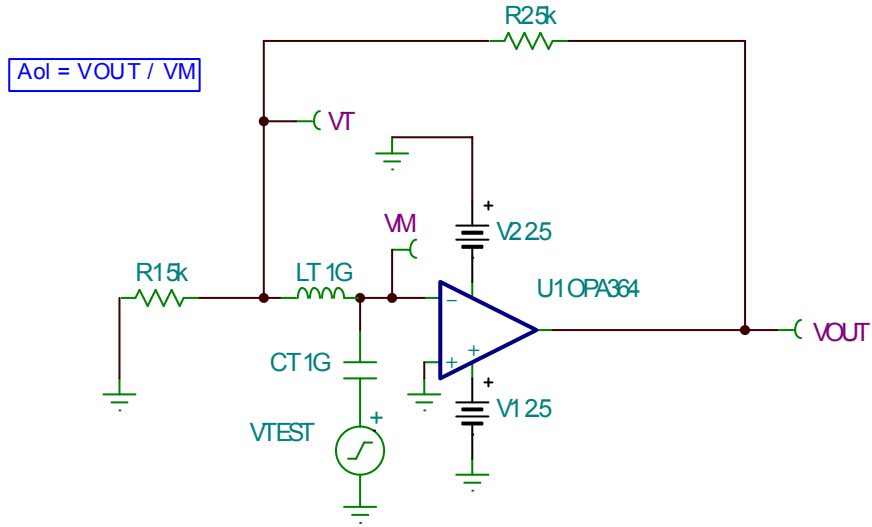


图 5.21: OPA364 Aol 测试电路 w/Load = 10KΩ (数据资料 Aol 曲线)

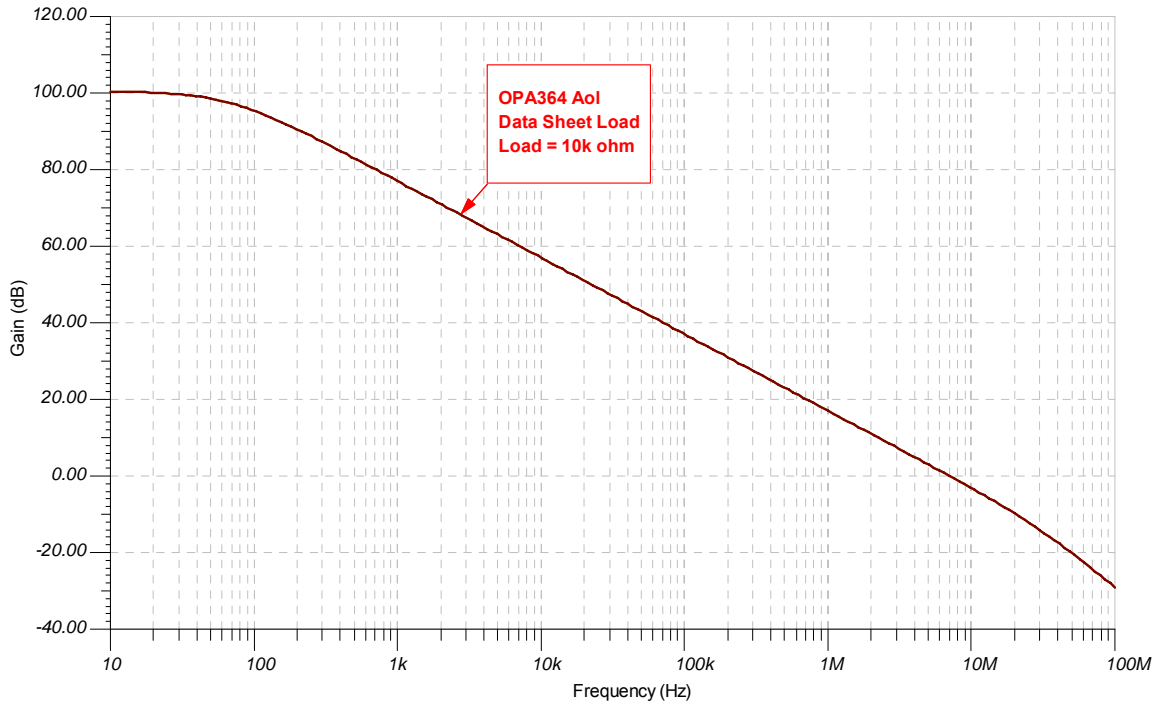


图 5.22: OPA364 Aol w/Load = 10kΩ (数据资料 Aol 曲线)

图字: OPA364 Aol 曲线、数据资料负载、Load=10kΩ、增益、频率

最终缓冲器分析:

现在我们将用如图 5.23 所示电路来对我们的补偿缓冲放大器电路进行 Tina SPICE 分析。通过一个 Tina SPICE 交流分析运算, 我们能得到图 5.23 列出的公式所表示的所有感兴趣曲线。

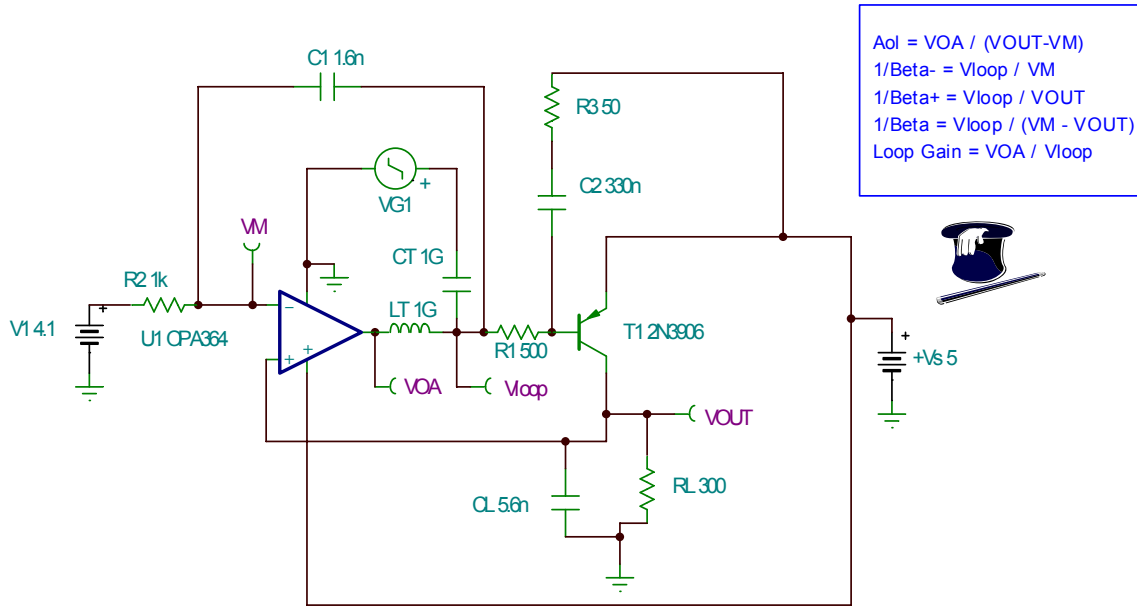


图 5.23: 完整交流分析电路

在图 5.24 中，我们可以看到 OPA364 Aol 曲线和 $1/\beta+$ 曲线及 $1/\beta-$ 曲线。请注意，正如我们所预计的，在任何给定频率下， $1/\beta$ 曲线的增益比 $1/\beta+$ 曲线及 $1/\beta-$ 曲线都要低。同样需注意的，与我们的一阶分析相比，这些 Tina SPICE 仿真曲线与我们所预计结果的相符！

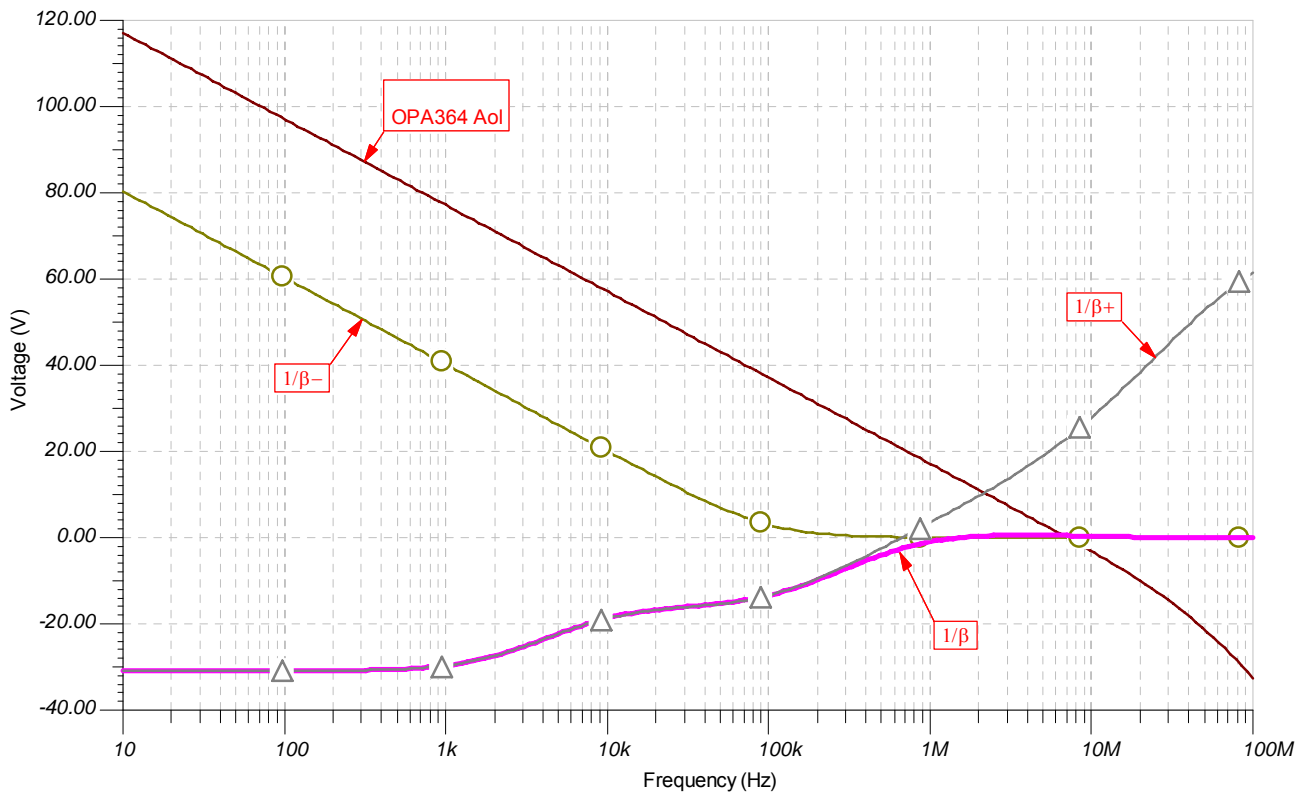


图 5.24: Aol、 $1/\beta+$ 、 $1/\beta-$ 与 $1/\beta$ 曲线

那么，如果想对我们的稳定性画面进行仔细查看的话，我们可以使用从 Tina SPICE 得到的环路增益幅度和相位曲线（见图 5.25），从而可详细地查看我们在综合一个稳定的统一增益缓冲电路中的工作。我们的一个目的是避免相位余量在频率小于 f_{cl} 时降低到 45 度以下。我们的结果不错，但在 300kHz 附近稍微下降到了 45 度以下，从那以后相位余量上升直至超出频率范围。

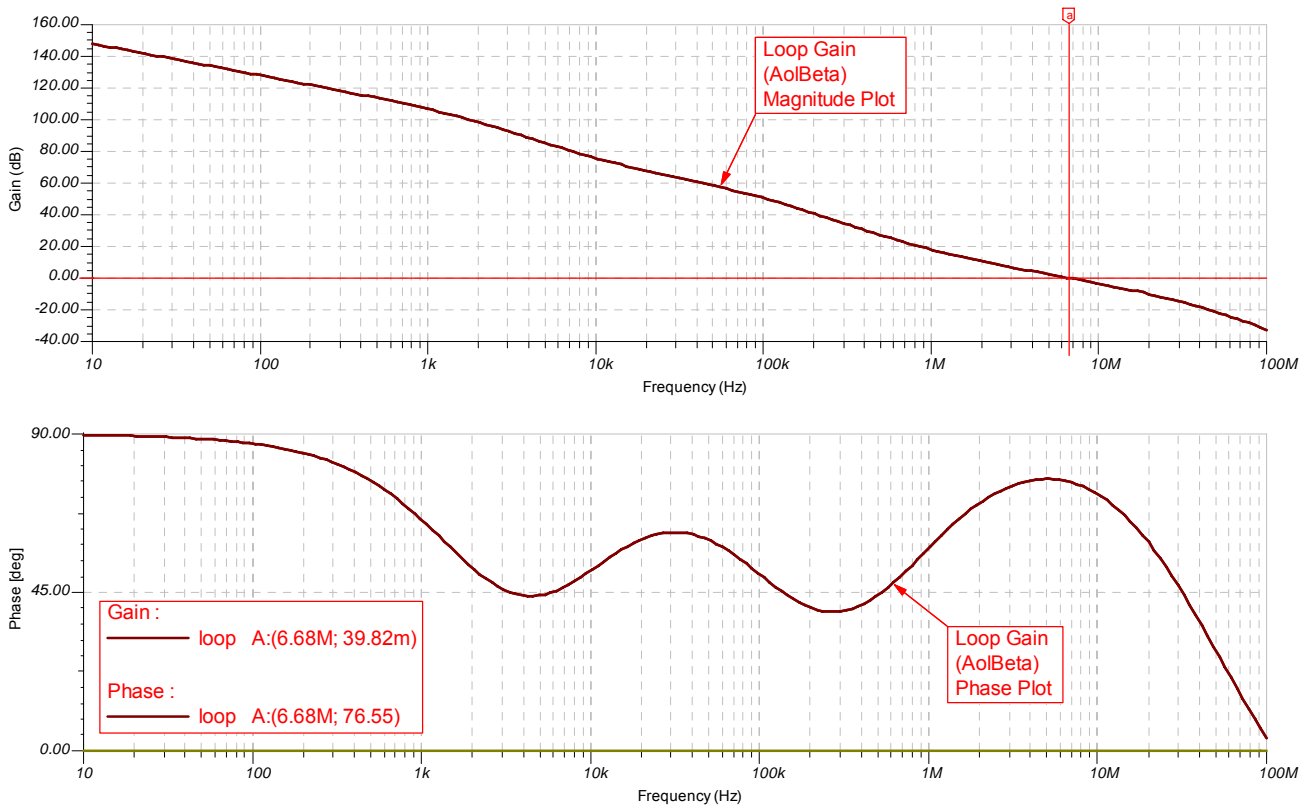


图 5.25: 环路增益 ($A_{ol}\beta$) 幅度与相位曲线

图 5.26 所示电路将被用来预测及仿真 V_{OUT}/V_{IN} 的交流闭环传输函数。

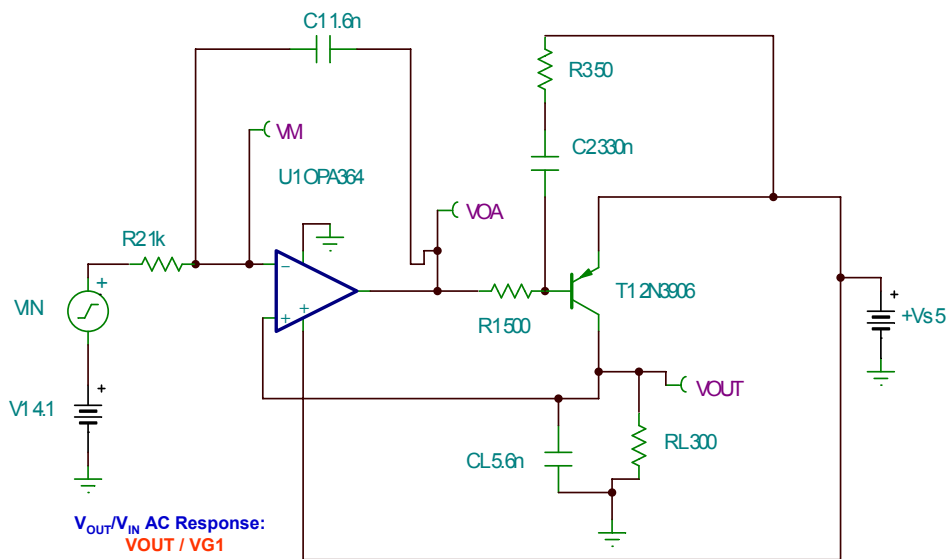


图 5.26: V_{OUT}/V_{IN} 交流响应电路

图字: V_{OUT}/V_{IN} 交流响应: V_{OUT}/V_{G1}

在我们的一阶分析曲线 A_{ol} 、 $1/\beta+$ 、 $1/\beta$ -及 $1/\beta$ 曲线中, 我们将增加一条预计的 V_{OUT}/V_{IN} 曲线以用于闭环交流响应(见图 5.27)。从直流到 f_{px} U1, OPA364 充当一个带有积分器功能的误差放大器, 这样就迫使 V_{OUT} 与 V_{IN} 相匹配。在 f_{px} 处, 由于 $X_{C1}/R2 = 1$, 积分器被强制设置成增益为 1。从 f_{px} 到 f_{py} , 由于 $X_{C1}/R2$ 的存在, V_{OUT}/V_{IN} 继续以 -20dB/decade 速度下降。在 f_{py} 处, V_{OUT}/V_{IN} 继续沿 A_{ol} 曲线下降, 这是因为没有余下的环路增益 ($A_{ol}\beta$) 可用来校正误差。

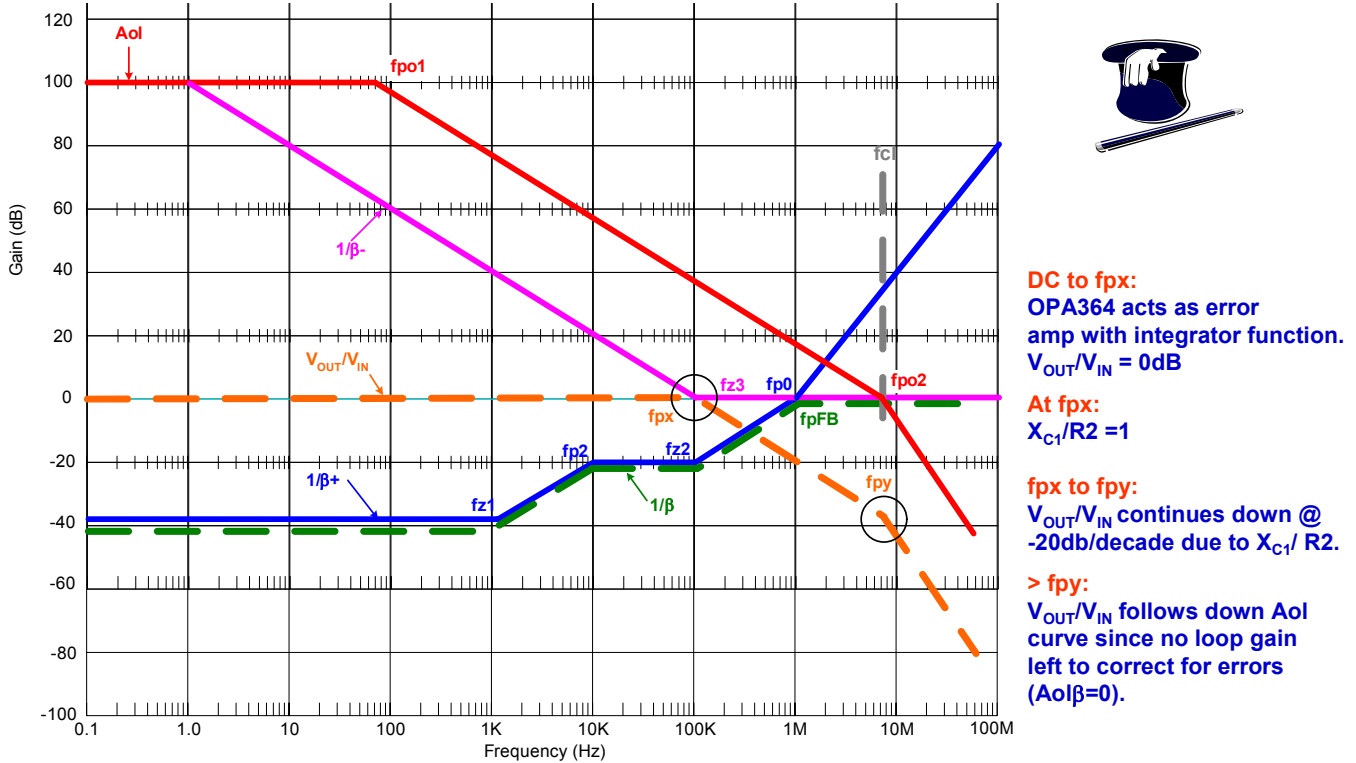


图 5.27: 1 阶 V_{OUT} / V_{IN} 分析

图字: 从直流到 f_{px} :

OPA364 充当一个带有积分器功能的误差放大器。 $V_{OUT}/V_{IN}=0\text{dB}$

f_{px} 处:

$X_{C1}/R2=1$

f_{px} 到 f_{py} :

由于 $X_{C1}/R2$, V_{OUT}/V_{IN} 继续以 -20db/decade 下降

$>f_{py}$:

由于没有余下环路增益 ($A_{ol}\beta=0$) 可用来校正误差, 因此 V_{OUT}/V_{IN} 随 A_{ol} 下降

图 5.28 给出了用 Tina SPICE 仿真得到的 V_{OUT}/V_{IN} 结果, 该结果也表明它与我们从一阶分析得到的预测一致。我们还注意到, 我们达到了缓冲放大器电路 100kHz 小信号带宽的最初目标。

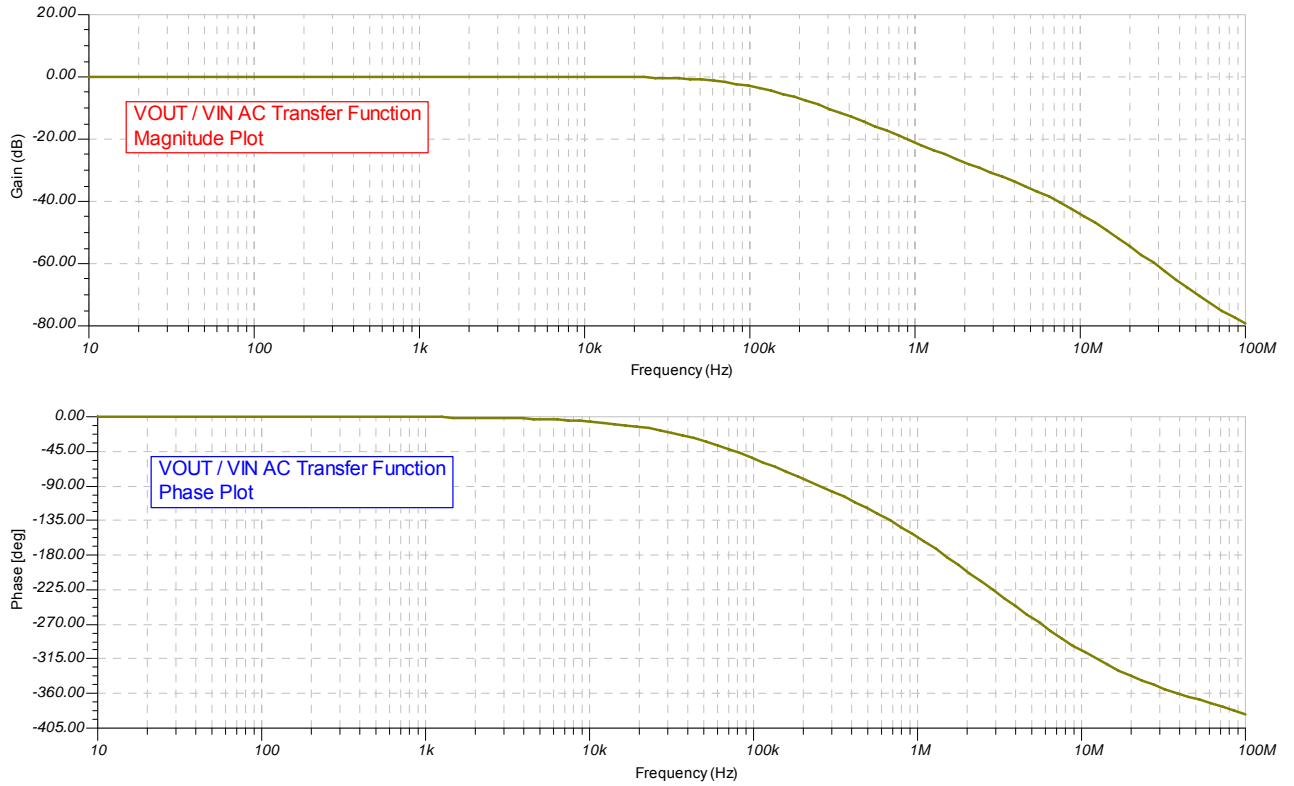


图 5.28: VOUT / VIN SPICE 仿真结果

图字: VOUT/VIN 交流传输函数幅度曲线
 VOUT/VIN 交流传输函数相位曲线

现在, 让我们根据实际的稳定性测试, 在 Tina SPICE 上运行一个瞬态分析测试来查看过冲与振铃现象。图 5.29 给出了该电路。

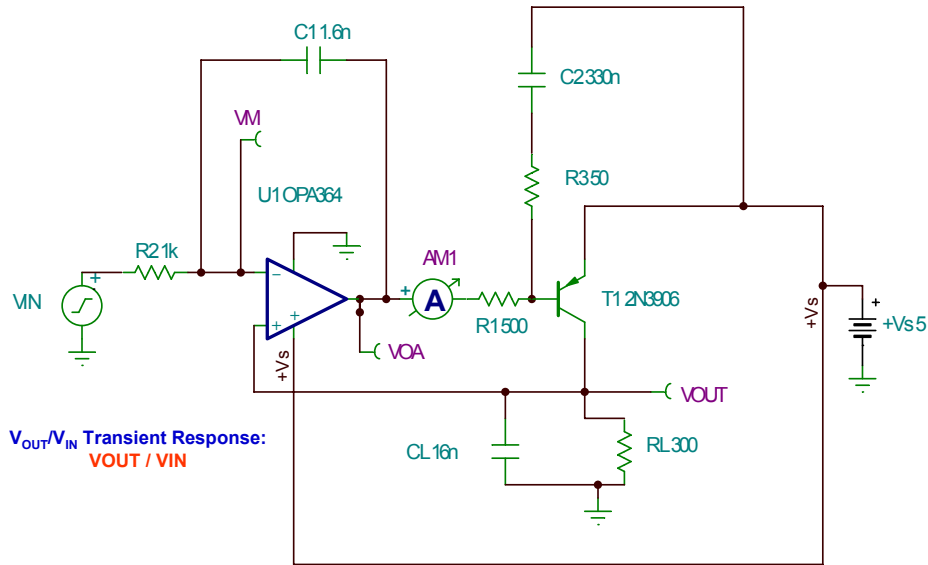


图 5.29: 瞬态稳定性测试电路

图字: VOUT/VIN瞬态响应: VOUT/VIN

从 Tina SPICE 瞬态分析得到如图 5.30 所示的结果，表明 VOUT 没有表现出过大的过冲和振铃，这是我们从环路稳定性分析中所预计到的。此外，我们还监测了在快速 200mV 阶跃变化时（从 4V 升至 4.2V，又返回）从 OPA364 流入和流出的电流。这里，也没有产生过大的电流尖峰，我们可以预计，我们现在的缓冲放大器电路运行良好、耐用、稳定、真实且具有统一增益。

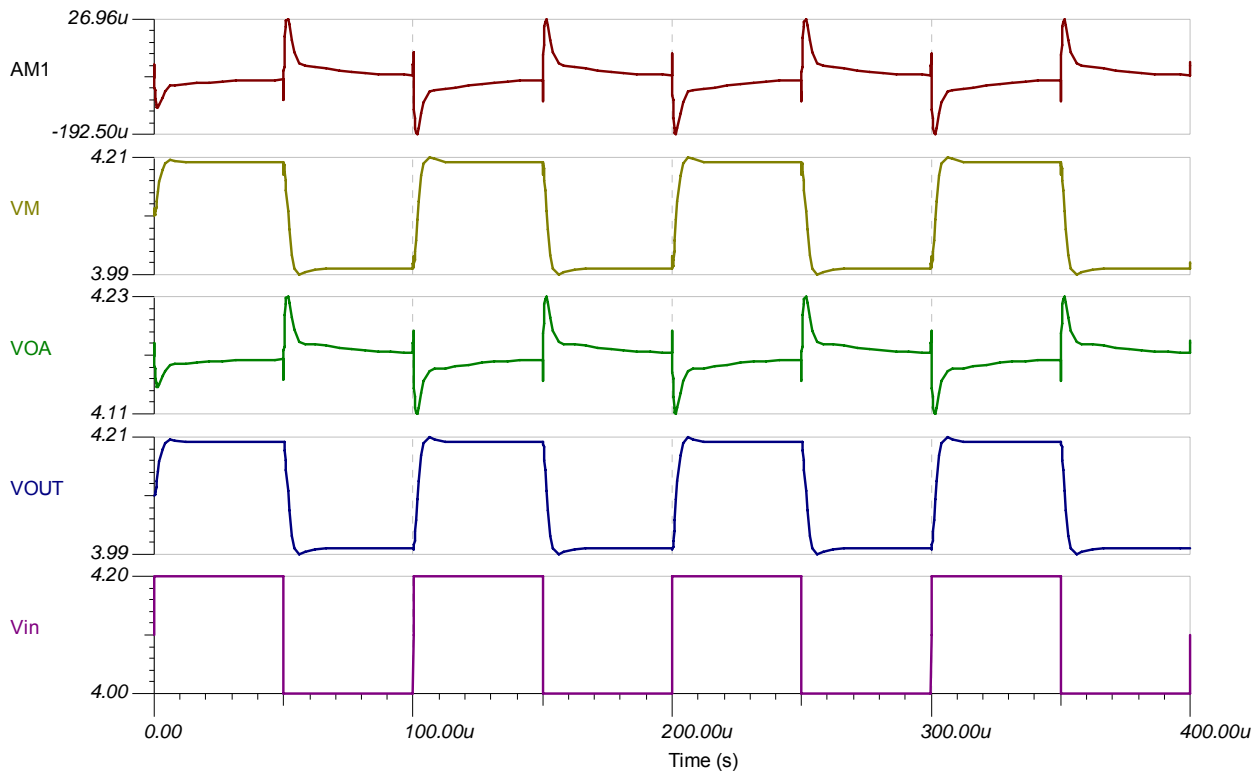


图 5.30: 瞬态稳定性测试 SPICE 结果

但等一等，这还不是全部。我们还在实验室实际电路中增加了稳定性网络，并对它进行了瞬态稳定性测试，结果如图 5.31 所示。真是令人愉快的成功！我们从使用一阶分析，到使用 Tina SPICE 仿真，再到最后使用实际电路稳定性测试，都证实了我们的缓冲放大电路是稳定的。我们的分析与综合技术证明是行之有效的，它得到了一种稳定、可靠、单电源、大电流的缓冲放大器电路。

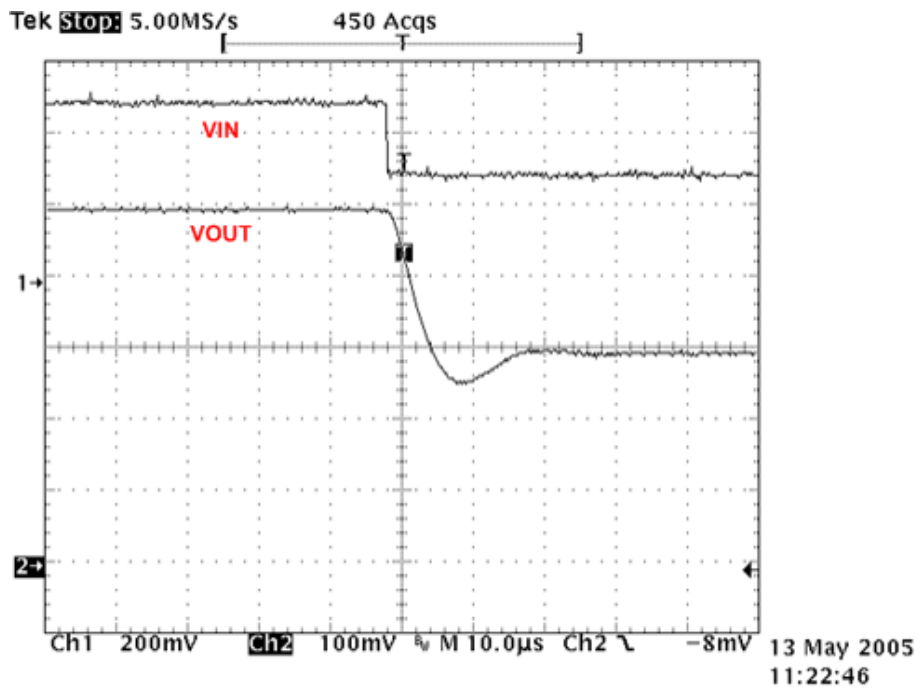
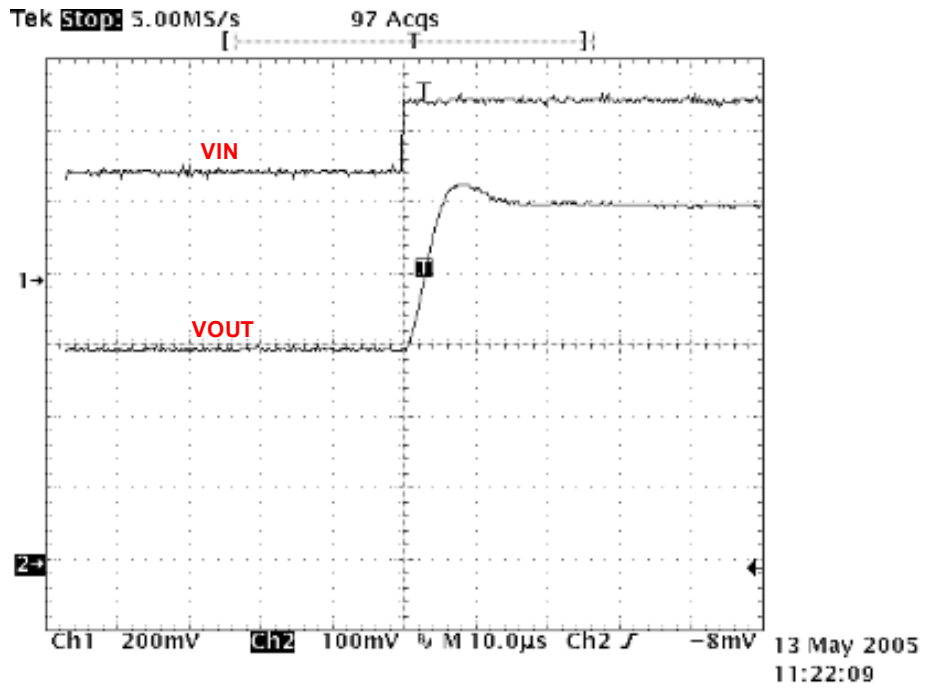


图 5.31: “实际瞬态稳定性测试结果” —— 缓冲器拓扑 w/o 补偿

运算放大器稳定性

第 6 部分 (共 15 部分) 电容性负载稳定性: R_{ISO} 、高增益及 CF、噪声增益

作者: Tim Green, 德州仪器

本系列的第六部分是新《电气工程》杂志 (Electrical Engineering) 中“保持容性负载稳定的六种方法”栏目的开篇。这六种方法是 R_{ISO} 、高增益及 CF、噪声增益、噪声增益及 CF、输出引脚补偿 (Output Pin Compensation), 以及具有双通道反馈的 R_{ISO} 。本部分将侧重于讨论保持运算放大器输出端容性负载稳定性的前三种方法。第 7 和第 8 部分将详细探讨其余三种方法。我们将采用稳定性分析工具套件中大家都非常熟悉的工具来分析每种方法, 并使用一阶分析法来进行描述。该描述方法是: 通过 Tina SPICE 环路稳定仿真进行相关确认; 通过 Tina SPICE 中的 V_{OUT} / V_{IN} AC 传递函数分析来进行检验; 最后采用 Tina SPICE 进行全面的实际瞬态稳定性测试 (Transient Real World Stability Test)。在过去长达 23 年中, 我们在真实环境以及实际电路情况下进行了大量测算, 充分验证了这些方法的有效性。然而, 由于资源的限制, 本文所述电路并未进行实际制作, 在此仅供读者练习或在自己的特定应用 (如分析、合成、仿真、制作以及测试等) 中使用。

运算放大器示例与 R_O 计算

在本部分中, 用于稳定性示例的器件将是一种高达 $\pm 40V$ 的高电压运算放大器 OPA452。这种“功能强大的运算放大器”通常用于驱动压电致动器 (piezo actuator), 正如您可能已经猜到的那样, 该致动器大多为纯容性的。该放大器的主要参数如图 6.1 所示。图中未包含小信号 AC 开环输出阻抗 R_O 这一关键参数, 在驱动容性负载时, 该参数对于简化稳定性分析极其重要。由于参数表中不含该参数, 因而我们需要通过测量得出 R_O 。由于 Analog & RF Models 公司 (<http://www.home.earthlink.net/%7Ewksands/>) 的 W. K. Sands 为该放大器构建了 SPICE 模型, 因而我们可用 Tina SPICE 来测量 R_O 。对于数据表参数而言, W. K. Sands SPICE 模型已经过长期而反复的考证具有极高的精确性, 更重要的是, 它是真正的硅芯片部件!

OPA452

Supply: $\pm 10V$ to $\pm 40V$

Slew Rate: $+7.2V/\mu s$, $-10V/\mu s$

Vout Saturation:

$I_o=50mA$, (V-)+5V, (V+)-5.5V

$I_o=10mA$, (V-)+2V, (V+)-2V



图 6.1 : OPA452 重要参数

为了测试 R_O , 我们在图 6.2 的开环增益和相位与 OPA452 频率关系图上标注“工作点 (operating point)”。通过测试此“工作点” (无环路增益的频率与增益点) 的 R_{OUT} , $R_{OUT} = R_O$ (如欲了解 R_O 及 R_{OUT} 的详细探讨, 敬请参见本系列的第 3 部分)。

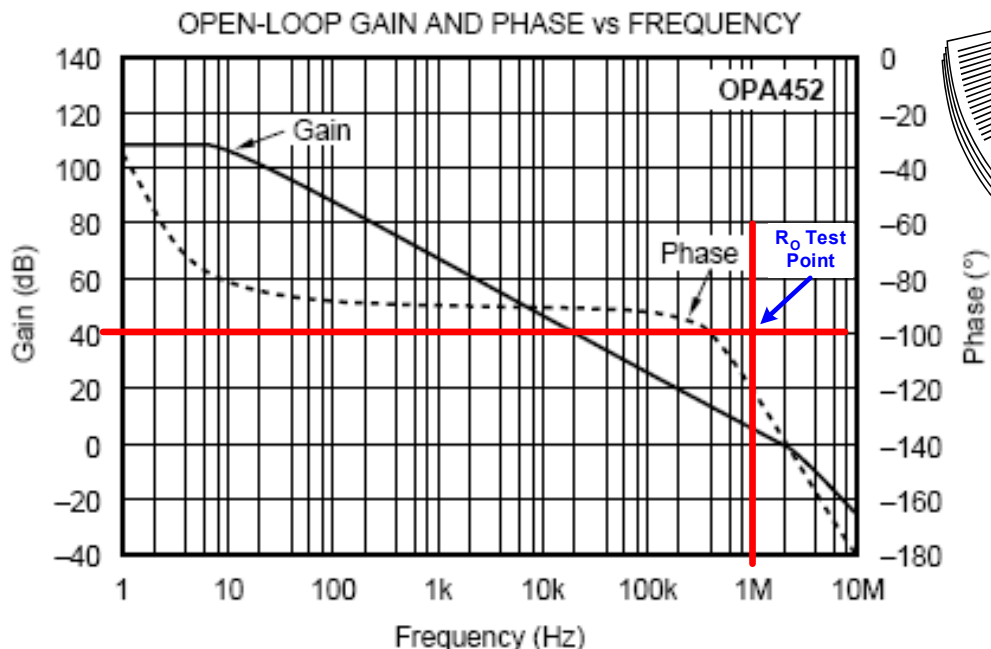


图 6.2 : 具有 R_O 测量“工作点”的 OPA452 AoI 曲线

由于我们在 Tina SPICE 中仅测试 R_O ，因而图 6.3 介绍了一个非常好用的 SPICE 使用技巧。首先我们设定放大器电路的增益点为 100。AC 通过 C1 进行耦合，并通过 R3 限制流入运算放大器输出端的最大电流。随后将电流计（安培计）A1 串联接入激励源（excitation source）。最后通过在运算放大器的输出端放置电压探针 VOA，我们可以轻松计算出 R_{OUT} （在我们的测试配置中为 R_O ）。这是本系列第 3 部分中“测量 R_O — 激励法”的一种变化形式。

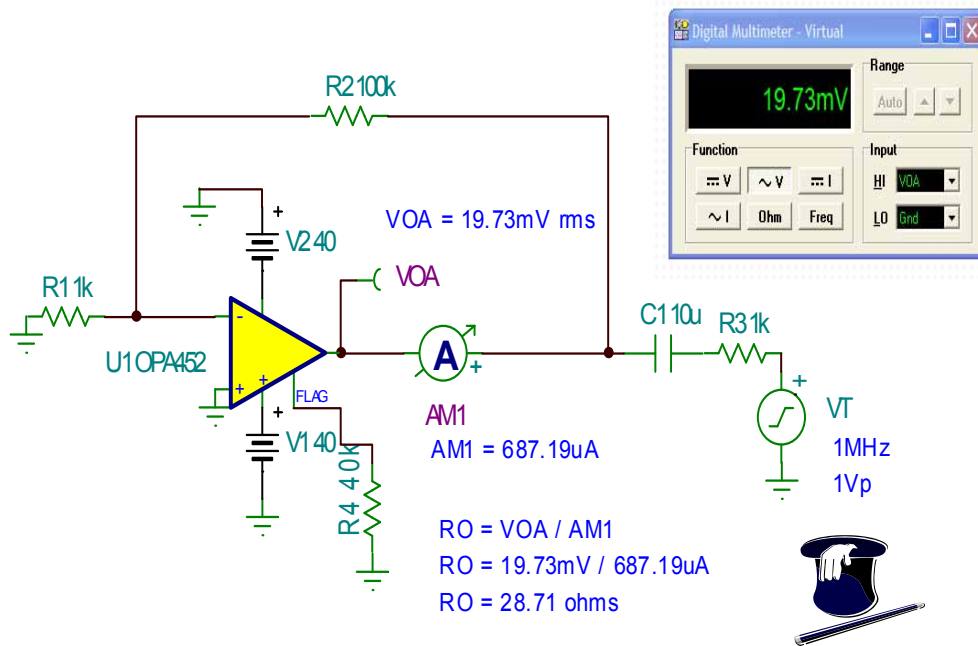
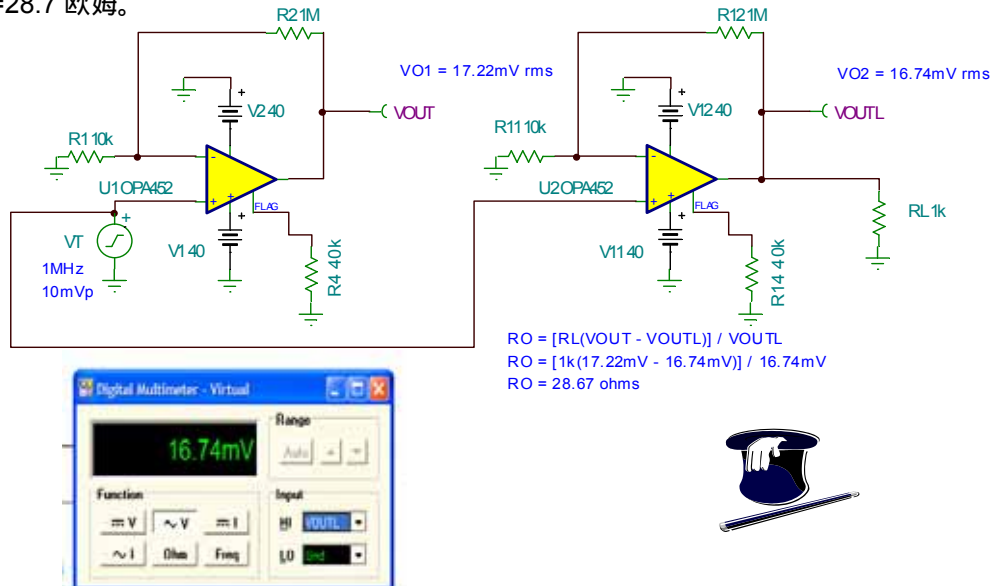


图 6.3 : Tina SPICE — R_O 测试方法 1

我们将使用本系列第 3 部分测量 R_O 中的“测量 R_O — 负载法”再次对 R_O 进行测量检验（如图 6.4 所示）。此处介绍的技巧是，在使用一个 AC 信号源 VT、两个相同放大器 U1 及 U2（U1 放大器不加载，U2 放大器加载）的情况下仅运行 SPICE 一次即可完成测量。结果显示 $R_O=28.67$ 欧姆，与图 6.3 中对 R_O 的测量结果一致。我们设定 OPA452 的 $R_O=28.7$ 欧姆。



运算放大器稳定性

第 6 部分（共 15 部分）电容性负载稳定性： R_{ISO} 、高增益及 CF、噪声增益
作者：Tim Green，德州仪器

图 6.4 : Tina SPICE — R_O 测试方法 2

Aol 修正模型

使用“ Aol 修正模型 ”可大大简化对于运算放大器容性负载的稳定性分析。如图 6.5 所示，数据表中的 Aol 曲线后跟随运算放大器输出电阻 R_O。容性负载 CL 与 R_O 共同作用在 Aol 曲线上形成另外一个极点，也可以用新的“ Aol 修正 ”曲线图进行描述（如图 6.6 所示）。

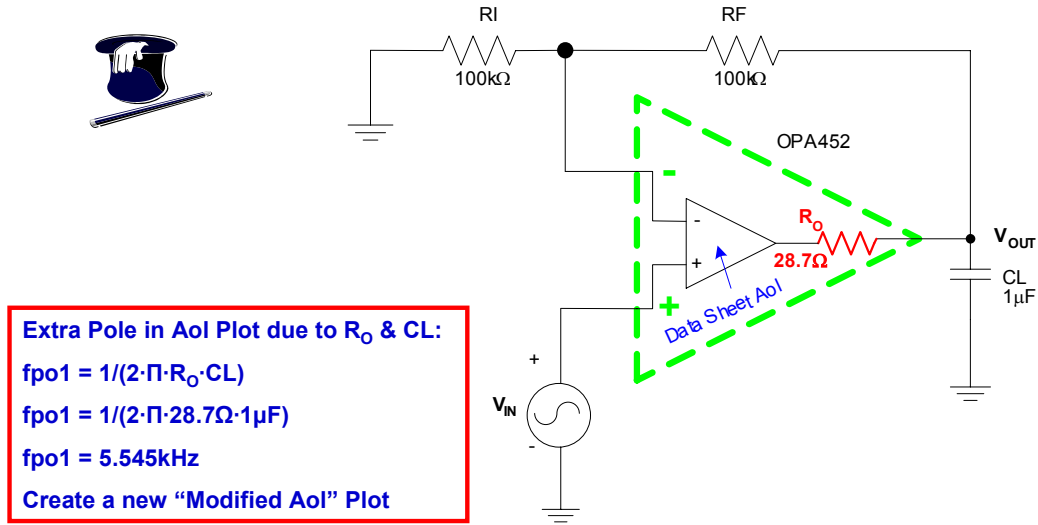
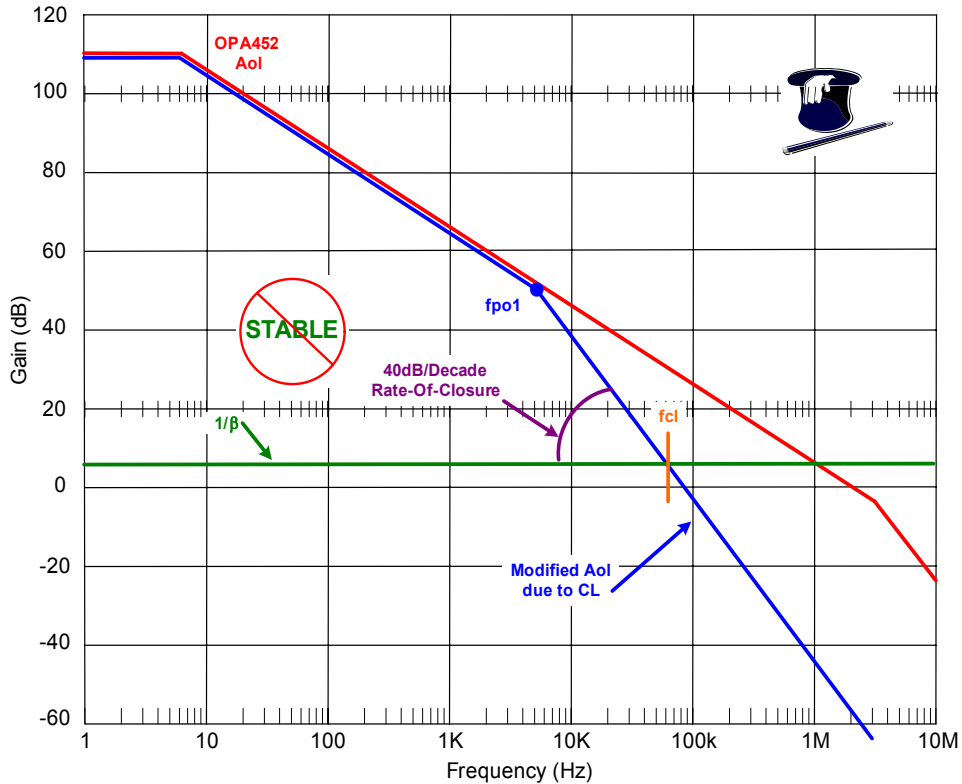


图 6.5 : 具有 CL 的 Aol 修正模型

从在图 6.6 中形成的“ Aol 修正 ”曲线上，我们很容易看到，仅有电阻反馈及低增益的运算放大器电路设计是不稳定的，原因是 1 / β 曲线与“ Aol 修正 ”曲线在闭合速度为 40dB / decade 时相交。



运算放大器稳定性
 第 6 部分 (共 15 部分) 电容性负载稳定性 : R_{ISO}、高增益及 CF、噪声增益
 作者 : Tim Green , 德州仪器

图 6.8 : Tina SPICE — 具有 CL 的 Aol 修正曲线图

为了验证一阶分析对不稳定性的测算值是正确的，我们进行了环路增益分析，如图 6.9 所示。环路增益相位曲线清晰表明了电路即将出现问题，因为在 fcl 处相位为零。

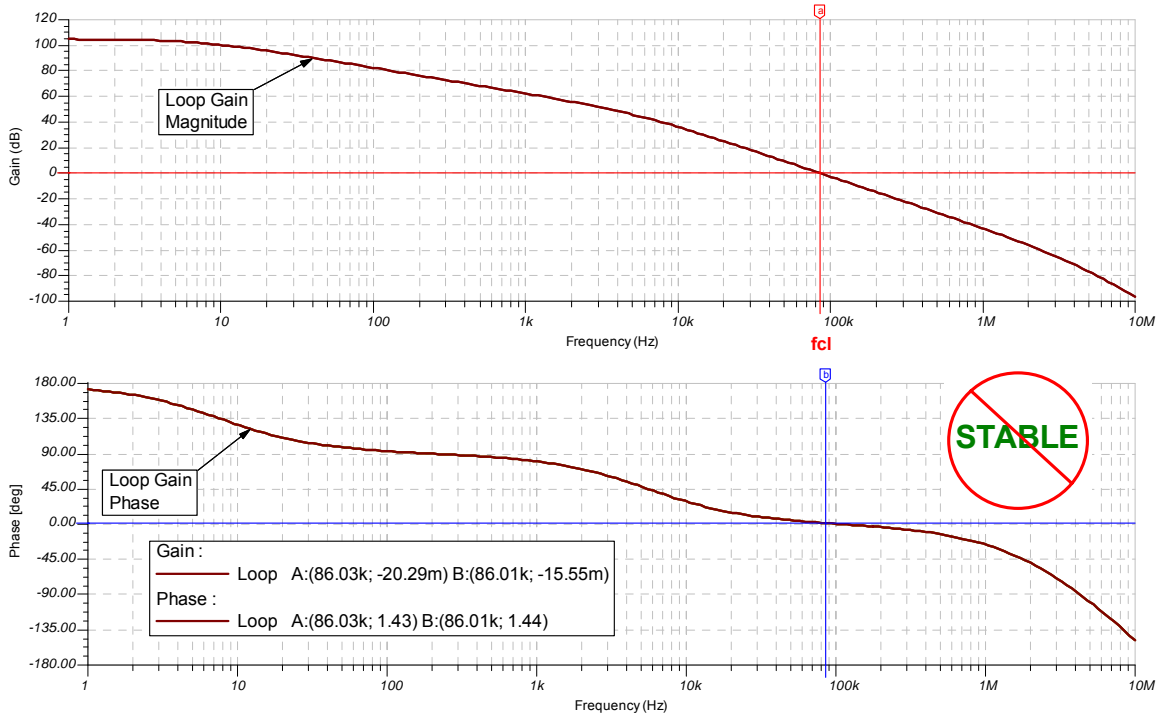


图 6.9 : Tina SPICE — 具有 CL 的环路增益曲线图

图 6.10 是我们将要在 Tina SPICE 上进行实际瞬态稳定性测试电路的详图。与一阶分析一样，根据环路增益曲线图也可测算出不稳定点。为了获得全面信息，我们将观察电路的瞬态响应。

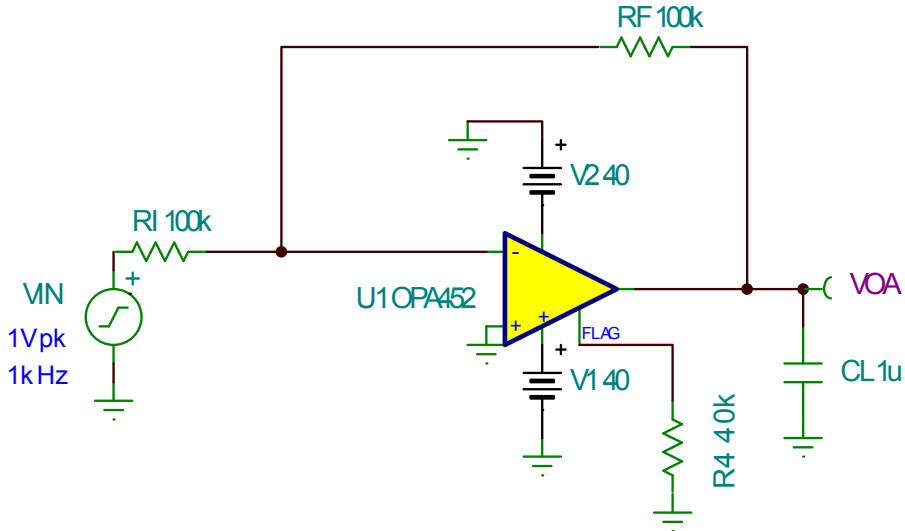


图 6.10 : Tina SPICE - 具有 CL 的瞬态测试

图 6.11 中的瞬态 Tina SPICE 仿真结果表明：如不采取措施，该电路极易出现“不稳定”现象。

运算放大器稳定性

第 6 部分 (共 15 部分) 电容性负载稳定性: R_{ISO} 、高增益及 CF、噪声增益

作者: Tim Green, 德州仪器

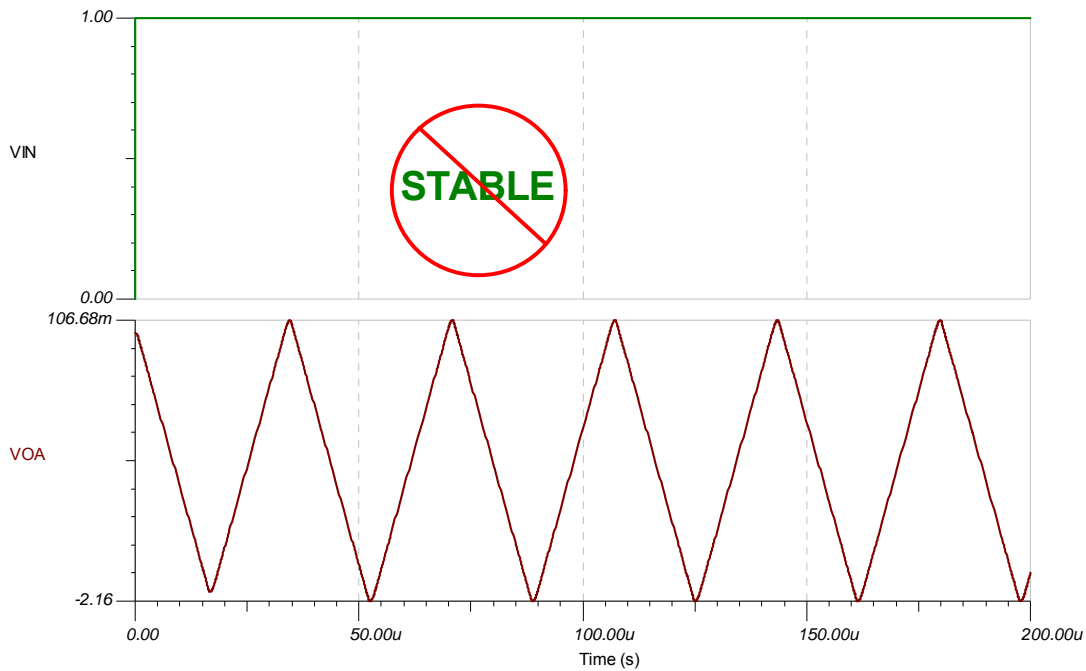


图 6.11 : Tina SPICE - 具有 CL 的瞬态测试结果

在试图对不稳定的容性负载运算放大器电路进行补偿之前，我们需要考虑到：，是否负载电阻会因 R_O 与 CL 相互作用影响“ A_{ol} 修正”曲线图中第二个极点的位置。如图 6.12 所示，负载电阻 R_L 与运算放大器输出电阻 R_O 并联，这会提高极点位置的频率。极点的最终位置目前将由并联的 R_O 与 R_L 及负载电容 CL 决定。根据我们惯常使用的十倍频程 (decade) 方法，我们可以由此得出一个非常实用的经验法则。如果 R_L 大于 $10R_O$ ，则可以忽略 R_L 的影响，第二个极点的位置主要由 R_O 及 CL 决定。

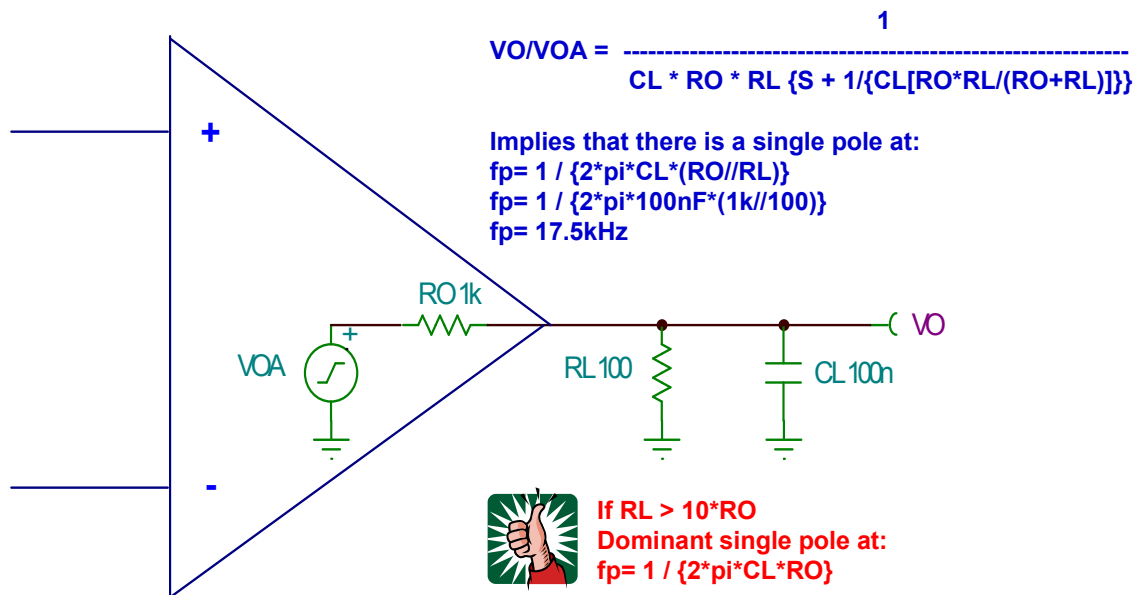


图 6.12 : 是否应考虑 R_L 的影响因素？

图 6.13 确定了我们的一阶分析，得出了可确定极点位置的 R_O 、 R_L 及 C_L 的配置，正如所测算的那样， R_O 、 R_L 并联与 C_L 共同作用。

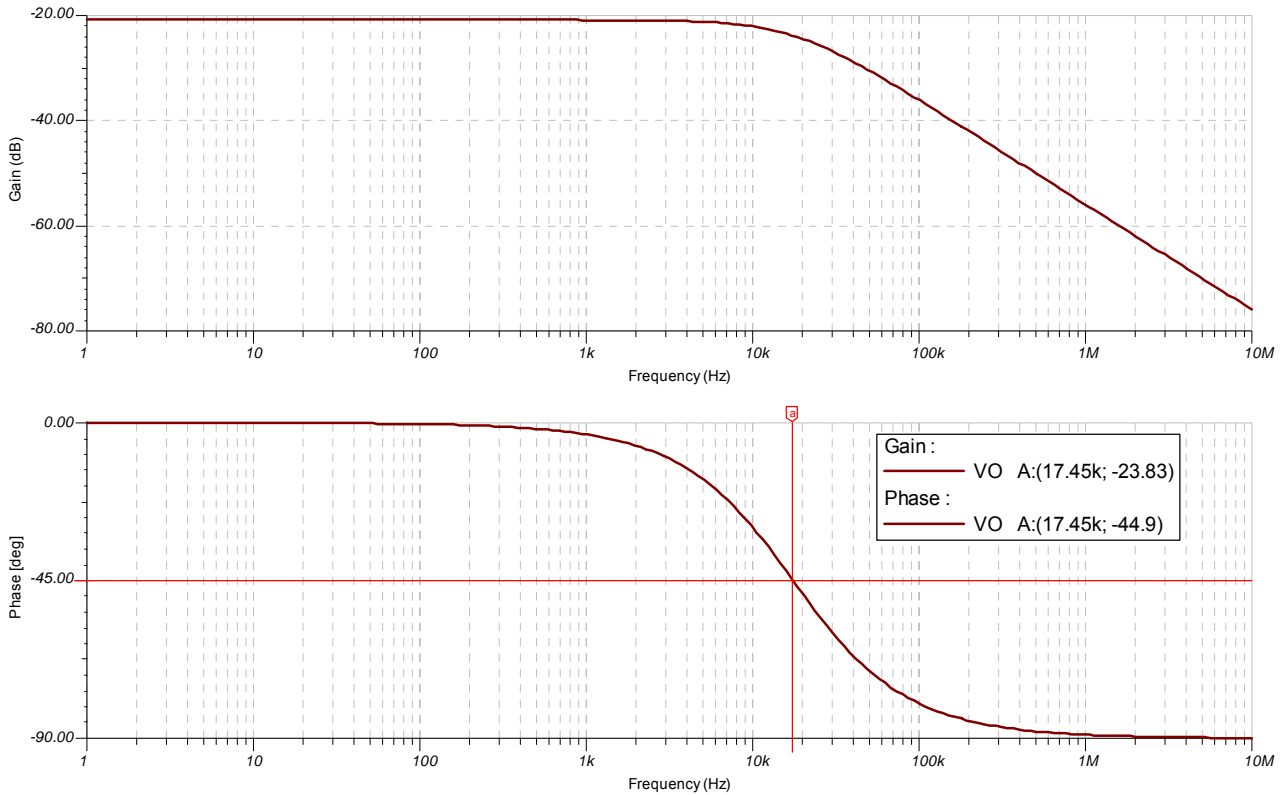


图 6.13 : Tina SPICE - R_O 、 R_L 、 C_L 极点图

R_{ISO} 及 C_L 补偿

如 6.14 所示，我们用于稳定驱动容性负载的运算放大器的第一种方法是：在运算放大器的输出与容性负载 C_L 之间使用隔离电阻 R_{ISO} 。反馈点直接取自于运算放大器的输出。这将在“ A_{ol} 修正”曲线图中产生另一个极点和零点。使用该方法需要考虑的关键因素是从运算放大器流经 R_{ISO} 到负载的电流。该电流将产生 V_{OUT} 与 V_{OA} （运算放大器的反馈点）的比较误差。下列给出的应用将决定该误差值是否可以接受。

运算放大器稳定性

第 6 部分（共 15 部分）电容性负载稳定性： R_{ISO} 、高增益及 C_F 、噪声增益

作者：Tim Green，德州仪器

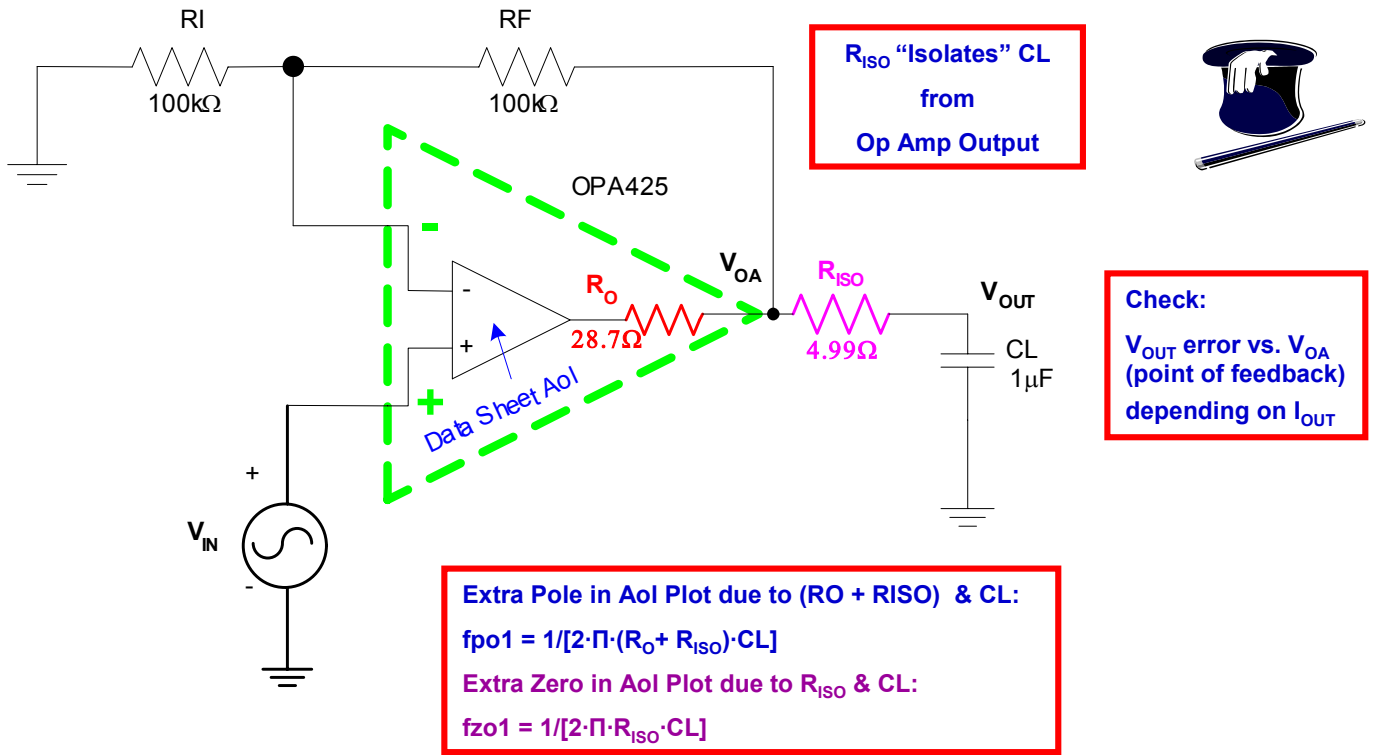
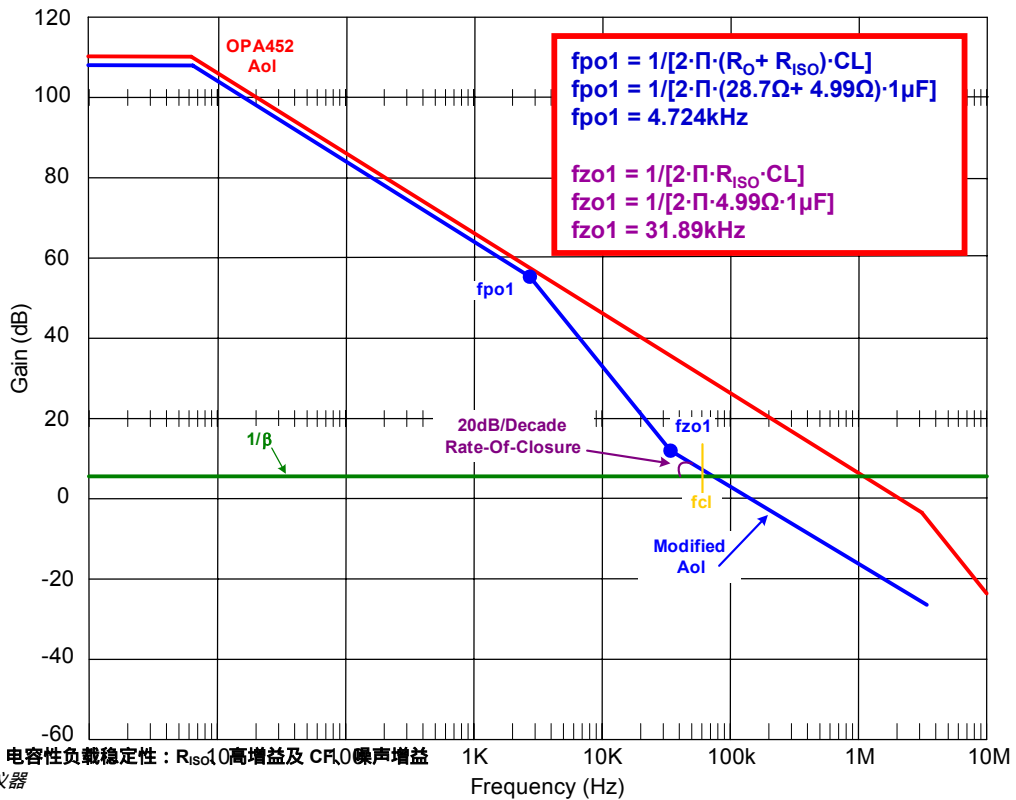


图 6.14 : R_{ISO} 及 CL 补偿

采用 R_{ISO} 及 CL 方法的一阶分析如图 6.15 所示。f_{po1} 由 R_O 和 R_{ISO} 的总电阻与 CL 相互作用来决定。f_{zo1} 由 R_{ISO} 与 CL 共同决定。从 6dB 的 1/β 图上可以看出，f_{cl} 点的闭合速度为 20dB / decade，并且一阶分析也推算出该速度可保持稳定。



运算放大器稳定性

第 6 部分 (共 15 部分) 电容性负载稳定性: R_{ISO}、高增益及 CF₁₀ 噪声增益

作者: Tim Green, 德州仪器

图 6.15 : 一阶分析 - R_{ISO} 及 CL 的 Aol 修正曲线

我们将用图 6.16 所示的 Tina SPICE 电路来确定一阶分析的结果。请注意，我们断开了运算放大器负输入端的环路，这样做是为了便于绘制“ Aol 修正”曲线及环路增益图。通过检验， $1/\beta$ 为 x2 或 6dB。

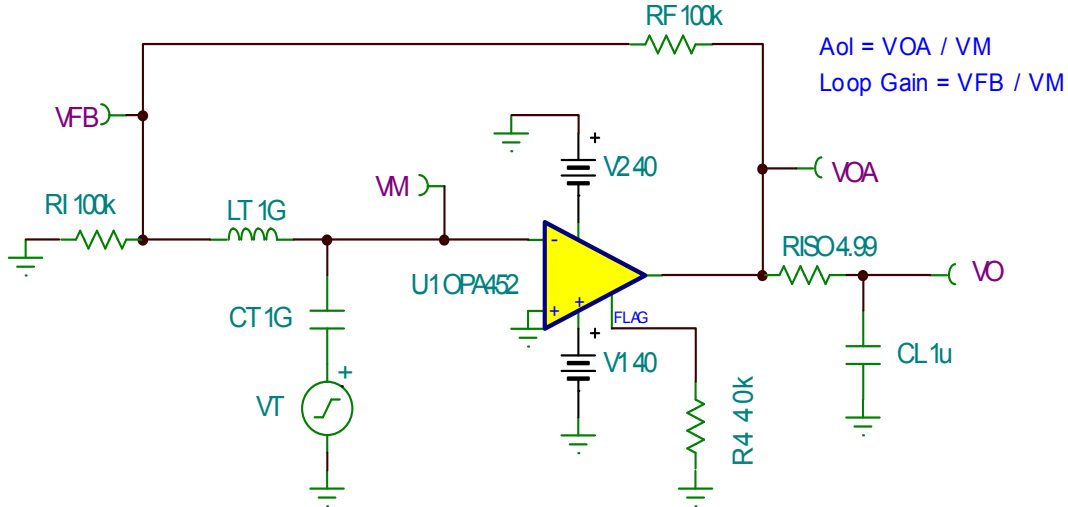


图 6.16 : Tina SPICE - R_{ISO} 及 CL 环路

图 6.17 的“ Aol 修正”曲线图显示，极点与零点值与我们推算的 $fp01=4.724kHz$ 以及 $fz01=31.89kHz$ 非常接近。

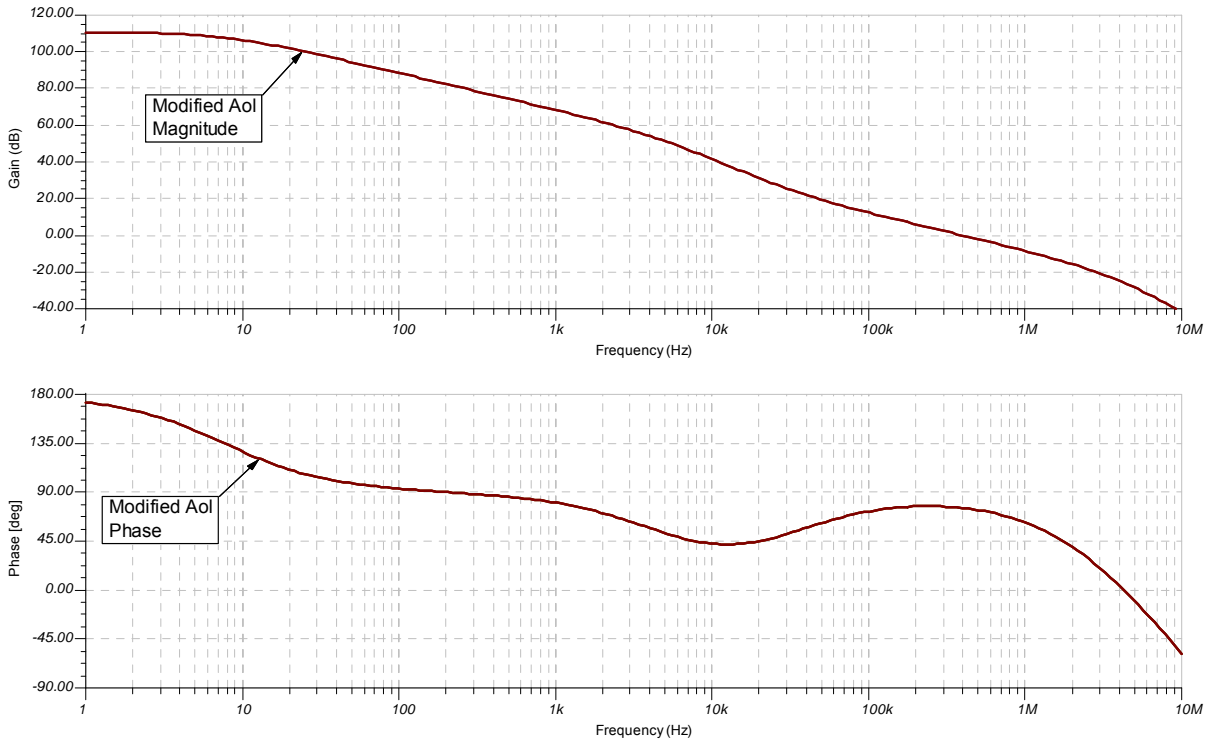


图 6.17 : Tina SPICE 中 R_{ISO} 及 CL 的“ Aol 修正”曲线

运算放大器稳定性

第 6 部分 (共 15 部分) 电容性负载稳定性: R_{ISO} 、高增益及 CF、噪声增益

作者: Tim Green, 德州仪器

环路增益曲线图（如图 6.18 所示）显示，采用 R_{ISO} 及 CL 稳定方法能够实现良好的稳定性。从合成经验法则可以看出，相位裕度在 DC 到 f_{cl} 之间不会低于 45 度。

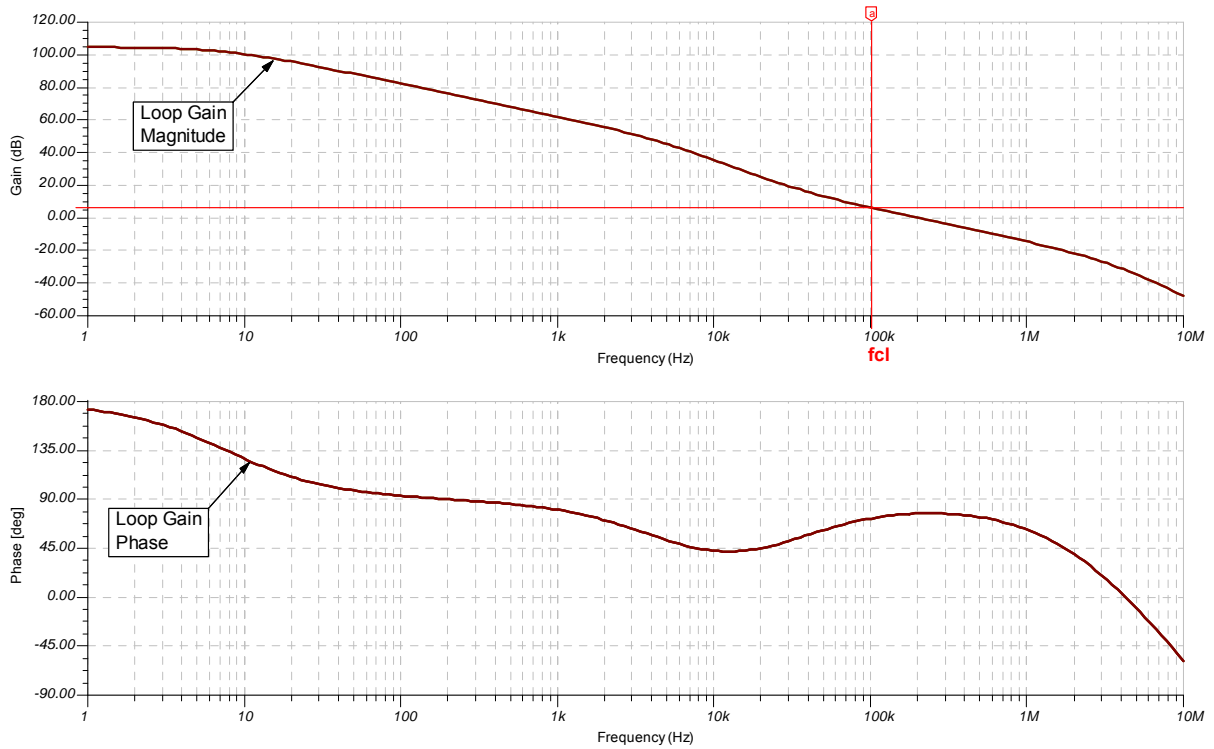
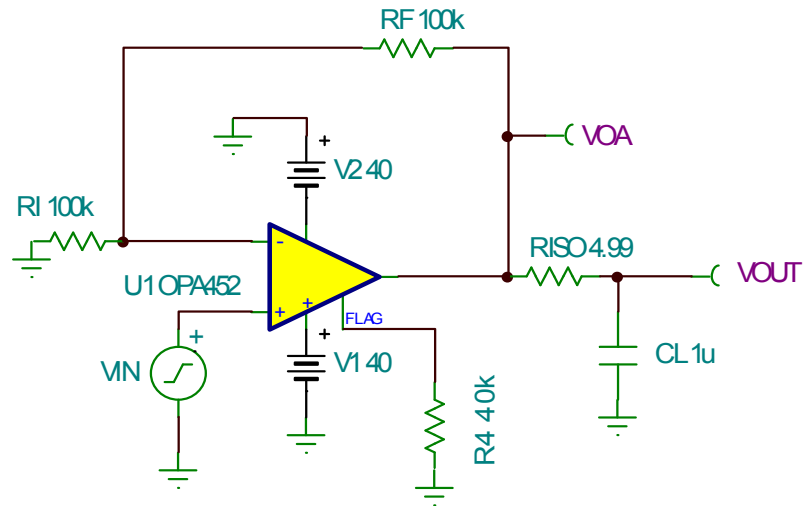


图 6.18 : Tina SPICE - R_{ISO} 及 CL 环路增益

图 6.19 中的 Tina SPICE 电路将运行 V_{OUT} / V_{IN} 传递函数，并重新运行用于瞬态分析的 V_{IN} 函数。



AC Analysis: $V_{IN} = 1V_{pk}$

Transient Analysis $V_{IN} = 100mV_{pk}$, 10kHz, 10nS rise/fall time

图 6.19 : Tina SPICE - R_{ISO} 及 CL 的 V_{OUT} / V_{IN} 电路

若没有一阶分析帮助我们理解该电路工作中的频率表现，那么 R_{ISO} & CL 的 V_{OUT} / V_{IN} AC 传递函数会有些难以理解。如图 6.20 所示，我们需要同时考虑 V_{OA} / V_{IN} AC 传递函数及 V_{OUT} / V_{IN} AC 传递函数。该电路的反馈点来源于 V_{OA} ，因此在 $1 / \beta$ 曲线与 A_{ol} 修正曲线相交前， V_{OA} / V_{IN} 曲线会一直保持平坦。因为没有环路增益，因而在

运算放大器稳定性

第 6 部分 (共 15 部分) 电容性负载稳定性: R_{ISO} 、高增益及 CF 、噪声增益

作者: Tim Green, 德州仪器

fcl 点, V_{OA} / V_{IN} 将随 A_{ol} 修正曲线开始继续下降。 V_{OUT} / V_{IN} 的情况略有不同。从 DC 至 f_{zo1} , V_{OUT} / V_{IN} 曲线是平坦的。由于 R_{ISO} 及 CL 的单极点作用, 在 R_{ISO} 及 CL 相互作用形成的 f_{zo1} 处, V_{OUT} / V_{IN} 将以 $-20\text{dB} / \text{decade}$ 的闭合速度下降。在 f_{cl} 处环路增益耗尽, 因 A_{ol} 修正曲线的作用 V_{OA} 开始以 $-20\text{dB} / \text{decade}$ 的闭合速度下降。但在 R_{ISO} 及 CL 的作用下, V_{OUT} / V_{IN} 包含额外的极点。所以在 f_{cl} 后 V_{OUT} / V_{IN} 将出现第二个下降极点或以 $-40\text{dB} / \text{decade}$ 的闭合速度下降 (如图 6.20 所示)。

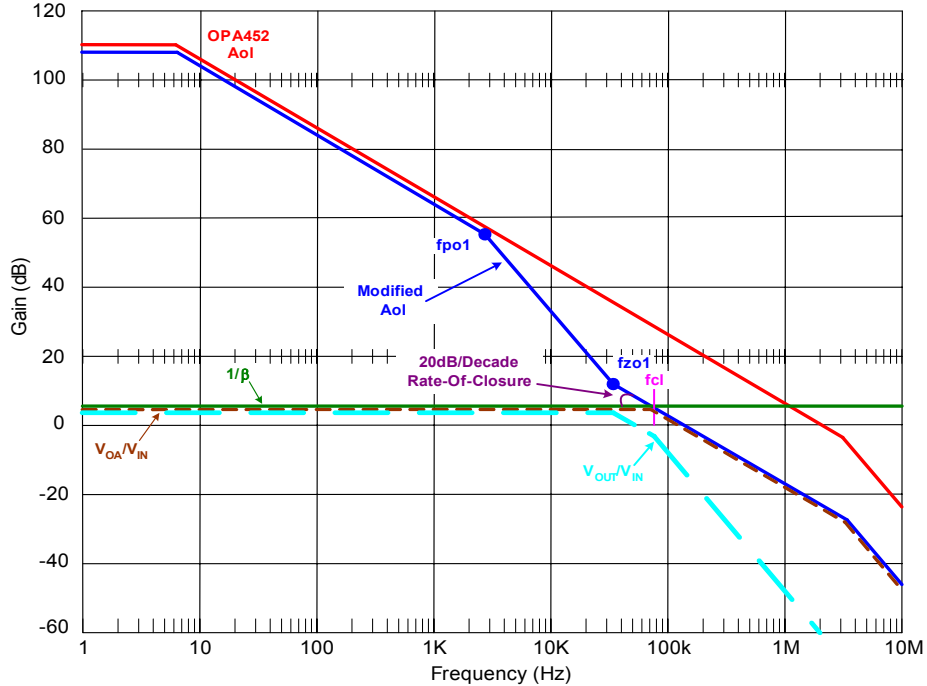
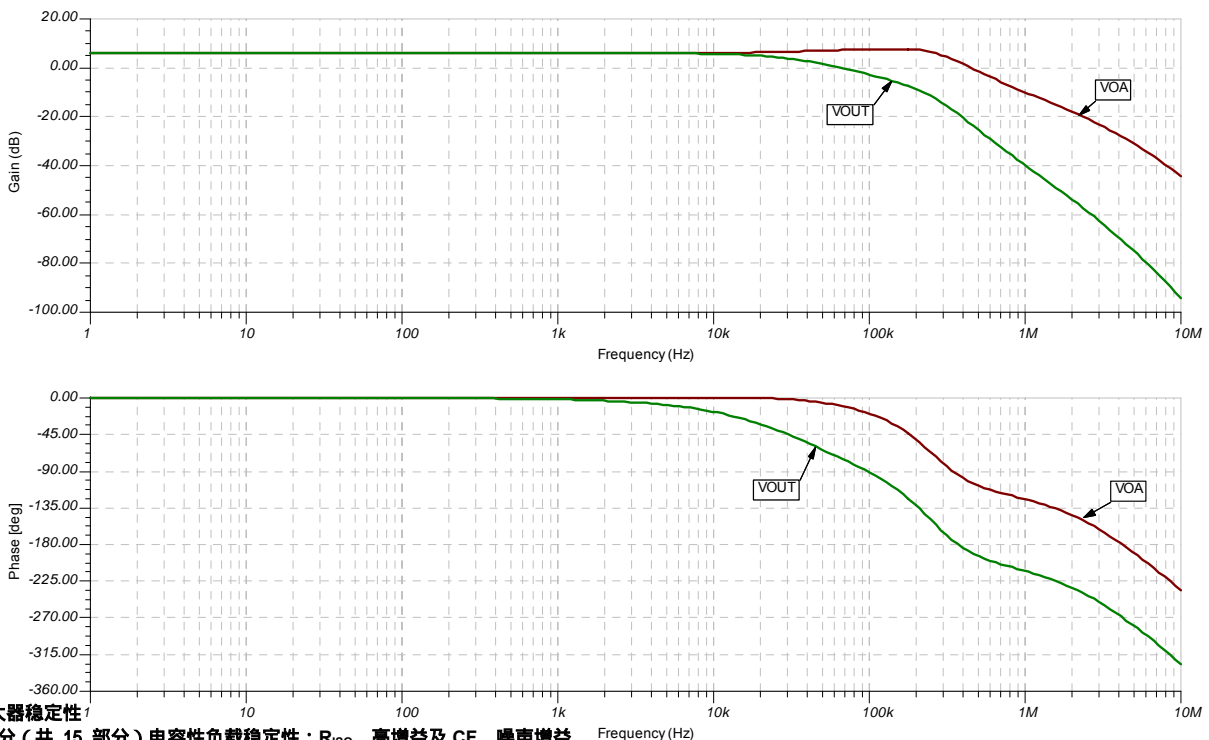


图 6.20 : 一阶 AC 分析 - R_{ISO} 及 CL 的 V_{OUT} / V_{IN} 曲线

Tina SPICE 仿真证实了我们的 V_{OUT} / V_{IN} 及 V_{OA} / V_{IN} 一阶分析结果 (如图 6.21 所示)。



运算放大器稳定性
第 6 部分 (共 15 部分) 电容性负载稳定性: R_{ISO} 、高增益及 CF 、噪声增益
作者: Tim Green, 德州仪器

图 6.21 : Tina SPICE - R_{ISO} 及 CL 的 V_{OUT} / V_{IN} 曲线图

我们通过进行瞬态分析完成最终的稳定性全面检测，其结果与图 6.22 中的测算值一致。通过 V_{OA} 曲线、反馈点，若输出为正则瞬态分析将测算出环路增益相位裕度约为 60 度，若为负值则测算大于 45 度（参见本系列第 4 部分）。SPICE 模型与实际的 IC 特性一致，我们可以看到负输出级与正输出级略有不同。然而，整体稳定性是可靠的。

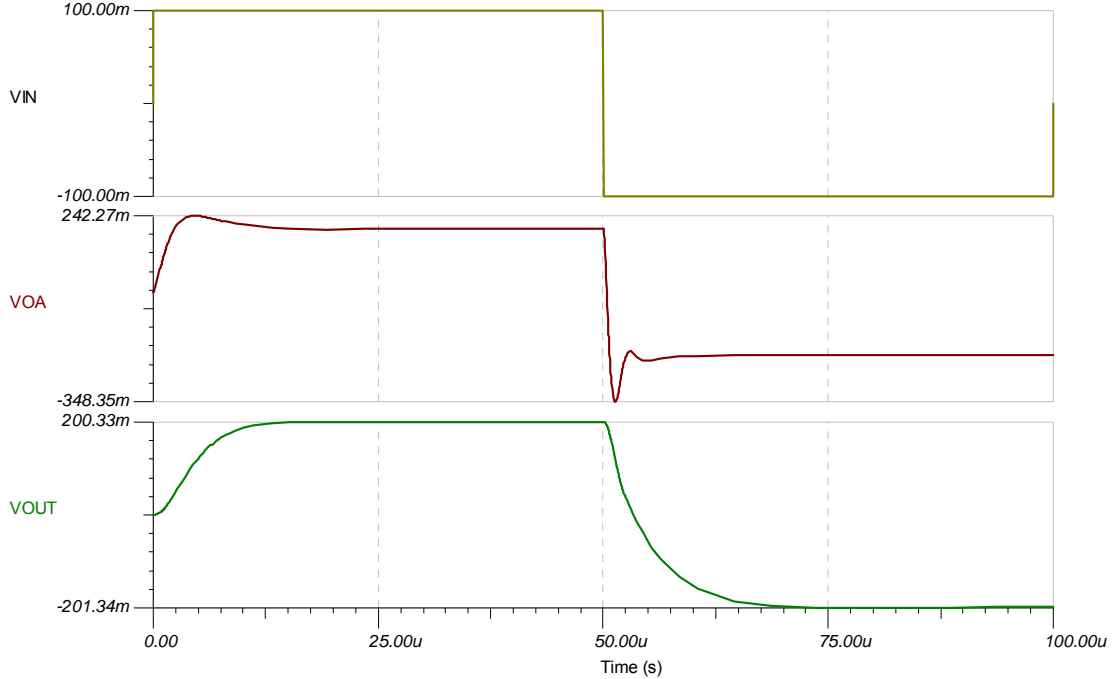
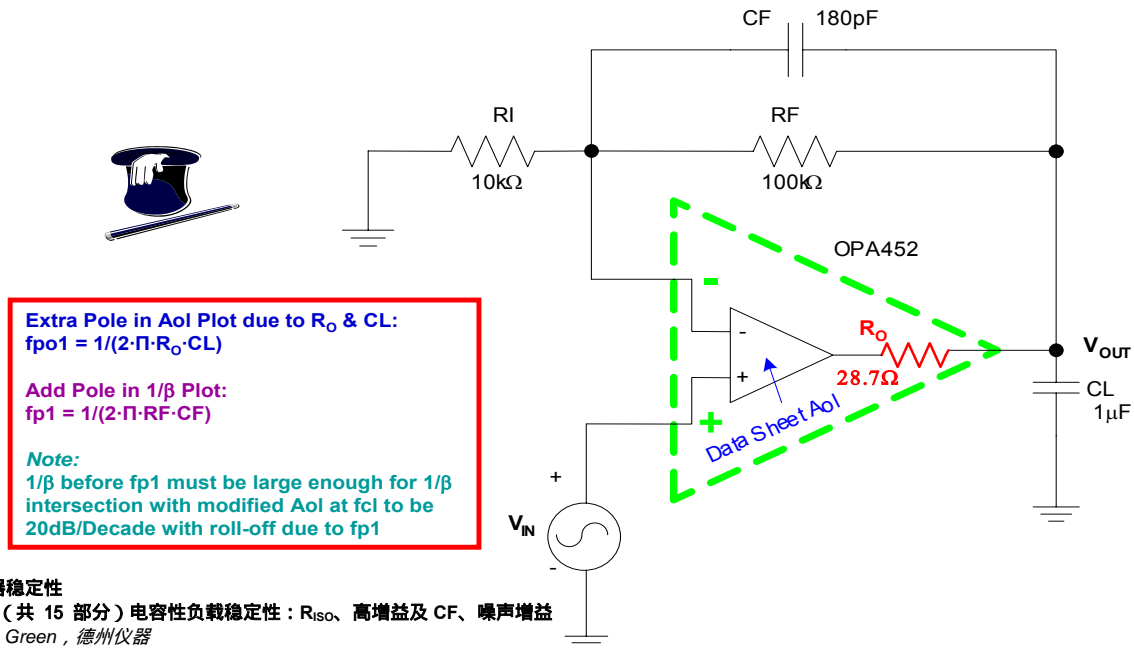


图 6.22 : Tina SPICE - R_{ISO} 及 CL 的 V_{OUT} / V_{IN} 瞬态分析

高增益及 CF 补偿

用于稳定可驱动容性负载的运算放大器的第二种方法是，采用高增益与反馈电容器 CF 。该拓扑如图 6.23 所示。为了更好地理解该方法的工作原理，我们将绘制带有第二个极点（由 R_O 及 CL 形成）的“ A_{ol} 修正”曲线图。在 $1/\beta$ 图中，我们将在相对应的频率位置增加一个极点，该频率位置将导致 $1/\beta$ 曲线与闭合速率为 20dB/decade 的 A_{ol} 修正曲线相交。



运算放大器稳定性
 第 6 部分 (共 15 部分) 电容性负载稳定性: R_{ISO} 、高增益及 CF 、噪声增益
 作者: Tim Green, 德州仪器

图 6.23 : 高增益及 CF 补偿

用一阶分析在 A_{ol} 修正曲线中绘制第二个极点 fp_{01} (如图 6.24 所示)。我们通过添加 CF 在 $1/\beta$ 图中增加了一个极点。请注意如何选择 fp_1 才能确保 $1/\beta$ 曲线与 A_{ol} 修正曲线在闭合速率为 $20\text{dB}/\text{decade}$ 时相交。使用电容器 CF 作为运算放大器的反馈元件, $1/\beta$ 的最小值经检查为 1 (0dB), 原因是 CF 对高频短路且 V_{OUT} 直接反馈到运算放大器的负输入端。通过一阶分析, 我们可以测算出稳定电路, 而因为直接反馈至 CL 故 V_{OUT}/V_{IN} 传递函数无误差。因为 CF 与 RF 的相互作用, 我们测算的 V_{OUT}/V_{IN} AC 传递函数只有一个位于 fp_1 (8.84kHz) 处的下降单极点。该曲线将继续以 $-20\text{dB}/\text{decade}$ 的闭合速度下降直至环路增益为零的 f_{cl} 处, 随后 V_{OUT}/V_{IN} 将随 A_{ol} 修正曲线继续下降。

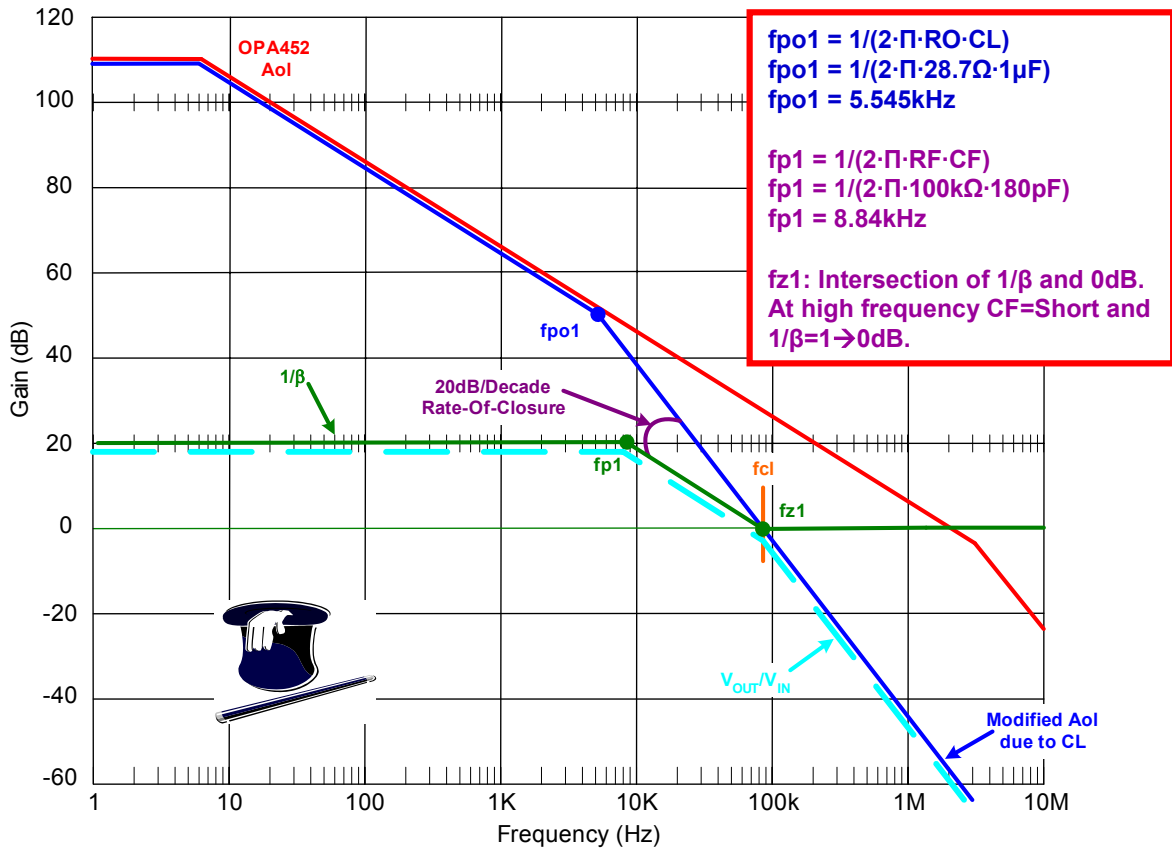


图 6.24 : 一阶分析 - 高增益及 CF

图 6.25 为用于高增益及 CF 环路测试的 Tina SPICE 电路。同样, 断开运算放大器负输入端的环路有助于精确绘制 A_{ol} 修正曲线。

运算放大器稳定性

第 6 部分 (共 15 部分) 电容性负载稳定性: R_{ISO} 、高增益及 CF 、噪声增益

作者: Tim Green, 德州仪器

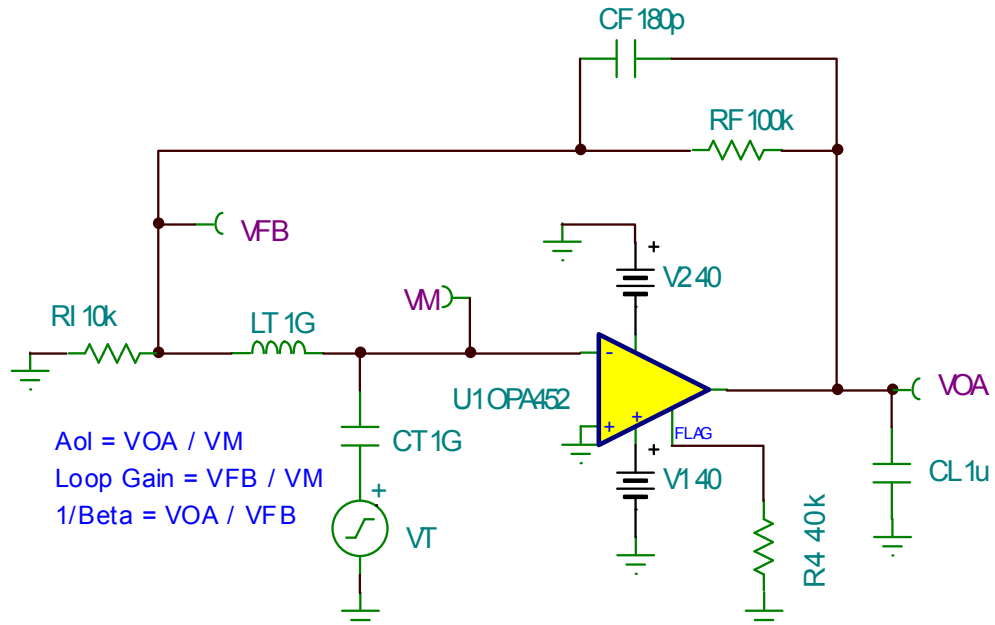


图 6.25 : Tina SPICE - 高增益及 CF 环路

1 / β 及 A_{ol} 修正曲线如图 6.26 所示，两个曲线与一阶测算的第二个 A_{ol} 极点 f_p (大致位于 5.45kHz) 及 1 / β 极点 f_{p1} (大致位于 8.84kHz) 直接相关。请注意，1 / β 曲线从 8.84kHz 继续以 -20dB / decade 的闭合速度下降直到与 0dB 点相交，随后从 0dB 起保持平坦。

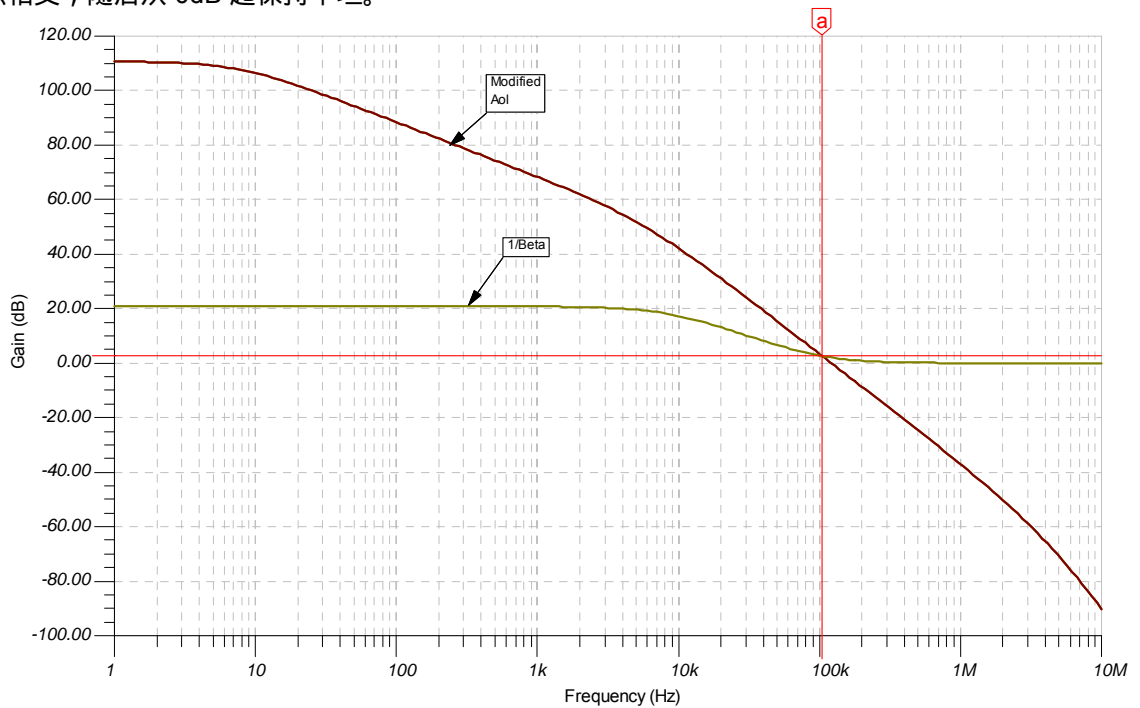


图 6.26 : Tina SPICE - 高增益及 CF 的 A_{ol} 修正与 1 / β 曲线图

运算放大器稳定性

第 6 部分 (共 15 部分) 电容性负载稳定性 : R_{iso} 、高增益及 CF、噪声增益

作者 : Tim Green , 德州仪器

如图 6.27 所示，环路增益稳定性及相位裕度良好，从 DC 至 f_{cl} 的相位大于 45 度，这正是我们所需要的。在 f_{cl} 点的相位裕度为 38.53 度。让我们观察一下闭环 AC 响应及瞬态分析等情况，以确定该电路是否符合我们的要求。

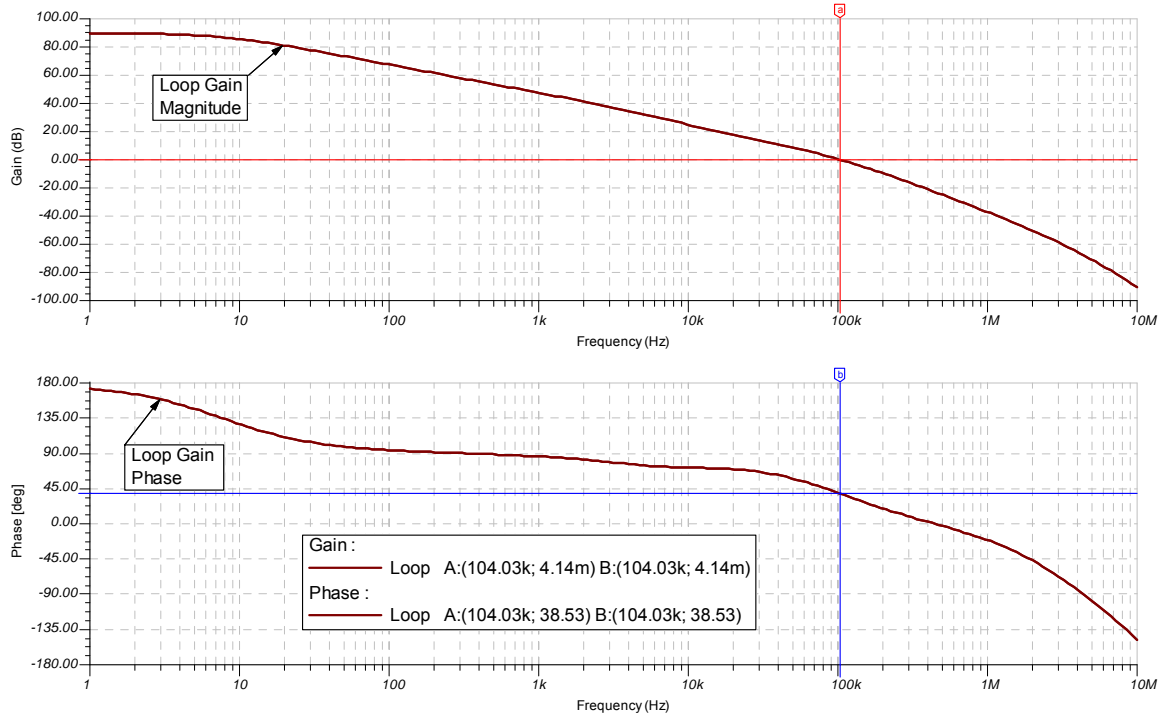
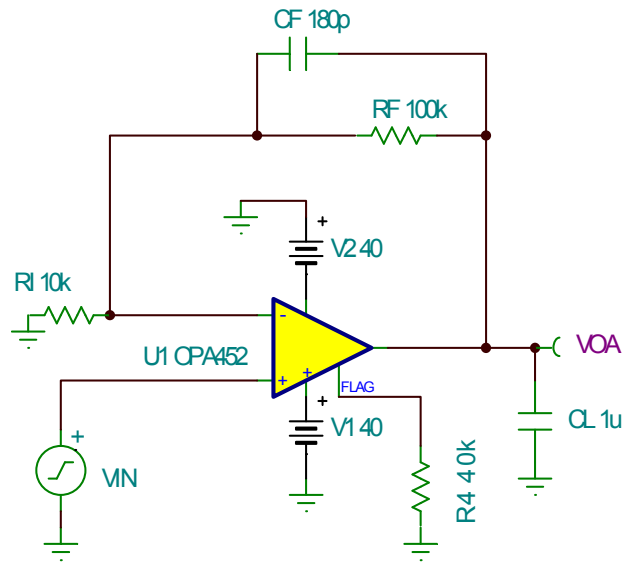


图 6.27 : Tina SPICE - 高增益及 CF 环路增益

我们将采用图 6.28 中的 Tina SPICE 电路来进行 V_{OUT} / V_{IN} 测试。



AC Analysis: $V_{IN} = 1V_{pk}$

Transient Analysis $V_{IN} = 10mV_{pk}$, 1kHz, 10nS rise/fall time

图 6.28 : Tina SPICE - 高增益及 CF 的 V_{OUT} / V_{IN} 电路

运算放大器稳定性

第 6 部分 (共 15 部分) 电容性负载稳定性: R_{ISO} 、高增益及 CF、噪声增益

作者: Tim Green, 德州仪器

V_{OUT} / V_{IN} AC 传递函数是我们用一阶分析法测算出来的，如图 6.29 所示。下降单极点大致位于 10kHz 处， V_{OUT} / V_{IN} 以 $-40\text{dB} / \text{decade}$ 的闭合速度下降，到 100kHz 点（此处的环路增益为零）后， V_{OUT} / V_{IN} 随 A_{ol} 修正曲线继续下降。在 100kHz 附近有一小段平坦区域，可根据具有过渡区域的 A_{ol} 修正曲线图上的实际 $1 / \text{Beta}$ 曲线测算出本区域的位置。

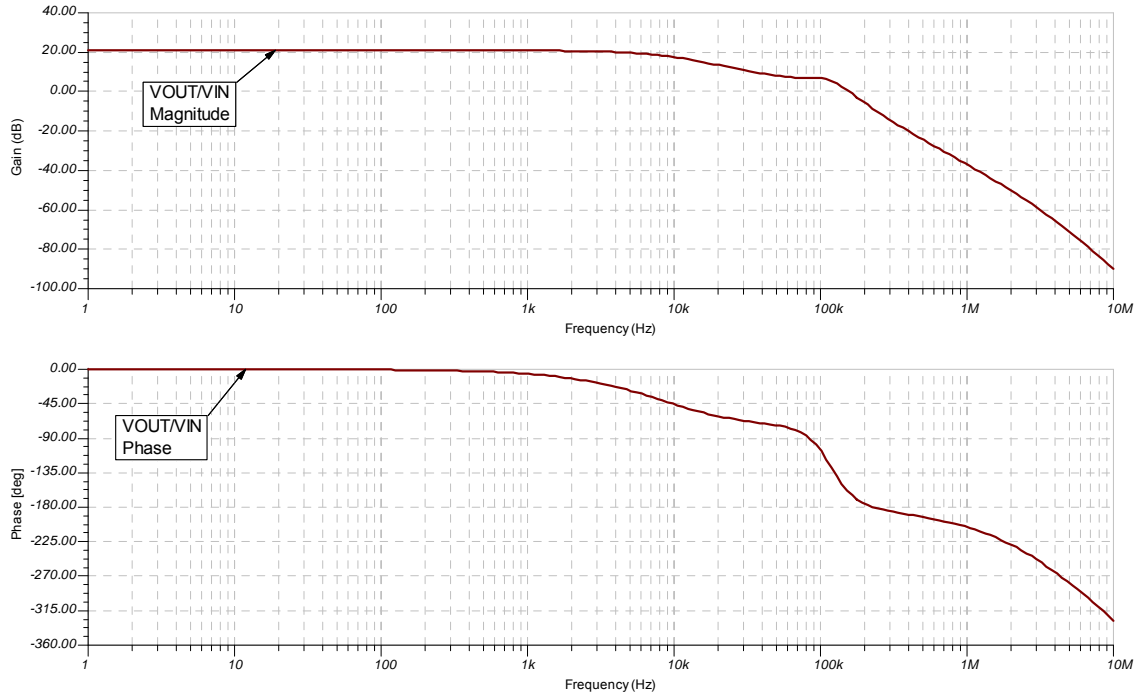


图 6.29 : Tina SPICE - 高增益及 CF 的 V_{OUT} / V_{IN} 曲线

Tina SPICE 瞬态 V_{OUT} / V_{IN} 分析（如图 6.30）显示了无任何过冲或振铃（ringing）的稳定电路。

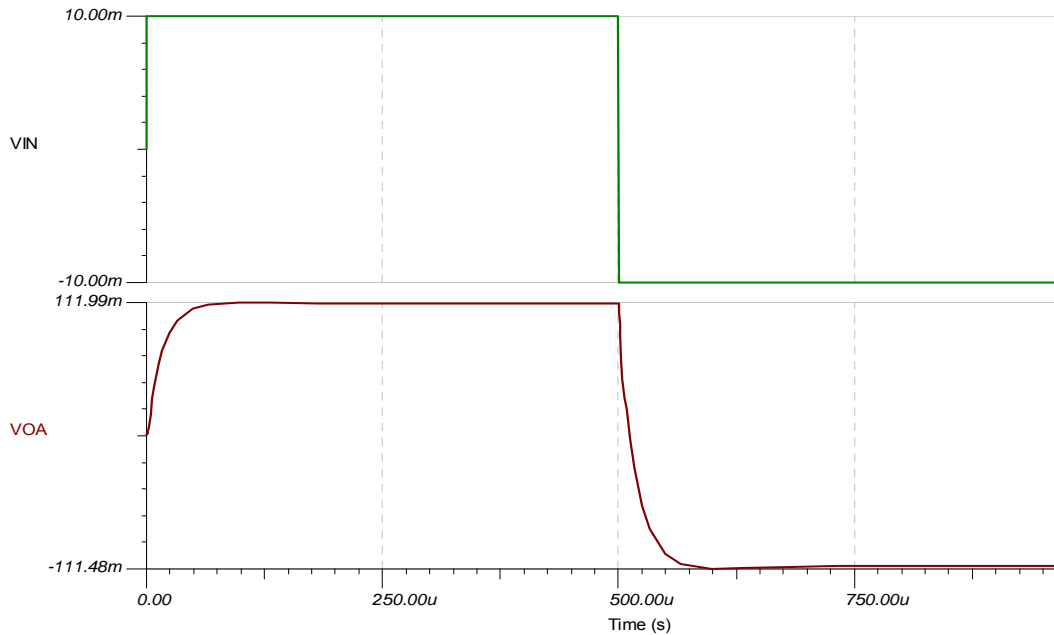


图 6.30 : Tina SPICE - 高增益及 CF 瞬态分析

运算放大器稳定性

第 6 部分（共 15 部分）电容性负载稳定性： R_{ISO} 、高增益及 CF、噪声增益

作者：Tim Green，德州仪器

噪声增益补偿

对于稳定驱动容性负载的运算放大器而言，我们采用的第三种方法是噪声增益。该拓扑如图 6.31 所示。通过绘制由 R_O 及 CL 形成的第二个极点的“ A_{ol} 修正”曲线，我们可以了解该方法的工作原理。我们在 $1/\beta$ 曲线上增加一个极点和零点，这样来提高高频段的 $1/\beta$ 增益，使其超过 A_{ol} 修正曲线的第二个极点的位置。 $1/\beta$ 曲线上增加的极点 f_{pn} 的位置由 R_n 及 C_n 设定（如图所示）。不需要计算零点 f_{zn} 的位置，因为我们可以通过绘图（从 f_{pn} 点开始并以 $20\text{dB}/\text{decade}$ 的闭合速度下降直至 DC $1/\beta$ 值）来确定。

因为该方法的确增加了运算放大器电路的整体噪声增益，故称为噪声增益法。任何运算放大器的内部噪声（通常指的是输入）会随着 $1/\beta$ 曲线频率增益的增加而增加，并反映到输出端。

对于反向噪声增益 (Inverting Noise Gain) 配置而言，我们可将该拓扑看作加法放大器。这就很容易看出， V_{OUT}/V_{IN} 就是 R_F/R_I 。 C_n - R_n 网络接地的额外累加对输出电压没有帮助，但却因修正 $1/\beta$ 曲线而限制了电路的整体带宽。这凸显了这样一个事实：要提高运算放大器电路的稳定性就必须以牺牲其带宽为代价。

对于非反向噪声增益 (Non-Inverting Noise Gain) 配置而言，必须确保输入信号源阻抗 R_s 至少比 R_n 小 10 倍，才能保证由 R_n 来决定高频 $1/\beta$ 增益的设置。非反相输入噪声增益拓扑并不一定得出 $V_{OUT}/V_{IN} = 1 + R_F/R_I$ 。能得到一个推论就很不错了。

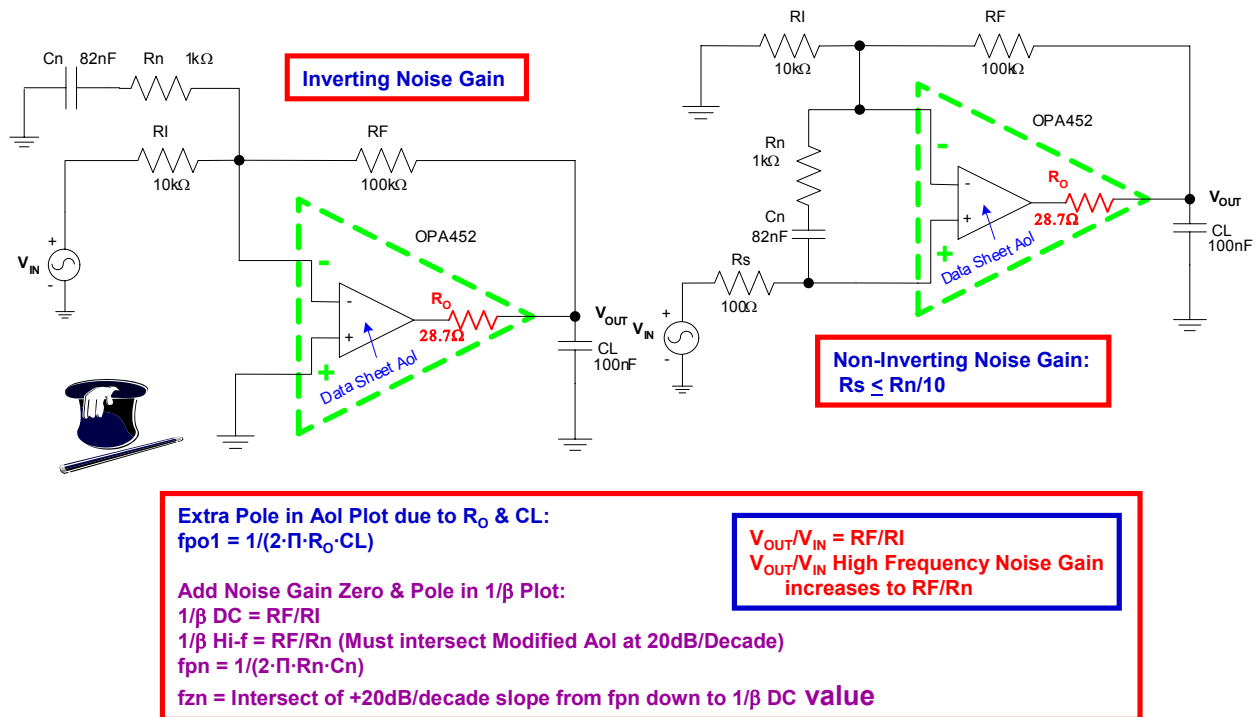


图 6.31：噪声增益补偿

从图 6.32 中，我们推导出非反相输入噪声增益拓扑的 V_{OUT}/V_{IN} AC 传递函数。为了简化分析，我们为 R_n - C_n 网络指定一个单变量名 Z_n 。使用叠加 (Superposition) (参见本系列第 4 部分) 及标准运算放大器增益理论，我们将运算放大器视作加法放大器就可以得出 V_{OUT} 。结果是：对任何非反相输入运算放大器配置而言， V_{OUT}/V_{IN} 就等于 $1 + R_F/R_I$ 增益比率。然而 R_n - C_n 将影响 $1/\beta$ 并降低 V_{OUT}/V_{IN} 的带宽，还会增加电路的整体噪声增益。

运算放大器稳定性

第 6 部分 (共 15 部分) 电容性负载稳定性: R_{iso} 、高增益及 CF、噪声增益

作者: Tim Green, 德州仪器

Use Superposition:

$$V_{OUT} = 0V(-RF/RI) + V_{IN}(-RF/Zn) + [1 + RF/(Zn//RI)][V_{IN}]$$

$$= -V_{IN}(RF/Zn) + V_{IN} + [RF/(Zn//RI)] V_{IN}$$

$$[RF/(Zn//RI)] = RF/[ZnRI/(Zn+RI)]$$

$$= (RF Zn + RI RF) / Zn RI$$

$$= RF Zn / Zn RI + RI RF / RI Zn$$

$$= RF/RI + RF/Zn$$

$$V_{OUT} = -V_{IN}(RF/Zn) + V_{IN} + [RF/RI + RF/Zn] V_{IN}$$

$$= -V_{IN}(RF/Zn) + V_{IN} + V_{IN}(RF/RI) + V_{IN}(RF/Zn)$$

$$= V_{IN} + V_{IN}(RF/RI)$$

$$V_{OUT} = V_{IN} [1+(RF/RI)] \rightarrow V_{OUT}/V_{IN} = 1+(RF/RI)$$

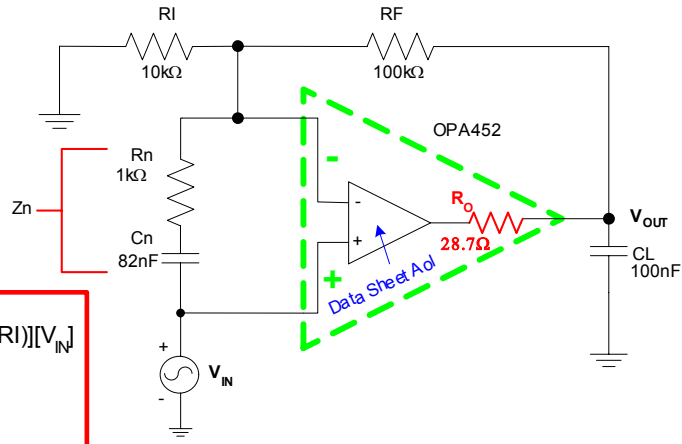


图 6.32：非反相输入噪声增益补偿推论

在图 6.33 中，我们完成了噪声增益示例的一阶分析。首先创建 AoI 修正曲线。已知 DC $1/\beta$ 为 10 (20dB)。为了与 AoI 修正曲线在 20dB/decade 闭合速度区段相交，我们需要将高频 $1/\beta$ 设置为 100 (40dB)。该值是由 RF/Rn 设定的。我们选择将 f_{pn} 设为比 f_{cl} 小十倍频程。在温度、工作环境以及 IC 工艺发生变化时，这一选择可以确保实现相应的 AoI 移位。经验丰富的 IC 设计师告诉我，在工艺、温度、工作环境等因素变化时，AoI 的移位小于 $1/2$ 的十倍频程。而我更倾向于易于记住的、保守的十倍频程经验法则。如果 AoI 修正曲线向左偏移一个十倍频程，那么将造成 40dB/decade 的闭合速度，且出现不稳定现象！！通过从 f_{pn} 点绘制闭合速度为 20dB/decade 的斜线，直至该斜线与低频 $1/\beta$ 相交，我们就可以轻松得到如图所示的 f_{zn} 。对于在 $1/\beta$ 曲线上配置极点与零点的许多十倍频程经验法则，我们从各方面都觉得非常适合，因为这能实现良好的稳定设计。 V_{OUT}/V_{IN} 从 DC 到环路增益为零的 f_{cl} 点是平坦的。从 f_{cl} 点开始， V_{OUT}/V_{IN} 将随着频率的增加相应跟随 AoI 修正曲线下降。

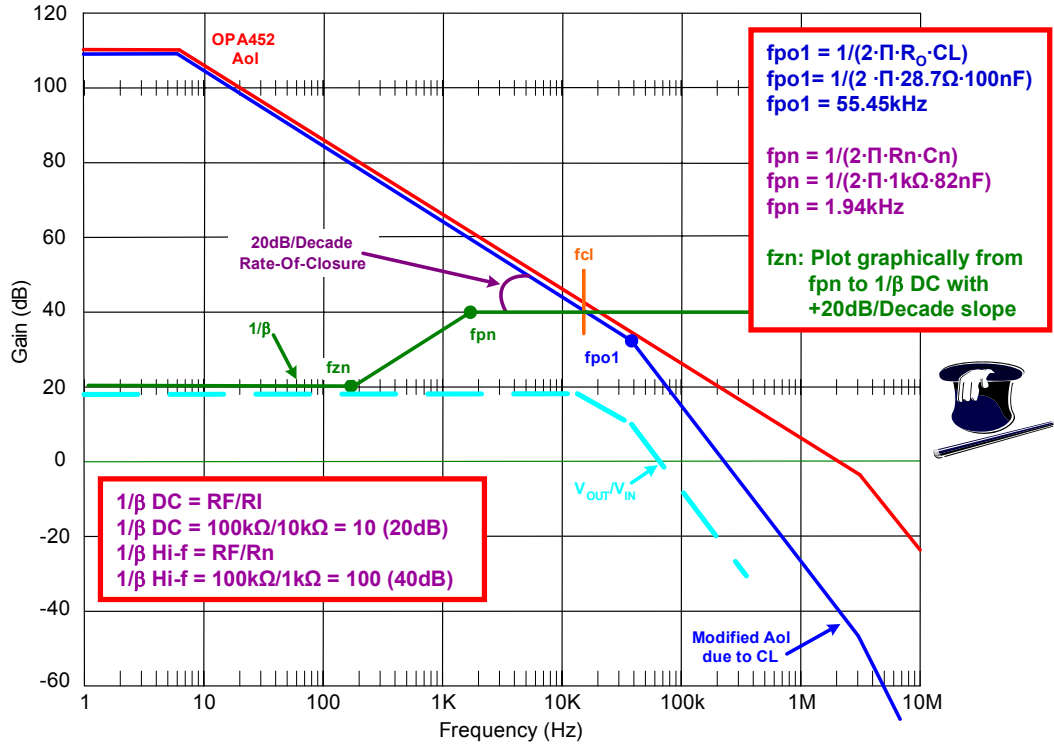


图 6.33：一阶分析 - 噪声增益补偿

在图 6.34 中使用 Tina SPICE 电路来绘制 $1/\beta$ 、Aol 修正曲线图及环路增益图以检验一阶分析是否正确。如以前一样，将环路在运算放大器的负输入端断开，以便绘制 Aol 修正曲线图。

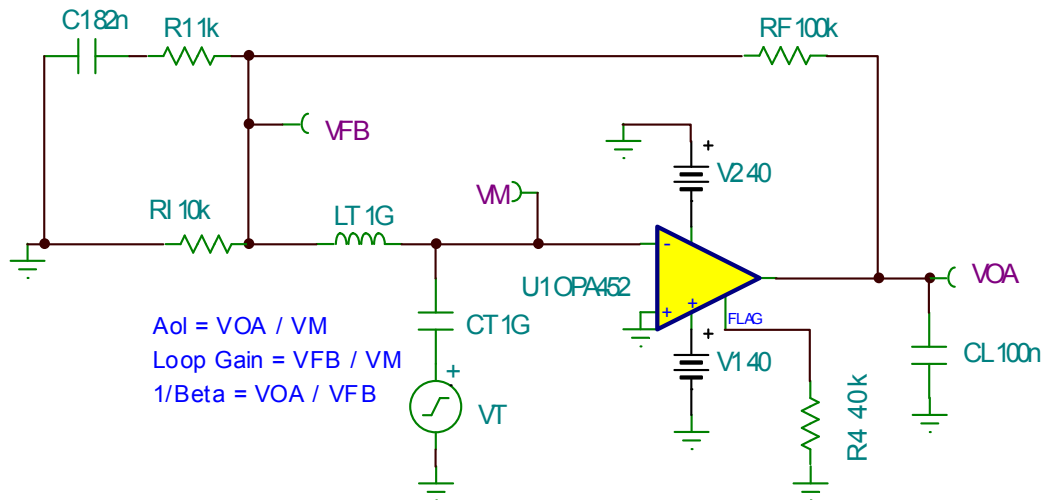


图 6.34：Tina SPICE - 噪声增益环路

Tina SPICE 结果再次与我们的一阶测算相符。图 6.35 的 Aol 修正曲线包含第二个极点（大致位于 55.45kHz 处）。 $1/\beta$ 曲线在低频段为 20dB，在高频段为 40dB，并包含一个位于 1.94kHz 左右的极点以及位于 194Hz 左右的零点。fcl 约为 20kHz，其闭合速度为 20dB / decade。

运算放大器稳定性

第 6 部分 (共 15 部分) 电容性负载稳定性：R_{ISO}、高增益及 CF、噪声增益

作者：Tim Green，德州仪器

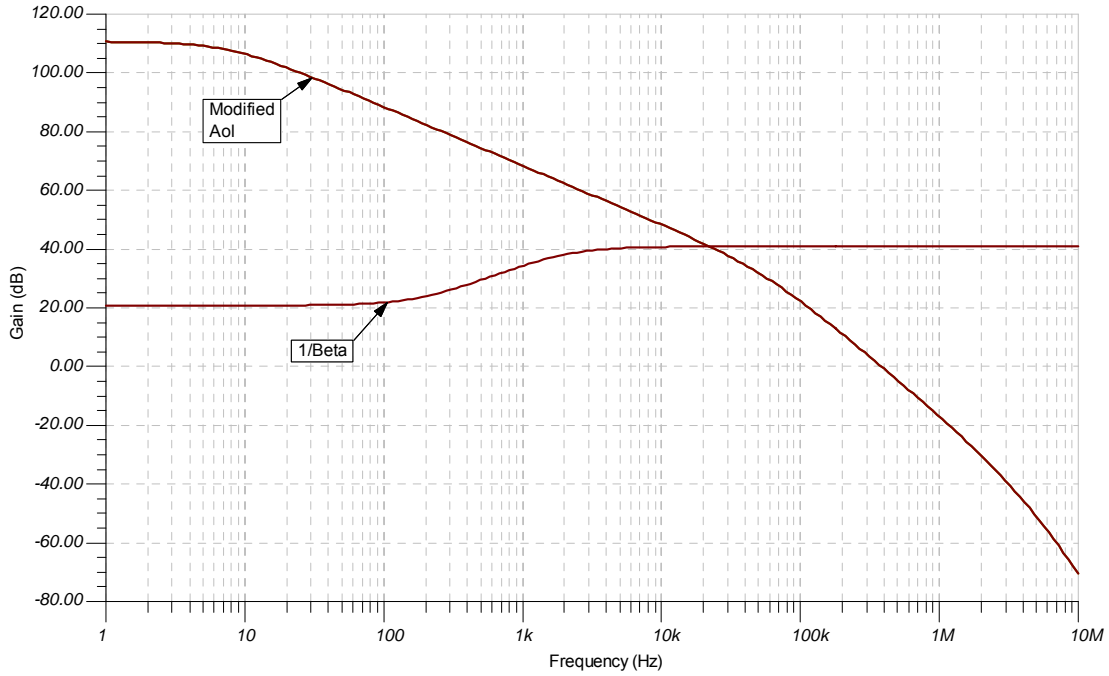
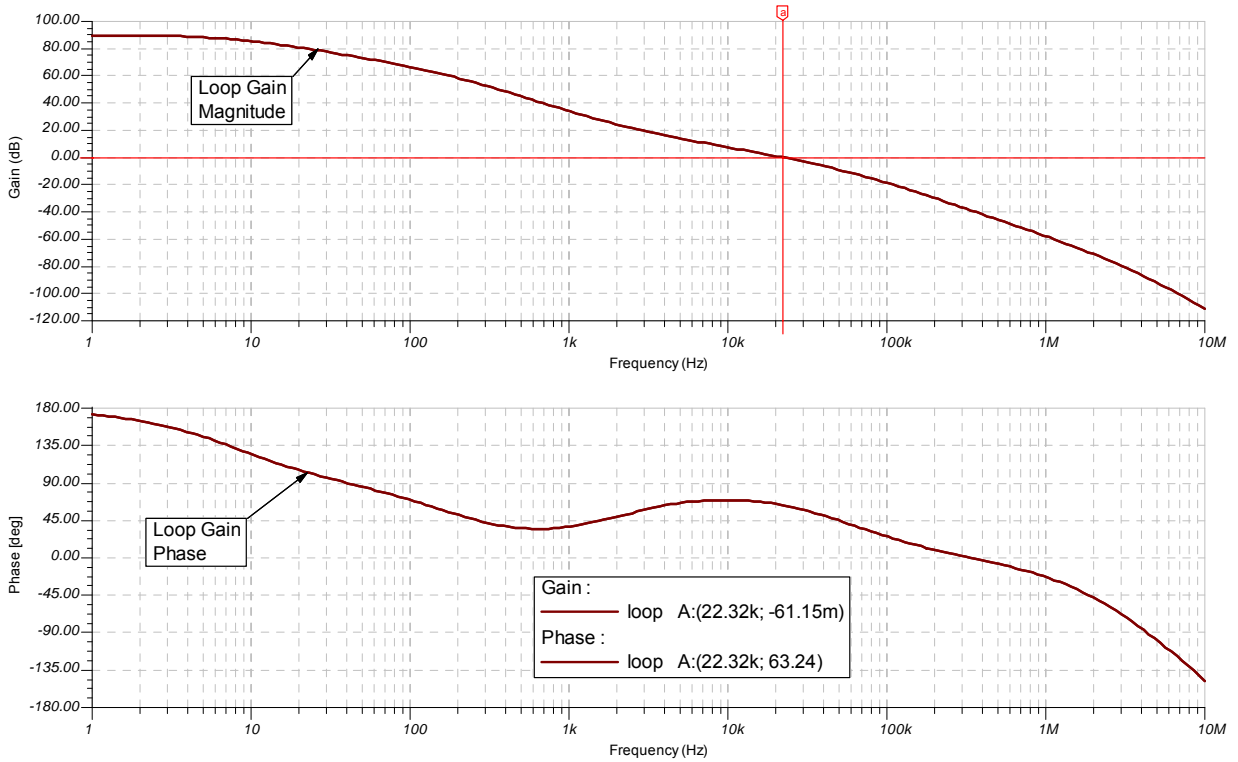


图 6.35 : Tina SPICE - 噪声增益 Aol 修正及 $1/\beta$ 曲线图

图 6.36 的环路增益曲线证实了在 f_{cl} 处相位裕度为 63.24 度的电路是稳定的。在 100Hz 与 1kHz 之间有相位略低于 45 度的情况，但因数值较小可以不用考虑。



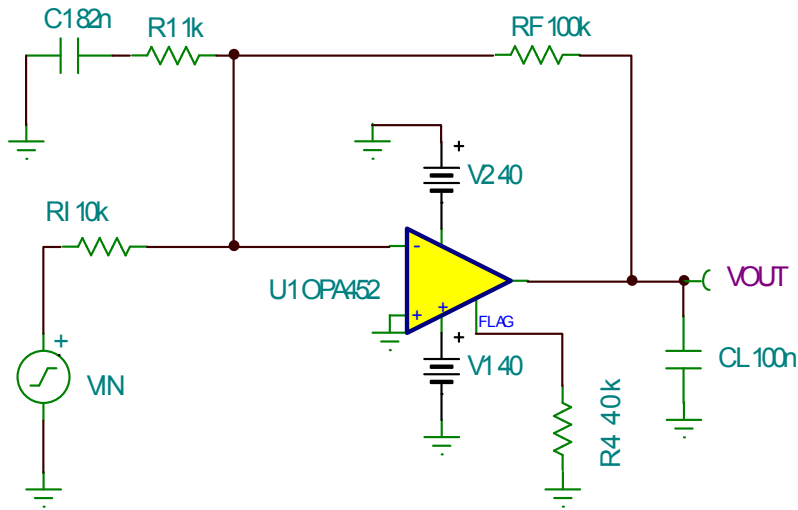
运算放大器稳定性

第 6 部分 (共 15 部分) 电容性负载稳定性: R_{ISO} 、高增益及 CF、噪声增益

作者: Tim Green, 德州仪器

图 6.36 : Tina SPICE - 噪声增益环路增益

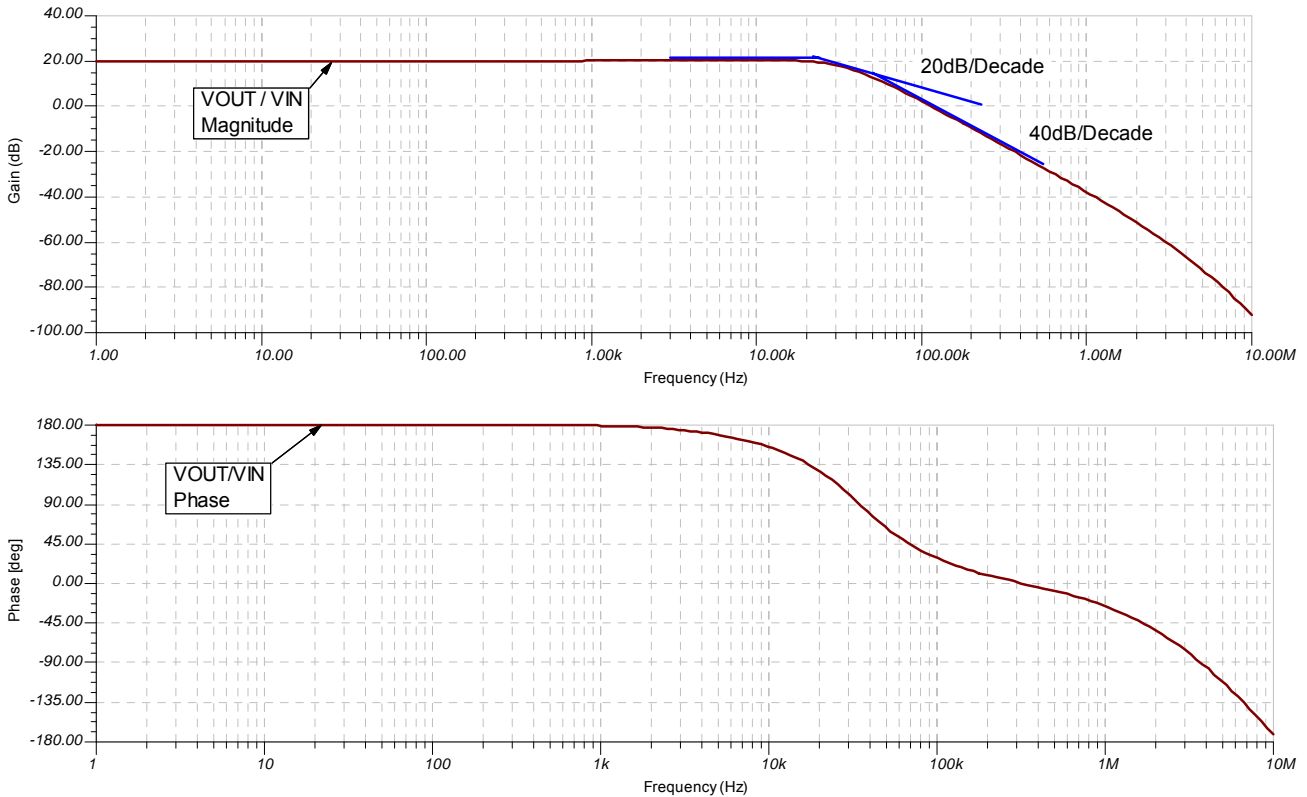
图 6.37 中的电路用于 V_{OUT} / V_{IN} AC 传递测试及瞬态测试。



AC Analysis $V_{IN} = 1V_p$
 Transient Analysis $V_{IN} = 10mV_{pk}$, 5kHz, 10ns rise/fall time

图 6.37 : Tina SPICE - 噪声增益的 V_{OUT} / V_{IN} 电路

图 6.38 中的 V_{OUT} / V_{IN} AC 传递函数显示其在响应过程中几乎未出现突峰情况。正如测算的一样，我们在从 $\sim 20kHz$ （在此处环路增益为零）到 $\sim 50kHz$ （在此处 A_{ol} 修正曲线再次以 $-40dB/decade$ 的闭合速度突变）期间测算出了闭合速度为 $-20dB/decade$ 的斜率。



运算放大器稳定性

第 6 部分 (共 15 部分) 电容性负载稳定性 : R_{iso} 、高增益及 CF、噪声增益

作者 : Tim Green , 德州仪器

图 6.38 : Tina SPICE - 噪声增益 V_{OUT} / V_{IN}

在图 6.39 中，根据微小的过冲及无下冲情况，瞬态 V_{OUT} / V_{IN} 测试的相位裕度与约 60 度的相位裕度相关联（参见本系列第 4 部分对真实瞬态稳定性测试及二阶瞬态曲线的详细解释）。

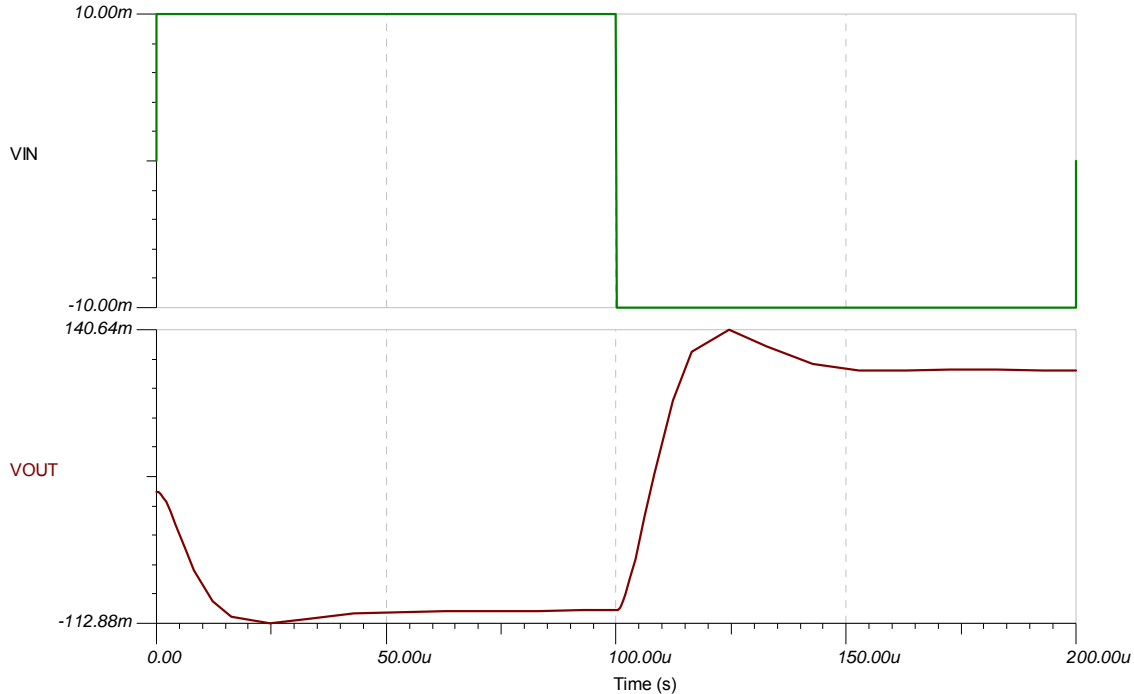


图 6.39 : Tina SPICE - 噪声增益的 V_{OUT} / V_{IN} 瞬态分析

本部分介绍了“保持容性负载稳定的六种方法”中的三种，即 R_{ISO} 、高增益及 CF 以及噪声增益。对于每种方法，我们都能够针对可驱动容性负载的运算放大器进行稳定电路的分析、合成及仿真。第 7 部分将介绍噪声增益与 CF 以及输出引脚补偿方法。第 8 部分将介绍第六种方法，即具有双通道反馈的 R_{ISO} 。

德州仪器 (TI) 的 Burr-Brown 产品部现已推出免费版本的 Tina SPICE。其包含几乎所有的 Burr-Brown 及 TI 运算放大器模型，并可在同一个电路中运行多达两个运算放大器模型。如欲获得 Tina-TI SPICE 的详细信息，敬请登陆网址：www.ti.com/tina-ti

参考文献：

1. 《直观的运算放大器——从基本原理到实际应用》修订版，作者：Frederiksen、Thomas M.；纽约 McGraw-Hill 出版公司 1988 年版；
2. 《Burr-Brown 运算放大器——设计与应用》，编辑：Tobey、Graeme、Huelsman；纽约 McGraw-Hill 出版公司 1971 年版。

运算放大器稳定性

第 6 部分 (共 15 部分) 电容性负载稳定性： R_{ISO} 、高增益及 CF、噪声增益

作者：Tim Green，德州仪器

运算放大器稳定性：R_O 何时转变为 Z_O?

作者：Tim Green，德州仪器 Burr-Brown 产品线线性应用工程经理

在写“保持容性负载稳定的六种方法”部分时发生了一件有趣的事情。我们选择了具有“轨至轨”输出的 CMOS 运算放大器并测量了 R_{OUT}，但在高频区域没有环路增益，因而无法确定 R_O。根据 R_O 测量结果，我们预测了在 1μF 容性负载情况下放大器“Aol 修正曲线图”中第二个极点的位置。令我们大吃一惊的是，Tina SPICE 仿真在“Aol 修正”曲线图进行 x5 处理时关闭了！基于先前的第一轮分析结果，这个错误完全超出了可以接受的限度，因而我们对放大器输出阻抗进行了仔细研究。

本系列刊文的第 7 部分，即本部分将针对两种最常用于小信号放大器的输出拓扑重点讨论放大器的开环输出阻抗 Z_O。对于传统的双极性射极跟随器 (bipolar emitter-follower) 而言，放大器输出级 Z_O 性能良好，并且在整个放大器的单位增益带宽范围内主要呈现为阻性 (R_O)。然而，对于许多 CMOS 轨至轨输出放大器而言，在该放大器的单位增益带宽范围内，Z_O 同时呈现容性和阻性。

本文并不针对“全 NPN 输出”的双极性技术 (bipolar topology) 进行分析，其最常用于功率运算放大器，一种能够提供从 50mA 至超过 10A 电流的、在线性区域工作的放大器。

具备丰富的输出阻抗知识非常重要，将有助于正确预测“Aol 修正图”，同时也是网络综合技术中用于稳定放大器电路的基本工具。

双极性射极跟随器输出放大器的 Z_O

图 7.1 显示了射极跟随器拓扑的典型双极性输出级。在此类型的输出级中，R_O (小信号、开环输出电阻) 通常是 Z_O (小信号、开环输出阻抗) 的主要组成部分。对于既定的 DC 电流负载，R_O 一般为常数。我们先分析一些射极跟随器 R_O 的经验法则，然后借助这些法则来预测不同 DC 输出电流值对应的 R_O。我们最后将用 Tina SPICE 仿真程序来检验预测值是否正确。

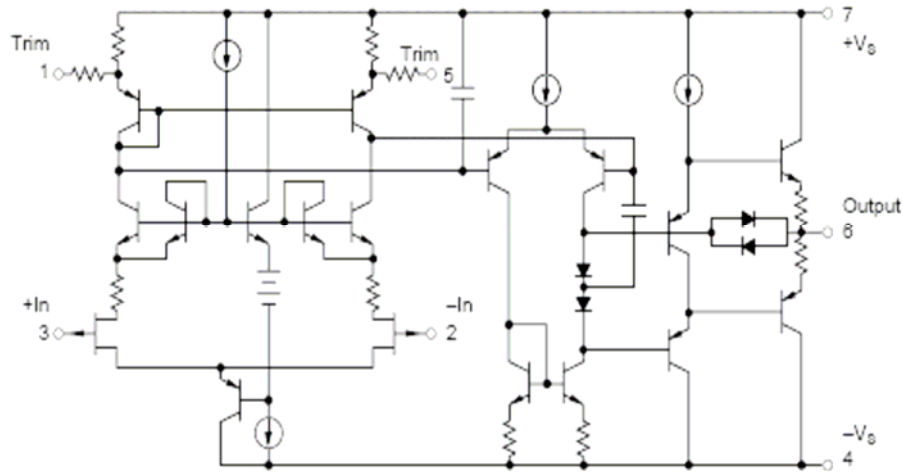


图 7.1: OPA542 的关键参数——典型射极跟随器、双极性输出放大器

图 7.2 显示了典型射极跟随器、双极性输出放大器的参数。当输入偏置电流为 nA 级 (如 10nA) 时，采用这种拓扑的器件能够实现极低的噪声与偏移输入参数等优异特性。某些双极性放大器在输入级中采用 JFET 使输入偏置电流降低至很低的 pA 级。该常用模式的输入级范围一般是两个电源均为 2V 左右。输出电压摆幅通常被限制在任一电源轨电压的 2V 范围内或稍高，采用双电源 (如 +/−5V ~ +/−15V) 的放大器通常可获得最佳性能。

OPA227
High Precision, Low Noise Bipolar Operational Amplifier

Input Specs

Offset Voltage	75uV max
Offset Drift	0.6uV/C
Input Voltage Range	(V-)+2V to (V+)-2V
Common-Mode Rejection Ratio	138dB typ
Input Bias Current	10nA max

Noise

Input Voltage Noise	90nVpp, f=0.1Hz to 10Hz
Input Voltage Noise Density	3nV/rt-Hz @1kHz
Input Current Noise Density	0.4pA/rt-Hz

Output Specs

Vsat @ Iout = 1.2mA	2V max
Vsat @ Iout = 19mA	3.5V max
Iout Short Circuit	+/-45mA

AC Specs

Open Loop Gain, RL = 10k	160dB typ
Open Loop Gain, RL = 600	160dB typ
Gain Bandwidth Product	8 MHz
Slew Rate	2.3V/us
Overload Recovery Time	1.3us
Total Harmonic Distortion + Noise	0.00005%, f=1kHz
Setting Time, 0.01%	

Supply Specs

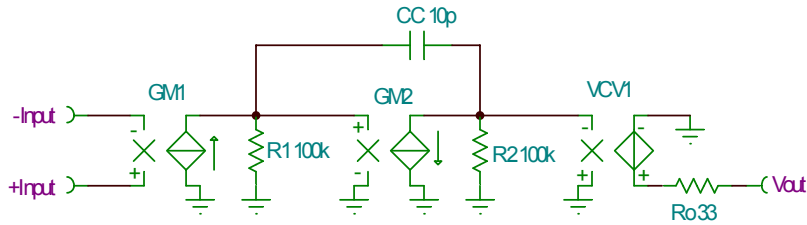
Specified Voltage Range	+/-5V to +/-15V
Quiescent Current	+/-3.8A max
Over Temperature	+/-4.2A max

Temperature & Package

Operating Range	-40C to +85C
Package options	SO-8, DIP-8, DIP-14, SO-14

图 7.2: 示例参数: 射极跟随器、双极性输出放大器

高级射极跟随器、双极性放大器的简化模型采用两个 GM（电流增益）级，其后跟随了一个晶体管电压输出器输出级，如图 7.3 所示。开环输出阻抗 Z_O 主要由 R_O 决定，对于该放大器的单位增益带宽而言是常数。



Two GM (current gain) Stages
Output is Voltage Output Follower

Open Loop Output Impedance (Z_O) is dominated by R_O
Constant R_O over Op Amp Unity Gain Bandwidth

图 7.3: 两级简化模型: 射极跟随器、双极性输出放大器

对于大多数放大器而言，放大器输出端空载时，输出级的 AB 类偏置电流约为整个放大器静态电流的 $1/2$ 。双极晶体管的 R_O 与 $1/g_m$ 成正比，其中 g_m 为晶体管的电流传输比 (current transfer ratio) 或电流增益。由于 g_m 与集电极电流 I_C 成正比，因而 R_O 与 I_C 成反比。当 I_C 从空载输出电流向满负载输出电流增加时， R_O 将会降低。这可能会使人有这样的推测，即当输入电流高到一定极限时 R_O 将为零。然而，由于晶体管的物理特性、内部驱动以及偏置排列 (bias arrangement) 等原因，上述推测不成立。我们将测量最高可用负载电流下的 R_O 值，并把它定义为 R_X 。然后测量空载电流下的 R_O 值，并得出给定放大器电路的常数 K_Z ，该常数可用于预测任何负载电流下的 R_O 变化情况。从图 7.4 中，我们可清楚了解，如何用射极跟随器的输出项描述从前端 g_m 级到放大器输出引脚之间的路径。

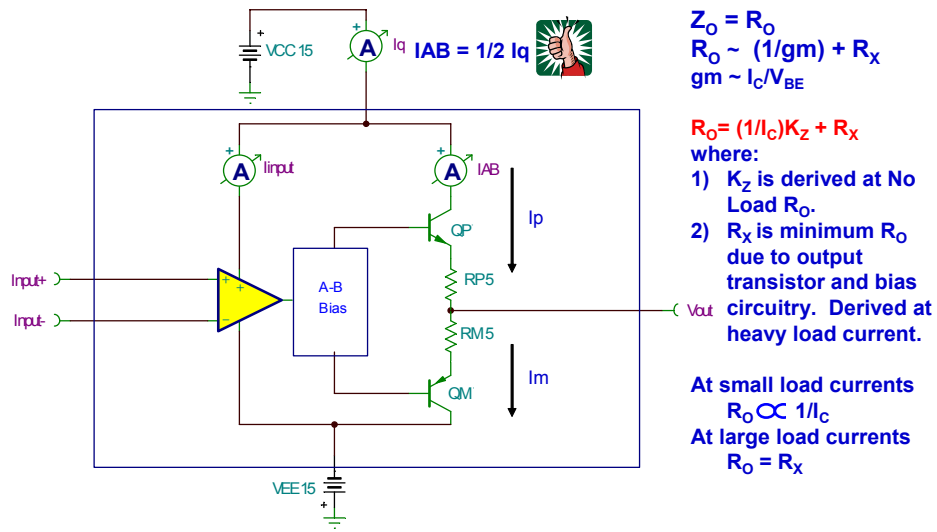


图 7.4: Z_O 定义: 射极跟随器、双极性输出放大器

图 7.5 详细描述了常数为 R_X 的射极跟随器 Z_O 模型，测量环境为：满负载电流、传输函数为 K_Z / I_C 的串联式电流控制电阻器。由于器件具有推（PNP 晶体管）和拉（NPN 晶体管）输出级，所以 Z_O 模型包括每个输出级的等价 R_O 模型。回馈至输出引脚的有效小信号 AC 输出阻抗等于推输出级与拉输出级阻抗的并联组合。对于 Z_O 小信号 AC 模型而言，VCC 及 VEE 两个电源均对 AC 短路。

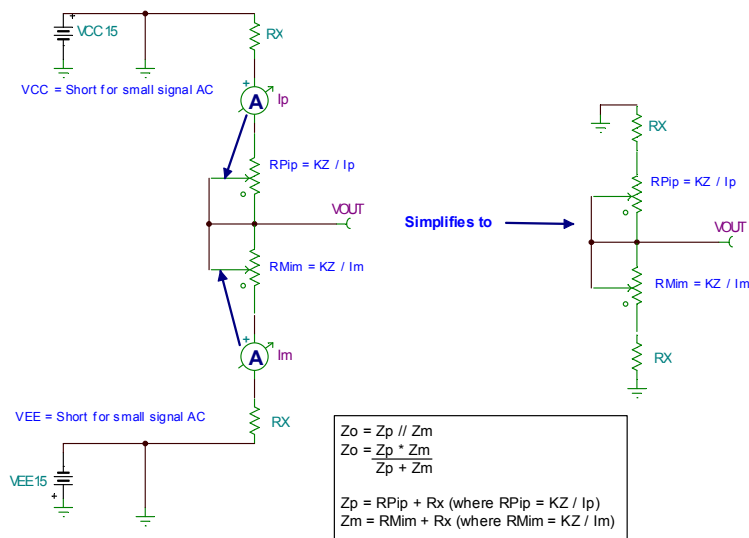


图 7.5: Z_O 模型: 射极跟随器、双极性输出放大器

并不是放大器的所有 SPICE 宏模型都相同。要研究输出阻抗 Z_O 的所有仿真，必须在使用真实器件正确建立输出模型的宏模型上完成，以及需要相匹配的 A-B 类偏置电路对真实器件进行精确建模。我们通常无法判断制造商提供的模型是否完备。在过去 4 年中，Analog & RF Models (<http://www.home.earthlink.net/%7Ewksands/>) 公司的 W. K. Sands 为德州仪器 (TI) Burr-Brown 产品部开发的高精度放大器创建了大部分 SPICE 模型。如上所示，这些放大器 SPICE 模型极致诠释了真实的硅芯片放大器，其中包含了详细的列表，如输出级的正确建模以及 AB 类偏置电路等。参见图 7.6。

Not All Macro-models are Equal

```

OPA348 CLoad Basic:U1 [MACRO] - Schematic Editor
File Edit Insert View Analysis T&M Tools Help
Basic\Switches\Meters\Sources\Semiconductors\Spice Macros

*
* OPA348 SPICE MODEL PERFORMANCE
*
* MODEL FEATURES INCLUDE OPEN LOOP GAIN AND PHASE, INPUT
* VOLTAGE NOISE W 1/F, INPUT CURRENT NOISE W F^2, OFFSET
* CHANGE AT TRANSITION WHEN CMV NEAR POSITIVE RAIL, INPUT
* BIAS CURRENT, INPUT CAPACITANCE, INPUT COMMON MODE VOLT-
* AGE RANGE, INPUT CLAMPS TO RAILS, CMRR WITH FREQUENCY
* EFFECTS, PSRR WITH FREQUENCY EFFECTS, SLEW RATE, QUIE-
* SCENT CURRENT, QUIESCENT CURRENT VS VOLTAGE, QUIESCENT
* CURRENT VS TEMPERATURE, RAIL TO RAIL OUTPUT STAGE, HIGH
* CLOAD EFFECTS, CLASS AB BIAS IN OUTPUT STAGE, OUTPUT
* CURRENT THROUGH SUPPLIES, OUTPUT CURRENT LIMITING, OUT-
* PUT LIMIT VCC EFFECTS, OUTPUT CLAMPS TO RAILS, OUTPUT
* SWING VS OUTPUT CURRENT
*
* MODEL TEMP RANGE IS -40 TO +125 DEG C.
*
* NOTE THAT THE MODEL IS FUNCTIONAL OVER THIS RANGE BUT NOT
* ALL PARAMETERS MAY ACCURATELY TRACK THOSE OF THE REAL PART.
*
*
* Begin OPA348 macromodel
*
* PINOUT ORDER +IN -IN +V -V OUT
  
```

图 7.6: 并非所有的 SPICE 放大器模型都相等!

由于我们无法找到具有精确 A-B 类偏置及真实晶体管输出的双极性射极跟随器放大器宏模型，来进行真实环境下的准确性能分析，所以我们自建了测评模型。在这里，我们可以看到一个由开环增益为 160dB (x100E6) 的压控电压源实施的理想前端。输出晶体管 QP 及 QM 位于简化的 A-B 类偏置电路中。我们将放大器的最大输出电流设为 27mA。因此，若需找出 R_o 参数 R_x ，我们就要采用 +27mA 的负载电流进行测试。通过使用“输入电阻” R_L 及“反馈”电感 L_F ，可以在 Tina SPICE 中轻松建立简单的 Z_o 测试电路。如图 7.7 所示。我们可以将 DC 环境下的电感器视为短路，而 R_L 上施加了电压 V_{DC} ，形成了如下所示的 DC 负载电流。凭借理想的 1T-Henry (1E12 Henry) 电感器，我们可以实现 DC 闭环路径，以使 SPICE 能够找到工作点 (operating point)，但对于任何目标 AC 频率则为开路。现在，如果我们用 1A 的 AC 电流源 I_{test} 来激励电路，则经过 dB 数学转换后 V_{OUT} 成为 Z_o 。请注意，在这种重负载情况下， $I_{OUT} = +27mA$ ，即 QM (实际处于“关闭”状态) 和 QP (处于“开启”状态) 决定了输出阻抗。

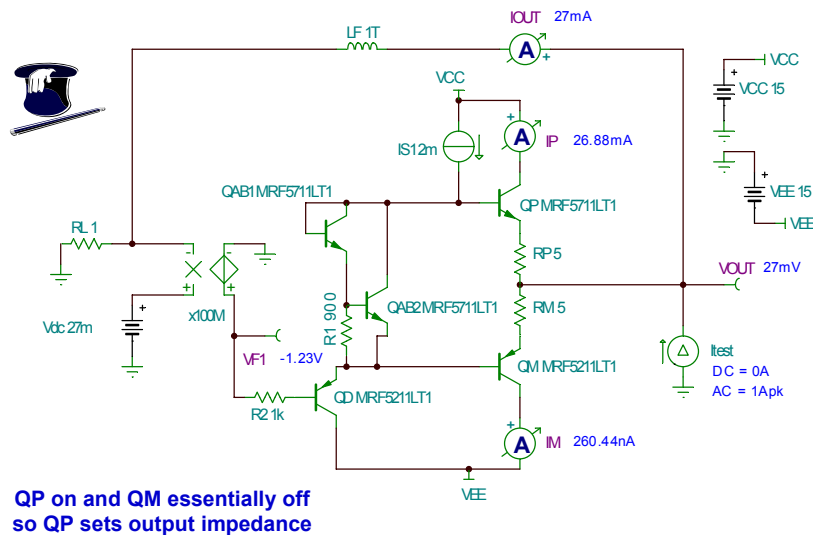


图 7.7: Z_o 、重负载 $I_{out} = +27mA$

图 7.7 显示了双极性射极跟随器输出放大器在当 $I_{OUT} = +27mA$ 时 Z_O 的测量结果。SPICE 的初始结果将绘制在“线性 dB”区域。如果我们对 y 坐标轴取“对数”，则会直接产生 Z_O 的欧姆值。y 坐标轴上的对数标尺对我们查看其他频率带宽不为常数（如 CMOS RRO）的 Z_O 图很有帮助。

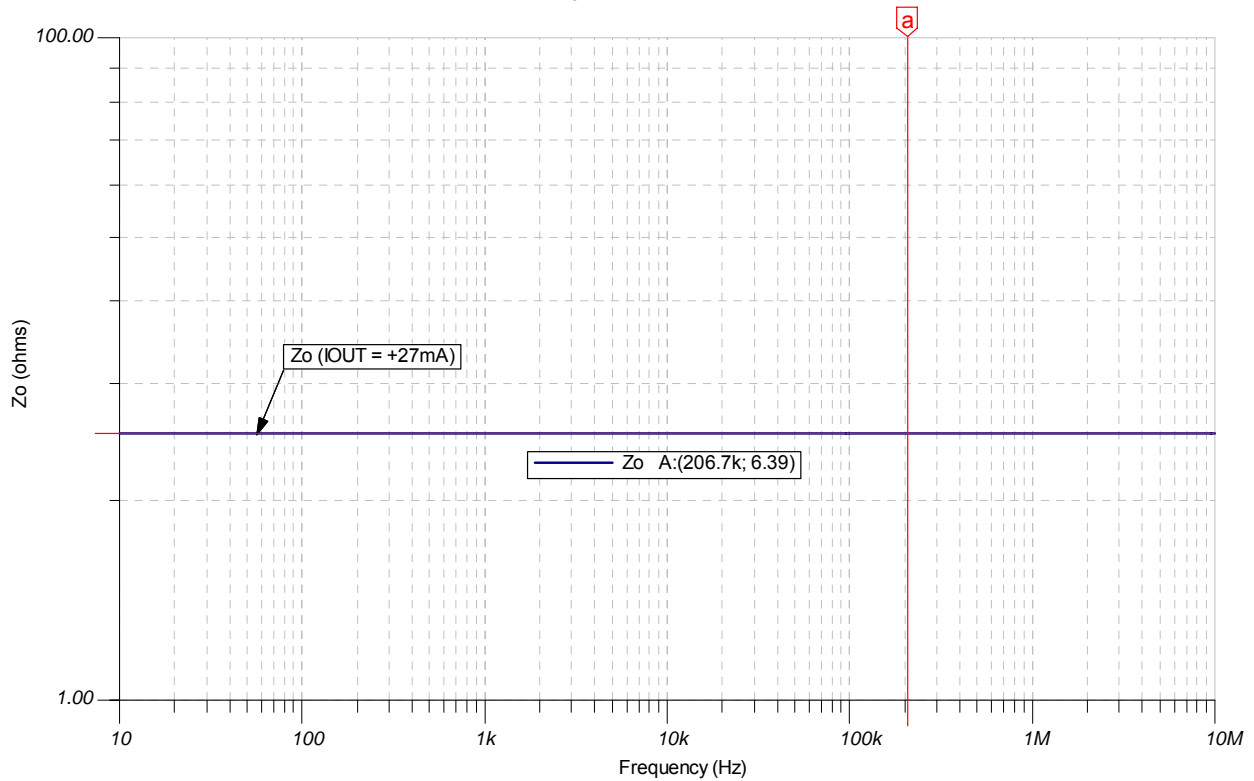


图 7.8: Z_O AC 图、重负载 $I_{OUT} = +27Ma$

图 7.9 显示了 $I_{OUT} = +27mA$ 时的大等效负载 Z_O 模型。 R_X 的测量值为 6.39Ω 。我们假定，使用的 QP 及 QM 输出晶体管性能接近，并因此赋予这两个输出晶体管相同的 R_X 值。如有需要，我们可以重新进行分析并测量 $I_{OUT} = -27mA$ 时的 R_X 值。结果将会非常接近，以致可以忽略其中的差别。根据此模型，我们可以假定 R_{Mim} 为高阻抗，不会干扰 R_O 的测量。此外，我们假定 R_{Pip} 比 R_X 小得多。

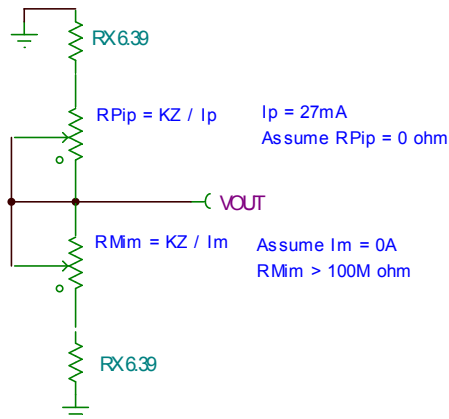
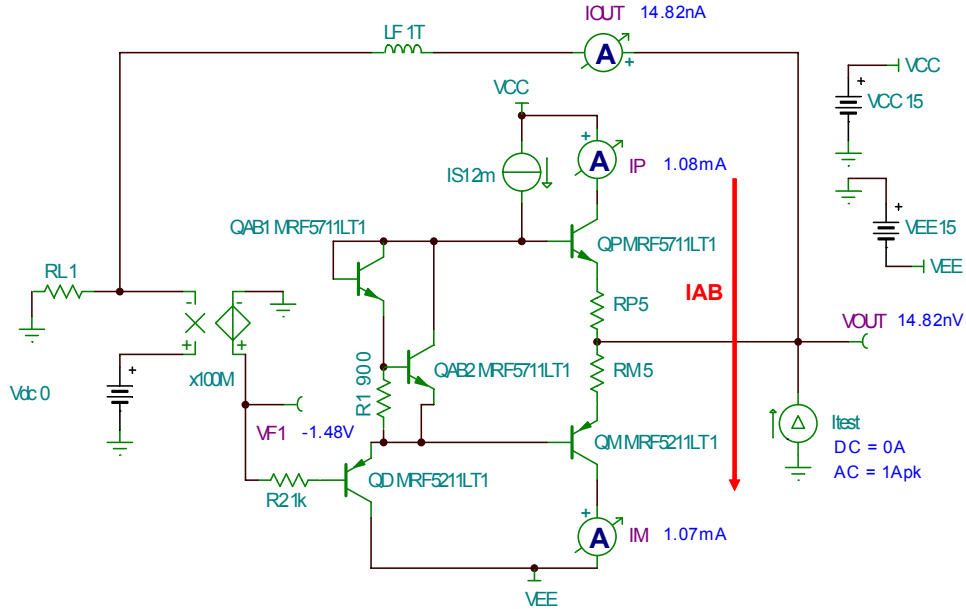


图 7.9: 重负载 Z_O 模型

图 7.10 详细描述了 A-B 类偏置射极跟随器的无输出负载环境。我们将 A-B 类偏置电流 I_{AB} 设为 $1.08mA$ 。对于无输出负载的情况，两个输出晶体管QP 及 QM 均处于开启状态且对 Z_O 产生的影响相同。



QP and QM are equally biased on and contribute equally to Z_O

图 7.10: Z_O 、空载 $I_{OUT} = 0mA$

如图 7.11 所示，空载 Z_O 的测量值为 14.8Ω 。凭借这些信息以及 Z_O 的重负载值（由 R_X 推算），我们通过计算常数 K_Z 可以完成对小信号 Z_O 的建模。

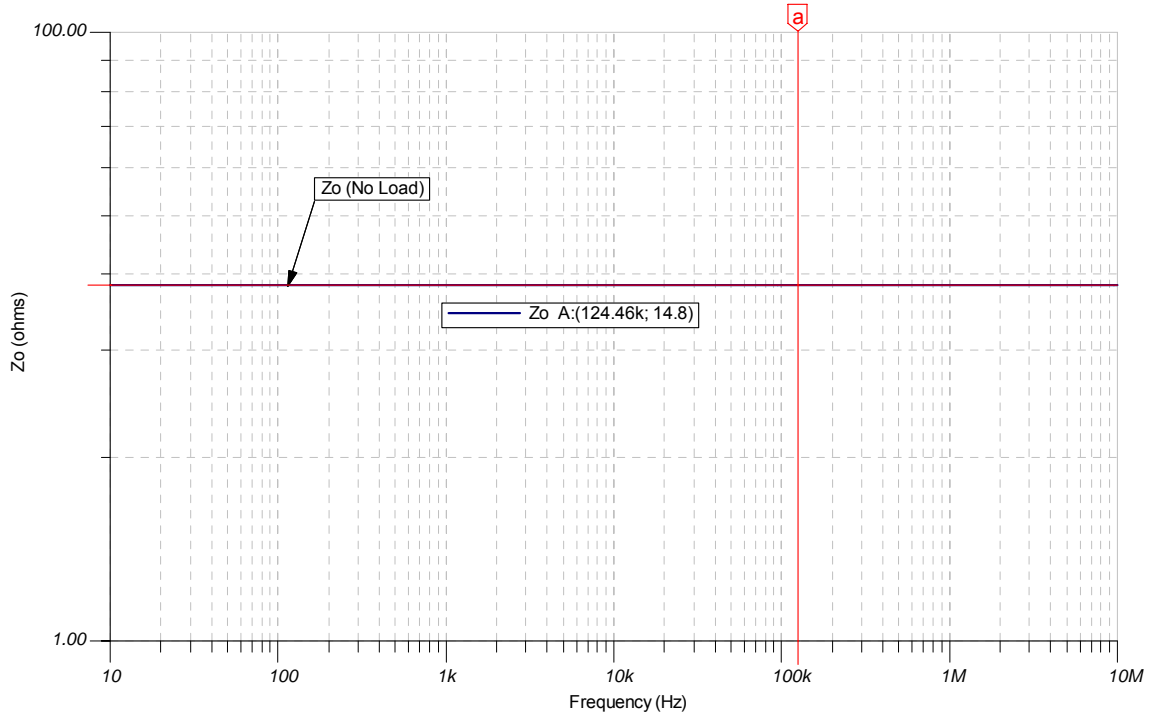


图 7.11: Z_O AC 图、空载 $I_{OUT} = 0mA$

在图 7.12 中，我们使用空载条件下的射极跟随器 Z_O 模型。我们使用重负载条件下得到的结果并为 R_X 填入相应值。现在，我们需要求出空载条件 Z_O 的 K_Z 值，并假定两个输出晶体管 QP 及 QM 的参数相近。详细的推导过程如上图所示，我们发现 K_Z 值为 0.0250668 。

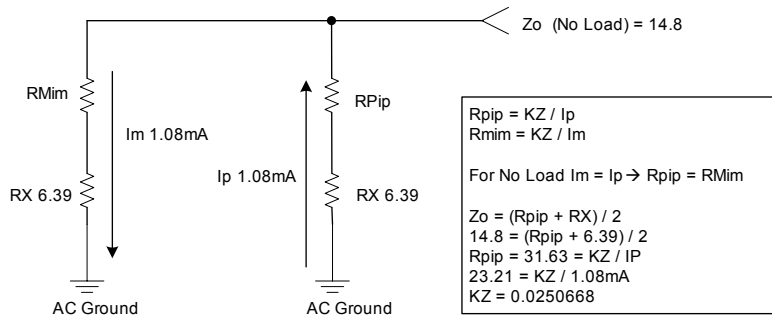
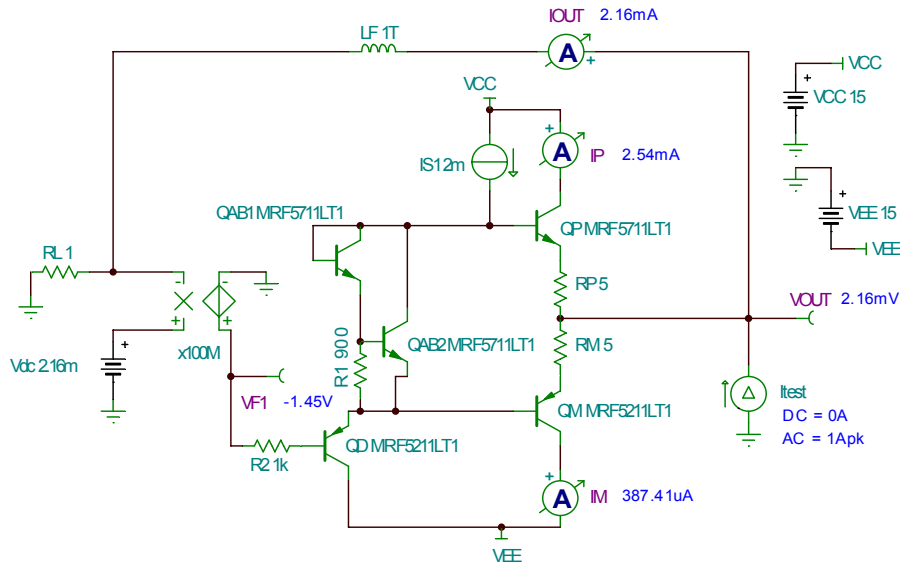


图 7.12: 空载 Z_o 模型

现在，让我们测试射极跟随器 Z_o 模型。我们将使用 QP 提供的约为 2 倍 I_{AB} 大小的 DC 电流，即 A-B 类偏置电流的两倍。这样就关闭 QM，并迫使 QP 的 R_o 成为 Z_o 的主要部分。从图 7.13 可以看出这基本是正确的。这也恰当地解释了 A-B 类偏置方案在真实环境中是如何发挥作用的。我们了解到，当负载电流呈正增长时，所有 A-B 类偏置电流开始向正输出晶体管 QP 偏移。当负载电流变为负值时，全部 A-B 类偏置电流开始向 QM 偏移，直至 QP 在负的重负载电流作用下完全关闭。



Both QP and QM on and contribute to Z_o but QP dominates due to lowest impedance

图 7.13: Z_o 、轻负载 $I_{OUT} = +2 \times I_{AB}$ (2.16mA)

图 7.14 显示了射极跟随器轻负载 Z_o 模型。使用已知的 R_x 及 K_z 值，我们可以计算出需要的等价 Z_o 值，然后采用下图结果运行 Tina SPICE 仿真。我们计算得出轻负载下 Z_o 值为 13.2326Ω ，而 SPICE 的测量结果为 12.85Ω 。两个结果非常相近，适用于各种相关分析。如果投入时间研究，我们会发现 QP 及 QM 的参数不完全一样。

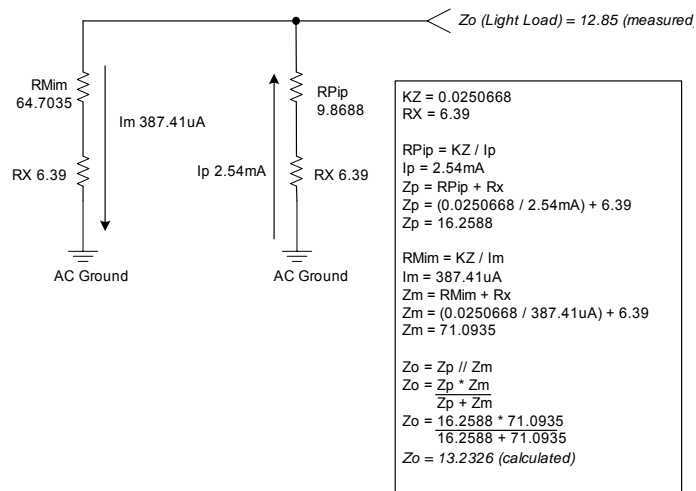


图 7.14: 轻负载 Z_o 模型

图 7.15 中显示了轻负载时 Z_o 的 Tina SPICE 仿真结果。

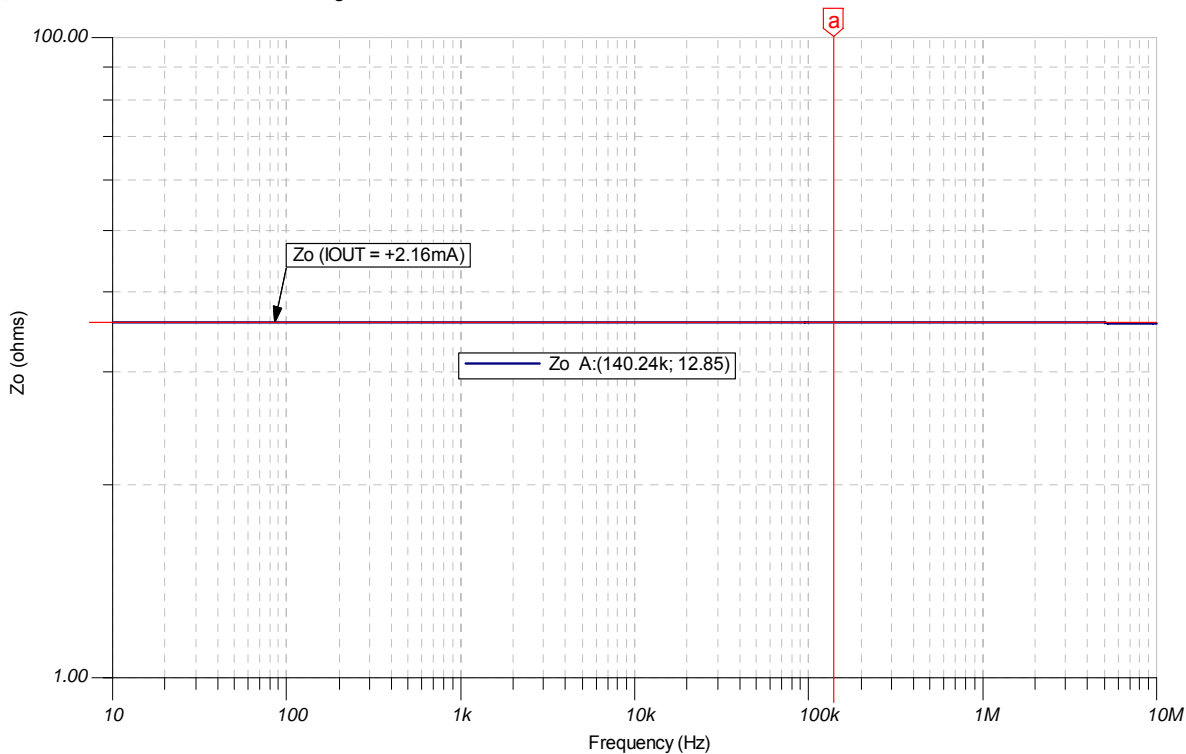


图 7.15: Z_o AC 图、轻负载 $I_{OUT} = +2.16mA$

现在我们可以建立如图 7.16 所示的、完整的射极跟随器 Z_o 曲线图集。从图 7.16 中我们可以看出， Z_o 由 R_o 决定， R_o 对于放大器的单位增益带宽而言是常数，其会随着负载电流的上升而下降。请注意， Z_o 是根据源极和漏极电流在轻负载条件下以及重负载条件下源极或漏极 Z_o 无显著差别的情况下得出的。在双极性射极跟随器放大器产品说明书中应包含了这些重要的 Z_o 曲线。

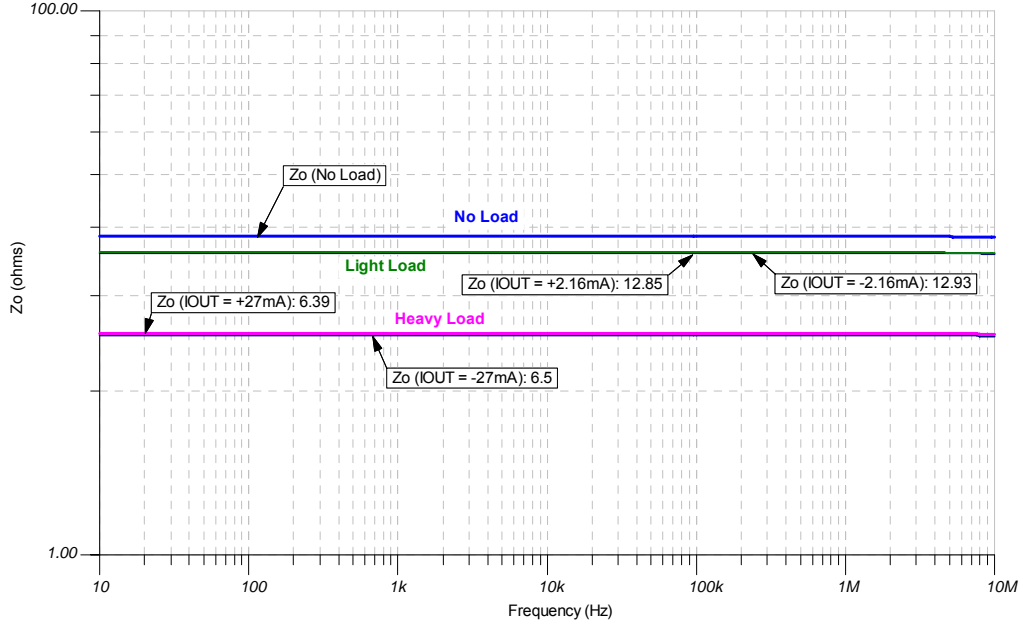


图 7.16: 完整的 Z_o 曲线: 双极性射极跟随器

双极性射极跟随器输出放大器的 Z_o 及容性负载

对于射极跟随器输出级的容性负载，我们将采用图 7.17 中的模型。我们可以从产品说明书中查询参数，也可以通过测量放大器无容性负载下的 A_{ol} 曲线获得参数。在放大器的空载 A_{ol} 曲线上， R_o 与 CL 相互作用形成第二个极点 $fp2$ 。

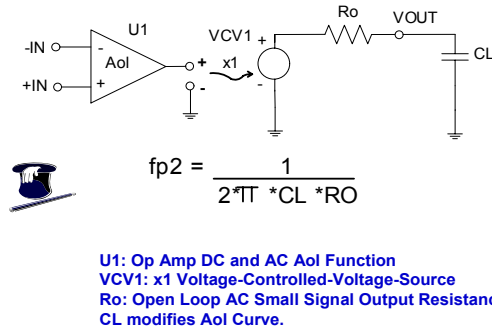


图 7.17: 双极性射极跟随器 Z_o 及容性负载

我们将在射极跟随器双极性放大器上施加许多不同的容性负载，并测出 R_o 及 CL 相互作用形成的极点 $fp2$ 。图 7.18 中的电路使用 LT 作为 DC 短路器来建立 DC 工作点。LT 对于任意的 AC 频率实现开路，因而我们可以观察到已修正的 A_{ol} 曲线。CT 对 DC 开路但对任何频率的目标 AC 短路，并且 CT 还起到将 AC 测试源 VG1 与电路

连接的作用。通过检验我们发现 $A_{ol} = V_{OA} / V_M$ 。

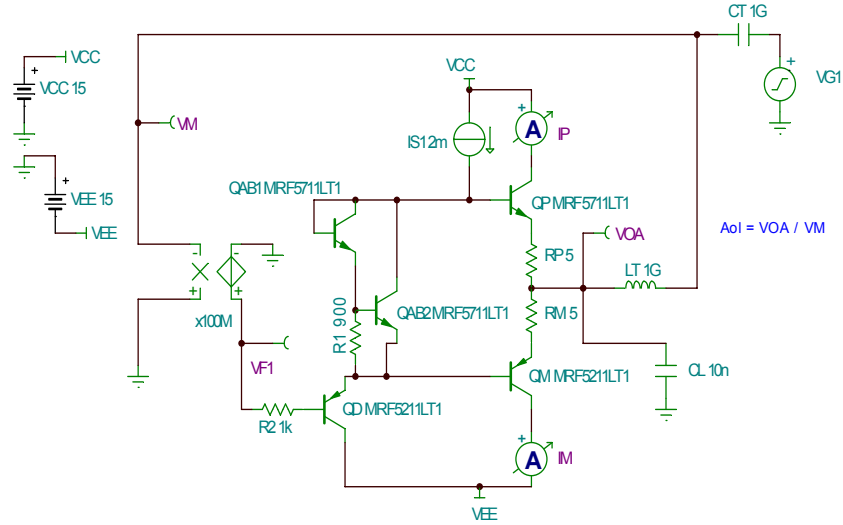


图 7.18: 用于测量修正 Aol 曲线的 Tina SPICE 电路

图 7.19 显示了多种不同容性负载情况下的最终修正 Aol 曲线。

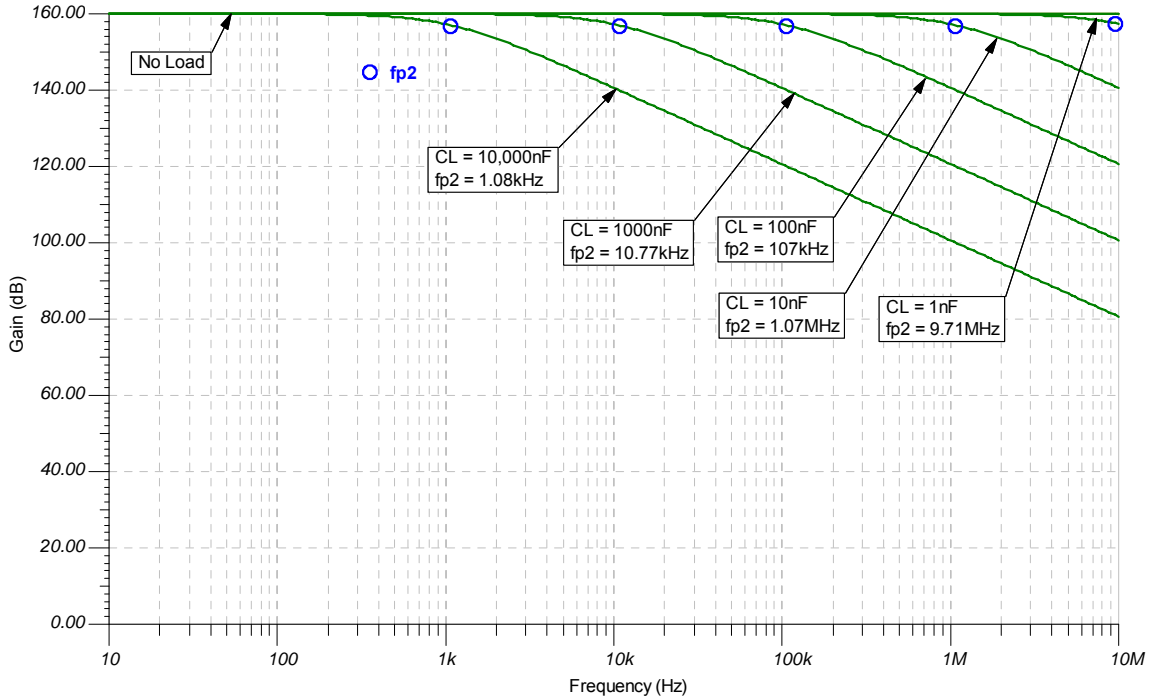


图 7.19: 不同 CL 值的修正 Aol 曲线

图 7.20 详细描述了 R_O 及 CL 引起的 fp_2 极点在修正 Aol 曲线中的预测位置。图中还显示了对应于每个 fp_2 的实际的 Tina SPICE 测量位置。由于采用了稳定的综合技术，Tina SPICE 测量的 fp_2 实际值与我们的预测值并无显著差异。

RL	No Load		
Ro	14.8		
		Predicted	Actual
CL	CL	fp2	fp2
	(farads)	(Hz)	(Hz)
1nF	1.00E-09	10753712	9710000
10nF	1.00E-08	1075371	1070000
100nF	1.00E-07	107537	107000
1000nF	1.00E-06	10754	10770
10,000nF	1.00E-05	1075	1080

图 7.20: 不同 CL 的 fp2 位置: 预测值及实际值

双极性射极跟随器输出放大器 Z_o 的总结

图 7.21 汇总了双极性射极跟随器放大器 Z_o 的关键参数。在放大器的单位增益带宽范围内, Z_o 由 R_o 决定, 且相对频率而言为常数。当 DC 输出负载电流增加时, R_o 降低并与 I_{OUT} 成反比。容性负载、CL 与 R_o 相互作用以在原先的放大器 Aol 曲线上形成第二个极点 fp2。我们可以使用修正 Aol 曲线, 来综合考虑适当的闭环补偿值以获得更好的稳定性。 R_o 会随过程与温度的变化而相应发生变化。对应于过程及温度变化的经验法则是 $0.65 * R_{o,typ} (-55C) \sim 1.5 * R_{o,typ} (125C)$, 其中 $R_{o,typ}$ 为 25C 时的 R_o 典型值。我们业已开发的经验法则不总是适用于双极性射极跟随器放大器的开环输出阻抗。可从放大器制造商处获得最完整和最精确的 Z_o 数据, 经测量也能获得。

- Z_o is Dominated by R_o
- Z_o is Constant over Op Amp Unity Gain Bandwidth
- Z_o is Inversely Proportional to I_{OUT}
- R_o and CL form a Second Pole to create a Modified Aol
- R_o Change with Process and Temperature:
 - ✓ $R_o @ -55C = 0.65 * R_{o,typ}$ (i.e. 65 ohms)
 - ✓ $R_o @ 25C = R_{o,typ}$ (i.e. 100 ohms)
 - ✓ $R_o @ +125C = 1.5 * R_{o,typ}$ (i.e. 150 ohms)
- Use $R_{o,typ}$ for Stability Synthesis
 - ✓ Decade Rules-of-Thumb will provide Design Margin



图 7.21: 双极性射极跟随器 Z_o 的总结

CMOS RRO (轨至轨输出) 放大器的 Z_o

图 7.22 显示了典型的 CMOS RRO 放大器拓扑。此类输出级中, R_o (小信号、开环输出电阻) 通常是 Z_o (小信号、开环输出阻抗) 的主要组成部分。 R_o 与大多数 DC 负载电流成反比。然而在轻负载电流情况下, R_o 与 DC 负载电流成正比。在中低频区域, Z_o 通常呈现为容性。由于 R_L (输出端的阻性负载) 与 Z_o 容性部分相互作用, 因而放大器 Aol 曲线在低频区域将受到影响。

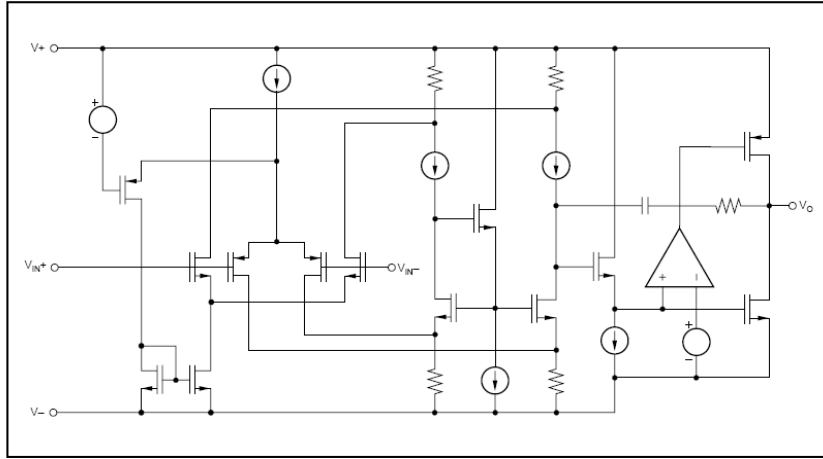


图 7.22: 典型的 CMOS RRIO 放大器

图 7.23 以 CMOS RRIO 放大器为例列出了相关参数。OPA348 也是一种 RRI（轨至轨输入）放大器。CMOS RRIO（轨至轨输入/输出）拓扑理想适用于具有以下特性的单电源应用：输入和输出轨上的摆幅很小、极低的静态电流以及极低的输入偏置电流。其噪声通常比双极性射极跟随器放大器要高得多。

OPA348
1MHz, 45uA, CMOS, RRIO Operational Amplifier

Input Specs

Offset Voltage	5mV max
Offset Drift	4uV/C
Input Voltage Range	(V-)-0.2V to (V+)+0.2V
Common-Mode Rejection Ratio	82dB typ
Input Bias Current	10pA max

Noise

Input Voltage Noise	10uVpp, f=0.1Hz to 10Hz
Input Voltage Noise Density	35nV/rt-Hz @1kHz
Input Current Noise Density	4fA/rt-Hz

Output Specs

Vsat @ Iout = 27uA	25mV max
Vsat @ Iout = 540uA	125mV max
Vsat @ Iout = 5mA	1V max
Iout Short Circuit	10mA

AC Specs

Open Loop Gain, RL = 100k	108dB typ
Open Loop Gain, RL = 5k	98dB typ
Gain Bandwidth Product	1 MHz
Slew Rate	0.5V/us
Overload Recovery Time	1.6us
Total Harmonic Distortion + Noise	0.0023%, f=1kHz
Setting Time, 0.01%	

Supply Specs

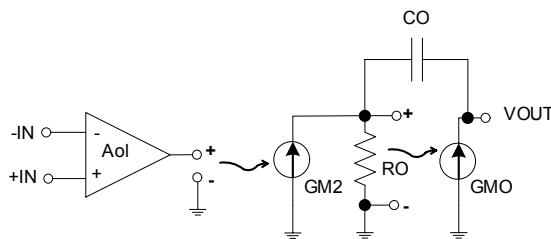
Specified Voltage Range	2.5V to 5.5V
Quiescent Current	65uA max
Over Temperature	75uA max

Temperature & Package

Operating Range	-40C to +125C
Package options	SOT23-5, SO-8, SC70-5

图 7.23: 示例参数: CMOS RRIO 放大器

图 7.24 是我们针对典型 CMOS RRIO 放大器绘制的简化模型，该放大器使用可控制电流源 GM2 的电压输出差分前端。GM2 驱动 RO，从而产生可控制输出电流源 GMO 的电压。电容 CO 反馈至 RO、GM2 结点。从这个简化模型可以看出，在高频段 $Z_o = R_o$ 。当频率从高频向中、低频变化时，我们将看到 CO 产生的作用， Z_o 也因此呈现容性。



Output is two GM (current gain) Stages
Output is Current Source GMO (ideal current source has infinite impedance)

Output Impedance (Z_o) is dominated by R_o at High Frequencies
 Z_o will look capacitive at Low and Medium Frequencies

图 7.24: 简化模型: CMOS RRO 放大器

如图 7.25 所示, 对于大多数 CMOS RRO 放大器而言, 放大器输出端无负载时, 输出级的 AB 类偏置电流约为整个放大器静态电流的 1/2。在高频段 $Z_o = R_o$ 。 R_o 与 g_m (MOSFET 的电流转换率) 成正比。但是 MOSFET 的 g_m 与 I_D (漏极电流) 的平方根成反比。

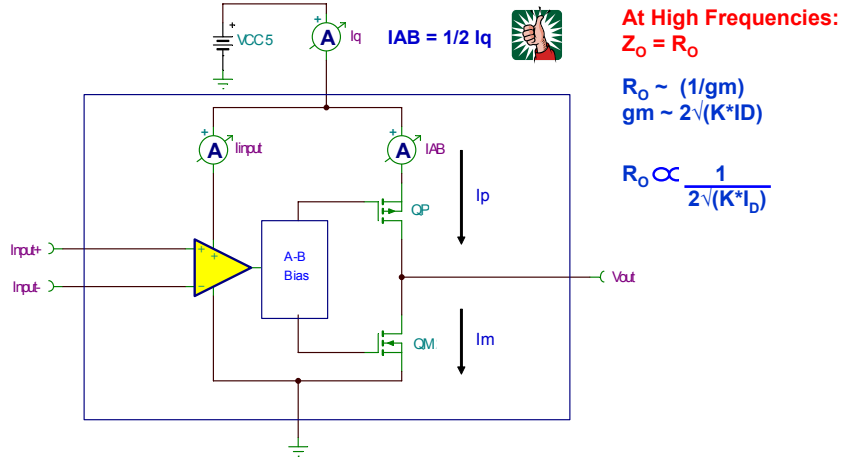


图 7.25: Z_o 定义: CMOS RRO 放大器

图 7.26 详细描述了 CMOS RRO R_o 模型, 其由半推 (QP) 拉 (QM) 输出 MOSFET 的电流控制电阻器组成。每个电流控制电阻器 R_{Pip} 及 R_{Mim} 与相应 MOSFET 上的漏极电流的平方根成正比。当回馈至放大器的输出端时, 两个电流控制电阻器并联, 相应的值为 R_o 。这些电阻器的并联方程可以建立一个数学方程, 通过该方程意外地得出了一个传输函数。当 I_{OUT} 小幅增大时, R_o 将持续增大直至其中一个输出 MOSFET 完全关闭并且退出 A-B 类模式。

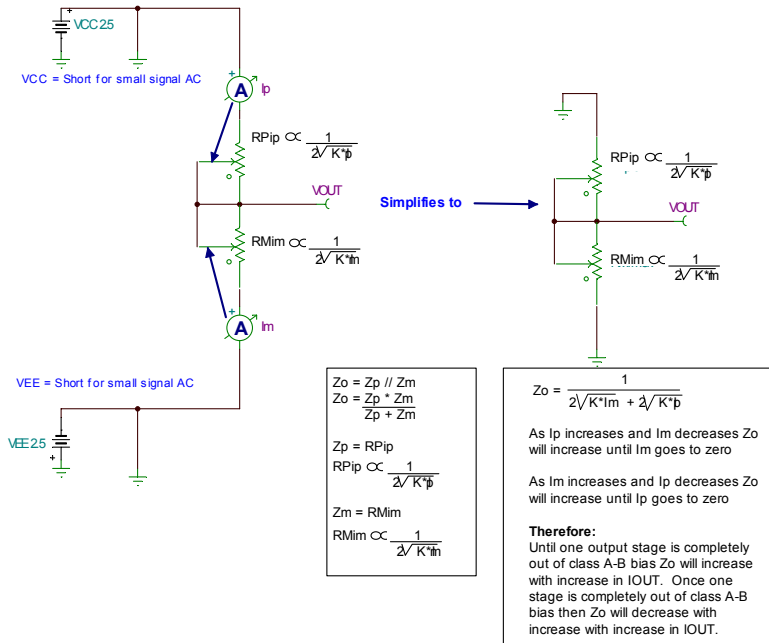


图 7.26: R_o 模型: CMOS RRO 放大器

图 7.27 中的计算示例显示出 R_o 与 I_{OUT} 小幅变化值之间的特有关系。在 A-B 类偏置模式下, 流过两个器件的 QP 及 QM 的电流均为 22uA 时, R_o 等于 200Ω。 I_m 增大表示 I_{OUT} 流入放大器输出端的电流也在增大, QP 接收的电

流逐渐减小直至当 $I_m = 44\mu\text{A}$ 时完全关闭。此时， R_o 为最大值 ($R_o \text{ Max} = 282.25\Omega$)。 I_{OUT} 电流增大则 R_o 将会减小。

CMOS RRO Ro Calculator				
K= 0.071				
I_p	R_p	I_m	R_m	R_o
2.2000E-05	4.0006E+02	2.2000E-05	4.0006E+02	2.0003E+02
1.1000E-05	5.6578E+02	3.3000E-05	3.2665E+02	2.0709E+02
5.5000E-07	2.5302E+03	4.3450E-05	2.8467E+02	2.5588E+02
5.5000E-08	8.0013E+03	4.3950E-05	2.8305E+02	2.7338E+02
5.5000E-09	2.5302E+04	4.3990E-05	2.8292E+02	2.7979E+02
1.0000E-12	1.8765E+06	4.4000E-05	2.8289E+02	2.8285E+02
1.0000E-12	1.8765E+06	8.8000E-05	2.0003E+02	2.0001E+02
1.0000E-12	1.8765E+06	1.7600E-04	1.4144E+02	1.4143E+02
1.0000E-12	1.8765E+06	3.5200E-04	1.0002E+02	1.0001E+02

图 7.27: R_o 增大/减小参数实例

我们已经选择了 OPA348、CMOS RRIO 放大器来研究 CMOS RRO Z_o 。该器件具有非常精确的 SPICE 宏模型，其 Z_o 参数通过了实验室测评。通过 Tina SPICE 能方便地查看 Z_o 参数。在第一个 Z_o 测量中我们将使用最大负载电流 10mA。请注意：图 7.28 所示的测试电路中，电流计 IOUT 的作用是确保将 I_{OUT} 的 DC 值精确控制在 10mA。简单地将 V1 除以 R_L 不能完全解决放大器输入补偿电压的参数问题，这可能会导致意外误差。

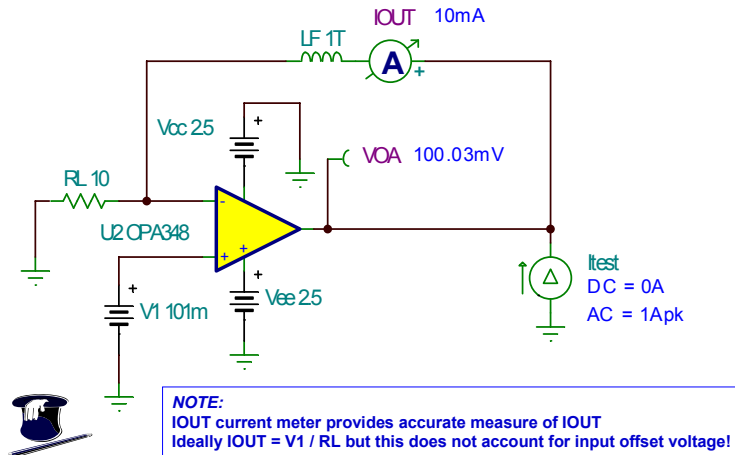


图 7.28: Z_o 、重负载、 $I_{OUT} = +10\text{mA}$

I_{OUT} 等于 10mA 时的 Z_o AC 图中包含一个 34.79Ω 的高频 R_o 元件。 Z_o 在低于 10kHz 的频段明显呈现容性。我们推测 R_o 的输出电流最低，原因是 QM 完全关闭且所有的输出级电流都流过 QP。

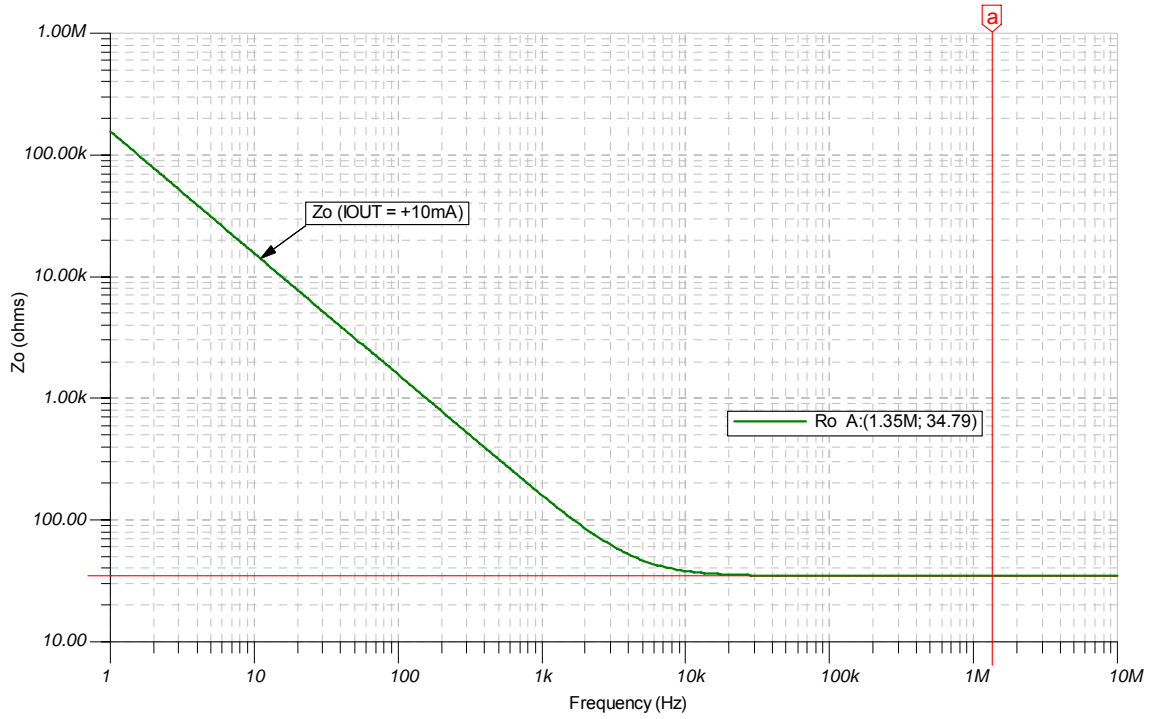
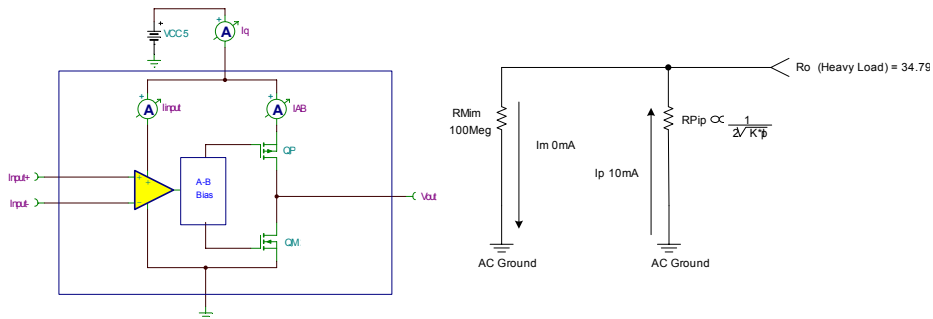


图 7.29: Z_o AC 图、重负载 $I_{OUT} = +10mA$

图 7.30 中的重负载 R_o 模型说明: R_o 的输出电流最低, 原因是 QM 完全关闭且所有的输出级电流都流过 QP。



QP on and QM essentially off so QP sets output impedance

图 7.30: 重负载 R_o 模型

我们将使用图 7.31 中的电路计算空载 Z_o 曲线。根据 I_Q 与 I_{AB} 关系的经验法则, OPA348 中 $I_Q=45\mu A$, 所以 $I_{AB}=22.5\mu A$ 。483.65fA 的误差电流对空载 Z_o 曲线不会有显著的影响。

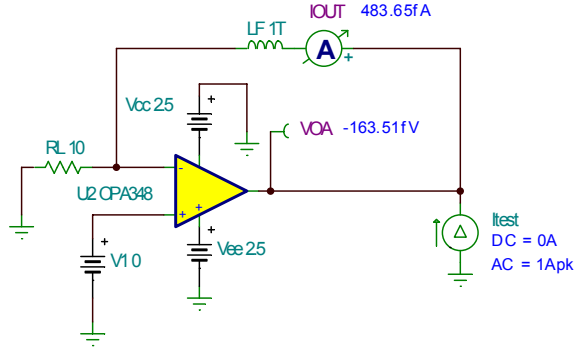


图 7.31: Z_o 、无负载 $I_{OUT} = 0mA$

如图 7.32 所示, I_{OUT} 等于 $0mA$ 时的 Z_o 包含一个 196.75Ω 的高频 R_o 元件。 Z_o 在低于 $3kHz$ 的频段明显呈现容性。

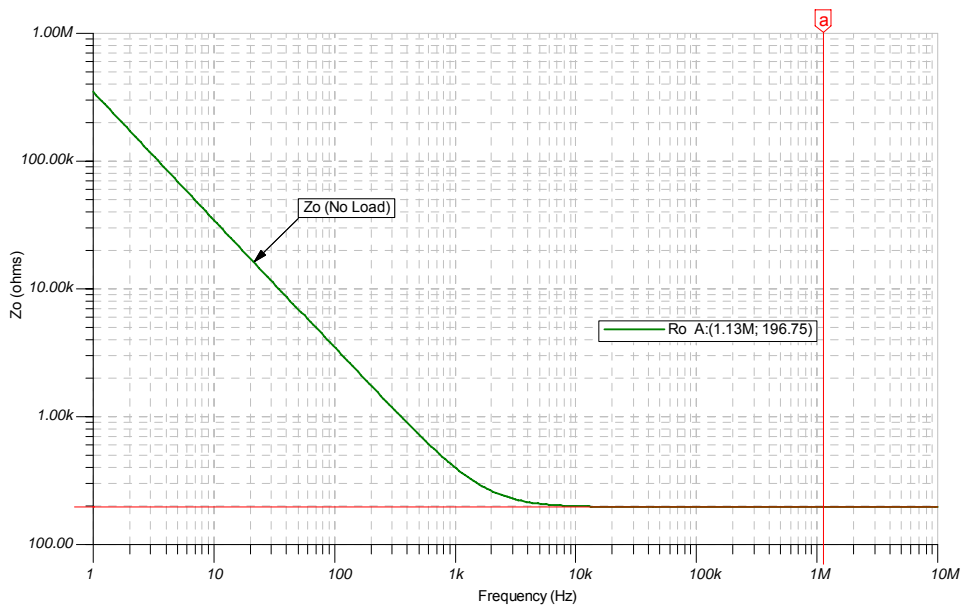
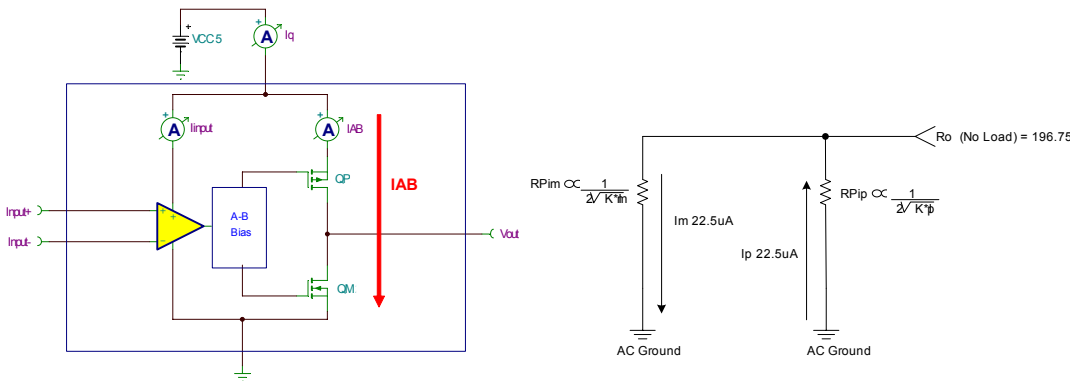


图 7.32: Z_o AC 图、无负载 $I_{OUT} = 0mA$

图 7.33 中的空载 R_o 模型表明, OPA348 中的输出 QP 及 QM 对 R_o 具有相同的影响。图中同时假定 A-B 类偏置电流为 $22.5\mu A$ 。



QP and QM are equally biased on and contribute equally to R_o

图 7.33: 无负载 R_o 模型

我们现在知道了重负载和空载时的 Z_O 意味着什么。我们关心的另一个关键曲线是 R_O 变成最大值时的轻负载。我们并不十分清楚该工作点的位置，原因是我们不能看到 OPA348 A-B 类偏置级的内部，但在计算 AC 传输曲线之前，我们需要知道该点的位置。使用图 7.34 中的技术和电路将能够很快达到目的。如果我们继续运行如图所示的 AC 分析/计算 AC 结点电压分析，就可以变换 V1 值并迅速更新 VOA。VOA 的读数为均方根值。我们将 IG1 设定为 1A、AC 生成器、 $f=1\text{MHz}$ （这正好处于 R_O 主导 Z_O 的频率范围之内）。一旦找到能够产生最大 VOA 的 V1 值，就可以用其计算 AC 传输曲线。请注意：VOA 的读数为均方根值，其中包含 VOA 的所有 DC 分量。另请注意：关于电流电平，在 $7.35\mu\text{Vrms}$ 区域中的 DC 值将会下降，与 VOA 在 254.56Vrms 区域的没有显著区别。轻负载下 R_O 的 AC 幅度值为 $254.56\text{Vrms} / .707\text{Arms} = 360\Omega$ （AC 正弦波 $\text{Arms} = 0.707\text{Ap}$ ）。

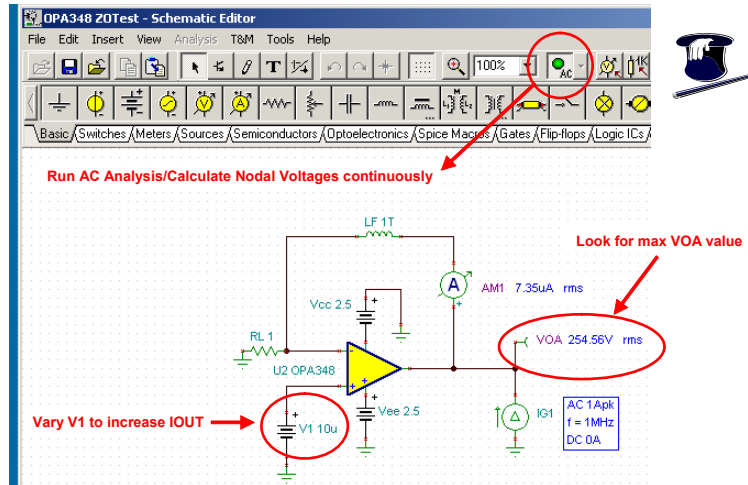


图 7.34: 轻负载寻求最大 R_O

图 7.35 为 Z_O 轻负载测试电路。

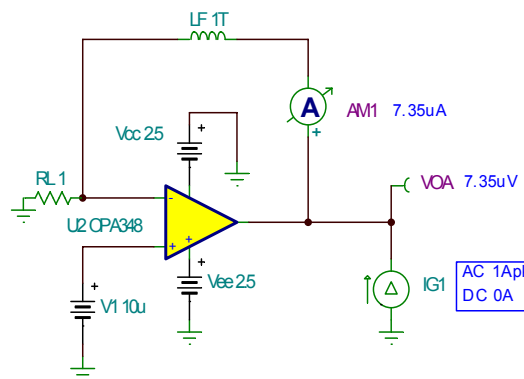


Fig. 7.35: Z_O , light I_{Load} , $I_{OUT} = +7.35\mu\text{A}$

图 7.36 是 Z_O 轻负载 AC 传输函数分析结果。图中显示了我们预测到的 $360\Omega R_O$ ， Z_O 在低于大约 3kHz 处呈现容性。

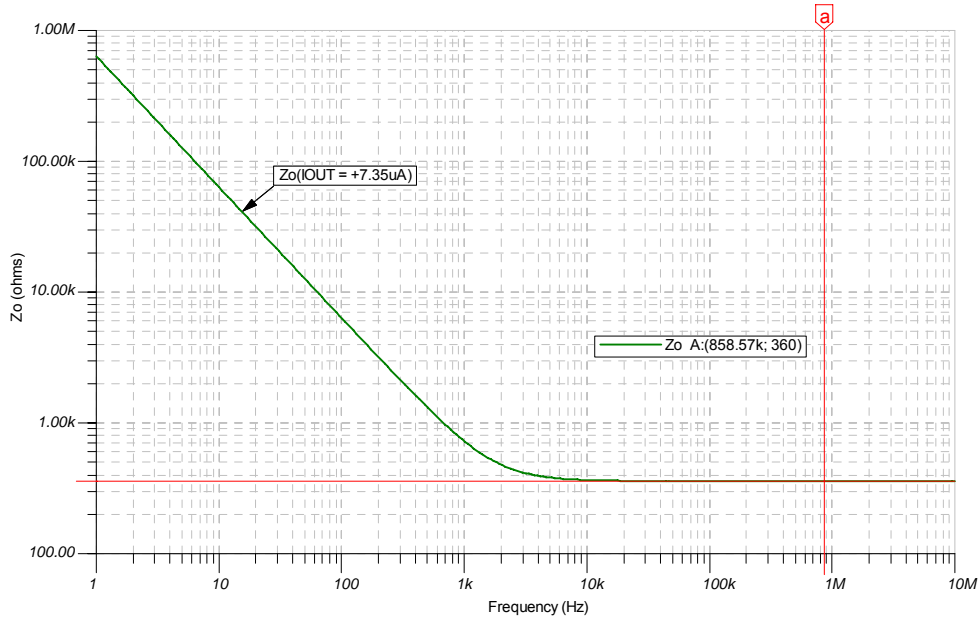


图 7.36: Z_O AC 图、轻负载 $I_{OUT} = +7.35\text{mA}$

轻负载模型（如图 7.37 所示）的 QP 处于开启状态而 QM 处于关闭状态，QP 因其阻抗最低所以将决定 R_O 的值。因为仅需 $7.35\mu\text{A}$ 的负载电流即可关闭 QM，所以最初假定的 A-B 类偏置电流为 $22.5\mu\text{A}$ 可能不正确。IAB 的大小可能比 $7.35\mu\text{A}$ 大不了多少。

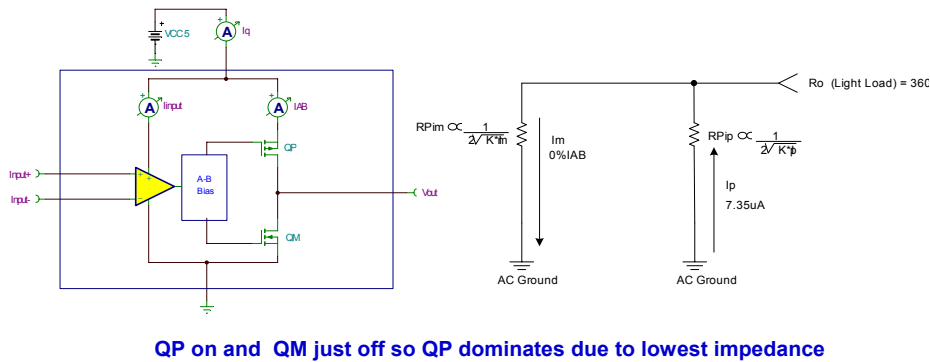


图 7.37: 轻负载 Z_O 模型

图 7.38 为 OPA348 的完整 Z_O 曲线集。我们所关心的关键曲线包括：

- $I_{OUT} = +7.35\mu\text{A}$ ($R_O = 360\Omega \rightarrow R_O$ 最大)
- $I_{OUT} = +7.35\mu\text{A}$ ($R_O = 196.75\Omega \rightarrow R_O$ 空载)
- $I_{OUT} = +87.4\mu\text{A}$ ($R_O = 198.85\Omega$)，在此 I_{OUT} 值下， R_O 约等于 R_O 空载。
- $I_{OUT} > 87.4\mu\text{A}$ 导致 $R_O < R_O$ 空载
- $I_{OUT} = +10\text{mA}$ ($R_O = 34.79\Omega$)

图示的其他曲线仅供验证处于关键曲线之间的工作状态。另外 Z_O 曲线可用于判断负电流值的 I_{OUT} 。但是在电流曲线的正值区域，这些曲线间距过密，无法将其置于 I_{OUT} 的顶部，故将其省略以保证图表清晰。所有 CMOS RRO 放大器产品说明书应包含这些关键的 Z_O 曲线。

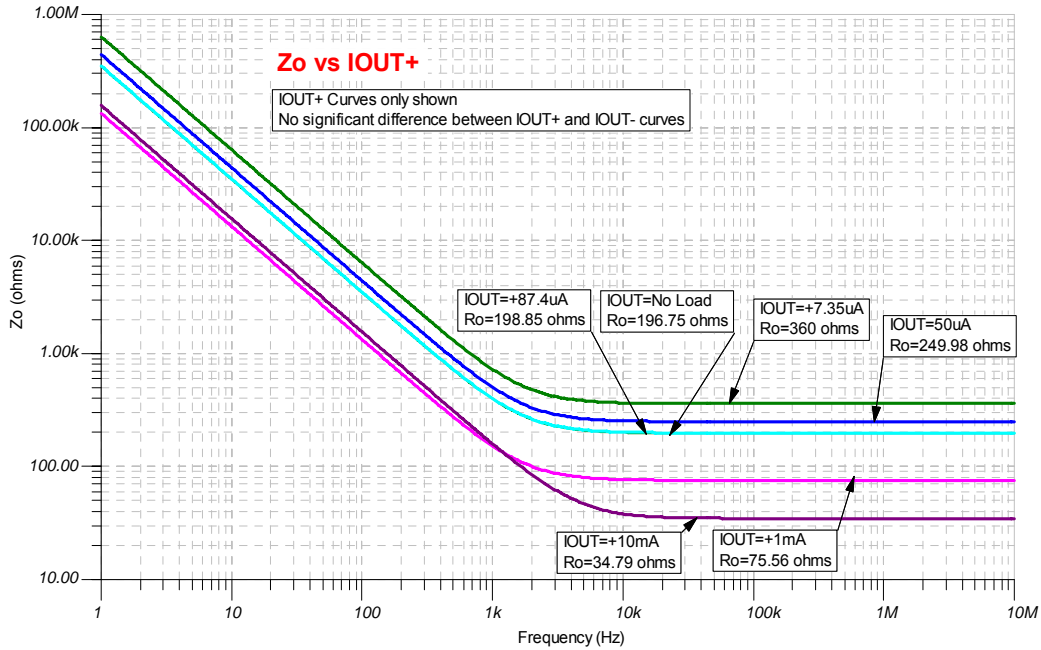


图 7.38: 完整的 Z_o 曲线: CMOS RRO

要建立 RRO CMOS 放大器的等价 Z_o 模型，我们需要分析 Z_o 曲线上的断点 f_z 。图 7.39 显示了这些断点在重负载和空载下的测量值。根据频率和 R_o 值可以确定 CO 值。

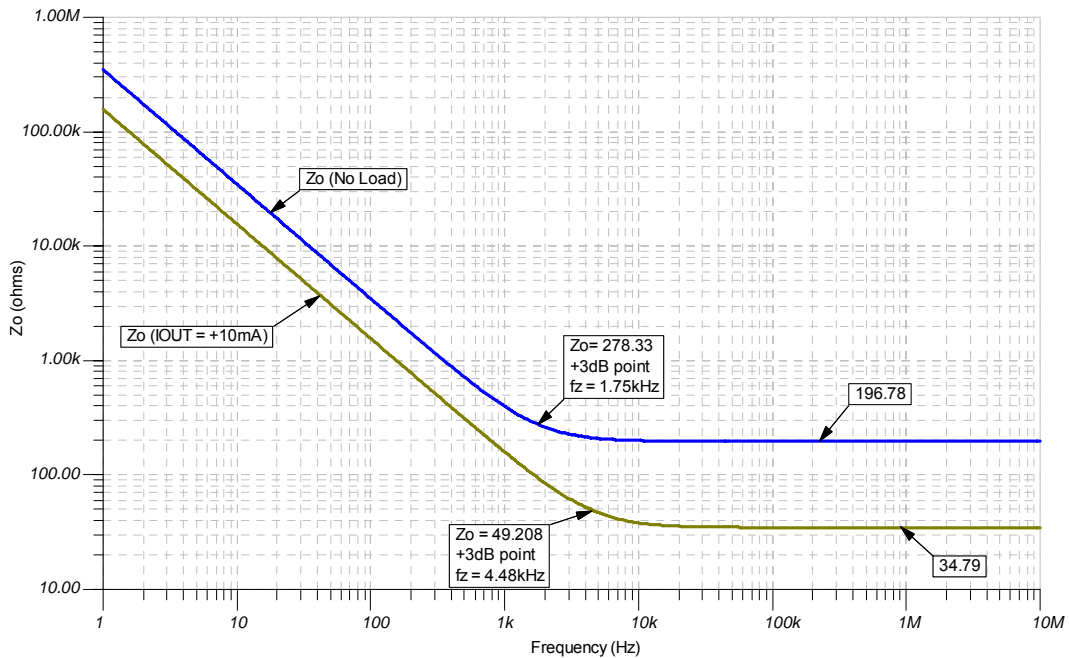


图 7.39: Z_o 曲线上的断点 f_z

使用 Z_o 图可以完成空载和重负载 (10mA) (如图 7.40 所示) 下给定 I_{OUT} 负载的 Z_o 模型。

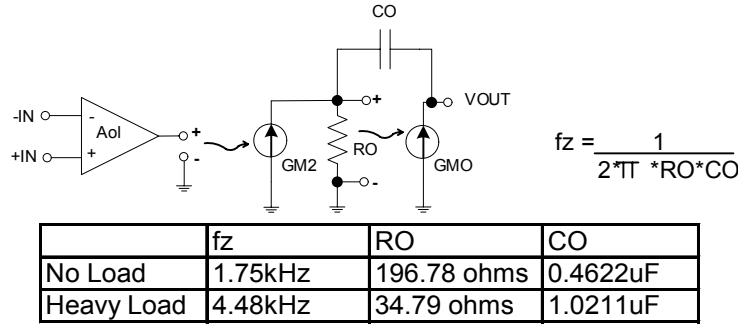


图 7.40: Z₀ 完整模型计算

CMOS RRO 放大器的Z₀ 及容性负载

如果通过初始放大器 Aol 建立修正 Aol 曲线，在驱动容性负载时，负载电容器 CL 将与 Z₀ 模型电容器 CO 串联。注意串联电容值的计算方式与并联电阻值的计算类似。因此，若 CL < CO，则 CL 起决定作用；若 CL > CO 则 CO 起决定作用。修正 Aol 曲线的第二个极点 fp2 与 R₀ 及 Ceq (CO 及 CL 的等价电容) 直接相关，图 7.41 显示了这些关键点。

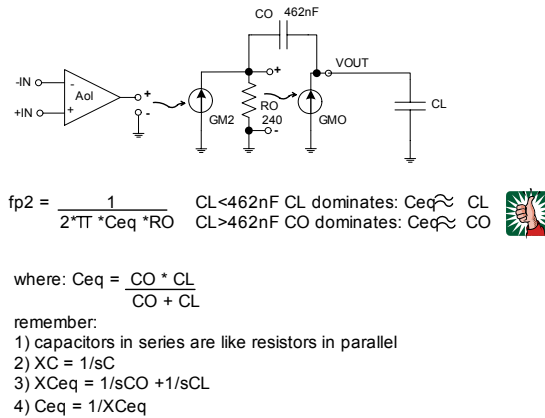


图 7.41: 修正 Aol fp2 的计算

图 7.42 是用来修正 CMOS RRO 放大器容性负载的 Aol 曲线的测试电路。LT 使 AC 环路开路，而 LT 在 DC 工作点计算中却提供了短路作用。CT 对 DC 开路，而对任何设定频率的 AC 短路。修正 Aol 曲线即 VOA / VM。

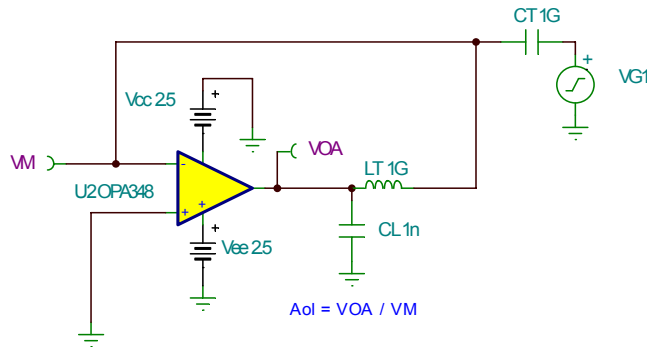


图 7.42: 修正 Aol 测试电路

图 7.43 为 CL 从空载至 10,000nF 的真实修正 Aol 曲线。fp2 相应位置的测量值如图中标注所示。

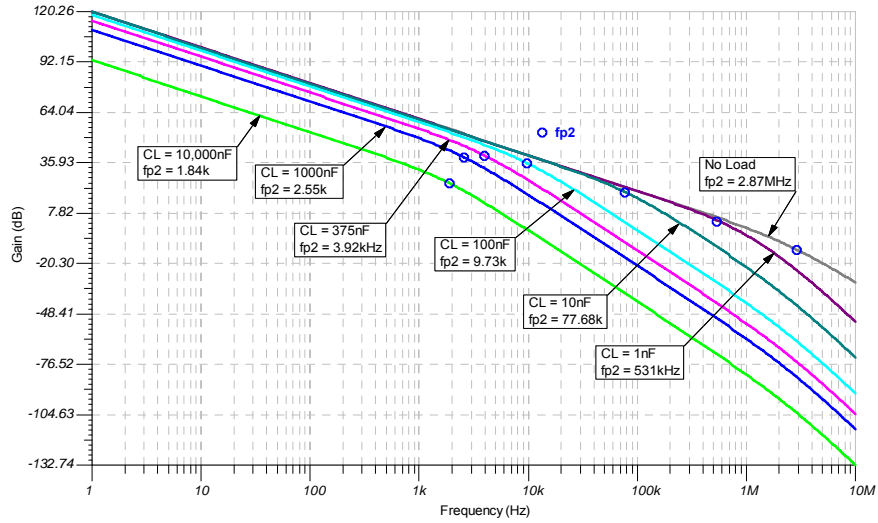


图 7.43: CL 修正 Aol 曲线

图 7.44 对 fp2 测量值与 Z_O 模型预测值进行了对比。结果表明，我们可以自信地使用 Z_O 模型来预测真实的修正 Aol 图。请注意 1nF 负载预测误差较大，原因是我们没有考虑 OPA348 Aol 第二个高频极点 (2.87MHz) 的效应。因为 CL 与 2.87MHz 相差太大，另一个 fp2 位置可以确定，所以 OPA348 Aol 的第二个极点对预测没有影响。

RO	196.78				
CO	4.62E-07				
RL	No Load				
				Predicted	Actual
CL	CL	CO	Ceq	fp2	fp2
	(farads)	(farads)	(farads)	(Hz)	(Hz)
No load	No Load	4.62E-07			2870000
1nF	1.00E-09	4.62E-07	9.98E-10	810546	*531000
10nF	1.00E-08	4.62E-07	9.79E-09	82630	77680
100nF	1.00E-07	4.62E-07	8.22E-08	9838	9730
375nF	3.75E-07	4.62E-07	2.07E-07	3907	3920
1000nF	1.00E-06	4.62E-07	3.16E-07	2559	2550
10,000nF	1.00E-05	4.62E-07	4.42E-07	1831	1840

*Actual reflects effect of Op Amp Aol second pole

图 7.44: 修正 Aol fp2 预测值与真实值的比较

CMOS RRO 放大器 Aol 上 RL 的低频效应

正当我们认为完成了 CMOS RRO 放大器的相关工作时……CMOS RRO 放大器也出现了另一种低频 Aol 现象。CO 与 RL 的相互作用产生了高通滤波效应，使 Aol 曲线的低频部分趋于平坦（如图 7.45 所示）。

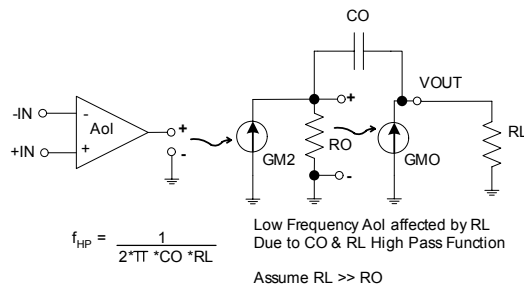


图 7.45: RL 的 Aol 低频效应

图 7.46 是分析 RL 对 CMOS RRO Aol 曲线影响的测试电路。很容易通过调整 RL 大小来观察 Aol 上的效应。

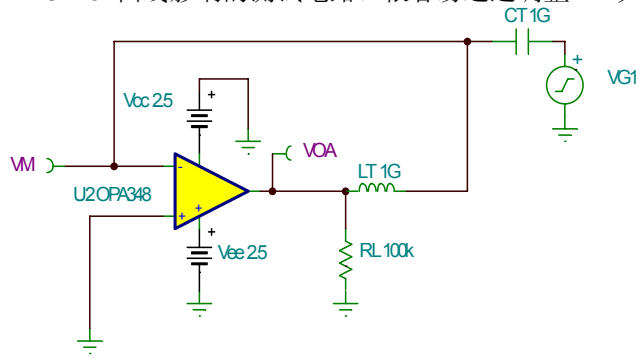


图 7.46: RL 测试电路的 Aol 低频效应

图 7.47 清楚显示了空载、100kΩ 以及 5kΩ 等阻性负载的低频 Aol 效应。

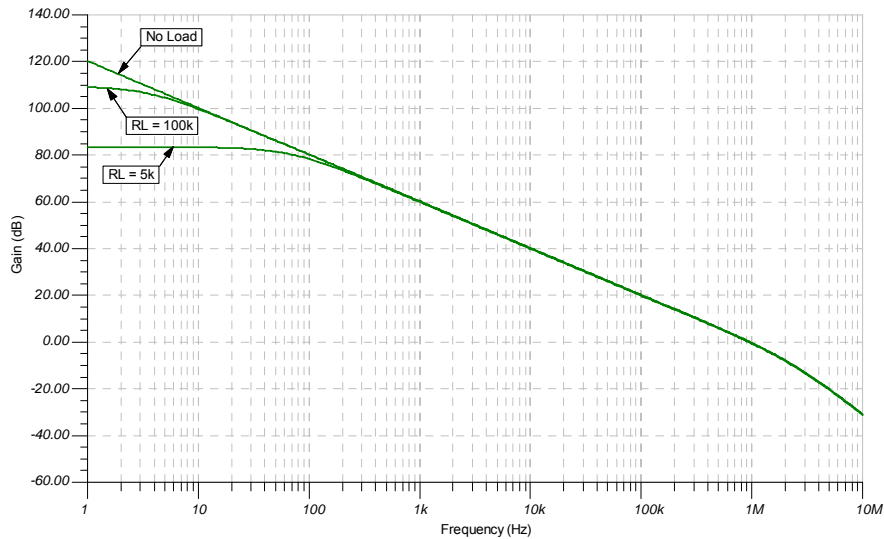


图 7.47: Aol 低频部分的 RL 效应 AC 图

图 7.48 中的测试电路使我们看清 CO 及 RL 在 CMOS RRO Aol 曲线的低频区域的效应。VaoI 代表空载、未修正的 Aol 曲线。VHP 是 CO 及 RL 产生的高通滤波效应。VOA 是未修正的 Aol 曲线通过由 CO 及 RL 形成的高通滤波器时产生的修正 Aol 曲线。

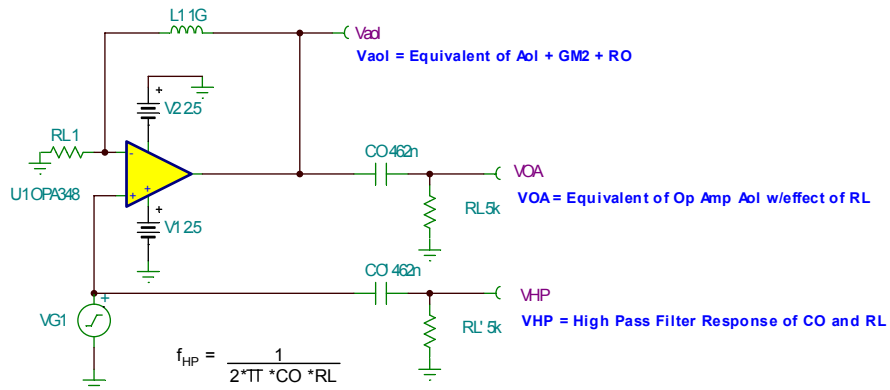


图 7.48: 测评 Aol 上 RL 效应的等效电路

图 7.49 为 $R_L=5k\Omega$ 时的综合 AC 曲线，显示了未修正的 Aol 曲线 Vaol，CO 及 RL 的高通滤波器效应和网络传递函数，以及 Vaol 通过 VHP 产生的修正 Aol 曲线 VOA。由于 Bode 图上的加法等价于线性乘法，所以我们只需将 Vaol 与 VHP 相加即可得到 VOA 曲线。

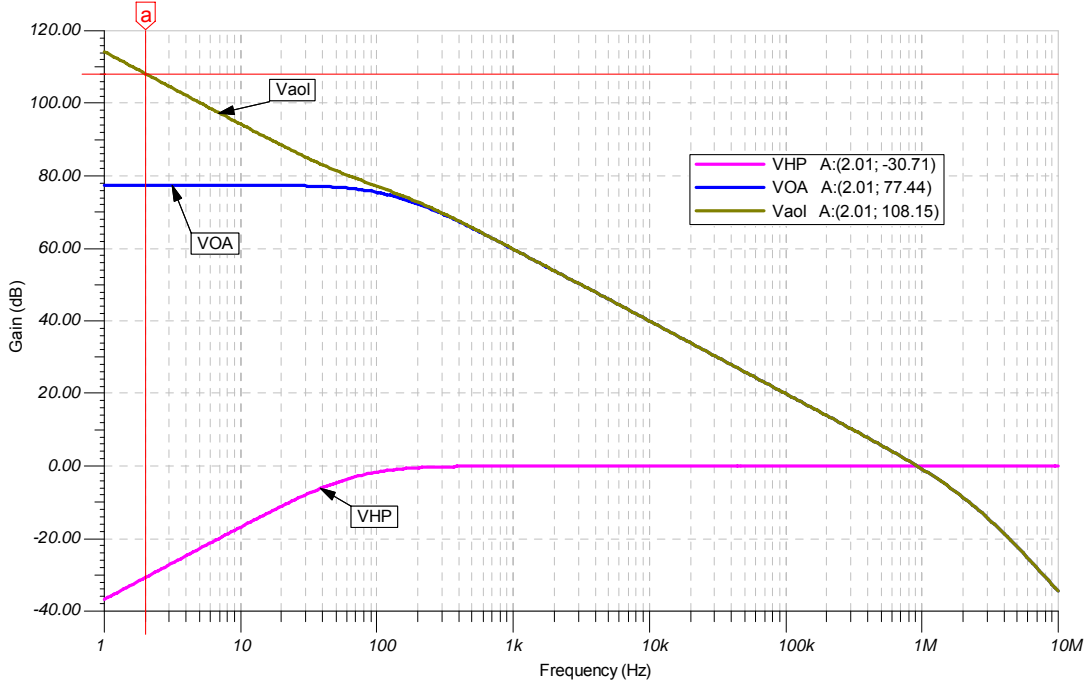


图 7.49: 测评 Aol 上 RL 效应的等效电路图

CMOS RRO 放大器的 Z_O 总结

图 7.50 总结了 CMOS RRO 放大器 Z_O 的关键参数。在高频段， Z_O 由 R_O 决定。对大多数负载而言，当 DC 输出负载电流增加时， R_O 降低并与 I_{OUT} 成反比。然而，在低 I_{OUT} 时， R_O 与 I_{OUT} 成正比。在中低频区域， Z_O 是容性 CO。如果容性负载 CL 连接到 CMOS RRO 输出上，则 R_O 及 CO 将与 CL 相互作用并产生比原有的 Aol 曲线多一个极点 $fp2$ 的修正 Aol 曲线。Aol 曲线的低频部分受到阻性负载 R_L 的影响， R_L 与 CO 相互作用形成高通滤波效应，使中低频区域的 Aol 曲线趋于平坦。 R_O 随过程和温度而变化。有关过程及温度变化的经验法则是 $0.5 \times R_{Otyp} (-55C) \sim 2 \times R_{Otyp} (125C)$ ，其中 R_{Otyp} 为 25C 时的 R_O 典型值。我们研究得出的经验法则不总是适用于 CMOS RRO 放大器的开环输出阻抗。最完整和精确的 Z_O 数据应该从放大器厂商处或经过测量获得。

- Z_O is Dominated by R_O at High Frequencies
- R_O is Inversely Proportional to I_{OUT} for Most Values of I_{OUT}
- R_O is Proportional to I_{OUT} for Very Small Values of I_{OUT}
- Z_O is Capacitive (CO) at Mid to Low Frequencies
- R_O , C_O , and CL form a Second Pole to create a Modified Aol
- R_L and C_O change the Low Frequency Portion of Aol
- R_O Change with Process and Temperature:
 - ✓ $R_O @ -55C = 0.5 \times R_{Otyp}$ (i.e. 50 ohms)
 - ✓ $R_O @ 25C = R_{Otyp}$ (i.e. 100 ohms)
 - ✓ $R_O @ +125C = 2 \times R_{Otyp}$ (i.e. 200 ohms)
- Use R_{Otyp} for Stability Synthesis
 - ✓ Decade Rules-of-Thumb will provide Design Margin



图 7.50: CMOS RRO 的 Z_O 总结

鸣谢

谨此致谢提供有关 Z_0 技术指导的下列个人:

TI Burr-Brown 产品部:

高级模拟 IC 设计工程师, Sergey Alenin

高级模拟 IC 设计工程师, Tony Larson

高级模拟 IC 设计经理, Rod Burt

Analog & RF Models 公司

技术顾问 Bill Sands

(<http://www.home.earthlink.net/%7Ewksands/>)

参考文献

《模拟集成电路的分析与设计》，作者：Gray、Paul R 及 Meyer、Robert G；1977 年纽约 John Wiley & Sons 出版社

《电子电路》，作者：Charles A；1978 年纽约 John Wiley & Sons 出版社

作者简介

从亚利桑那大学毕业获得电子工程学士 (BSEE) 学位后, Tim Green 24 年来作为工程师一直致力于模拟及混合信号电路板 / 系统级设计工程方面的研究工作, 涉及的范围包括无刷马达控制、喷气式飞机引擎控制、导弹系统、功率放大器、数据采集系统以及 CCD 摄影技术等。Tim 近期的工作包括模拟及混合信号半导体产品的战略营销。Tim 目前担任 TI 位于亚利桑那州图森市 Burr-Brown 产品部的线性应用工程经理。

运算放大器稳定性 第 8 部分（共 15 部分）：电容性负载稳定性：噪声增益及 CF

作者：Tim Green

德州仪器 Burr-Brown 产品部线性应用工程经理

本系列的第六部分是新《电气工程》杂志 (Electrical Engineering) 中“保持容性负载稳定的六种方法”栏目的开篇。这 6 种方法分别是 R_{ISO} 、高增益及 CF、噪声增益、噪声增益及 CF、输出引脚补偿以及具有双通道反馈的 R_{ISO} 。第 6 部分介绍了 R_{ISO} 、高增益及 CF 和噪声增益前三种方法。第 7 部分重新研究了用于双极性射极跟随器与 CMOS PRO 运算放大器的小信号 AC 输出阻抗 Z_O 。现在，我们将在第 8 部分即本部分通过对噪声增益及 CF 的研究侧重探讨如何实现电容性负载的稳定性。

我们将采用稳定性分析工具套件（其中包括 Z_O 分析、Aol 修正曲线创建、一阶分析与合成、Tina SPICE 环路稳定性仿真、Tina SPICE 瞬态仿真以及 Tina SPICE V_{out}/V_{in} 传递函数分析等）中大家都非常熟悉的工具来进行研究。在过去长达 24 年中，我们在真实环境以及实际电路中进行了大量的测试，充分验证采用噪声增益及 CF 方法能够取得预期的效果。不过，由于资源限制，本文专门介绍的每条电路并未进行实际构建，仅用于读者练习或在个人应用（如：分析、合成、仿真、构建与测试）中使用。

噪声增益与及 CF 补偿分为两种不同的情况：反相噪声增益及 CF 和非反相噪声增益及 CF。顾名思义，两者的区别在于运算放大器电路配置是反相配置还是非反相配置。

用于噪声增益及 CF 电容性负载稳定性分析的运算放大器

我们进行噪声增益及 CF 电容性负载分析时所选择的运算放大器是 CMOS RRIO 运算放大器，其规格如图 8.1 所示。OPA348 是具有轨至轨输入（超出每个电源 0.2V 以上）和轨至轨输出（当 $I_{out} = 27\mu A$ 时， $V_{sat} = 25mV$ ）的低静态电流 (65 μA) 运算放大器，专为单电源供电的系统而精心优化的。OPA348 在最高饱和电压等于 1V 时还可提供 5mA 的输出电流。由于它是 CMOS RRO 运算放大器，因此我们需要了解其开环输出阻抗，以便为环路稳定性合成创建 Aol 修正曲线。

OPA348 1MHz, 45 μA , CMOS, RRIO Operational Amplifier



Input Specs		AC Specs	
Offset Voltage	5mV max	Open Loop Gain, $R_L = 100k$	108dB typ
Offset Drift	4 $\mu V/C$	Open Loop Gain, $R_L = 5k$	98dB typ
Input Voltage Range	(V $-$)-0.2V to (V $+$)+0.2V	Gain Bandwidth Product	1 MHz
Common-Mode Rejection Ratio	82dB typ	Slew Rate	0.5V/ μs
Input Bias Current	10pA max	Overload Recovery Time	1.6 μs
Noise		Total Harmonic Distortion + Noise	0.0023%, $f=1kHz$
Input Voltage Noise	10 μV_{pp} , $f=0.1Hz$ to 10Hz	Setting Time, 0.01%	
Input Voltage Noise Density	35nV/ $\sqrt{rt-Hz}$ @1kHz	Supply Specs	
Input Current Noise Density	4fA/ $\sqrt{rt-Hz}$	Specified Voltage Range	2.5V to 5.5V
Output Specs		Quiescent Current	65 μA max
V_{sat} @ $I_{out} = 27\mu A$	25mV max	Over Temperature	75 μA max
V_{sat} @ $I_{out} = 540\mu A$	125mV max	Temperature & Package	
V_{sat} @ $I_{out} = 5mA$	1V max	Operating Range	-40C to +125C
I_{out} Short Circuit	10mA	Package options	SOT23-5, SO-8, SC70-5

图 8.1：典型的 CMOS RRIO 运算放大器

反相噪声增益及 CF

噪声增益及 CF 补偿常用于涉及到低压电源的应用中，即要求在 $\frac{1}{2}$ 电源电压时产生参考电压（如图 8.2 所示）。为了良好响应此类参考电压输出端的 AC 负载瞬态，电容器通常直接布置在运算放大器的输出端。这种“斗式充电装置”可以为高频瞬态负载提供及时保护，同时运算放大器能够准确地对电容器进行再充电并使整体 DC 电压保持在可编程的电平上。反相噪声增益及 CF 分析将采用图中所示的电路，其中运算放大器由两端分别接 $-5V$ 和地来供电。输入信号是带 $-1/2$ 增益的 $+5V$ 电压，可产生 $-2.5V$ 的参考输出电压。我们将设计承载 $-5mA$ 负载电流的 500 欧姆负载。

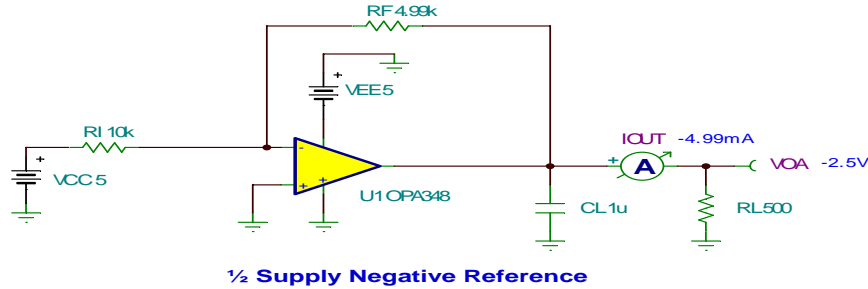


图 8.2: 在 $\frac{1}{2}$ 电源电压时产生负参考电压

为了预测电容性负载会对 A_{o1} 曲线产生哪些影响，我们首先要查明假定通过 DC 负载的电流为 $-5mA$ 时 Z_0 的情况。我们将采用“第 7 部分（共 15 部分）： R_0 何时转变为 Z_0 ？”中介绍的用于研究 CMOS RRO Z_0 的方法与模型。在图 8.3 中， $L1$ 为 1 太拉亨利 (Tera-Henry) 电感， R_I 用于设定 $U1$ 输出端的负载电流。直流情况下， $L1$ 短路，而对于所有相关的交流频率， $L1$ 开路。通过利用一个 $1A_{pk}$ AC 电流发生器（其经过频率扫描）驱动 $U1$ 输出， VOA 可以直接转变为 Z_0 。

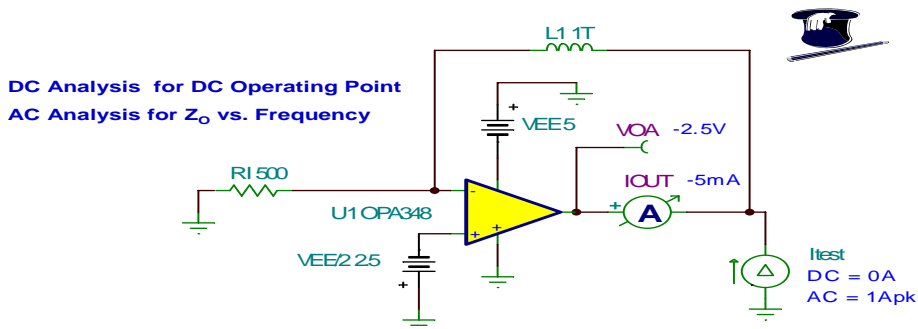


图 8.3: Z_0 测试电路

图 8.4 显示了采用 Tina SPICE分析工具分析的 AC 结果。我们可以看出，对于既定的 DC 负载（-5mA）来说， Z_o 包含一个 42.43 欧姆的 R_o 分量，在 $f_z=1.76\text{kHz}$ 时为相位为 0。

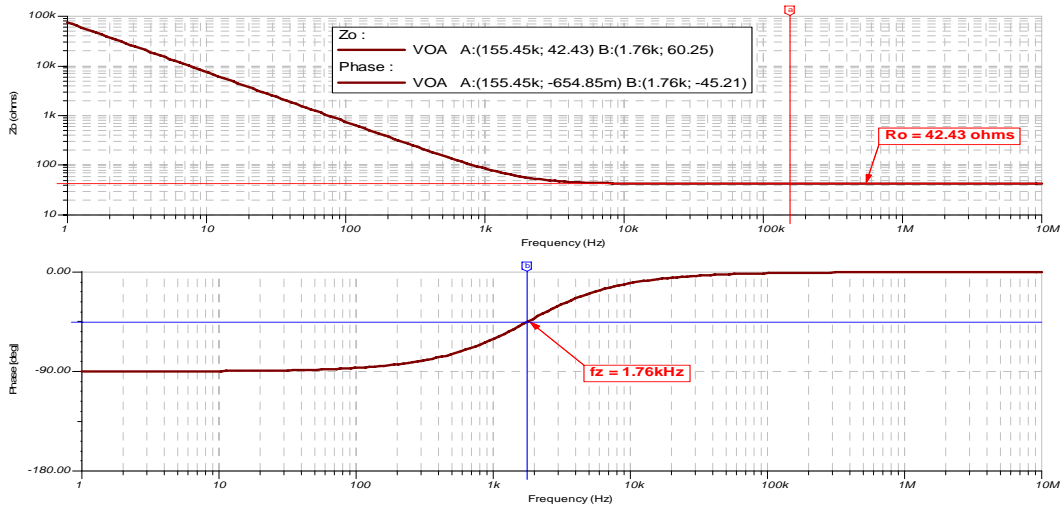
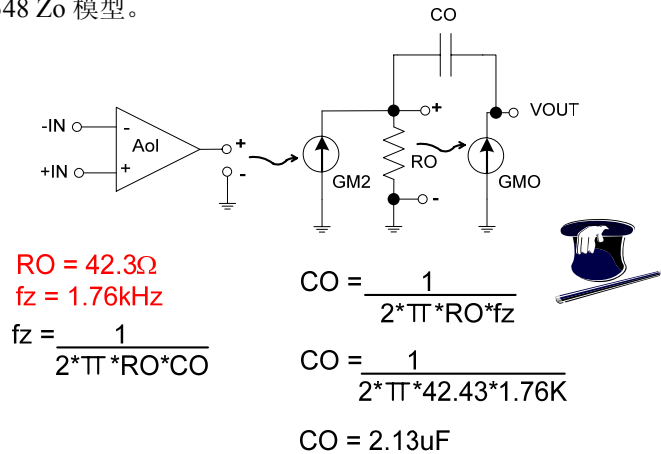


图 8.4: Z_o Tina SPICE图

如图 8.5 所示，我们建立了 CMOS RRO 模型。利用 R_o 与 f_z 的测量值，我们可以快速计算出 C_o 并建立 DC 负载电流为 -5mA 时的 OPA348 Z_o 模型。



Output is two GM (current gain) Stages
Output is *Current Source* GMO (ideal current source has infinite impedance)

Output Impedance (Z_o) is dominated by R_o at High Frequencies
 Z_o will look capacitive at Low and Medium Frequencies

图 8.5: OPA348 Z_o 模型

然后采用叠加法创建在电容性负载 CL 的影响下所形成的 Aol修正曲线。我们开始只考虑由于CL 影响所产生的 Aol 修正曲线（忽略 RL 的影响），如图 8.6 所示。利用 Z_o 模型，我们可以计算由于 Z_o 和 CL 的影响而在 Aol 修正曲线中形成的极点 fp2。

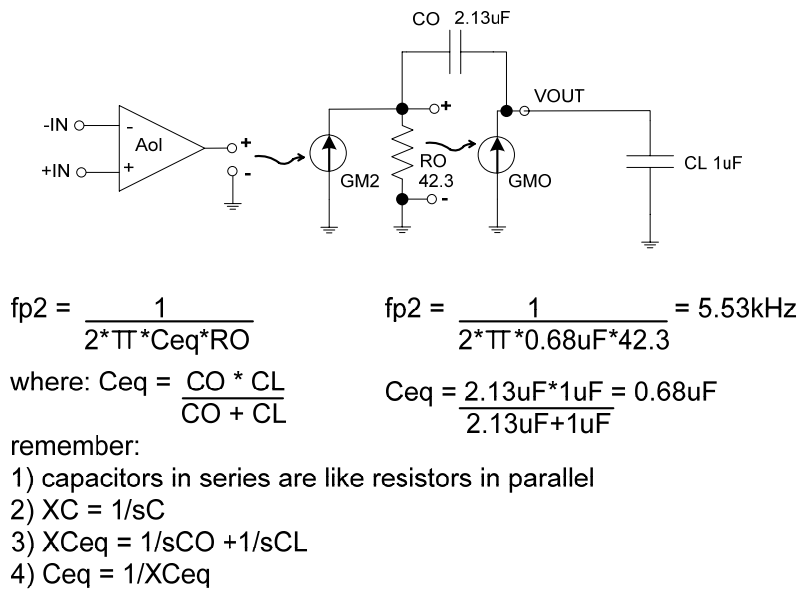


图 8.6: CL 影响下的 Aol 修正曲线

如图 8.7 所示，我们将单独研究 RL 和 Z_o 对 Aol 曲线的影响。FHP 是 Aol 修正曲线中的预测极点。

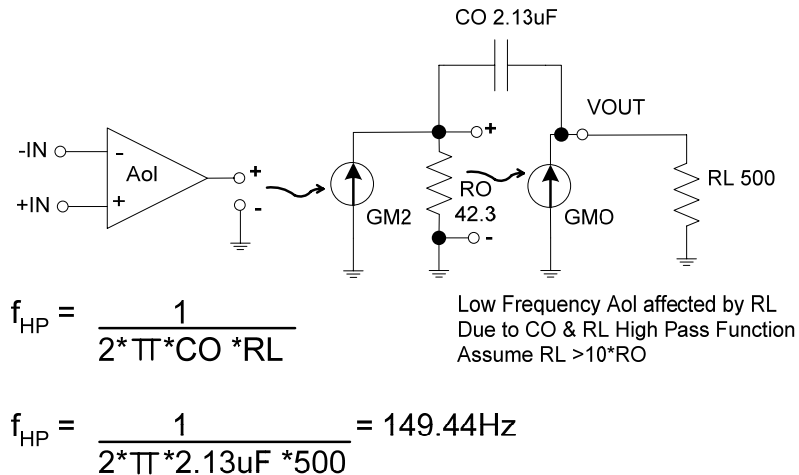


图 8.7: RL 影响下的 Aol 修正曲线

为了利用叠加计算的结果绘制 Aol 修正曲线，我们需要获得 OPA348 的空载 Aol 曲线。该曲线可从制造商的产品说明书中获得，也可通过 OAP348 的 Tina SPICE 宏模型测量得到（在本例中便是如此，因为该宏模型与相关产品说明书完全相符）。图 8.8 显示了空载 Aol 测试电路。请注意我们如何在不加载运算放大器输出的情况下利用阻值较大的电阻器创建 DC 工作点使之与我们的应用相匹配。如果在输出端存在饱和 DC 条件下（正或负饱和）对运算放大器进行 SPICE 分析，则会得到错误的 Aol 曲线，因为运算放大器宏模型中采用的 MOSFET 模型并不在线性工作区域之内。

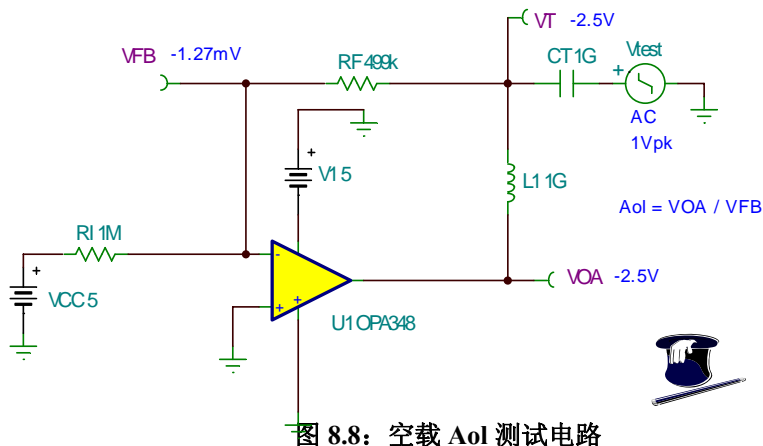


图 8.8: 空载 Aol 测试电路

图 8.9 显示 OPA348 空载 Aol 曲线的 Tina SPICE 结果。

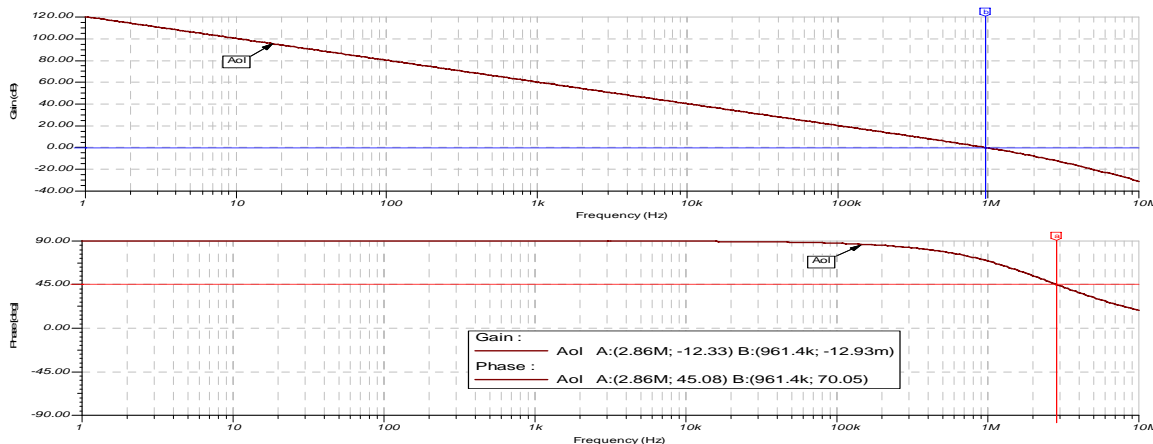


图 8.9: 空载 Aol 曲线

现在我们可以图 8.10 中综合各个叠加分析结果，最终形成预测的 Aol 修正曲线。我们在空载 Aol 曲线中绘出了 Z_O 、CL 和 RL 的影响。由于空载 Aol 曲线经过了 Z_O 模型处理，因此得到了“简化”或“倍增”。而线性数学中的倍增只是伯德图 (Bode) 的添加。从我们的预测 Aol 修正曲线可以看出，DC 到 f_{HP} (149Hz) 之间的增益保持不变，约 80dB，随后以 -20dB / 10 倍频程的速度下降，直至 $fp2$ (5.53kHz)，然后变为 -40dB / 10 倍频程的速率下降。

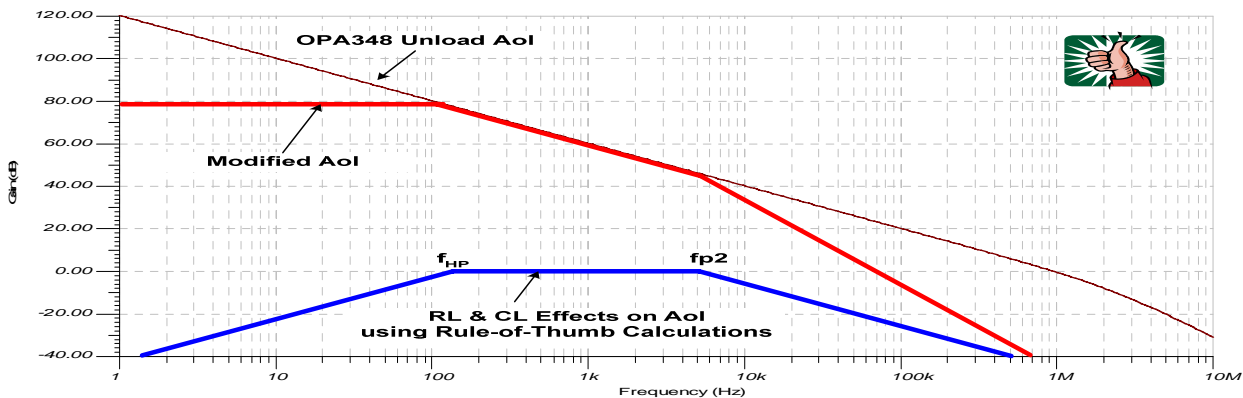


图 8.10: 预测的 Aol 修正模型

在对比实际的 Aol 修正曲线和预测的 Aol 修正曲线之前，我们先从滤波器的角度看一看叠加法的差距所在。图 8.11 显示了存在 RL 和 CL 的网络电路。利用图 8.12 中的结果（其中包括叠加法大致分析的结果以及来自 SPICE 的实际频率响应）进行 AC Tina SPICE 分析。请注意，fp2 的频率预测接近实际情况，而 f_{HP} 的频率预测则与实际存在偏差，但利用 CO 与 RL 可以计算出 f_{HP} 值。如果在图中加入 CL，我们预测这将导致在较低频率上出现 f_{HP}，因为 CL 随着频率变化将会降低 RL 的网络阻抗。如果 CL < CO/10，则 CO 起主导作用，而 CL 不再是重要因素。但是，我们可以利用基于叠加的简化计算方法来快速检查曲线形状及相对断点，从而可以预测 f_{HP} 存在较低的实际频率值。

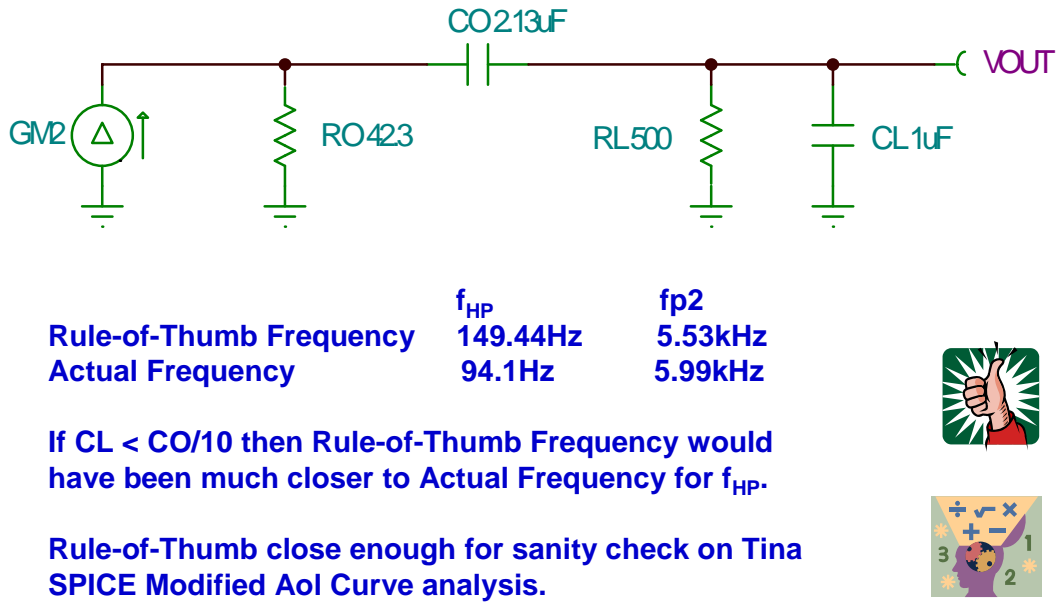


图 8.11: f_{HP} 及 fp2 实际频率测试电路

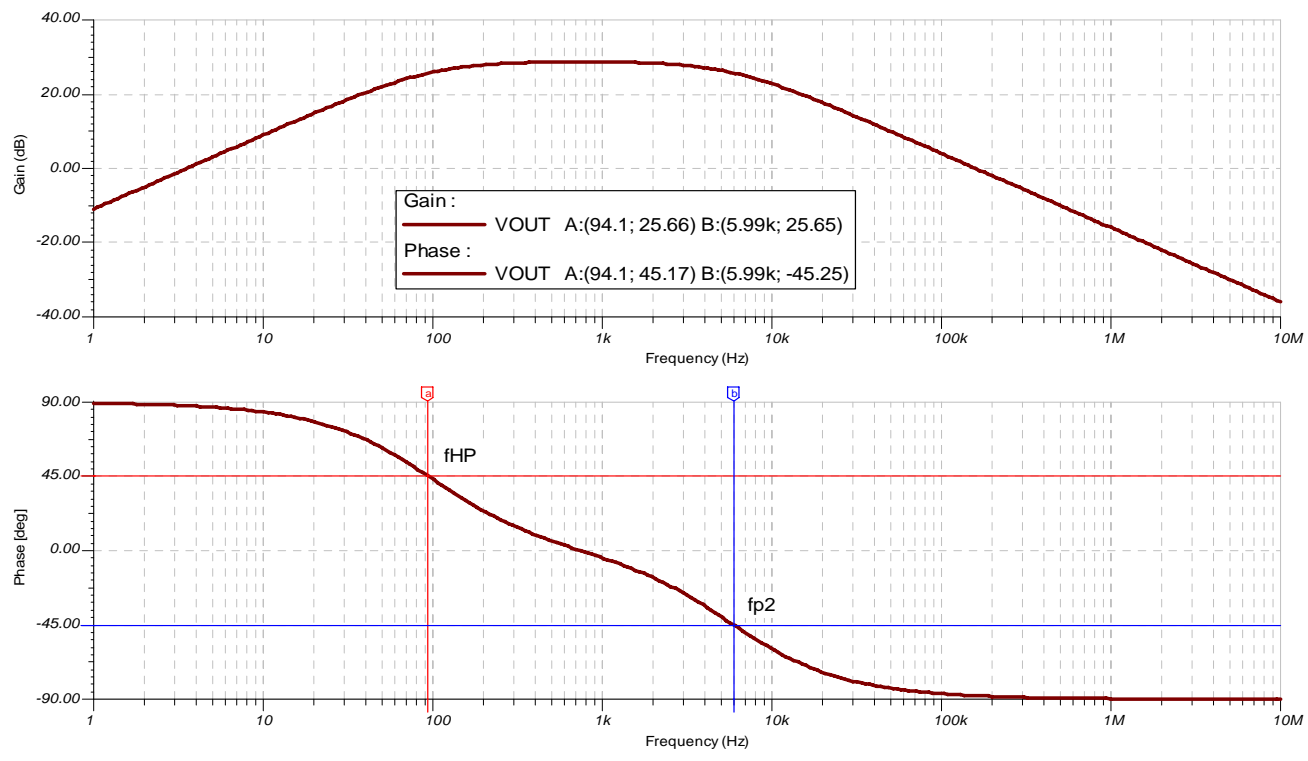


图 8.12: f_{HP} 及 fp2 实际频率测试结果

图 8.13 是用于测量实际 Aol 修正曲线的测试电路。请注意我们如何打开 VOA 与反馈点 VT 之间的闭环运算放大器电路。CL 在左侧直接连接至 OPA348 U1 的输出端。至此，修正的 Aol 为 VOA/VFB。

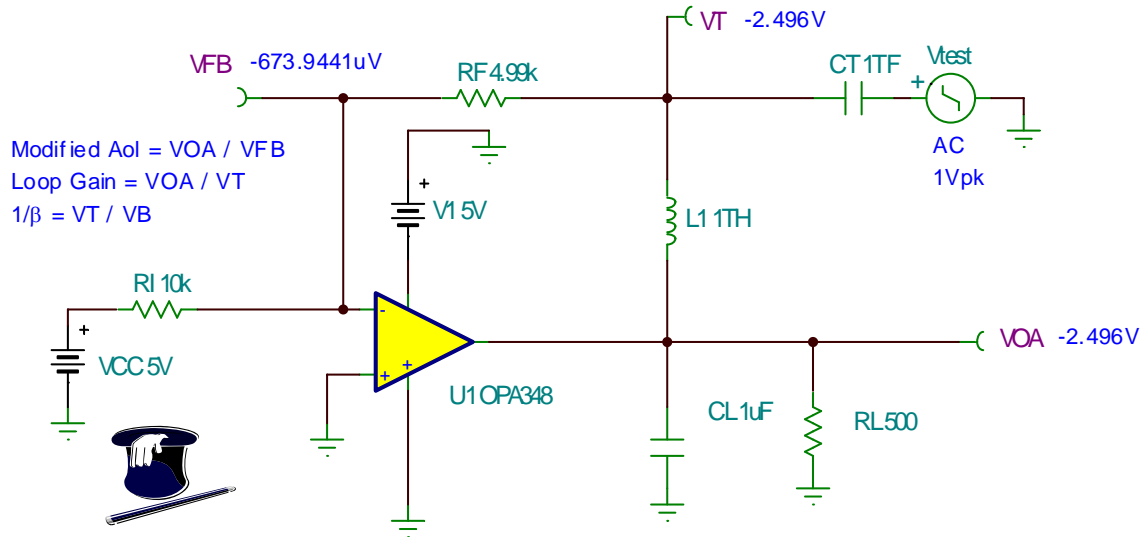


图 8.13: Aol 修正测试电路

图 8.14 显示了利用 Tina SPICE 工具测量的 Aol 修正曲线。请注意，终值为 $f_{HP}=92.86\text{Hz}$, $f_{p2}=6\text{kHz}$ 。用 Tina 分析得到滤波器的结果为: $f_{HP}=94.1\text{Hz}$, $f_{p2}=5.99\text{kHz}$ 。叠加法大致分析结果则为: $f_{HP}=149.44\text{Hz}$, $f_{p2}=5.53\text{kHz}$ 。我们再次强调叠加法分析结果十分接近实际情况，而对于概念和完整性检查，Tina SPICE 分析是正确的。

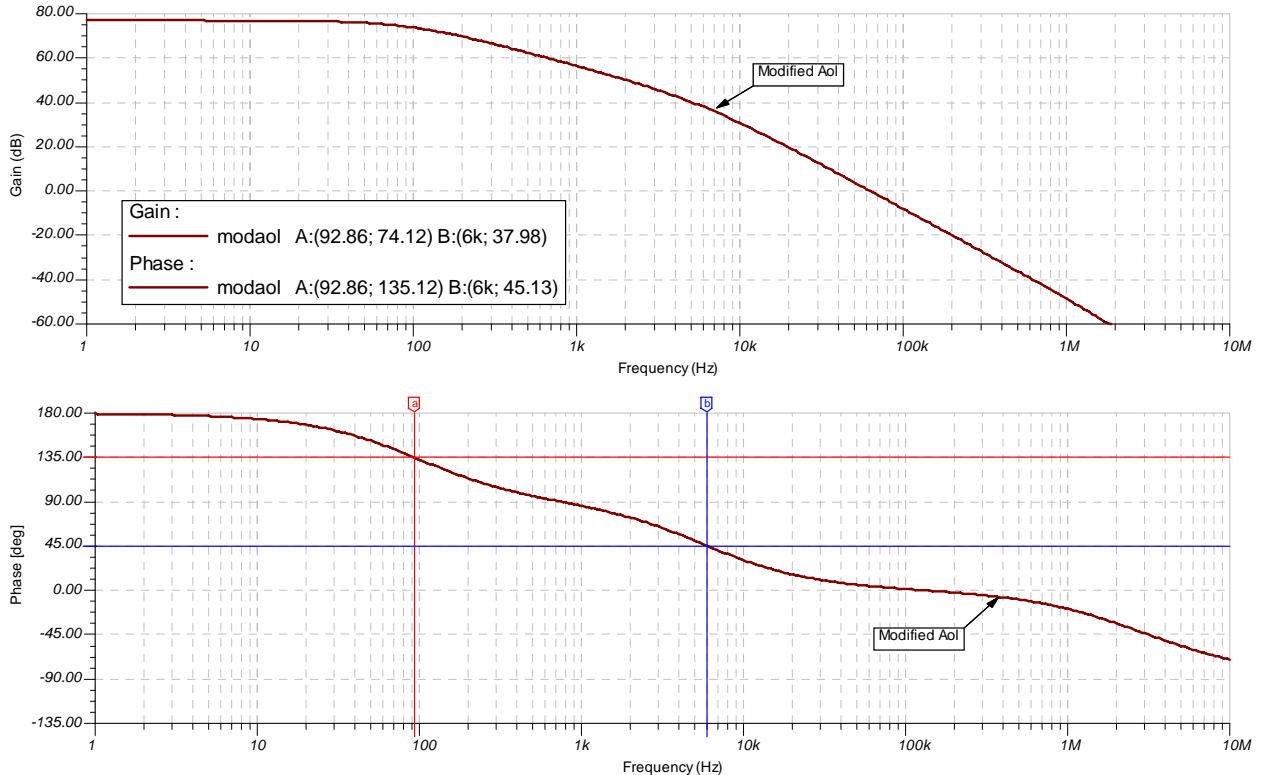
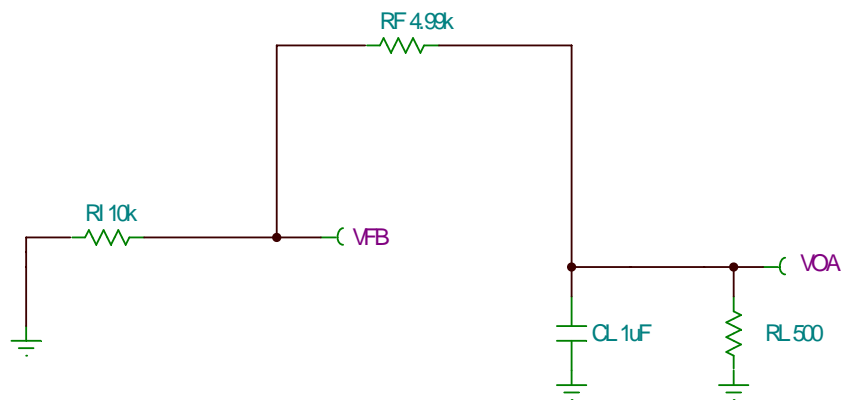


图 8.14: Aol 修正曲线 Tina SPICE 分析结果

我们通过图 8.15 计算无稳定性补偿情况下的 $1/\beta$ 值。输出电压的简单电阻分压器可产生： $1/\beta=3.5\text{dB}$ 。



$$\beta = \text{VFB}/\text{VOA}$$

$$1/\beta = \text{VOA}/\text{VFB}$$

$$\text{VFB} = \frac{\text{VOA} * \text{RI}}{\text{RF} + \text{RI}}$$



Set $\text{VOA} = 1$

$$\text{VFB} = \frac{1 * 10\text{k}}{4.99\text{k} + 10\text{k}} = 0.667$$

$$1/\beta = 1/0.667 = 1.499 \rightarrow 3.5\text{dB}$$

图 8.15: 无稳定性补偿时的 $1/\beta$ 值

我们在 A_{ol} 修正曲线中绘出了图 8.16 中无补偿电路的 $1/\beta$ 图形。请注意，我们一眼就可以看出 $40\text{dB}/10$ 倍频程的闭合速度，凭经验判定这是一条不稳定的电路。

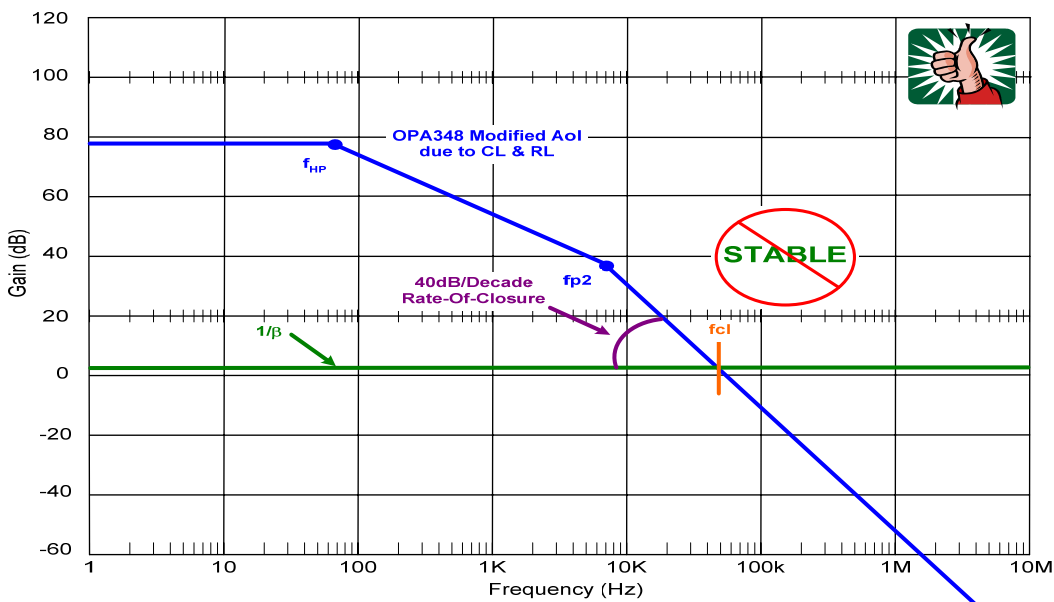


图 8.16: A_{ol} 修正曲线与 $1/\beta$

环路增益的 Tina SPICE AC 分析可以证实我们的一阶怀疑，如图 8.17 所示。环路相位在 f_{cl} 时降至 5 度，此时环路增益降低到 0dB。虽然此电路可能不是振荡器电路，但也并非我们希望每月量产为 1000 套的器件。

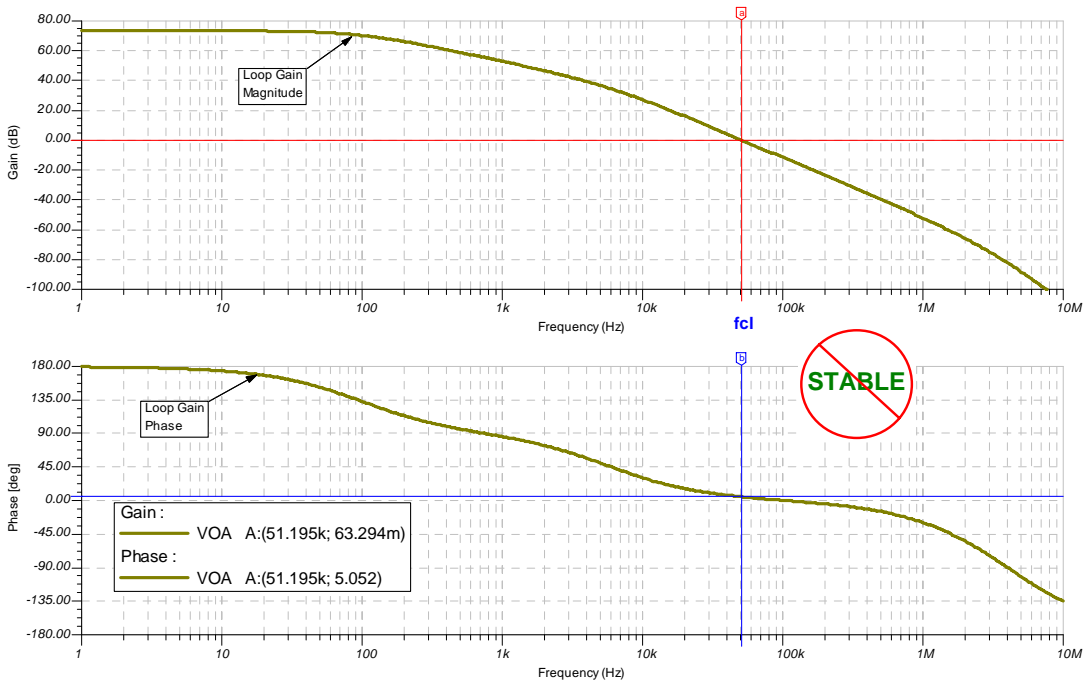


图 8.17: 无稳定性补偿的环路增益

为了进一步进行实际检查，我们将利用图 8.18 所示的电路进行瞬态稳定性测试。

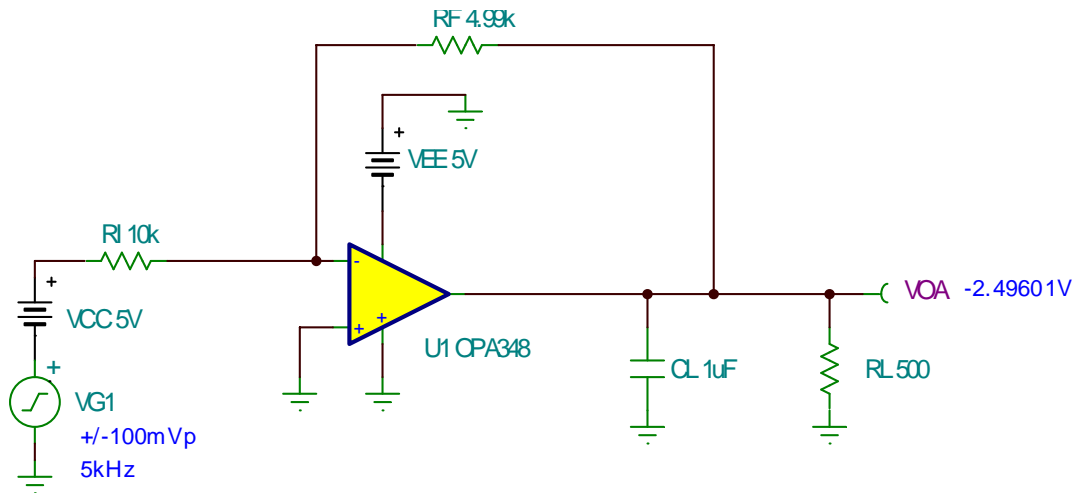


图 8.18: 典型 CMOS RRIO 运算放大器

图 8.19 中所示的 Tina SPICE 瞬态结果显示输出波形存在极高的过冲和阻尼振荡。因此，为了实现更稳定的电流，我们觉得有必要增加补偿。

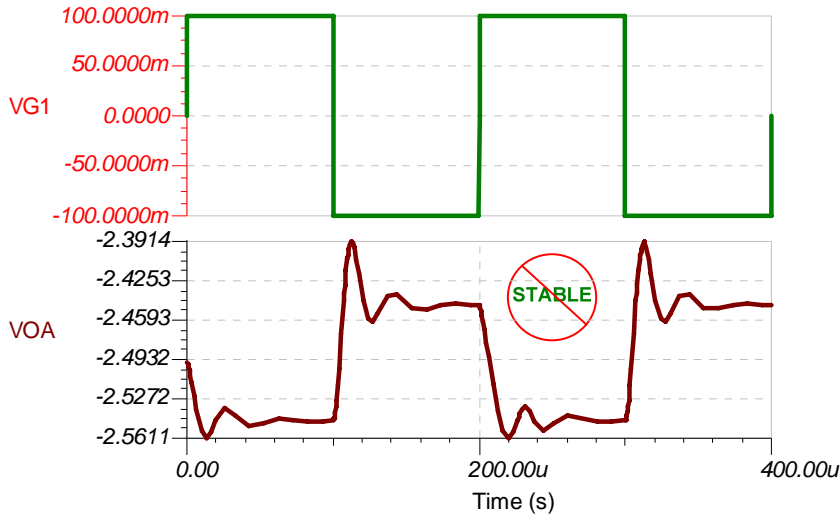


图 8.19: 无稳定性补偿的瞬态测试

因此，为了实现稳定的设计，我们需要为电路提供补偿（参见图 8.20）。首先我们绘出存在 CL 与 RL 影响的 Aol 修正曲线。我们知道 DC $1/\beta = 3.5\text{dB}$ ，因此，我们需要以 $20\text{dB}/10$ 倍频程的闭合速度交叉一条 Aol 修正曲线。如果只采用噪声增益，我们就需要不断提高噪声增益直至达到 40dB ($\times 100$)。反之，我们可以采用 20dB ($\times 10$) 的噪声增益并添加 CF，以便在 f_{cl} 产生 $20\text{dB}/10$ 倍频程的闭合速度。我们首先从 f_{cl} 开始，然后向后绘出 $-20\text{dB}/10$ 倍频程的斜线。请注意， f_{pf} 距离 Aol 修正曲线至少 $1/2$ 个 10 倍频程。这样在再次进入裕度稳定情况之前，Aol 修正曲线能向左移动 $1/2$ 个 10 倍频程。这是实践中非常有用的估计方法。现在，我们在 f_{pf} 左侧 1 个 10 倍频程处布置 f_{pn} 。由于我们采用了噪声增益补偿拓扑，因此在 f_{pn} 左侧 1 个 10 倍频程处自然会出现 f_{zn} 。

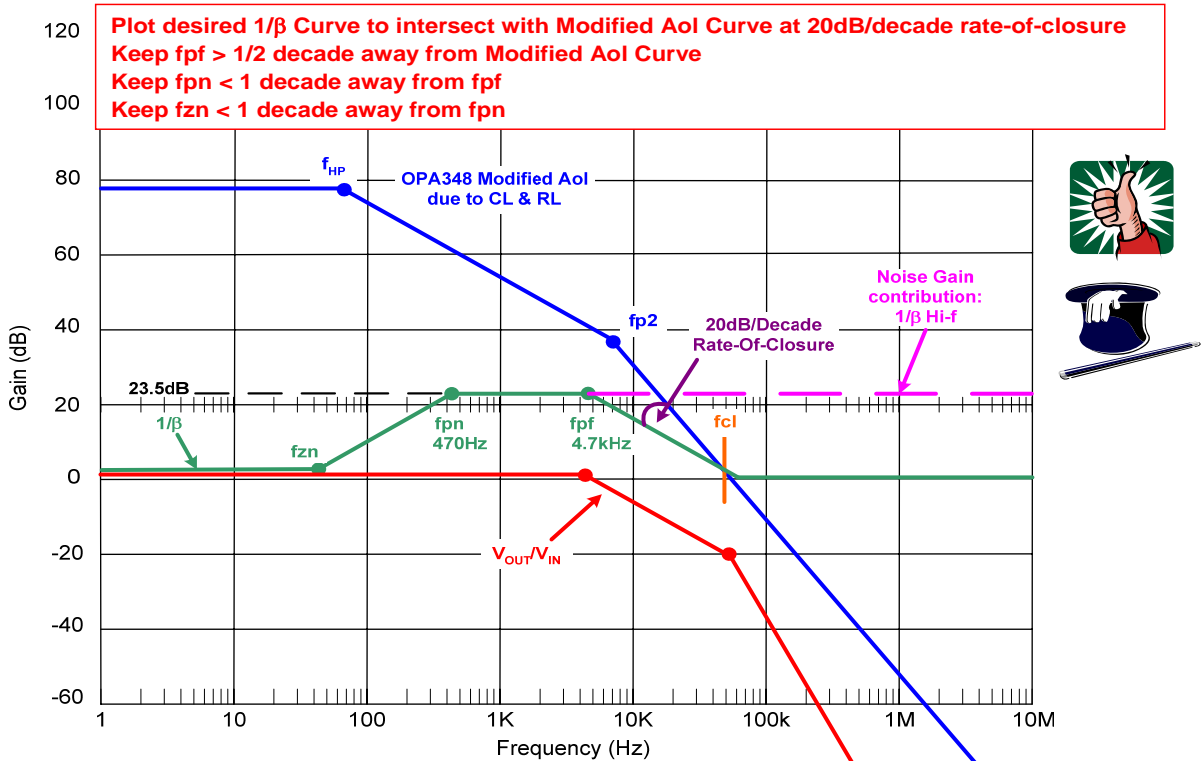


图 8.20: 一阶补偿图

为绘制理想的 $1/\beta$ 曲线，我们将采用噪声增益与 CF （与 RF 并联的反馈电容器）相结合的方法，如图 8.21 所示。请注意，可以将它视为一个通过 Cn 累加 $0V$ （接地）以及通过 RI 累加 VCC 的加法放大器。在达到与 CF 并联的 RF 所产生的极点之前，有效 AC 传递函数就形成了我们所期望的平坦的 VOA/VCC ，如图 8.20 所示。

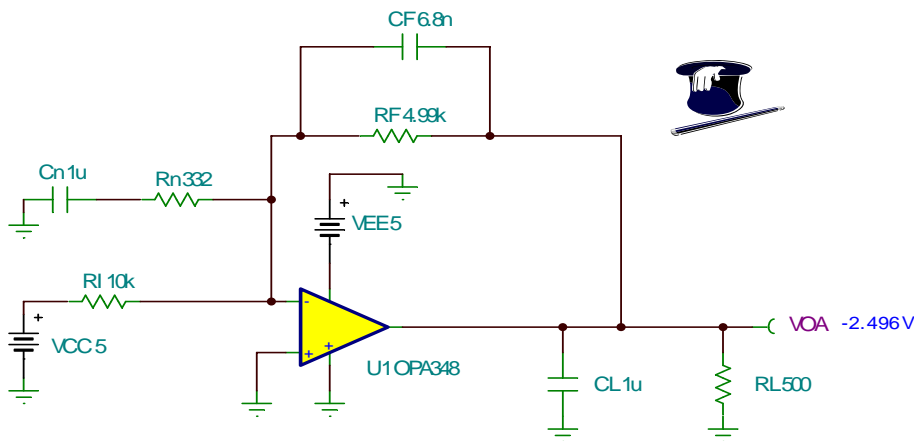


图 8.21：典型 CMOS RRIO 运算放大器

图 8.22 说明了反相噪声增益及 CF 的详细补偿计算。该计算过程分为三个部分，从而可以简化相关分析。首先，计算出 Cn 与 CF 均设为开路情况下的 $1/\beta$ DC 值。然后在将 CF 设为开路， Cn 设为短路情况下计算出噪声增益补偿的高频部分。通过噪声增益补偿可以创建并且轻松计算出 f_{pn} 。最后，通过将 Cn 设为短路并计算 CF 与 RF 产生的极点即可算出 CF 补偿。在各种情况下都选择最接近标准分量的值。如果电阻全部按比例提高，则可以采用较低的电容。但是，较高的电阻会使电路产生较高的整体噪声。上述设计因素的权衡取决于相关应用。

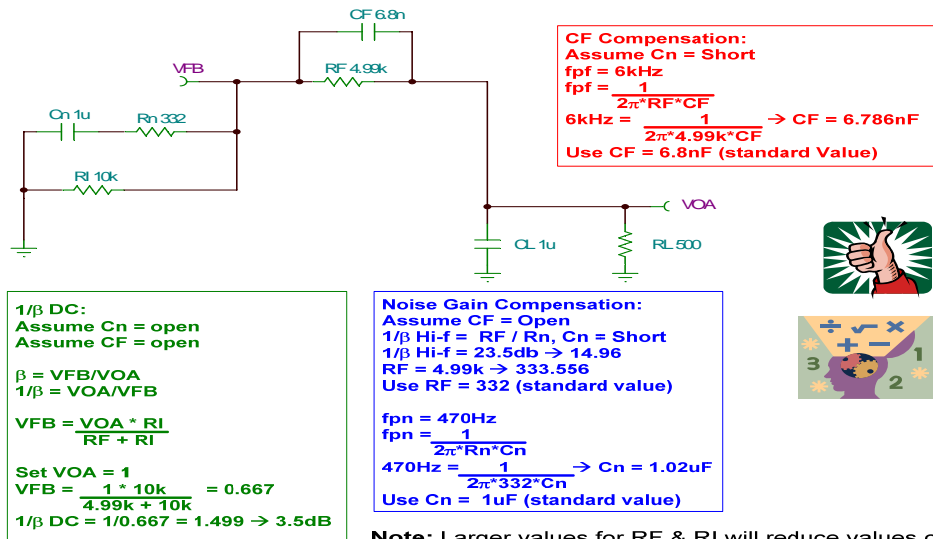


图 8.22：详细的补偿计算过程

图 8.23 显示了完整的反相噪声增益及 CF 电路。根据这个电路图，我们能绘制出 Aol 修正曲线、环路增益以及 1/β。我们发现，最简便的方法是先进行 AC 仿真并绘制出 Aol 修正曲线与 1/β，然后针对环路增益与相位进行第二次仿真。

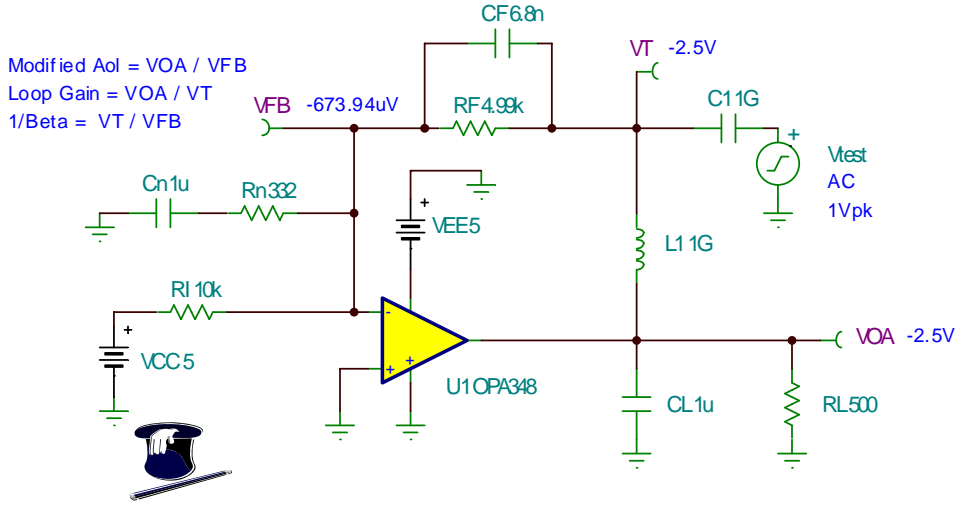


图 8.23: 具有稳定性补偿的 Tina AC 电路

根据完整的电路图，我们可绘制出图 8.24 所示的 1/β 与 Aol 修正曲线。与一阶分析（图 8.20）对比可发现两者较为接近 (close comparison)，而且我们可以明显看出稳定性合成产生了预期结果。

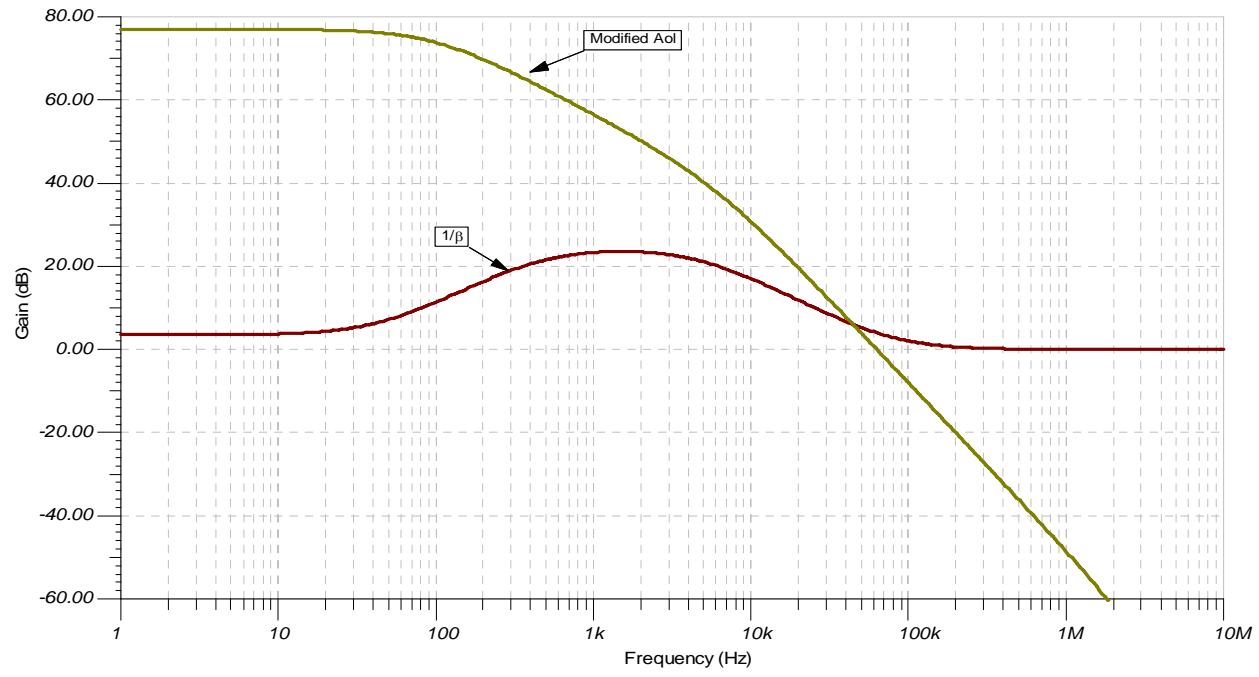


图 8.24: Aol 修正曲线与 1/β Tina 曲线图 (具有稳定性补偿)

图 8.25 中的环路增益幅度与相位图表明预测环路相位裕度大于 45 度，对于低于 f_{cl} 的频率，环路相位永远不会低于 45 度，这不但能够保证稳定的电路，而且可以确保出色的瞬态响应。

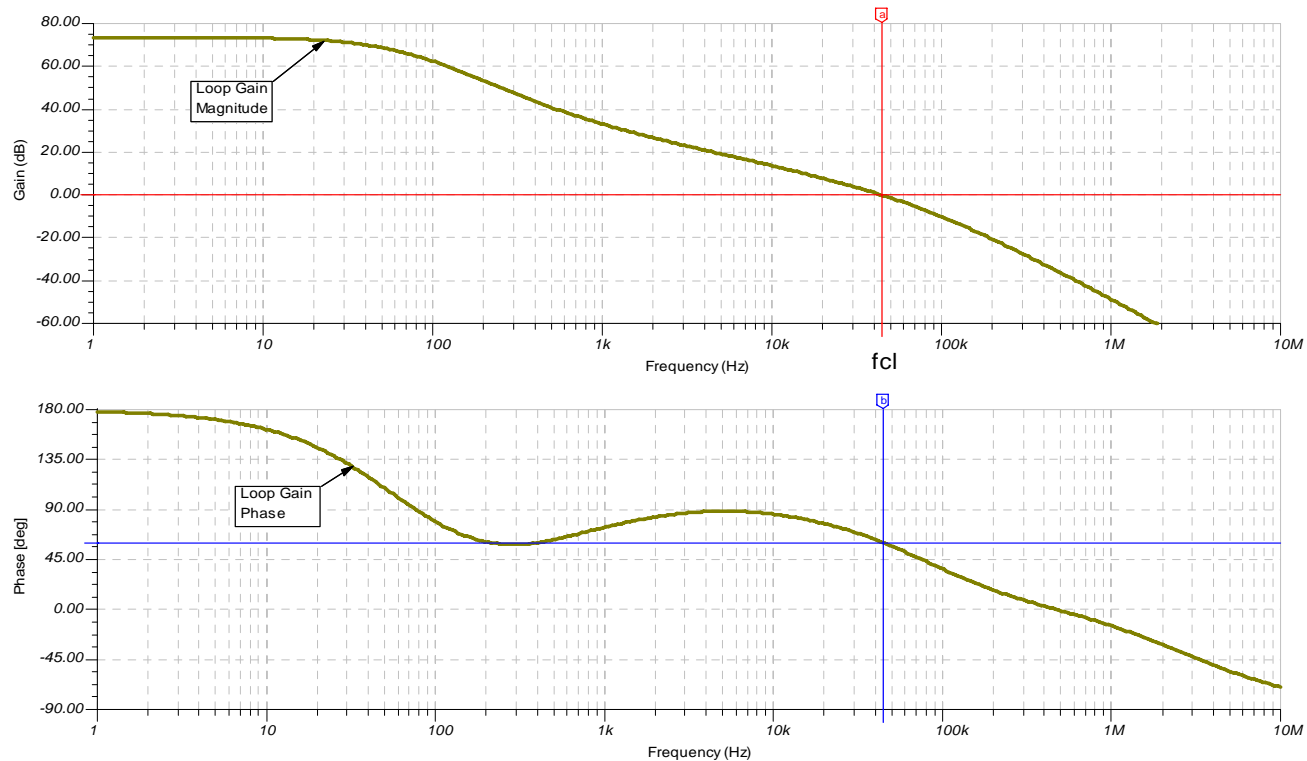


图 8.25: 环路增益 Tina 图 (具有稳定性补偿)

为了确认我们的整个闭环带宽、 V_{OUT}/V_{IN} 、特别是 VOA/V_{G1} ，我们将采用图 8.26 所示的电路。

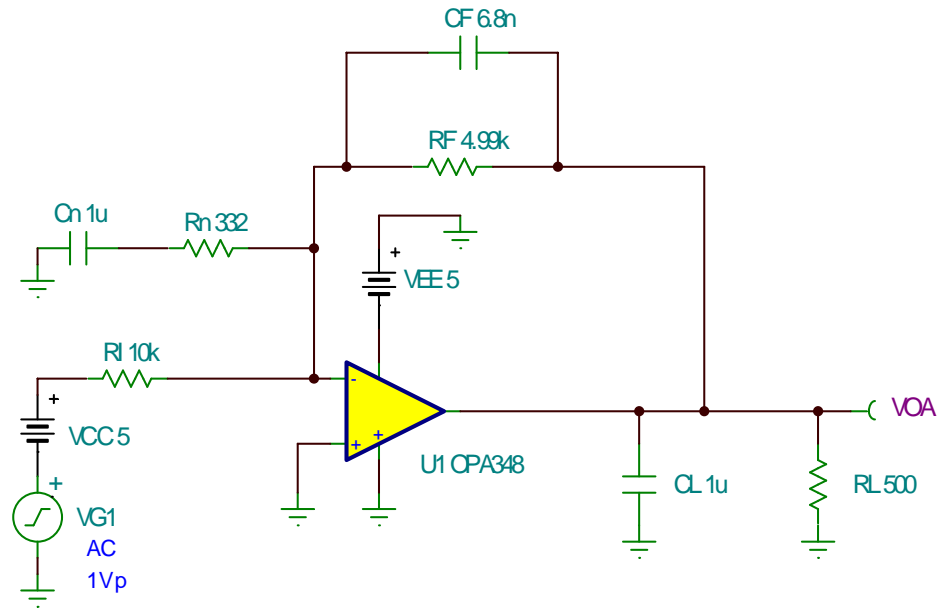


图 8.26: V_{OUT}/V_{IN} AC 传递函数电路 (具有稳定性补偿)

图 8.27 所示的 Tina 仿真结果表明，我们的闭环 AC 响应符合一阶预测（参见图 8.20）。达到 f_{cl} 之前在 f_p 处保持 $-20\text{dB}/10$ 倍频程的斜率，达到 f_{cl} 后 f_p 的下降速率则转变为 $-60\text{dB}/10$ 倍频程，此后将跟随 A_{ol} 修正曲线一直下降。

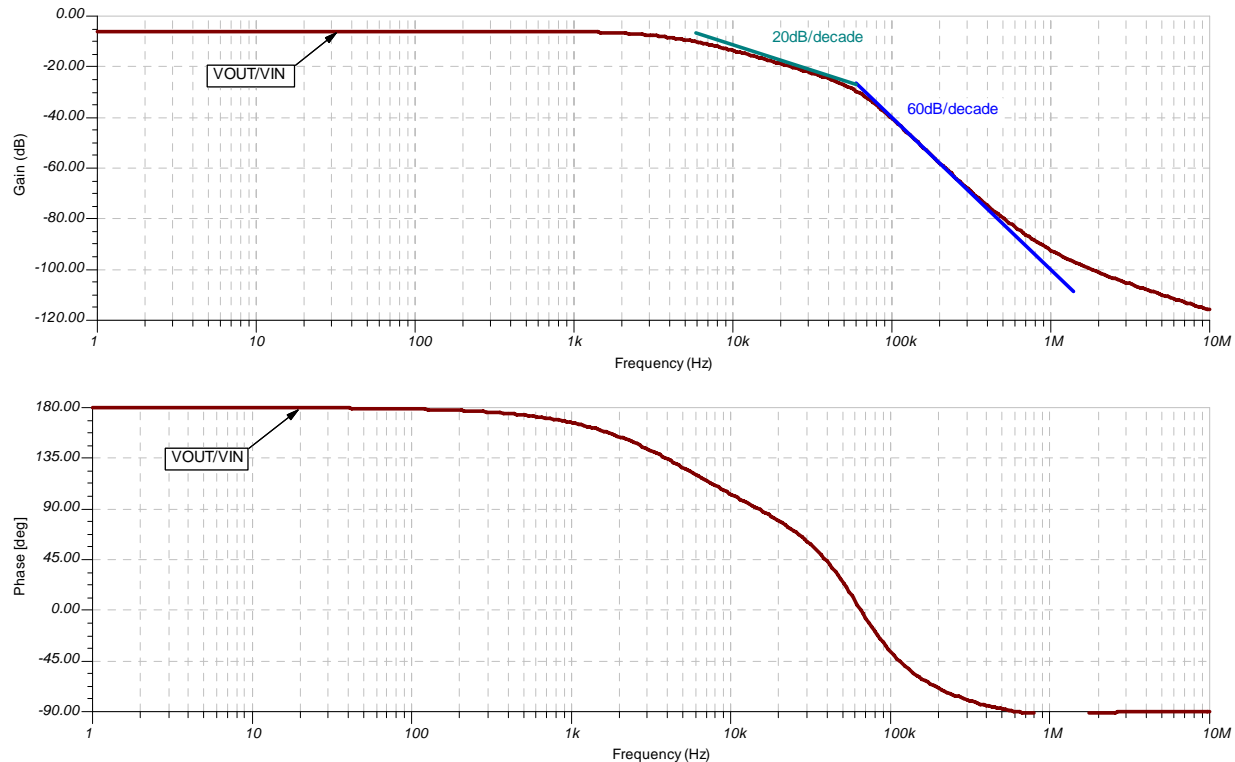


图 8.27: V_{OUT}/V_{IN} AC 传递函数（具有稳定性补偿）

另外，采用图 8.28 所示的 Tina SPICE 电路，我们看一下补偿电路的瞬态响应。我们期望出现临界阻尼响应。

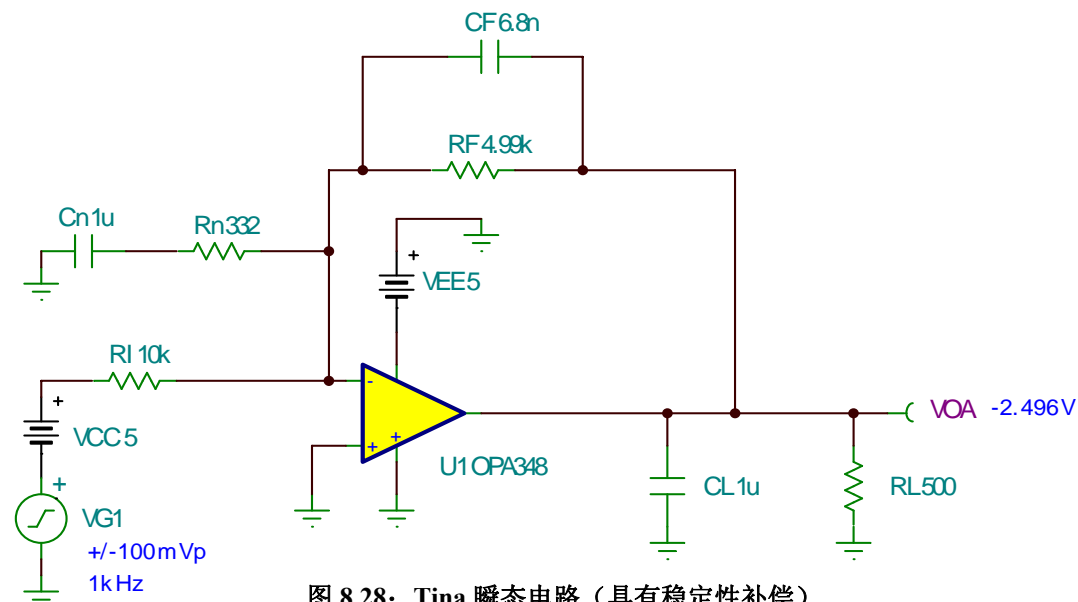


图 8.28: Tina 瞬态电路（具有稳定性补偿）

事实上，如图 8.29 所示，进行了稳定性与相位裕度检查的 AC 图及瞬态响应之间存在直接关联。我们可以看到可预测且表现良好的瞬态响应，显示出约为 60 度的相位裕度。

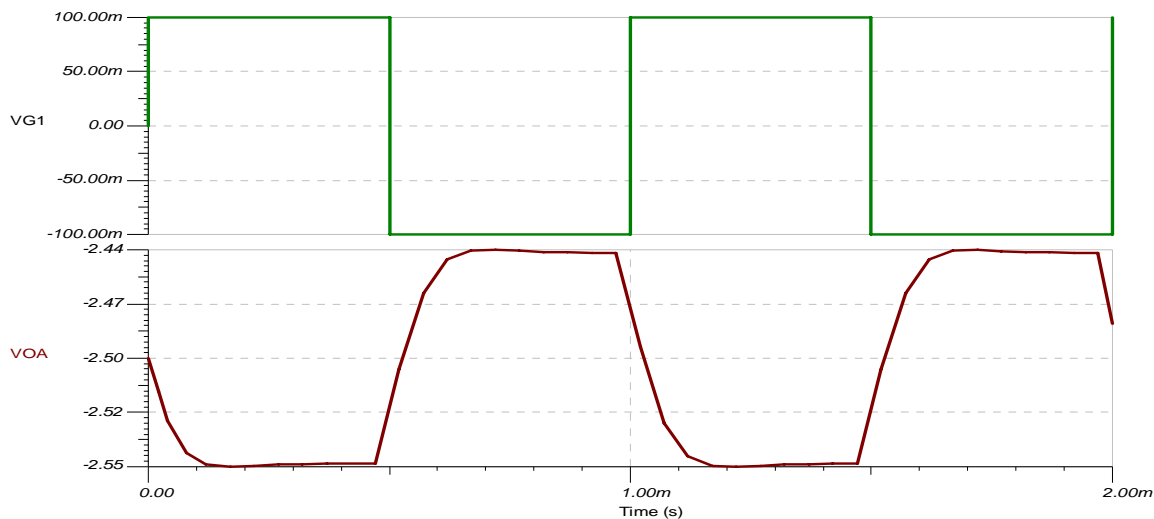


图 8.29: 瞬态分析 (具有稳定性补偿)

非反相噪声增益及 CF

对于非反相噪声增益及 CF 电路而言，我们选择通用的“电源分离器”。这种拓扑常用于单电源系统中，以产生图 8.30 所示的中值参考电压。由于采用与反相噪声增益及 CF 电路中相同的运算放大器 (OPA348)、RL (500 欧姆) 以及 CL (1uF)，因此，我们可以采用与之相同的补偿方法。我们通过研究发现，非反相噪声增益及 CF 电路中的 DC $1/\beta$ 为 1 或 0dB，而不是 3.5dB。不过，为了使噪声增益达到预期效果，我们需要确保 VP 在 X_{Cn} 匹配 R_n 的频率时或 f_{pn} 所处位置处于较低阻抗。同样，我们根据 10 年多来的经验设定 $V_p X_{ac} < 10R_n$ 。我们选择 $CB1 = 15\mu F$ 的标准值。另外，采用与 $CB1$ 并联的 $0.1\mu F$ $CB2$ 确保良好的高频旁路也是不错的设计。在这里我们应当同样注意的是，较高的电阻会产生较低的电容以及较高的噪声。

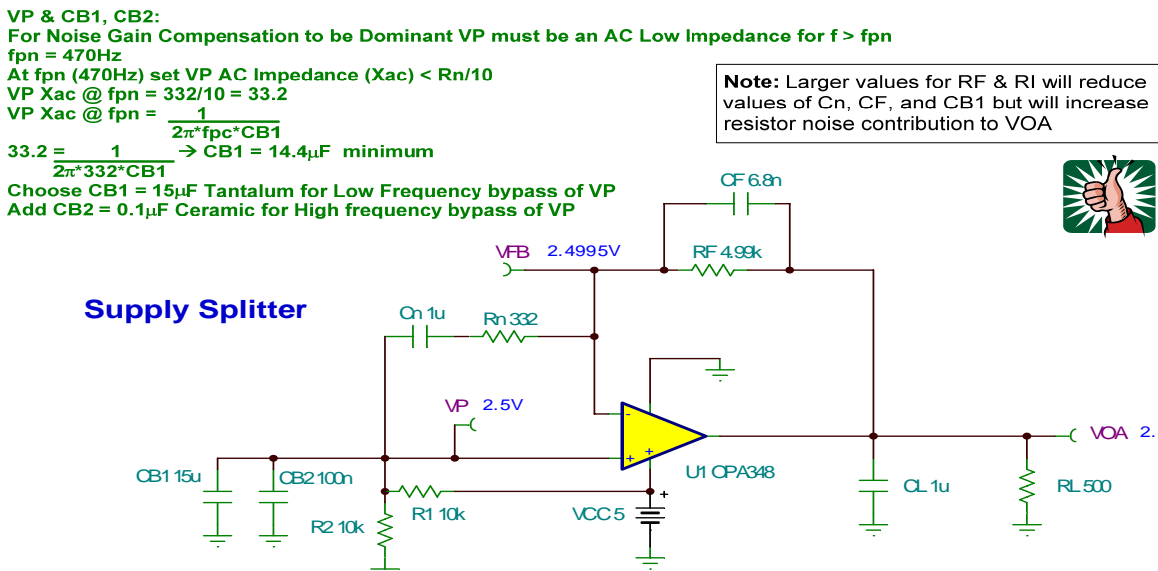


图 8.30: 单电源分离器

图 8.31 说明了具有稳定性补偿的完整电路。通过此拓扑，我们可以采用 Tina SPICE AC 分析法检查其稳定性。

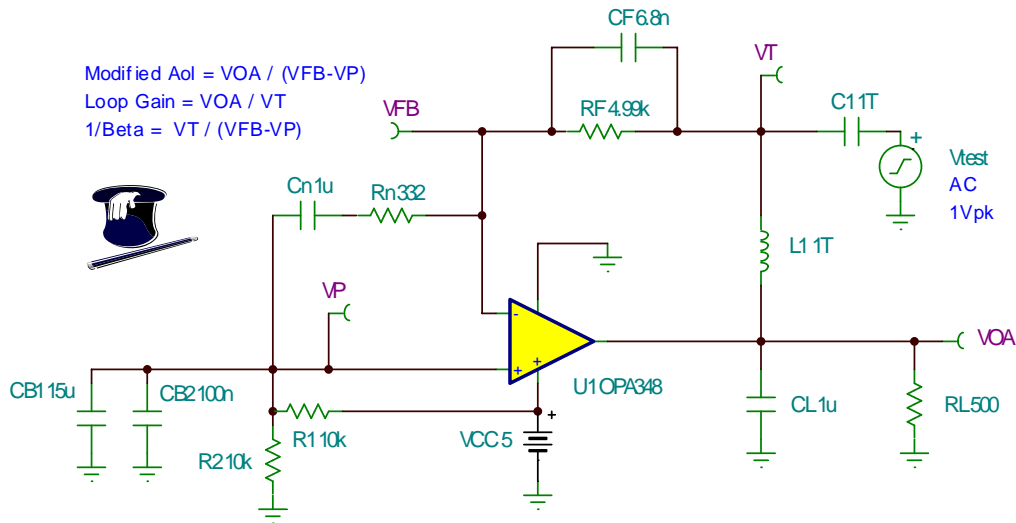


图 8.31: 具有稳定性补偿的 Tina AC 电路

图 8.32 显示了 Aol 修正与 $1/\beta$ 曲线，可以看出该图形与反相噪声增益及 CF 图大同小异（参见图 8.24），这不足为奇。

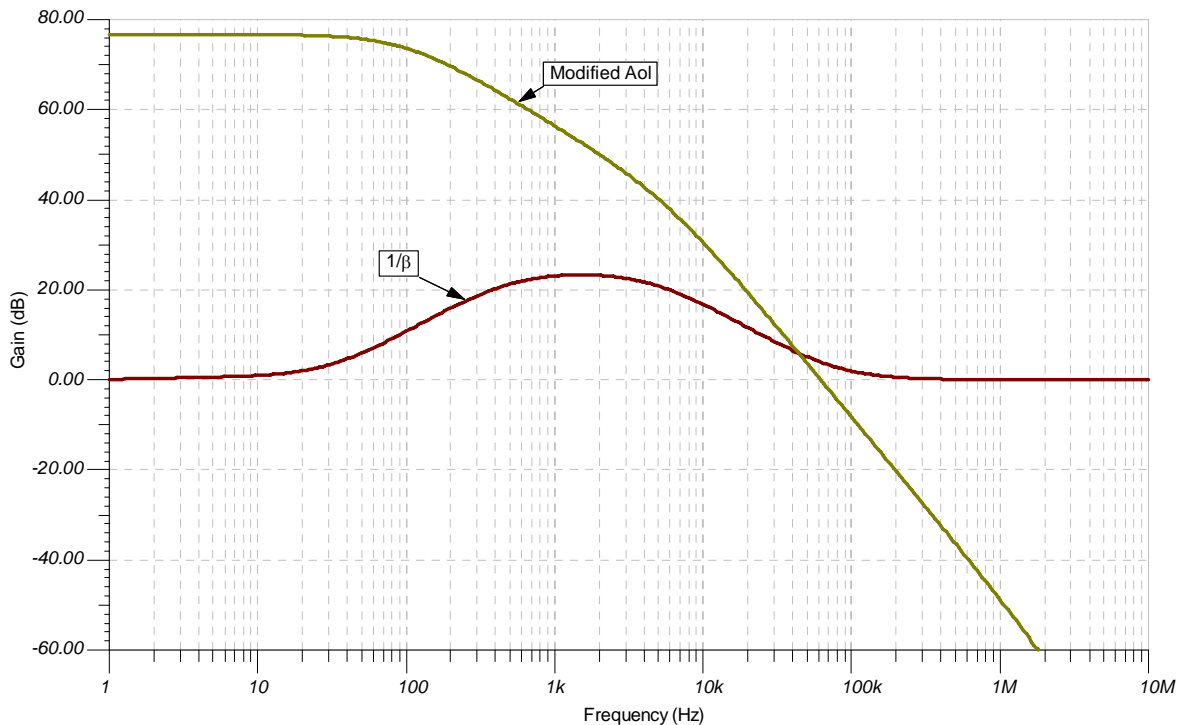


图 8.32: Aol 修正与 $1/\beta$ Tina 曲线图

图 8.33 为环路增益幅度与相位图，其同样与反相噪声增益及 CF 相似（参见图 8.25）。

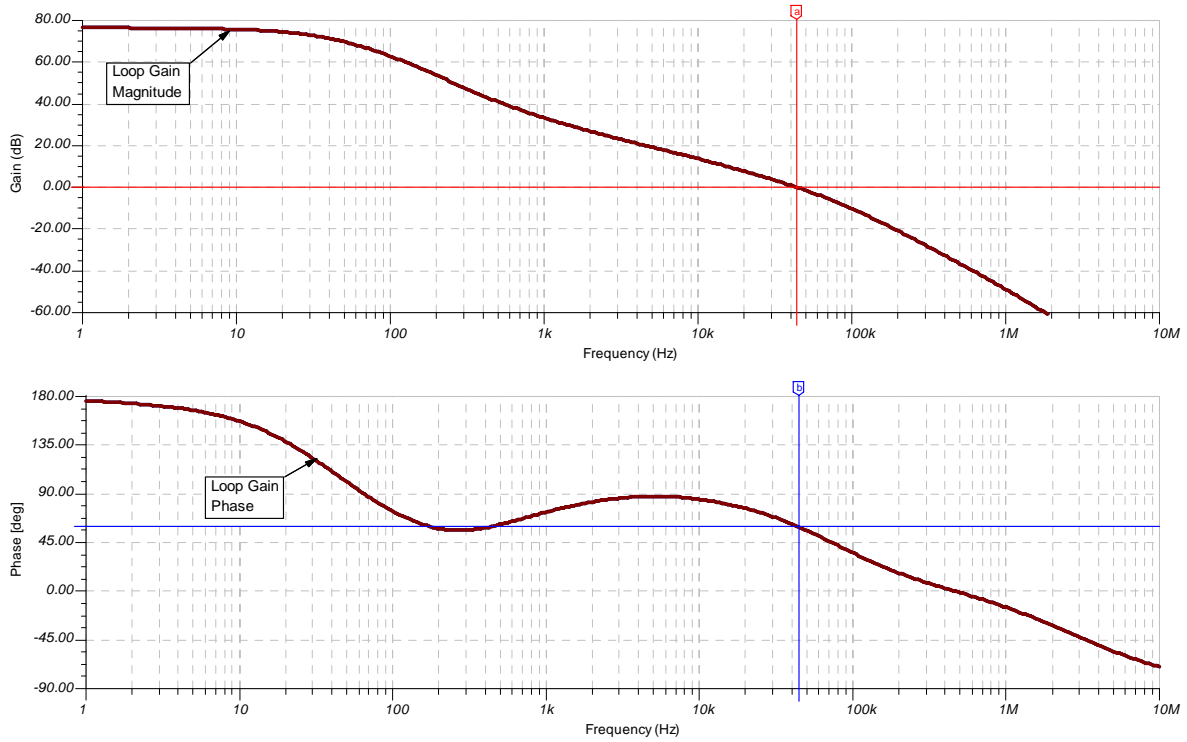


图 8.33: 环路增益 Tina 图

我们可以利用图 8.34 所示电路研究在 C_n 为短路且噪声增益开始起主导作用的情况下，是哪些因素使 VP 处于高阻抗。

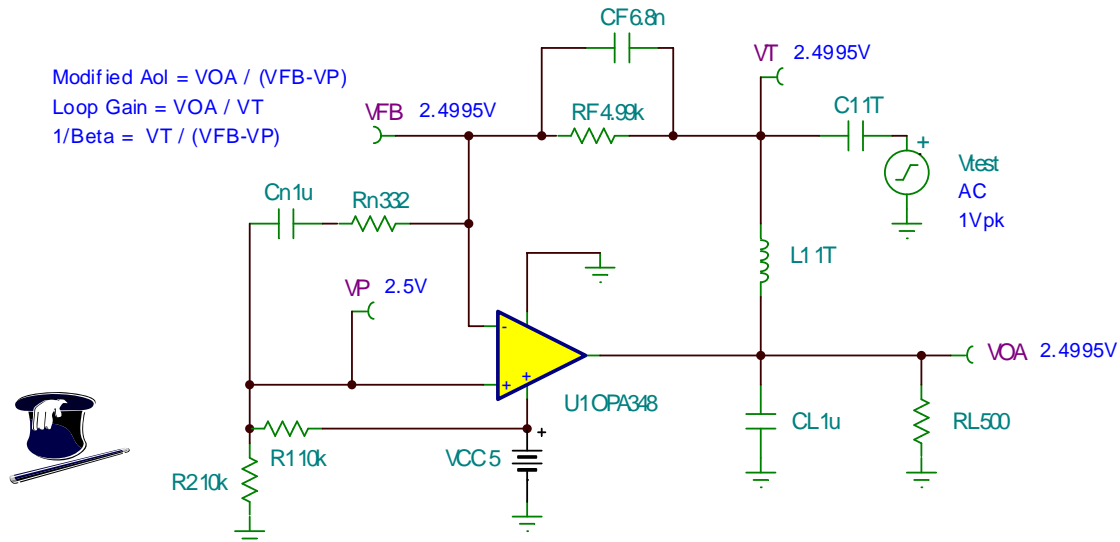


图 8.34: 不带 CB1 与 CB2 的电路

如图 8.35 所示，带与不带 CB1 与 CB2 的电路，其 $1/\beta$ 计算有所不同。请注意， β 是运算放大器输出电压与输入端反馈电压之比。许多情况下运算放大器电路中的反馈电压仅为负输入，而且其比率显而易见。此情况下，我们只要算出运算放大器正/负输入间的差分电压。因此，此时 $\beta = (VFB - VP) / VOA$ ，而 $VOA=1$ 时的 $1/\beta$ 为 $1/(VFB - VP)$ 或者是运算放大器的差分输入电压。由于 C_n 与 C_f 都为开路，因此 DC $1/\beta = 1$ 。在 C_n 短路， C_f 开

路情况下，我们可以得到由 RF、Rn 以及 R2//R1 组成的电阻分压器。在 CF 与 Cn 同时短路情况下，我们仍然可以得到电阻分压器，只不过此时只有 Rn 与 R2//R1 组成。

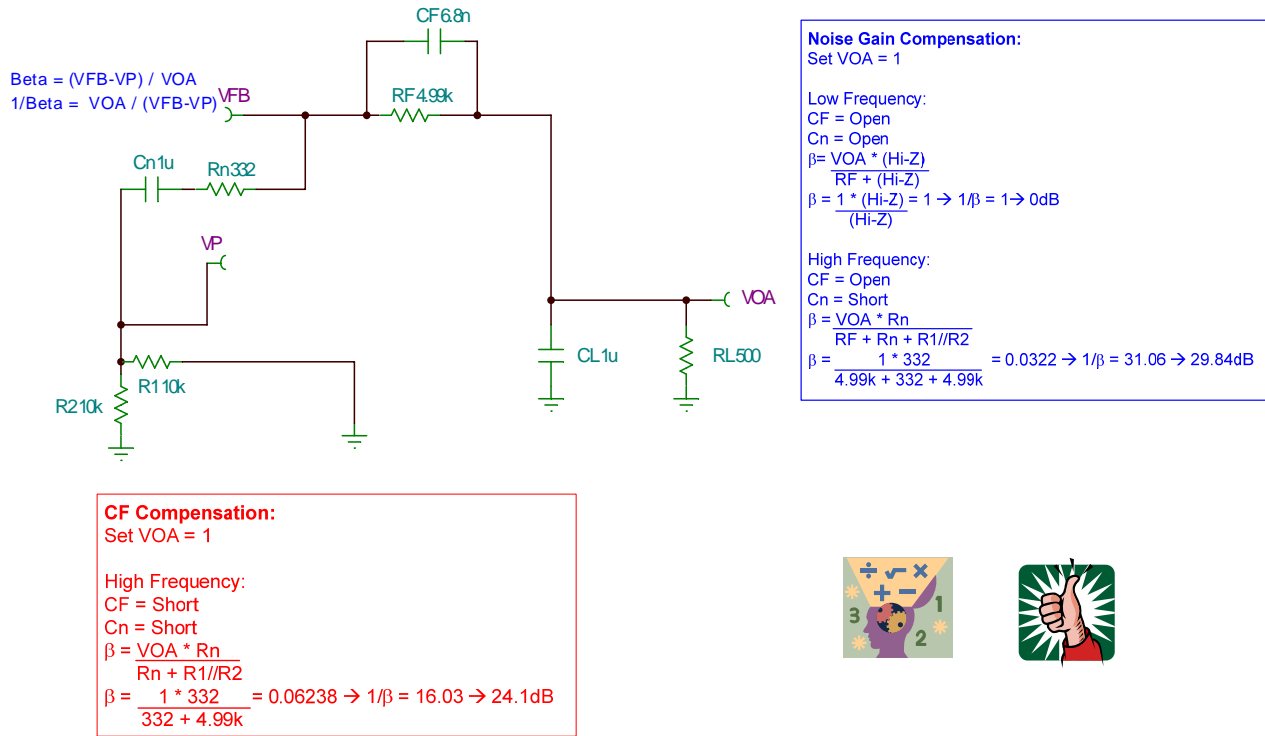


图 8.35: 环路增益 Tina 图

图 8.36 显示了不带 CB1 与 CB2 的电路的分析结果。根据不带 CB1 与 CB2 的一阶标准，我们可以得到 40dB / 10 倍频程的闭合速度。而带 CB1 与 CB2 我们可以达到预期稳定性。

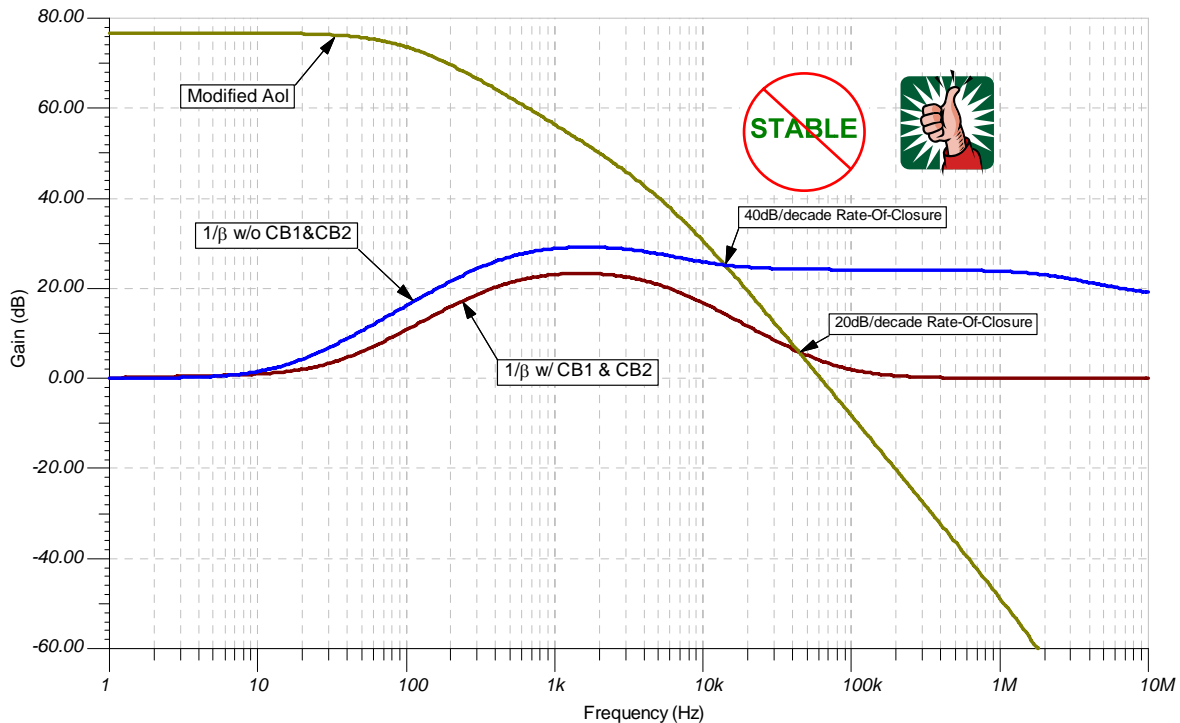


图 8.36: 带 / 不带 CB1 与 CB2 的电路的 AC 分析

图 8.37 说明了带与不带 CB1 和 CB2 的环路增益图。带 CB1 和 CB2 时的环路增益相位裕度约为 60 度。而不带 CB1 和 CB2 时的环路增益相位裕度则降低到约 36 度，如图 8.37 所示。

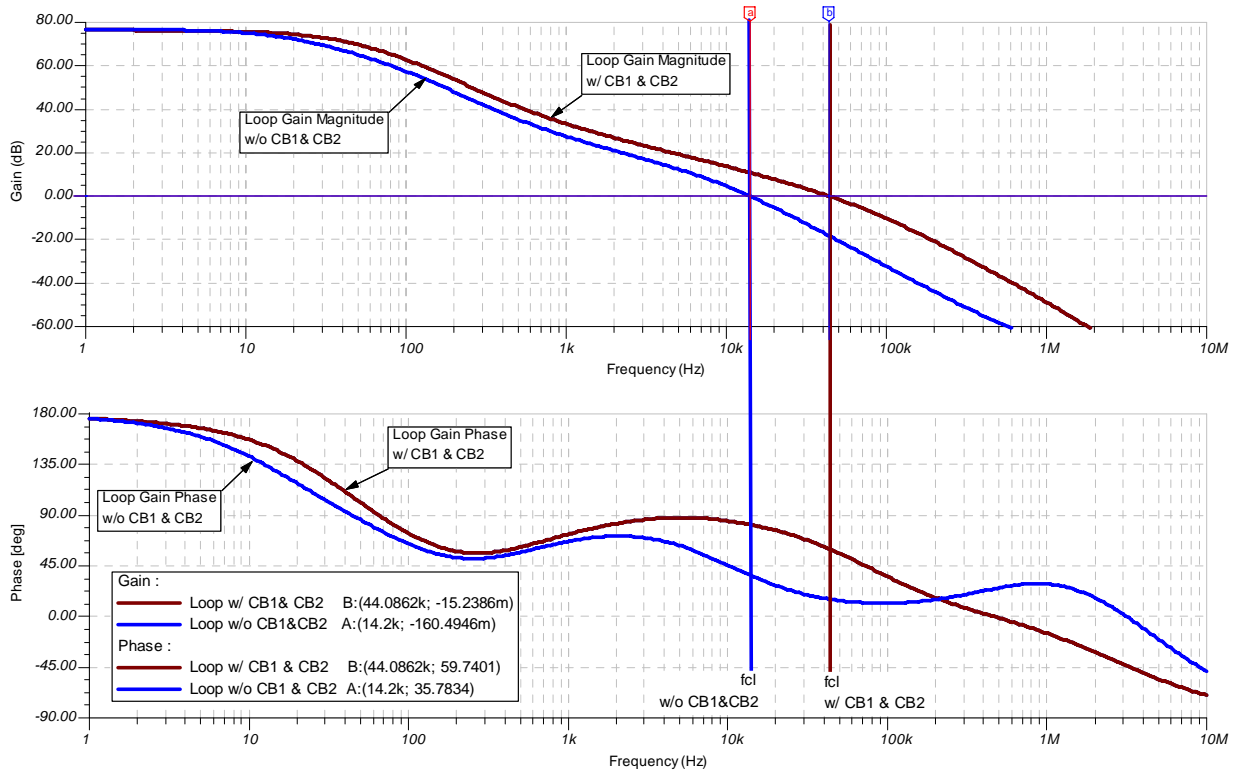


图 8.37: 带 / 不带 CB1 与 CB2 的环路增益

在电容超过 1 μ F 时，我们通常采用钽电容，这是因为钽电容器的电容值较大且尺寸相对较小。钽电容并非纯电容，其含有 ESR 或电阻分量以及较低的寄生电感与电阻。钽电容仅次于电容的最重要分量是 ESR。如图 8.38 所示，我们的非反相噪声增益及 CF 电路目标是在频率为 470Hz 时电阻小于 33.2 欧姆。当 10 μ F 曲线在 470Hz 左右时我们可以看到约 30 欧姆的阻抗。因此，10 μ F 电容器可以替代 15 μ F 电容器，并在我们的电路中运行良好。ESR 随所采用的钽电容不同而不同。因此，我们在应用时应当慎重地选择钽电容器。

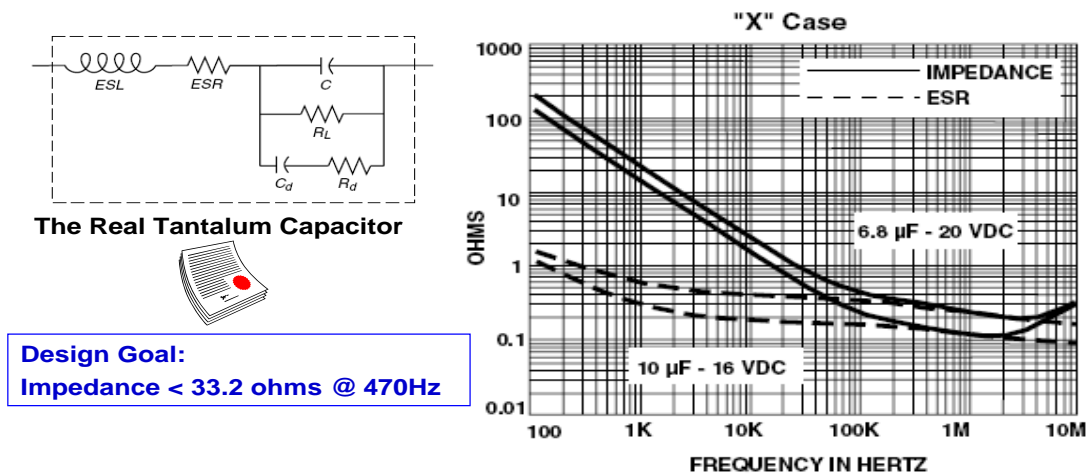


Fig. 8.38: 钽电容器

作者简介

Tim Green 毕业于亚历桑那大学 (University of Arizona) 并获得了电子工程学士学位 (BSEE)，之后的 24 年多以来他一直从事模拟与混合信号电路板以及系统级设计工作，主要涉及到无刷马达控制、飞机喷气式引擎控制、导弹系统、功率运算放大器、数据采集系统以及 CCD 相机等。Tim 最近的工作经验包括模拟与混合信号半导体产品的战略营销。目前他担任德州仪器 (TI) 位于亚利桑那州图森市 Burr-Brown 产品部的线性器件应用工程经理。

运算放大器的稳定性(九): 电容负载稳定性

关键字: [运算放大器](#) [运放](#) [稳定性](#)

本系列文章的第 9 部分是大家熟悉的电子工程的第 5 章——“保持电容负载[稳定性](#)的六种方法”。这六种方法包括: Riso、高增益及 CF、噪声增益、噪声增益及CF、输出引脚补偿以及带双向反馈的 Riso。我们将在本部分介绍输出引脚补偿。这种保持电容负载稳定性方法不同于输出[运算放大器](#)“缓冲”网络, 输出运算放大器“缓冲”网络通常用于功率运算放大器(带有所有 NPN 输出级)输出, 其目的是在驱动电容负载时防止意外高频振荡。本系列文章的后面章节将详细介绍“缓冲”网络的使用情况。

有时, 在现实生活中, 我们并非总能够接近运算放大器的 -输入和/或 +输入, 因此无法在模拟工具栏中使用其他补偿方法。我们将会在本部分探讨用于发射极跟随器输出运算放大器及 CMOS RRO 运算放大器的输出引脚补偿方法。发射极跟随器应用需要在独特的 4~20mA 构建块集成电路上采用一个参考输出。CMOS RRO 应用涉及一种用于电源反馈的差动放大器。这两种依范例定义的情况都属于现实应用。为此, 我们可以断定唯一的保持电容负载稳定性的方法只能是输出引脚补偿。除了一阶分析与 TINA Spice 模拟之外, 我们还可以利用“预测”结果来进行实际实施。

双极性发射极跟随器: 输出引脚补偿

我们的双极性发射极跟随器输出引脚补偿实例如图 9.1 所示。XTR115/XTR116 是一种可以将输入电压变化转换成 4~20mA 模拟信号的双线 4~20mA 集成电路。由于 4~20mA 发送器用于驱动长距离线路, 因此需要 7.5~36V 的大工作电压范围。此外, XTR115/XTR116 配有子稳压器, 可为[传感器](#)调节电路提供 5V 的供电电压, 以及 2.5V (XTR115) 或 4.096V (XTR116) 的高精度参考电压。

4~20mA 信号范围是既定的行业标准, 用于工厂(普遍存在 50 或 60Hz 高电压噪声)等嘈杂环境中长距离(1 英里或 1.6 公里以上)模拟信号的传输。由于该标准是采用电流控制的传输, 因此使用两条线路可以避免电压噪声耦合。它采用两条相同的线路来传输功率与信号。由于使用的模拟信号范围规定为 4~20mA, 因此其中 4mA 的信号可驱动信号调节电路并触发两条线路发送器端的传感器。功率由接收机提供, 而接收机同时还能接收 4~20mA 的模拟信号, 该信号已根据传感器测量的实际参数(如: 桥接压力传感器发送的压力)进行了分级。4~20mA 信号在接收机端通常由 A/D 转换器转换为 1V~5V 的电阻器(250 欧姆)电压。

通常在此类 4~20mA 传感器发送器中采用微控制器读取并将线性常数应用到实际传感器中。微控制器必须是低功耗控制器, 以便允许某些电流触发传感器, 原因是我们的总调节电路电流预算必须低于 4mA。MSP430F2003 提供一种低电压、低静态电流微控制器。该微控制器具有一个用于读取桥接变化的板上 ADC。在微控制器应用了线性常数之后, 即与 DAC8832(一款用于生成 XTR115/XTR116 所需模拟输入电压的低功耗 DAC)进行通信。DAC8832 由一种零漂移、低功耗、单电源的运算放大器(OPA333)进行缓冲。由于我们的系统是一套完美的系统, 因此可驱动任何器件, 其中包括 XTR115/XTR116 的精确 VREF 引脚。我们之所以选择 XTR115 (2.5V VREF) 是因为 MSP430F2003 只能在 1.8V~3.3V 范围内工作。目前 MSP430F2003 的板上 ADC 以及 DAC8832 将采用 XTR115 高精度

2.5V 参考电压。我们的典型总调节电路静态电流为 562uA，可以保留 3.4mA 的电流用于触发桥接传感器。目前我们唯一的难题是需要添加许多本地旁路电容器，以便在 XTR115 的 VREF 引脚驱动的众多集成电路附近实现良好的高频旁路。XTR115 VREF 引脚是否稳定？

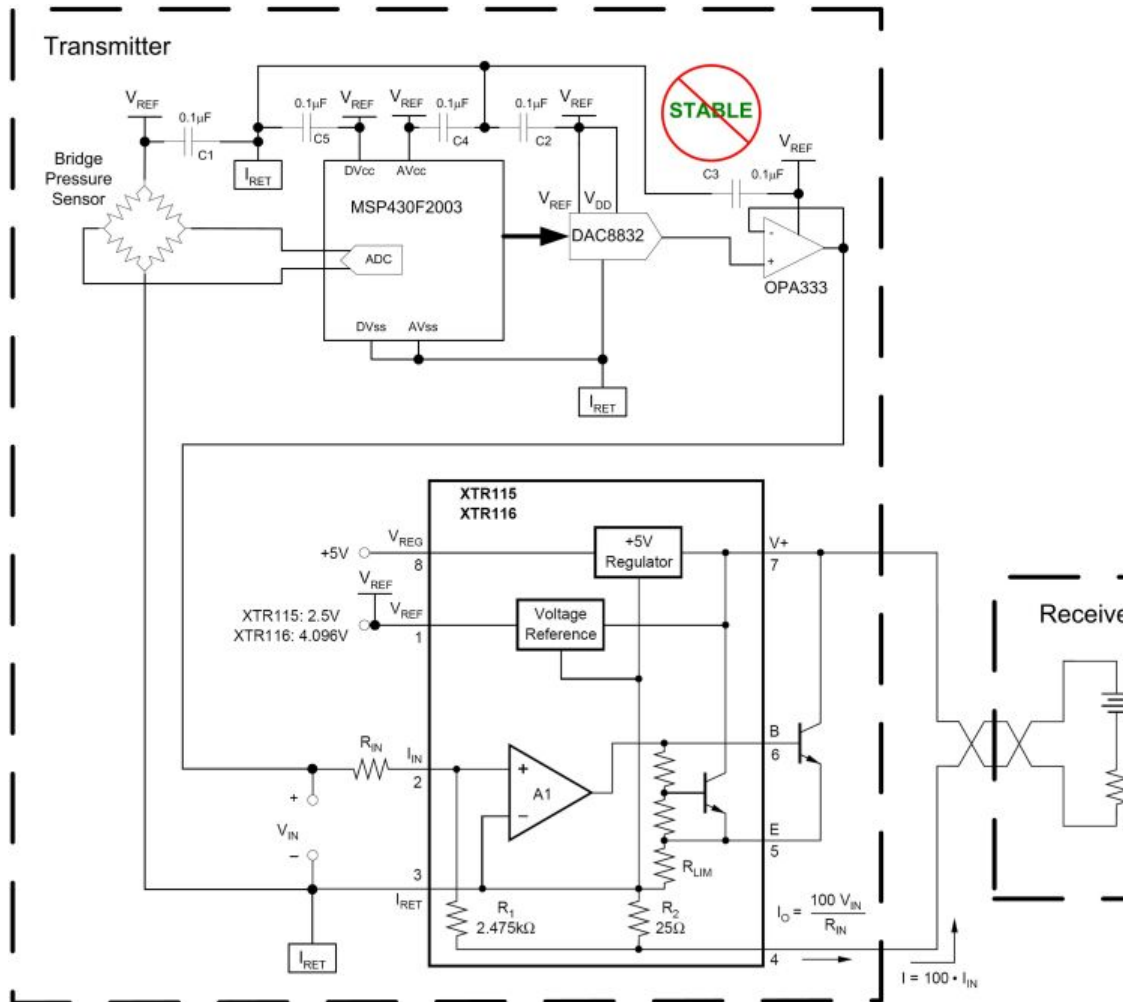


图 9.1: 4-20mA 桥接传感器应用

图 9.2 详细说明了 4~20mA 桥接传感器信号调节器应用中采用的集成电路的主要规格。

<p>XTR115/XTR116 2-Wire 4-20mA Current Loop Transmitter</p> <table border="1"> <thead> <tr> <th>Parameter</th> <th>Specification</th> </tr> </thead> <tbody> <tr> <td>Supply Voltage Range</td> <td>7.5V to 36V</td> </tr> <tr> <td>Quiescent Current</td> <td>240uA typical</td> </tr> <tr> <td>SubRegulator</td> <td>5V</td> </tr> <tr> <td>VREF for Sensor Excitation</td> <td>2.5V (XTR115), 4.096V (XTR116)</td> </tr> <tr> <td></td> <td>VREF Accuracy +/-0.05% typical</td> </tr> <tr> <td></td> <td>VREF Drift +/-20ppm/C typical</td> </tr> <tr> <td></td> <td>VREF PSR +/-1ppm/V (V+ = 7.5V to 36V)</td> </tr> <tr> <td></td> <td>VREF vs Load +/-100ppm/mA (IREF = 0mA to 2.5mA)</td> </tr> <tr> <td></td> <td>VREF Noise 10uVpp typical (0.1Hz to 10Hz)</td> </tr> <tr> <td>Span Error</td> <td>0.05% typical</td> </tr> <tr> <td>NonLinearity Error</td> <td>0.003% typical</td> </tr> <tr> <td>Package</td> <td>SO-8</td> </tr> </tbody> </table>	Parameter	Specification	Supply Voltage Range	7.5V to 36V	Quiescent Current	240uA typical	SubRegulator	5V	VREF for Sensor Excitation	2.5V (XTR115), 4.096V (XTR116)		VREF Accuracy +/-0.05% typical		VREF Drift +/-20ppm/C typical		VREF PSR +/-1ppm/V (V+ = 7.5V to 36V)		VREF vs Load +/-100ppm/mA (IREF = 0mA to 2.5mA)		VREF Noise 10uVpp typical (0.1Hz to 10Hz)	Span Error	0.05% typical	NonLinearity Error	0.003% typical	Package	SO-8	<p>DAC8832 16-Bit, Ultra-Low Power, Voltage-Output, Digital-to-Analog Conv</p> <table border="1"> <thead> <tr> <th>Parameter</th> <th>Specification</th> </tr> </thead> <tbody> <tr> <td>Resolution</td> <td>16 Bit</td> </tr> <tr> <td>Supply</td> <td>2.5V to 5.5V</td> </tr> <tr> <td>Quiescent Current</td> <td>5uA typical</td> </tr> <tr> <td>Linearity Error</td> <td>+/-0.5LSB typical</td> </tr> <tr> <td>Differential Linearity Error</td> <td>+/-0.5 typical</td> </tr> <tr> <td>Gain Error</td> <td>+/-+/-1LSB typical</td> </tr> <tr> <td>Gain Drift</td> <td>+/-0.1ppm/C typical</td> </tr> <tr> <td>Zero Code Error</td> <td>+/-0.25LSB typical</td> </tr> <tr> <td>Zero Code Drift</td> <td>+/-0.05ppm/C</td> </tr> <tr> <td>Package</td> <td>QFN-14</td> </tr> </tbody> </table>	Parameter	Specification	Resolution	16 Bit	Supply	2.5V to 5.5V	Quiescent Current	5uA typical	Linearity Error	+/-0.5LSB typical	Differential Linearity Error	+/-0.5 typical	Gain Error	+/-+/-1LSB typical	Gain Drift	+/-0.1ppm/C typical	Zero Code Error	+/-0.25LSB typical	Zero Code Drift	+/-0.05ppm/C	Package	QFN-14		
Parameter	Specification																																																		
Supply Voltage Range	7.5V to 36V																																																		
Quiescent Current	240uA typical																																																		
SubRegulator	5V																																																		
VREF for Sensor Excitation	2.5V (XTR115), 4.096V (XTR116)																																																		
	VREF Accuracy +/-0.05% typical																																																		
	VREF Drift +/-20ppm/C typical																																																		
	VREF PSR +/-1ppm/V (V+ = 7.5V to 36V)																																																		
	VREF vs Load +/-100ppm/mA (IREF = 0mA to 2.5mA)																																																		
	VREF Noise 10uVpp typical (0.1Hz to 10Hz)																																																		
Span Error	0.05% typical																																																		
NonLinearity Error	0.003% typical																																																		
Package	SO-8																																																		
Parameter	Specification																																																		
Resolution	16 Bit																																																		
Supply	2.5V to 5.5V																																																		
Quiescent Current	5uA typical																																																		
Linearity Error	+/-0.5LSB typical																																																		
Differential Linearity Error	+/-0.5 typical																																																		
Gain Error	+/-+/-1LSB typical																																																		
Gain Drift	+/-0.1ppm/C typical																																																		
Zero Code Error	+/-0.25LSB typical																																																		
Zero Code Drift	+/-0.05ppm/C																																																		
Package	QFN-14																																																		
<p>OPA333 1.8V, microPower CMOS Operational Amplifier, Zero-Drift Series</p> <table border="1"> <thead> <tr> <th>Parameter</th> <th>Specification</th> </tr> </thead> <tbody> <tr> <td>Supply Voltage</td> <td>1.8V to 5.5V</td> </tr> <tr> <td>Quiescent Current</td> <td>17uA typical</td> </tr> <tr> <td>Offset Voltage</td> <td>2uV typical</td> </tr> <tr> <td></td> <td>Offset Drift 0.02uV/C typical</td> </tr> <tr> <td>Input Bias Current</td> <td>+/-70pA typical</td> </tr> <tr> <td>Input Voltage Noise</td> <td>1.1uVpp (0.1Hz to 10Hz)</td> </tr> <tr> <td>Input Voltage Range</td> <td>(V-)-0.1V to (V+)+0.1V</td> </tr> <tr> <td>Gain-Bandwidth Product</td> <td>350kHz</td> </tr> <tr> <td>Slew Rate</td> <td>0.16V/us</td> </tr> <tr> <td>Voltage Output Swing from Rail</td> <td>30mV typical (RL=10k)</td> </tr> <tr> <td>Package</td> <td>SOT23-5, SC70-5, SO-8, DFN-8</td> </tr> </tbody> </table>	Parameter	Specification	Supply Voltage	1.8V to 5.5V	Quiescent Current	17uA typical	Offset Voltage	2uV typical		Offset Drift 0.02uV/C typical	Input Bias Current	+/-70pA typical	Input Voltage Noise	1.1uVpp (0.1Hz to 10Hz)	Input Voltage Range	(V-)-0.1V to (V+)+0.1V	Gain-Bandwidth Product	350kHz	Slew Rate	0.16V/us	Voltage Output Swing from Rail	30mV typical (RL=10k)	Package	SOT23-5, SC70-5, SO-8, DFN-8	<p>MSP430F2003 1.8V, microPower CMOS Operational Amplifier, Zero-Drift Series</p> <table border="1"> <thead> <tr> <th>Parameter</th> <th>Specification</th> </tr> </thead> <tbody> <tr> <td>Supply Voltage</td> <td>1.8V to 3.6V</td> </tr> <tr> <td>Quiescent Current</td> <td>300uA typical (Active Mode, 1M)</td> </tr> <tr> <td>Architecture</td> <td>16-bit RISC</td> </tr> <tr> <td>A/D Converter</td> <td>16-Bit Sigma-Delta</td> </tr> <tr> <td>Watchdog Timer</td> <td></td> </tr> <tr> <td>Flash</td> <td>1k Byte + 256 Byte</td> </tr> <tr> <td>RAM</td> <td>128 Byte</td> </tr> <tr> <td>Port 1</td> <td>8 I/O</td> </tr> <tr> <td>Port 2</td> <td>Xtal or 2 I/O</td> </tr> <tr> <td>Interface</td> <td>Universal Serial (SPI, I2C), Port</td> </tr> <tr> <td>Clock</td> <td>Internal, External 32kHz crystal</td> </tr> <tr> <td>Package</td> <td>TSSOP-14, DIP-14, QFN-16</td> </tr> </tbody> </table>	Parameter	Specification	Supply Voltage	1.8V to 3.6V	Quiescent Current	300uA typical (Active Mode, 1M)	Architecture	16-bit RISC	A/D Converter	16-Bit Sigma-Delta	Watchdog Timer		Flash	1k Byte + 256 Byte	RAM	128 Byte	Port 1	8 I/O	Port 2	Xtal or 2 I/O	Interface	Universal Serial (SPI, I2C), Port	Clock	Internal, External 32kHz crystal	Package	TSSOP-14, DIP-14, QFN-16
Parameter	Specification																																																		
Supply Voltage	1.8V to 5.5V																																																		
Quiescent Current	17uA typical																																																		
Offset Voltage	2uV typical																																																		
	Offset Drift 0.02uV/C typical																																																		
Input Bias Current	+/-70pA typical																																																		
Input Voltage Noise	1.1uVpp (0.1Hz to 10Hz)																																																		
Input Voltage Range	(V-)-0.1V to (V+)+0.1V																																																		
Gain-Bandwidth Product	350kHz																																																		
Slew Rate	0.16V/us																																																		
Voltage Output Swing from Rail	30mV typical (RL=10k)																																																		
Package	SOT23-5, SC70-5, SO-8, DFN-8																																																		
Parameter	Specification																																																		
Supply Voltage	1.8V to 3.6V																																																		
Quiescent Current	300uA typical (Active Mode, 1M)																																																		
Architecture	16-bit RISC																																																		
A/D Converter	16-Bit Sigma-Delta																																																		
Watchdog Timer																																																			
Flash	1k Byte + 256 Byte																																																		
RAM	128 Byte																																																		
Port 1	8 I/O																																																		
Port 2	Xtal or 2 I/O																																																		
Interface	Universal Serial (SPI, I2C), Port																																																		
Clock	Internal, External 32kHz crystal																																																		
Package	TSSOP-14, DIP-14, QFN-16																																																		

图 9.2: 4~20mA 调节电路 IC 主要规格

XTR115 VREF 引脚是图 9.3 所示的发射极跟随器输出拓扑运算放大器的输出引脚。

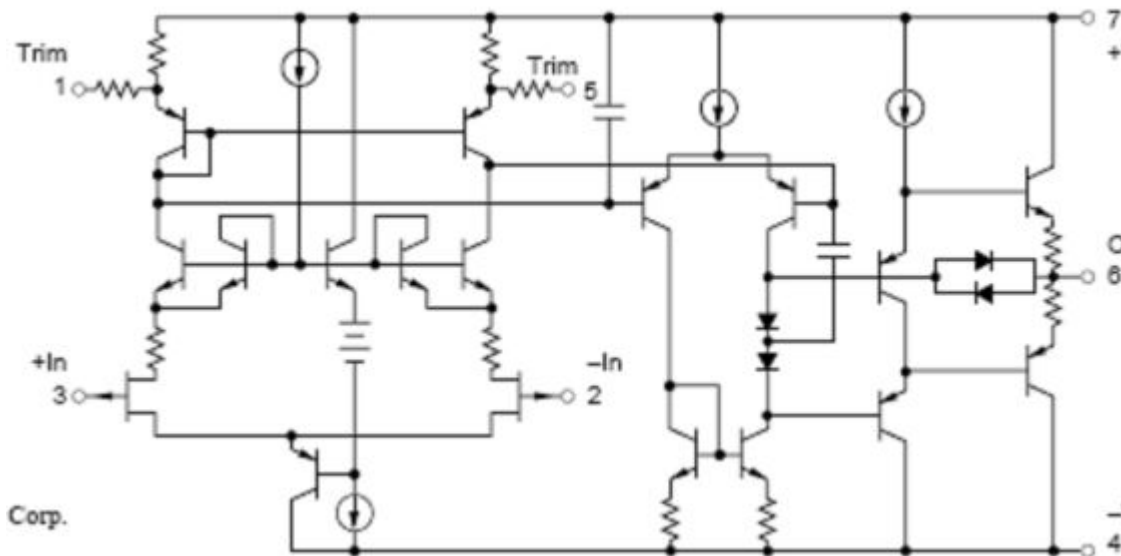


图 9.3: XTR115 VREF 引脚: 发射极跟随器输出运算放大器

图 9.4 显示了 XTR11 VREF 引脚的等效示意图。VREF 是缓冲的 1.25V 带隙参考电压，经过 2 倍放大后产生 XTR115 2.5V 参考输出电压。发射极跟随器输出级的 R_o 为 4.7k 欧姆。我们是从工厂获得上述信息、 R_F 与 R_I 值以及 U_1 的 A_{ol} 曲线的，因为 XTR115 的产品说明书并未详细介绍所有资料。我们的总电容负载 C_L 为 500nF。 R_o 与 C_L 互动，形成 XTR115 VREF 运算放大器的 A_{ol} 修正曲线中的第二个极，即 f_{pu1} 。请注意：我们无法接入 U_1 的 - 输入或 + 输入，因为它是 XTR115 的内部器件。所以我们只能使用一

个引脚来补偿放大器稳定性（输出引脚：VREF）。另外，我们希望使 VREF 引脚保持极高的精度，因此在 CL 前面将该引脚与任何电阻串联均不是理想的解决方案。

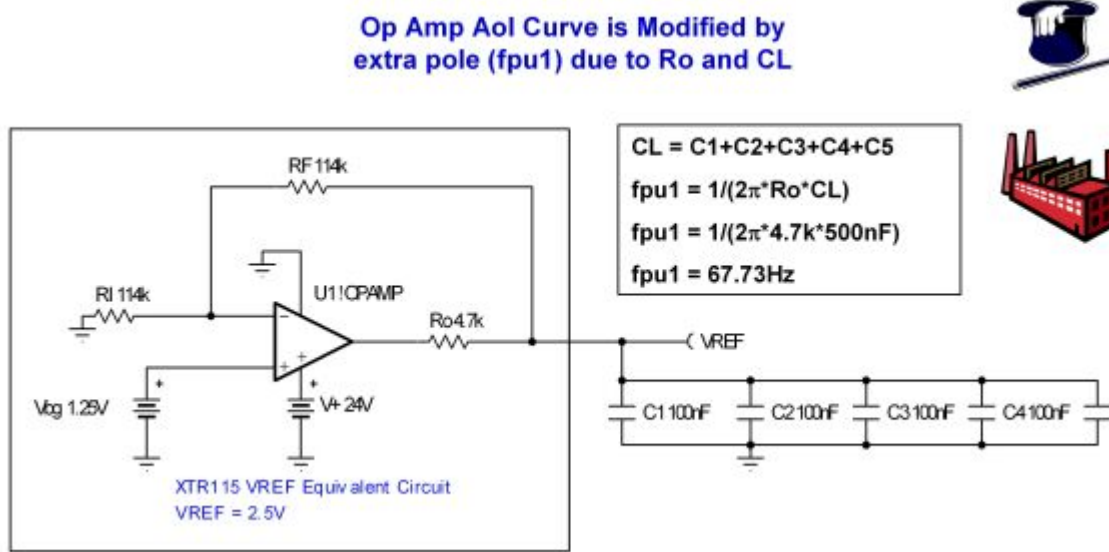


图 9.4: XTR115 VREF 引脚: 电容负载等效示意图

我们将采用图 9.5 所示的 TINA Spice 电路检验运算放大器的 Aol 曲线以及由于 CL 导致的 Aol 修正曲线。我们通过 LT（相关 DC 频率时短路、相关 AC 频率时开路）以及 CT（相关 DC 频率时开路、相关 AC 频率时短路）使用我们的 Spice AC 分析方法。

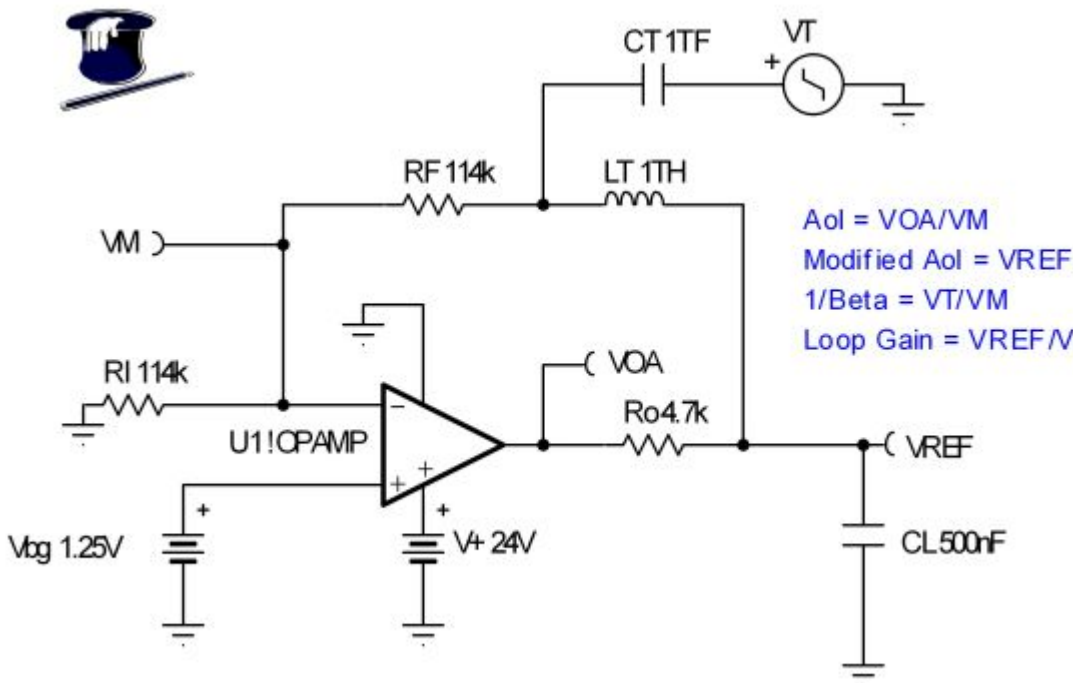


图9.5: AC 稳定性检查: 原始电路

图 9.6 显示了运算放大器 Aol 曲线以及由于 CL 导致的 Aol 修正曲线。在 fcl1 可以看到，就我们的一阶稳定性标准而言不稳定的每十倍频程 40db 的闭合速率。根据预测，CL 导致的 fpu1 为 67.73Hz，其从检测的角度来看在本图中是正确的。

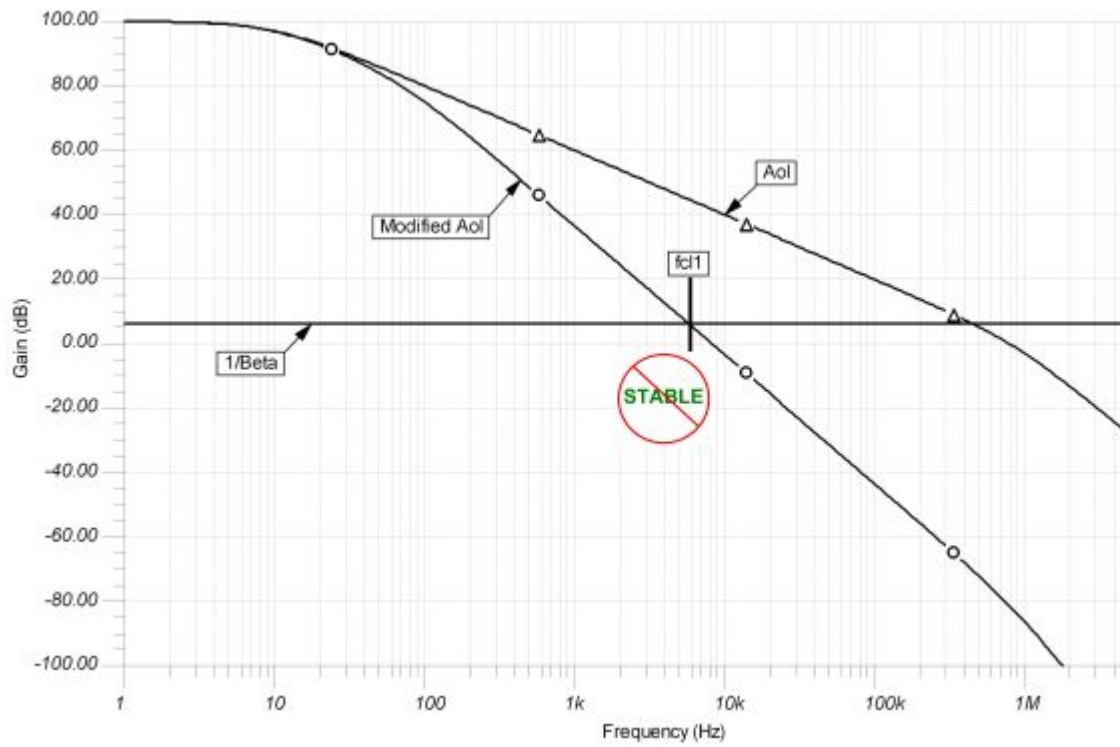


图 9.6: Aol 与修正 Aol: 原始电路

我们检查了图 9.7 所示的环路增益图，并可以证实了当相位裕度在-fcl1 位置几乎为零时（0.442 度）对稳定性的担心。

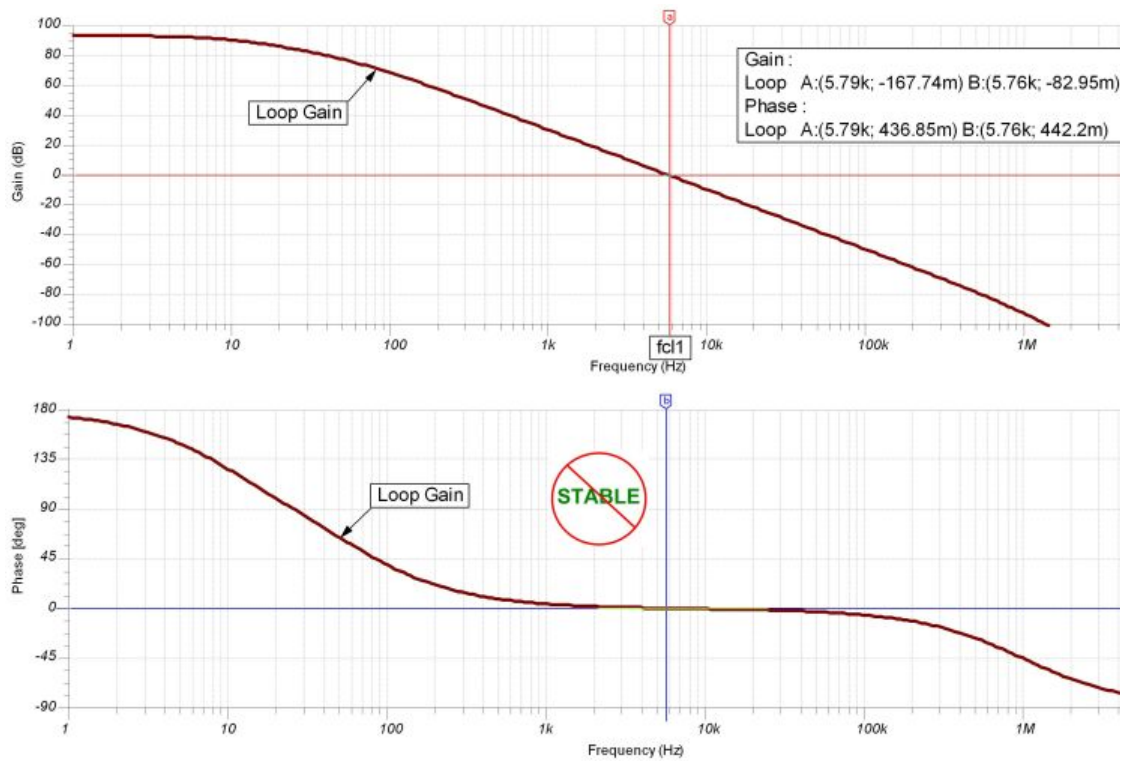


图 9.7: 环路增益图: 原始电路

我们在图 9.8 进行瞬态稳定性测试，即在附带 500nF CL 的闭环电路中注入一个较小的方形波。

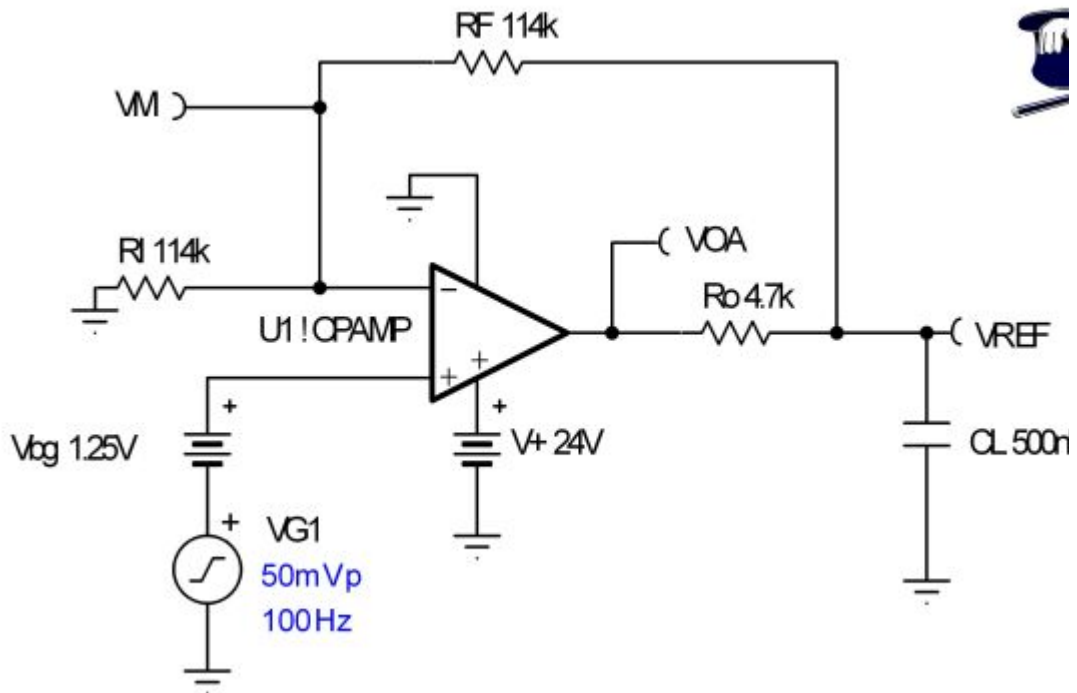


图 9.8: 瞬态稳定性测试: 原始电路

图 9.9 中的瞬态稳定性图再次表明我们的电路并不稳定。我们的运算放大器输出在响应小步阶变化时从未稳定过。请注意: VOA 以大约 2.5V 幅度变化, 表明我们的 DC 电平对于本电路而言是正确的。

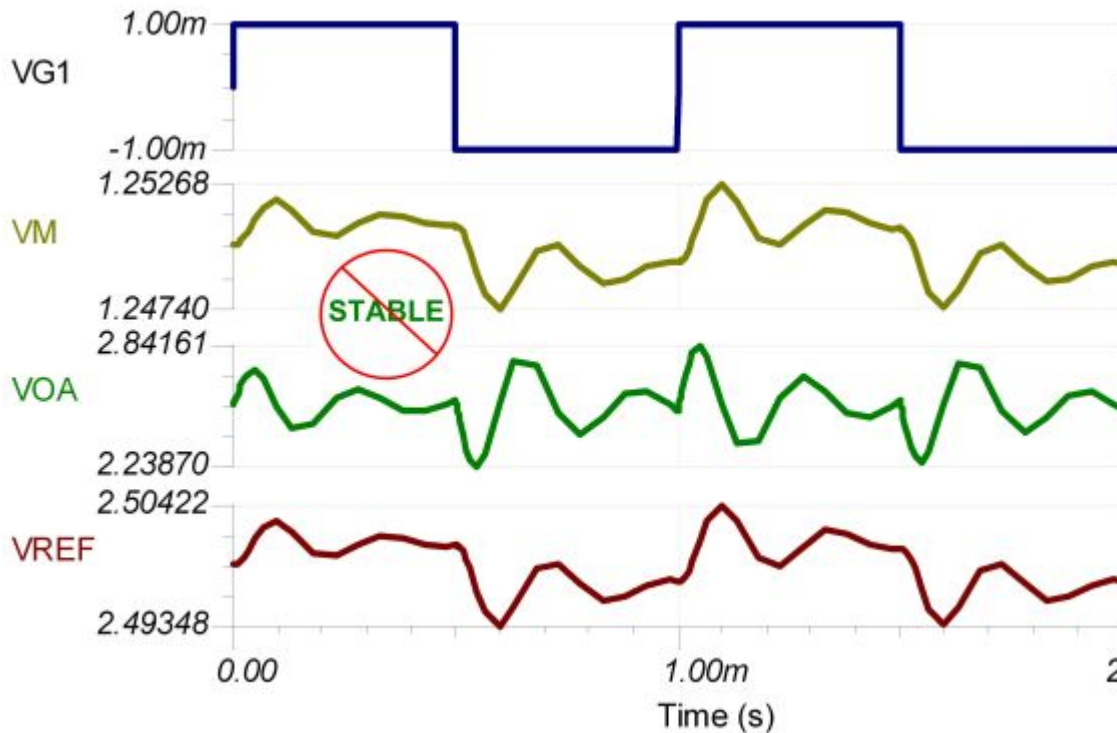


图 9.9: 瞬态稳定性图: 原始电路

我们在图 9.10 中明确了用于双极性发射极跟随器输出放大器的输出引脚补偿方法。首先我们用 f_{pu1} 来修正运算放大器原始 A_{ol} 修正曲线, f_{pu1} 是由于 R_o 与 CL 产生的极点(参见曲线 1)。一旦创建了该曲线, 我们就可以绘制从曲线 1 与 $0dB$ 交叉点开始的第二条曲线(曲线 2)。从上述起点我们按照每十倍频程 $-20dB$ 的斜率绘制出比 f_{p1} (运算放大器 A_{ol} 低频极点) 高一个十倍频程的点, 我们在此处把斜率修改到每十倍频程 $-40dB$ 。在频率为 f_{p1} 时我们将斜率改回每十倍频程 $-20dB$, 直到与运算放大器的 $DC A_{ol}$ 值相交。上述建议的 A_{ol} 修正曲线(曲线 2) 满足我们所有经验标准——通过使极点与零点相互保持在一个十倍频程之内, 从而保持环路增益相位在环路增益带宽范围不低于 45 度。另外, 我们建议的 A_{ol} 修正曲线(曲线 2) 还可满足在 f_{cl2} 闭合速率为每十倍频程 $20dB$ 的一阶稳定性标准。

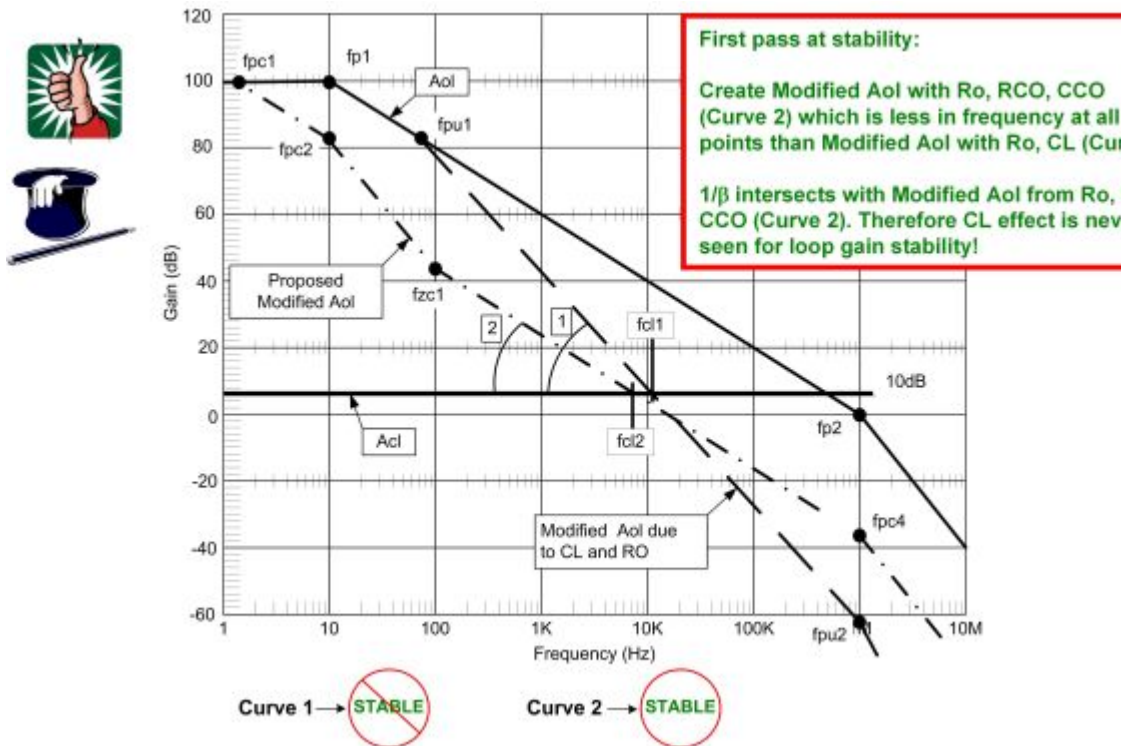


图 9.10: 输出引脚补偿: 双极性发射极跟随器

图 9.11 说明了我们如何利用 R_{CO} 及 C_{CO} 获得建议的 A_{ol} 修正曲线。另外我们还需要考虑另外一个极点，因为 C_{CO} 在某些高频情况下会短路，而且 CL 与 R_{CO} 将形成一个附加高频极点。即使此极点在 f_{cl2} 之外出现，我们的情况仍然正常。

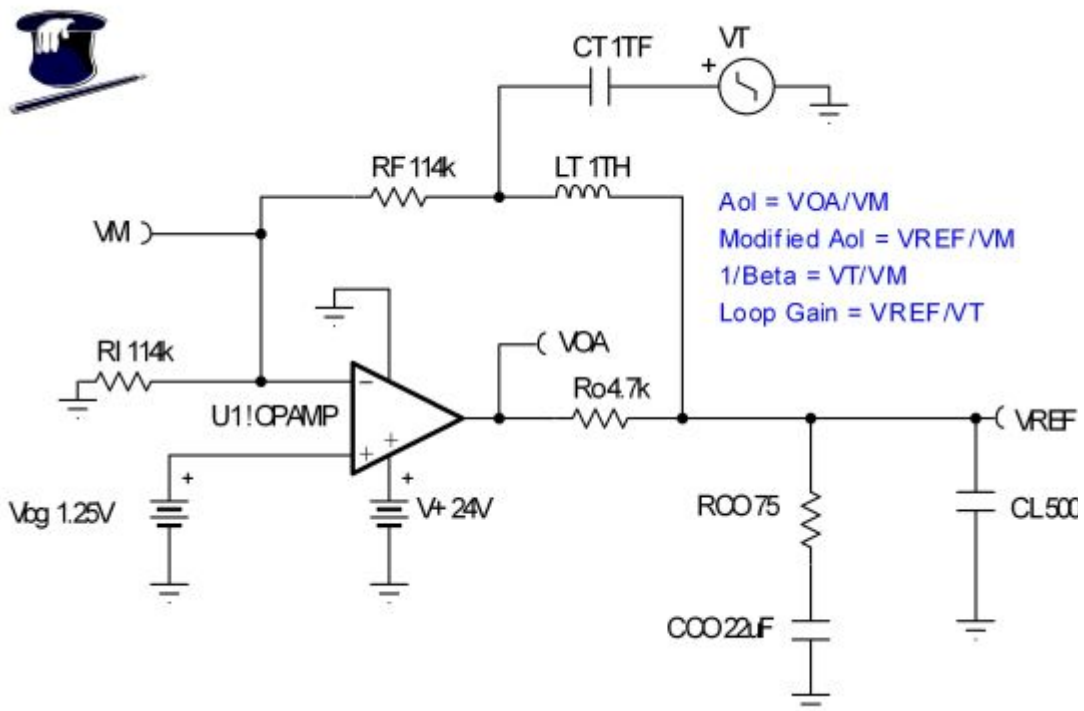


图 9.11: AC 稳定性检查: 输出引脚补偿

由于知道 R_o 与 CL , 因此可以利用图 9.12 所示公式以及图 9.10(曲线 2)建议的 A_{ol} 修正曲线计算出补偿分量 R_{CO} 与 C_{CO} 以及由 R_{CO} 与 CL 形成的超高频极点。

$$R_o = 4.7k\Omega, R_{CO} = 75\Omega, C_{CO} = 22\mu F, CL = 500nF$$

$$f_{pc1} = 1/[2\pi*(R_o+R_{CO})*C_{CO}]$$

$$f_{pc1} = 1/[2\pi*(4.7k\Omega+75\Omega)*22\mu F] = 1.5Hz$$

$$f_{pc2} = f_{p1} = 10Hz$$

(Low frequency pole from op amp A_{ol} curve)

$$f_{zc1} = 1/(2\pi*R_{CO}*C_{CO})$$

$$f_{zc1} = 1/(2\pi*75\Omega*22\mu F) = 96.5Hz$$

$$f_{pc3} = 1/[2\pi*(R_o//R_{CO})*CL]$$

$$f_{pc3} = 1/[2\pi*[(R_o*R_{CO})/(R_o+R_{CO})]*CL]$$

If: $R_{CO} < 10*R_o$ and $C_{CO} > 10*CL$

Then: $f_{pc3} \sim 1/[2\pi*R_{CO}*CL]$

$$f_{pc3} \sim 1/[2\pi*75\Omega*500nF] = 4.2kHz$$

$$f_{pc4} = f_{p2} = 1MHz$$

(High frequency pole from op amp A_{ol} curve)



图 9.12: 输出引脚补偿公式: 双极性发射极跟随器

我们在图 9.13 中采用输出引脚补偿方法绘出预测曲线。由于 XTR115 之内的闭环运算放大器以 2 倍增益运行(6dB), 闭环 V_{REF}/V_{IN} 曲线始终保持平直, 直到在 f_{cl2} 位置与 A_{ol} 修正相交, 由于环路增益已经等于零, 因此此后该曲线随 A_{ol} 修正曲线一直降低。

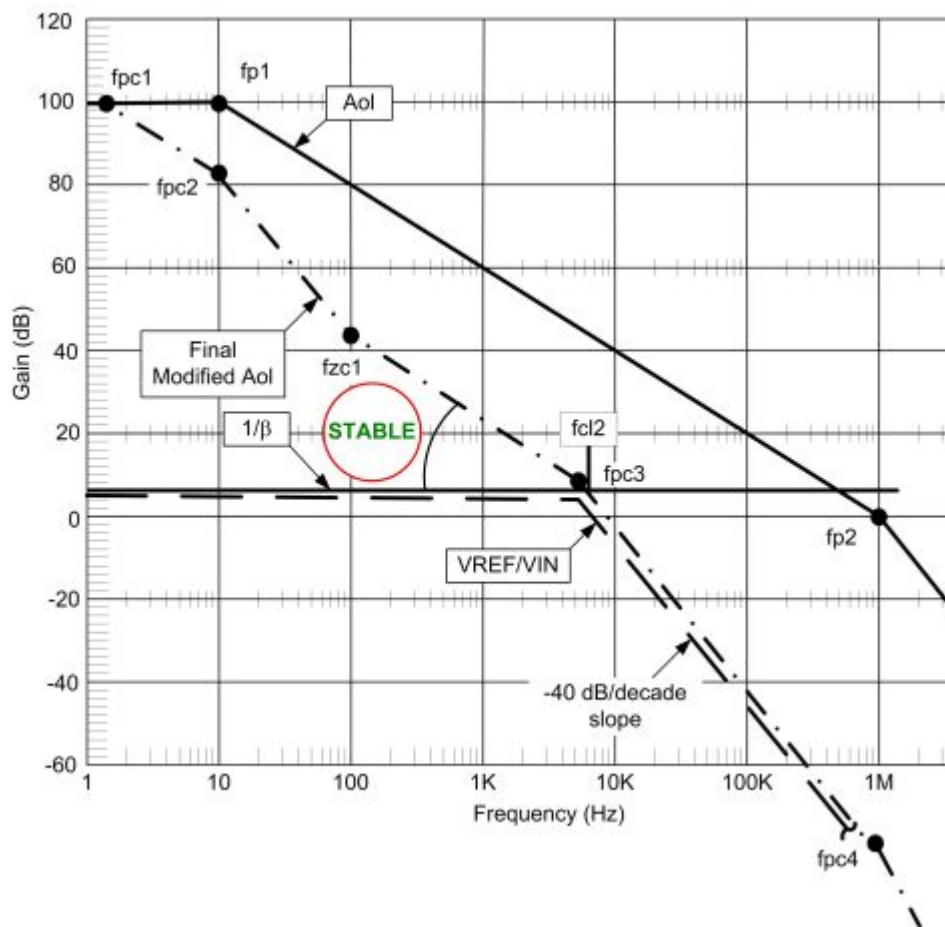


图 9.13: 最终预测曲线: 输出引脚补偿

图 9.14 是在采用图 9.11 所示电路的情况下, 我们的 AC 稳定性分析 TINA Spice 模拟结果。在 fcl2 位置时可以看到每十倍频程 20dB 的闭合速率, 但是我们应当通过相位图了解详细情况。

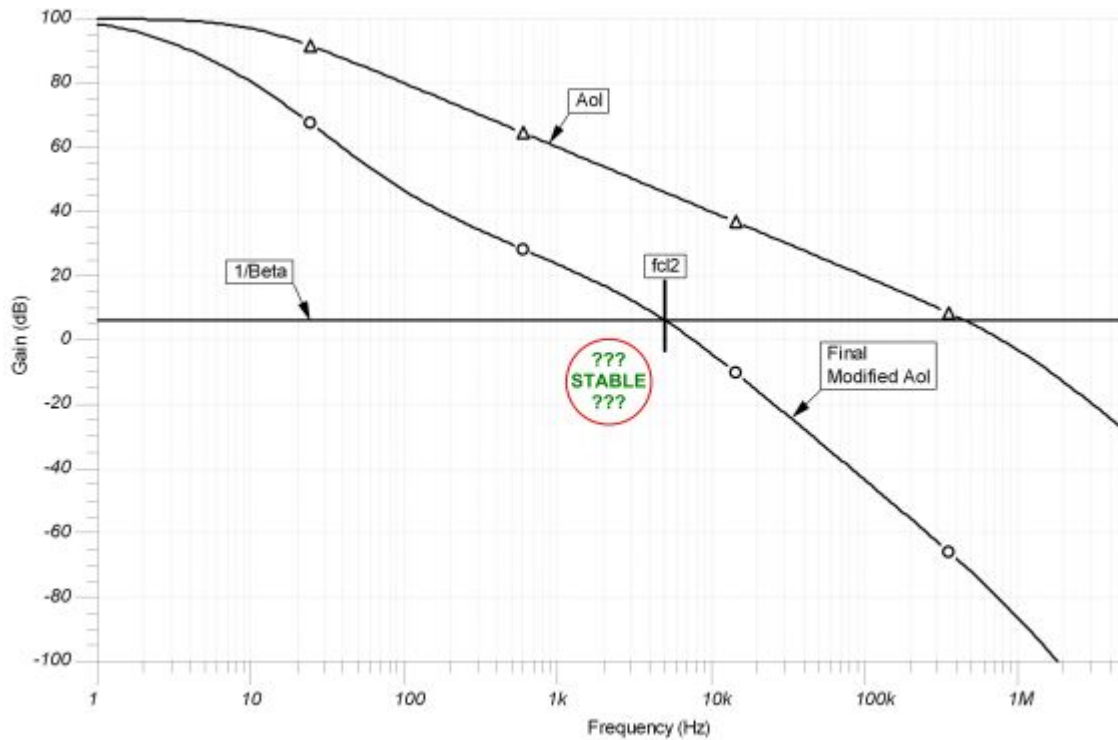


图 9.14: Aol 与 Aol 修正: 输出引脚补偿

图 9.15 所示的环路增益图证明我们的输出引脚补偿方法可以产生稳定的电路。在 fcl2 位置时相位裕度为 40 度，相位在环路增益带宽范围内不会过多低于 45 度。如果需要，我们可以细微调节输出引脚补偿值，以便在 fcl2 获得更高的相位裕度。

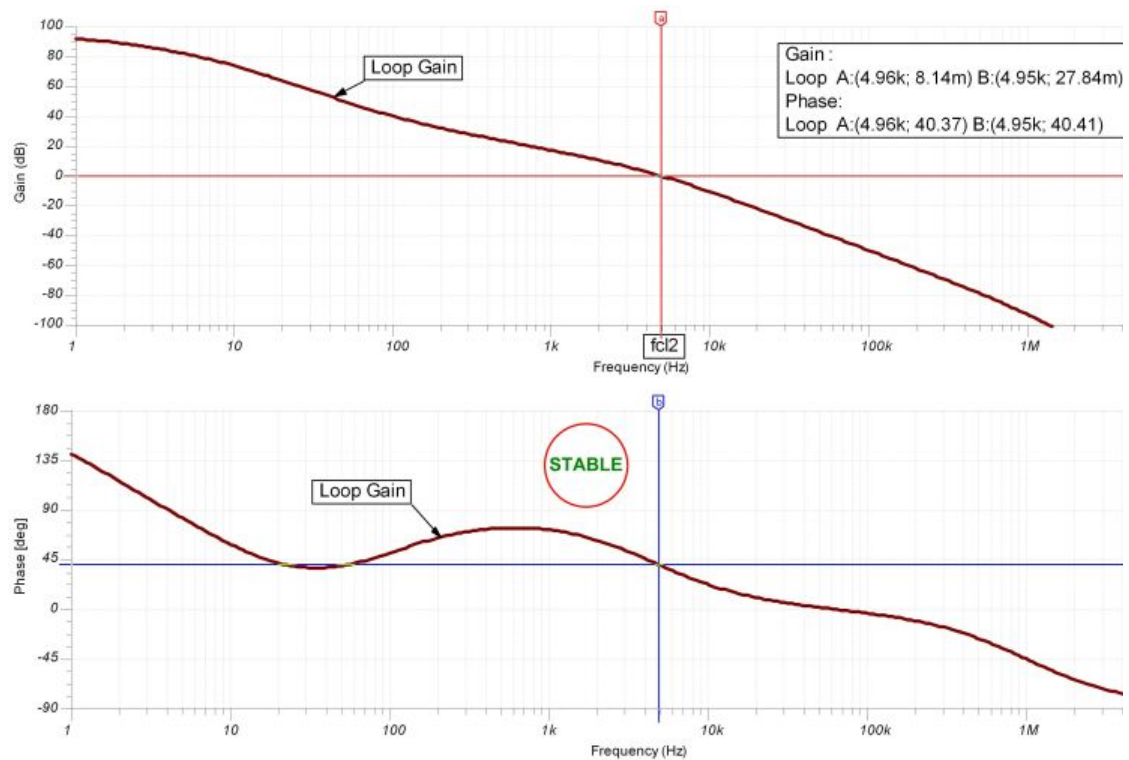


图 9.15: 环路增益: 输出引脚补偿

图 9.16 中的电路采用瞬态稳定性测试来检查采用了输出引脚补偿的最终电路。

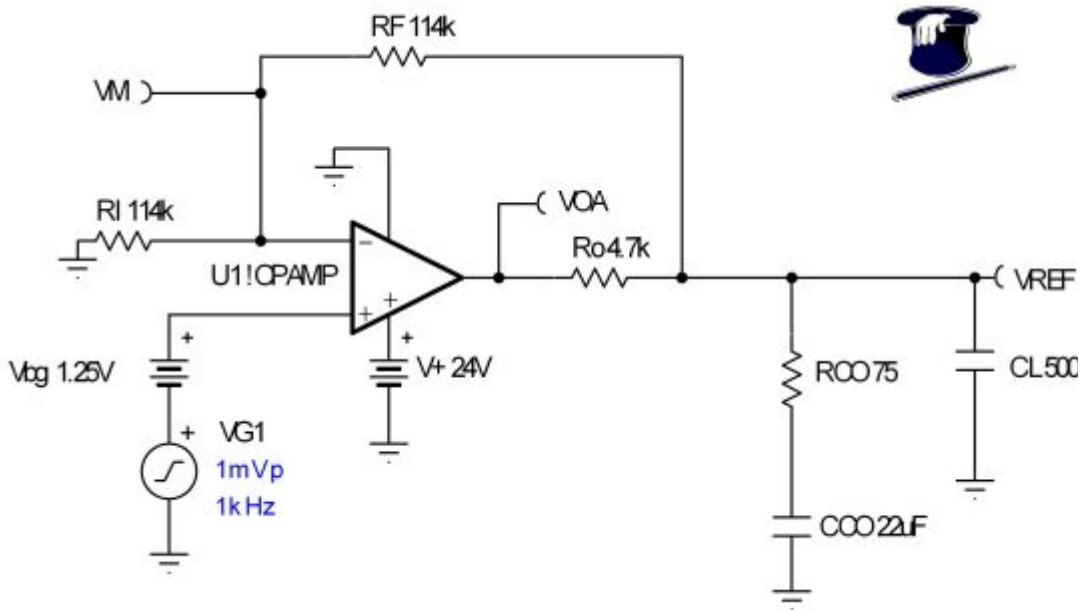


图 9.16: 瞬态稳定性测试: 输出引脚补偿

图 9.17 所示的瞬态稳定性测试结果证明了我们的环路增益检查, 即输出引脚补偿可以产生稳定的电路。一个较低的过冲以及无过度振铃的一个下冲看起来接近典型的、45 度相位裕度补偿电路。

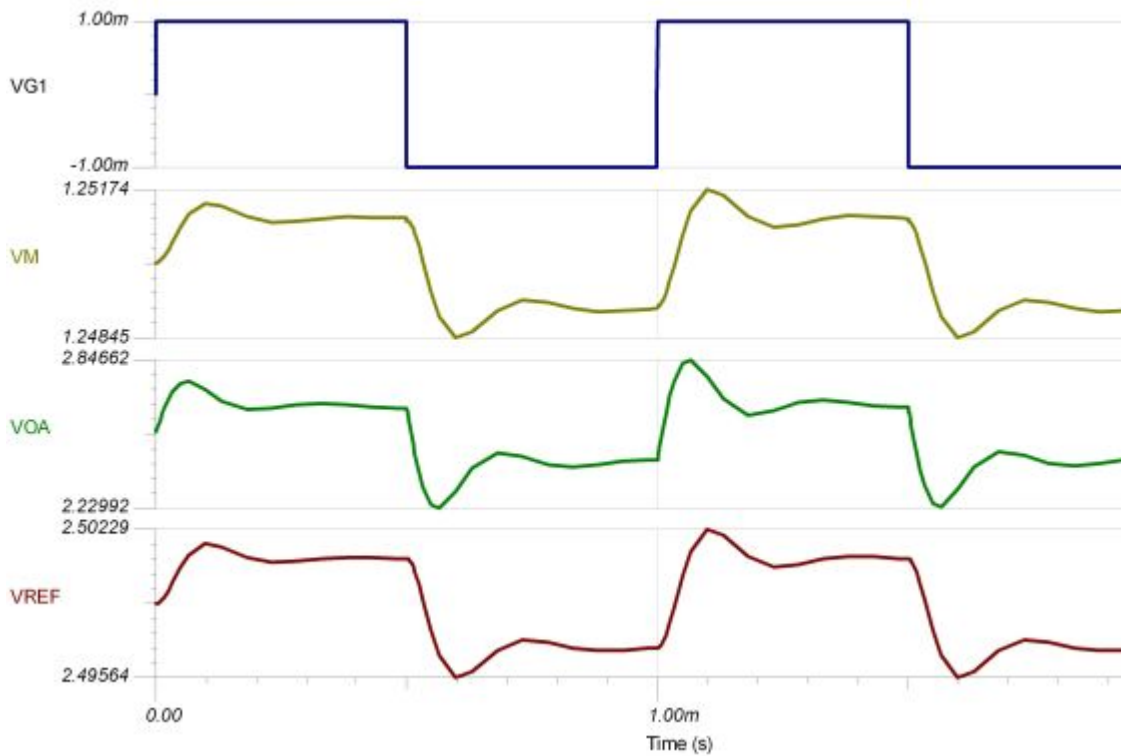


图 9.17: 瞬态稳定性图: 输出引脚补偿

图 9.18 所示的 TINA Spice 电路使我们能够检查最终的 V_{REF}/V_{IN} 闭环 AC 响应是否符合在图 9.13 中的预测。

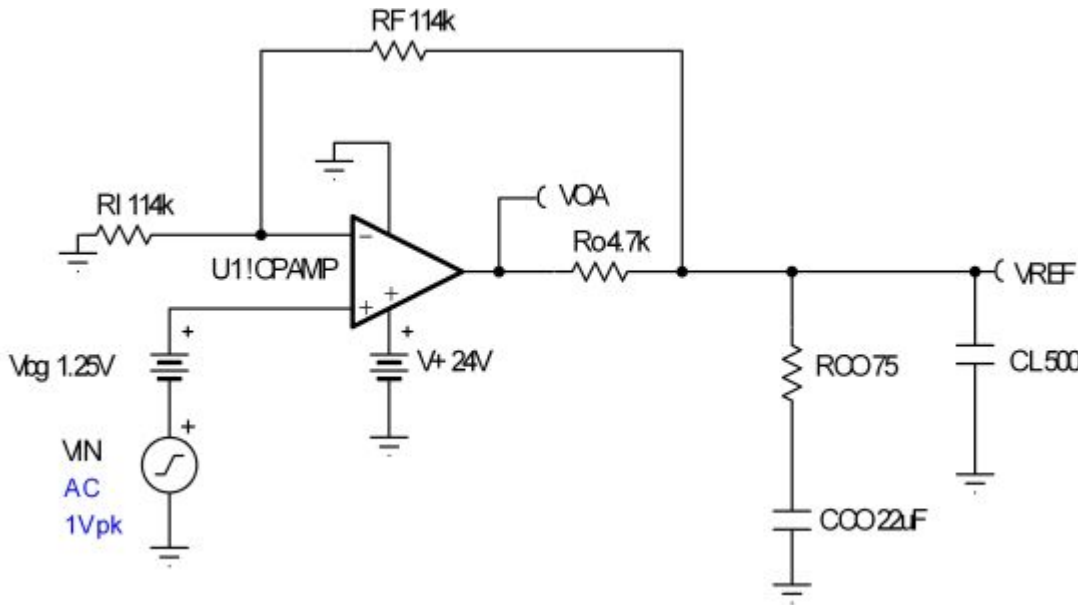


图 9.18: V_{REF}/V_{IN} AC 电路: 输出引脚补偿

根据图 9.13, 我们估计 f_{cl2} 约为 5kHz, 因此预计对于 V_{REF}/V_{IN} 而言在该点会出现陡然降低。在图 9.19 中, 我们可以看出闭环 AC 响应符合预测结果。在 AC 闭环响应中存在轻微峰化现象, 不过其对于本应用不会造成影响。同样, 如果我们希望减少这种峰化现象, 就需要再次利用我们的输出引脚补偿把 f_{cl2} 点的相位裕度提高到 40 度以上。

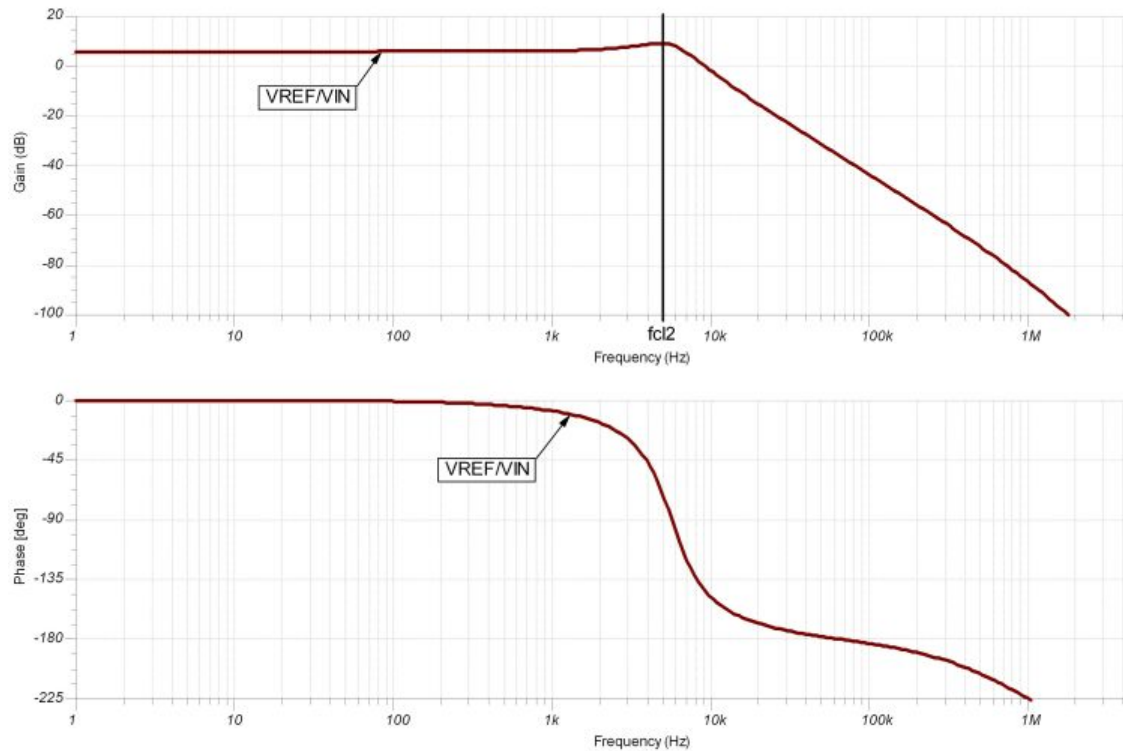


图9.19: VREF/VIN AC 响应: 输出引脚补偿

CMOS RRO: 输出引脚补偿

我们的 CMOS RRO 输出引脚补偿实例如图 9.20 所示。这种实际电源应用采用 OPA569 功率运算放大器作为可编程电源。为了在负载上提供精确的电源电压，可以采用一种差动放大器 INA152 对负载电压实施差动监控。闭环系统可以补偿任何从可编程电源到负载的正/负连接中的线路压降造成的损耗。OPA569 上的电流限值设定为 2A。在我们的实际应用中，这种电源具有灵活的配置，因此可以在差动放大器 INA152 的输出上提供多大达 10nF 电容。这样是否能够实现可编程电源的稳定运行？

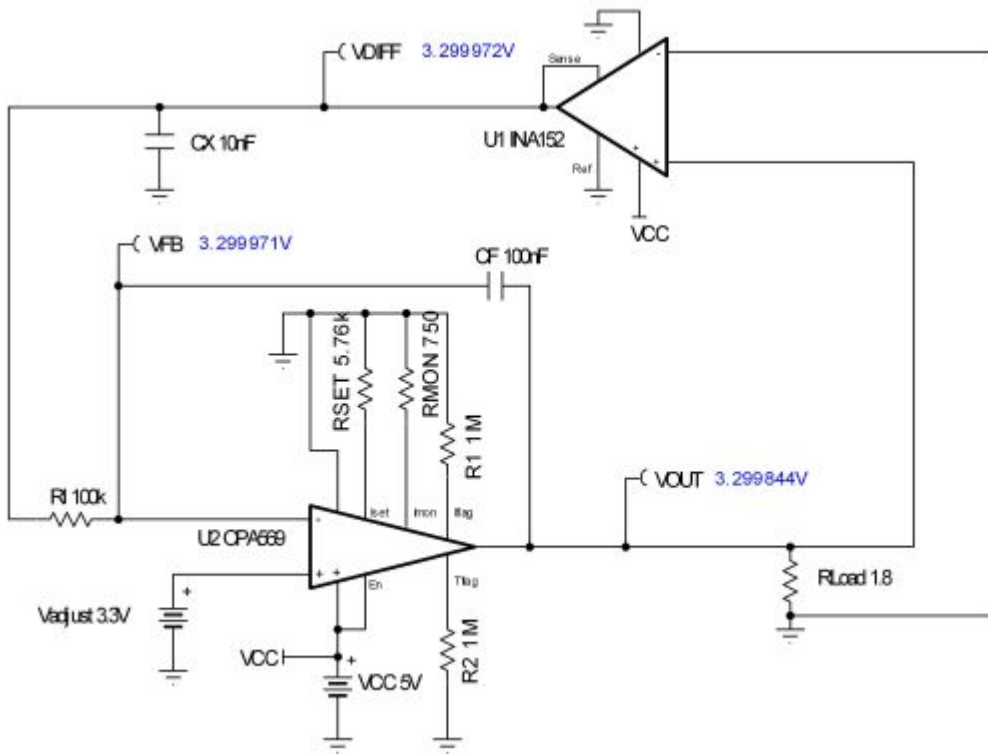


图 9.20: 可编程电源应用

我们在图 9.21 中详细说明了在我们的可编程电源应用中使用的 IC 的主要规格。

INA152		OPA569	
Single Supply Difference Amplifier		Rail-to-Rail I/O, 2A Power Amplifier	
Parameter	Specification	Parameter	Specification
Supply Voltage	2.7V to 20V	Thermal Protection	Shutdown at +150C
Quiescent Current	500uA typical	Adjustable Current Limit	+/-0.2A to +/-2.2A
Offset Voltage	+/-250uV typical	Current Limit Warning Flag	Normal = V+, Current Limit = V-
	Offset Drift +/-3uV/C typical	Temperature Warning Flag	Low = >+147C, High = <+130C
Input Impedance Differential	80k typical	Shutdown w/Output Disable	>(V-)+2.5V = enabled, <(V-)+0.8 = di
Input Impedance Differential	80k typical	Current Monitor Pin	Imonitor = Iout/450
Common Mode Rejection	94dB typical	Supply Voltage	2.7V to 5.5V
Output Voltage Noise	2.4uVpp (0.1Hz to 10Hz)	Quiescent Current	9mA typical, 0.01mA in Shutdown
Output Voltage noise	10nV/rt-Hz (10kHz)	Offset Voltage	+/-0.5mV typical
Input Voltage Range	2(V-) to 2(V+)-2V		Offset Drift +/-1.3uV/C typical
Bandwidth	800kHz	Input Bias Current	+/-1pA typical
Slew Rate	0.4V/us	Input Voltage Noise	8uVpp (0.1Hz to 10Hz)
Gain	1V/V typical	Input Voltage noise	12nV/rt-Hz (1kHz)
	Gain Error +/-0.01% typical	Input Voltage Range	(V-)-0.1V to (V+)+0.1V
	Gain Drift +/-1ppm/C typical	Gain-Bandwidth Product	1.2MHz
	NonLinearity +/-0.002%FS	Slew Rate	1.2V/us
Voltage Output Swing from Rail	20mV typical (RL=10k)	Voltage Output Swing from Rail	150mV typical (Iout=+/-2A)
Package	MSOP-8	Package	SO-20 Power Pad

图 9.21: 可编程电源 IC 主要规格

我们用于反馈的 INA152 差动放大器采用如图 9.22 所示的 CMOS RRO 拓扑。

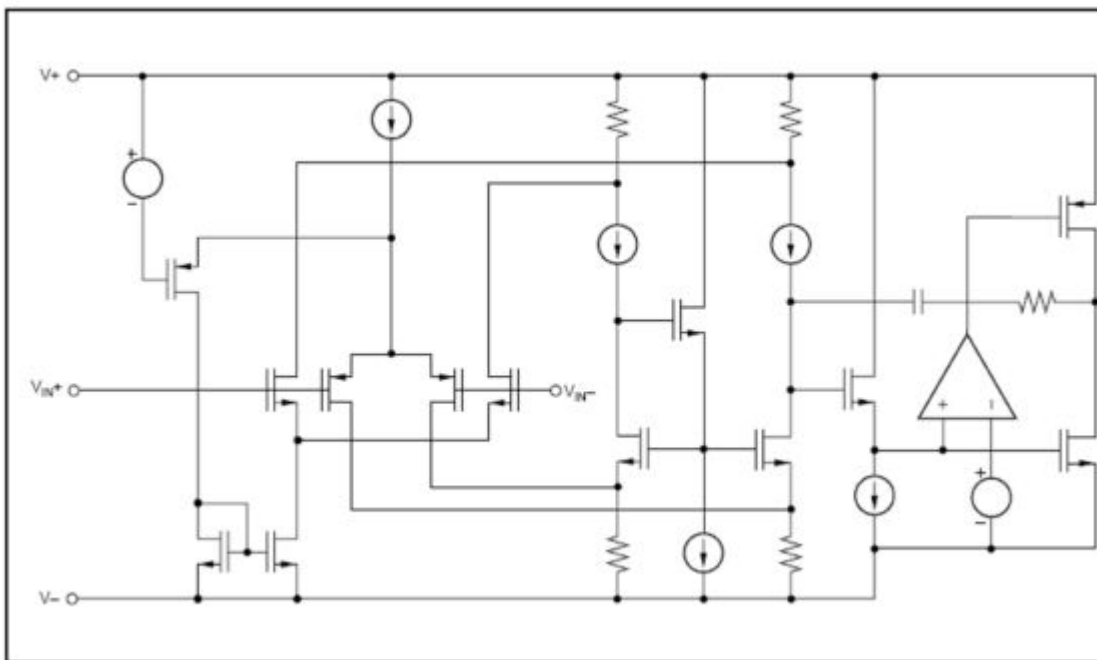


图 9.22: INA152 差动放大器: CMOS RRO

我们采用图 9.23 中的 TINA Spice 电路检查可编程电源的稳定性。我们的 DC 输出由 Vadjust 设定到 3.3V, 同时应用一个较小的瞬态方形波检查过冲与振铃。

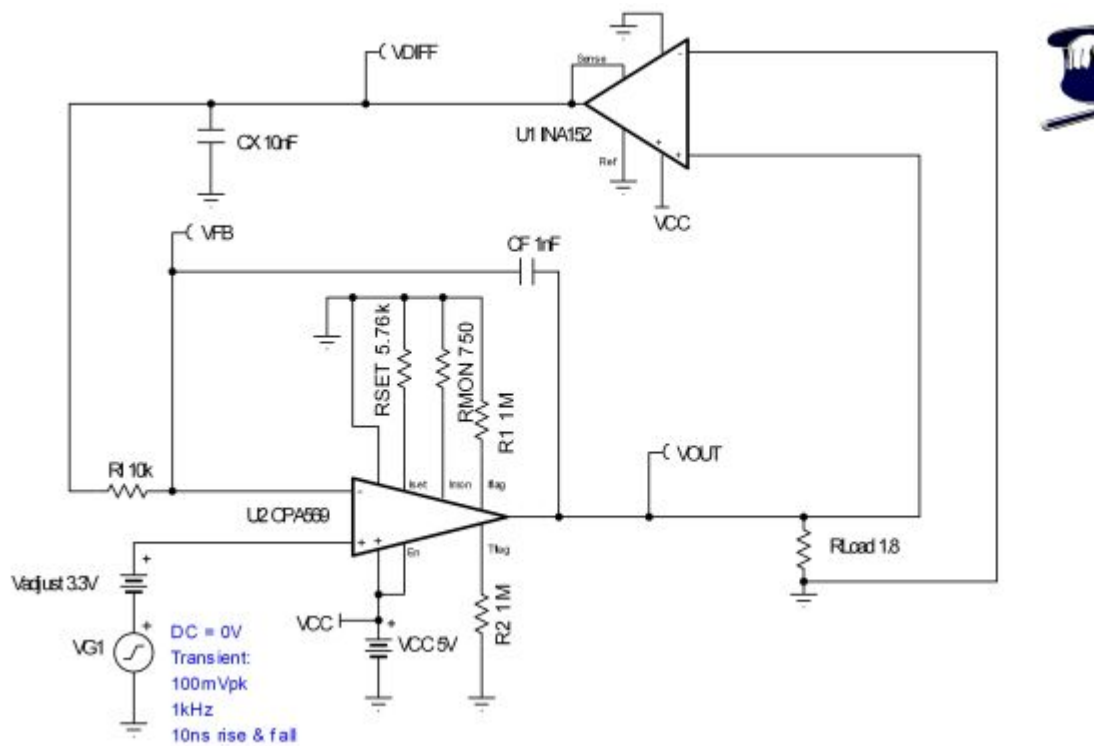


图 9.23: 瞬态稳定性测试: 原始电路

图 9.24 中的瞬态稳定性测试结果显然不够理想。我们不希望在未经进一步稳定性补偿情况下投产这种电路。

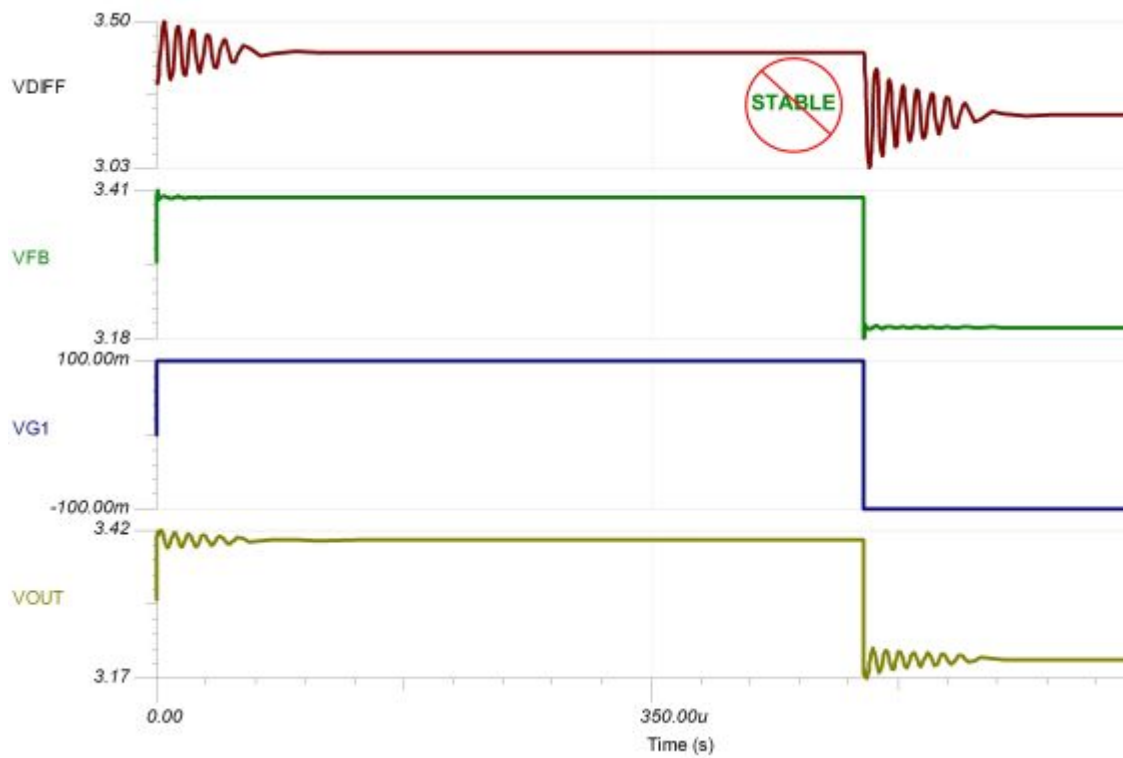


图 9.24: 瞬态稳定性图: 原始电路

图 9.25 中的 TINA Spice 电路用于检查原始电路中的不稳定性是否由 INA152 输出端的 CX 负载所引起。我们将采用瞬态稳定性测试进行快速检测。

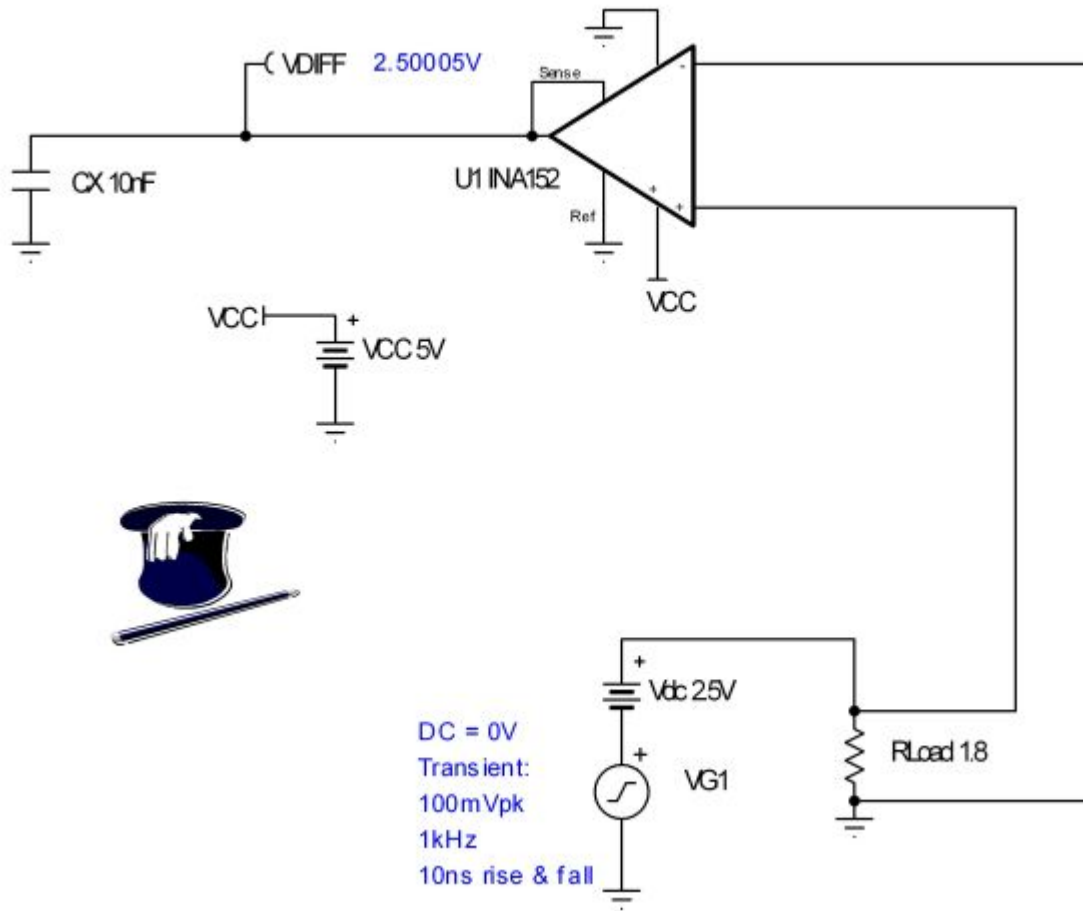


图 9.25: 差动放大器反馈: 原始电路

图 9.26 可以证明我们的推测, 即: 是 CX 造成了差动放大器 INA152 的不稳定性。

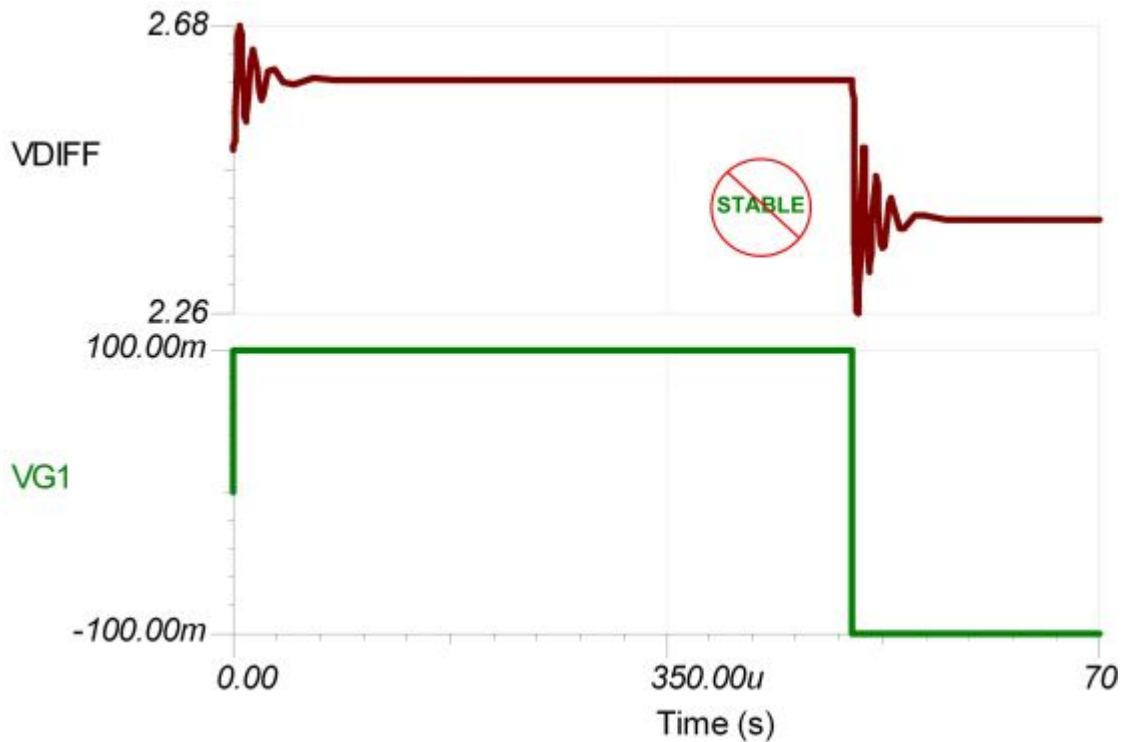


图 9.26: 瞬态图: 差分放大器反馈, 原始电路

差分放大器由 1 个运算放大器以及 4 个精密比率匹配电阻器构成。这给我们的分析工作带来了挑战, 因为我们无法直接接入内部运算放大器的 - 输入或 + 输入。在图 9.27 中我们可以看到差分放大器的等效示意图, 同时可以看出测量 Aol 的明确方法。我们将采用 LT 断开任何相关 AC 频率的反馈, 同时仍然保持准确的 DC 工作点 (LT 对于相关 DC 频率短路, 对于相关 AC 频率开路)。通过把 INA152 的 Ref 引脚连接到 VIN+ 引脚, 我们可以创建一个非反相输入放大器。通过在 Sense 与 VOA 之间放置 LT, 我们可以理想地在任何相关 AC 频率驱动运算放大器进入开路状态。INA152 运算放大器的内部节点 VM 可以在相关 AC 频率达到零点。VP 只需作为 VG1, 然后我们可以轻松测出 $Aol = VOA/VG1$ 。请注意: 我们只要把 VdcBias 设定为 1.25V 以便在 VOA 产生 2.5V DC, 即可衡量 DC 工作点。

我们把图 9.27 的 INA152 Aol 测试电路概念转化成图 9.28 所示的 TINA Spice 电路。我们知道, 用于 INA152 的 TINA Spice 宏模型是一种 Bill Sands 宏模型[参考:《模拟与 RF 模型》, (<http://www.home.earthlink.net/%7Ewksands/>)], 因此该宏模型可以精确匹配实际硅片。

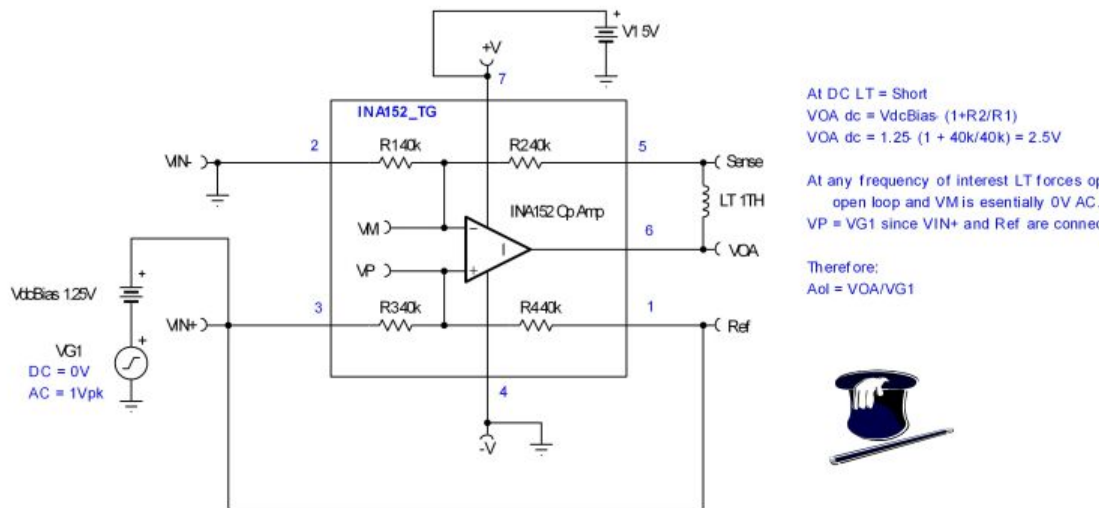


图 9.27: INA152 Aol 测试电路概念

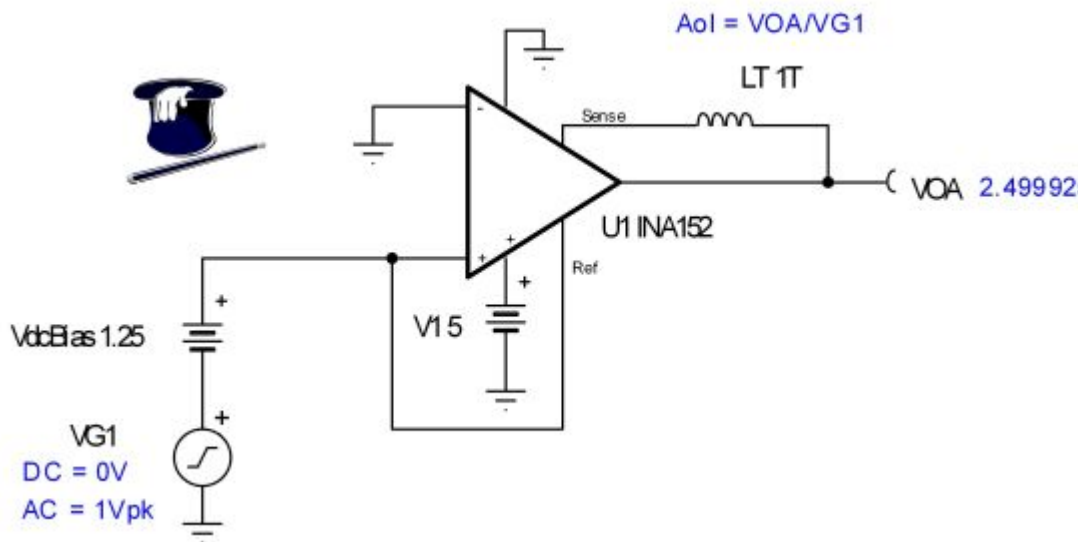


图 9.28: TINA Spice INA152 Aol 测试电路

图 9.29 说明了根据 TINA Spice 仿真获得的 INA 152 详细 Aol 曲线。请注意: Aol 曲线中在 1MHz 时存在第二个极点, 在基于 Aol 相位曲线的频率之外存在某些更高阶的极点, 其在 1MHz 之外表现出比每十倍频程 -45 度更陡的斜率。

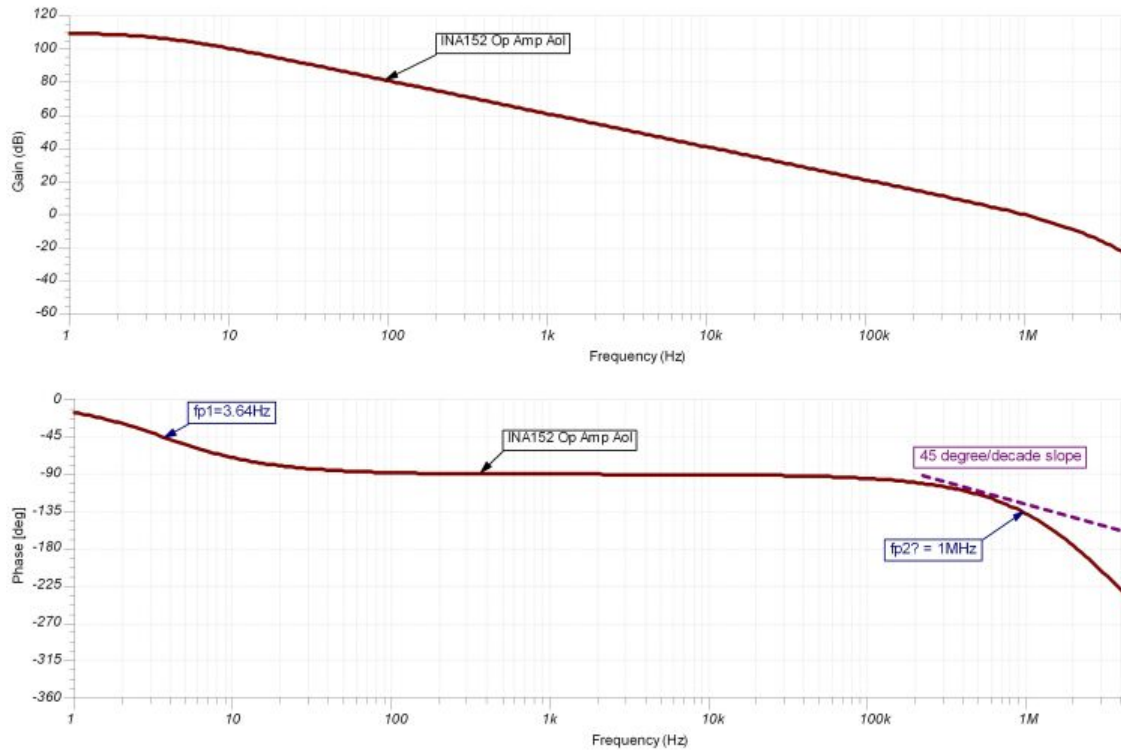


图 9.29: INA152 Aol TINA Spice 结果

由于我们已知道 INA152 是一款 CMOS RRO 差动放大器，因此，除了 Aol 曲线，还需要 Z_o 进行稳定性分析。在图 9.30 中建立一个 Z_o 测试电路概念。与图 9.28 的 Aol 测试电路相似，我们可以利用所示的 LT 与电路连接强迫 INA152 的内部运算放大器在任何相关 AC 频率进入开路状态。我们现在将采用设为 1A_{pk} 的 AC 电流源驱动输出，同时直接根据 VOA 的电压测量 Z_o 。

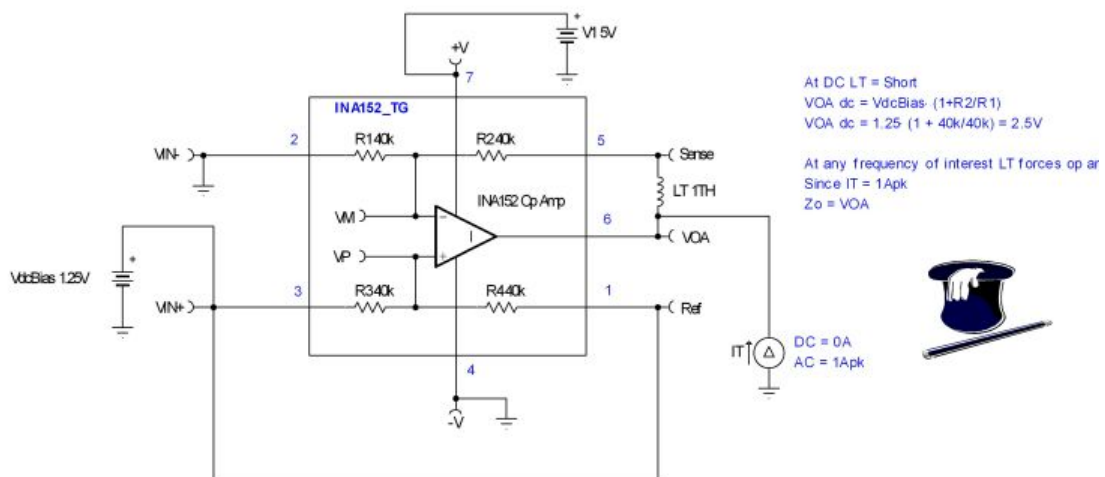


图 9.30: INA152 Z_o 测试电路概念

我们在图 9.31 中建立了 TINA Spice INA152 Zo 测试电路。快速 DC 分析表明我们可以得到 INA152 的正确 DC 工作点。最好在利用 Spice 进行 AC 分析之前先执行 DC 分析，以便确定电路在任何电源轨下都不饱和，电源轨可能会造成错误 AC 分析结果。

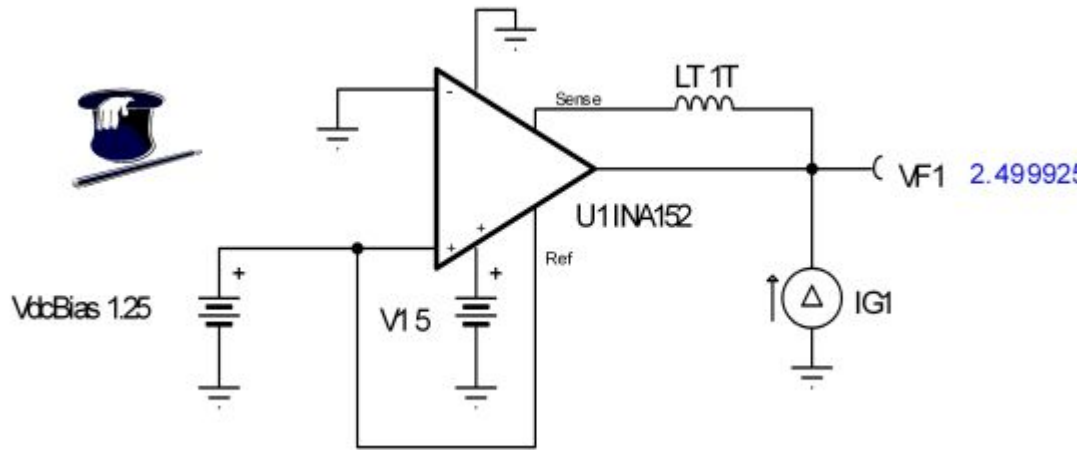


图 9.31: INA152 Zo TINA 测试电路

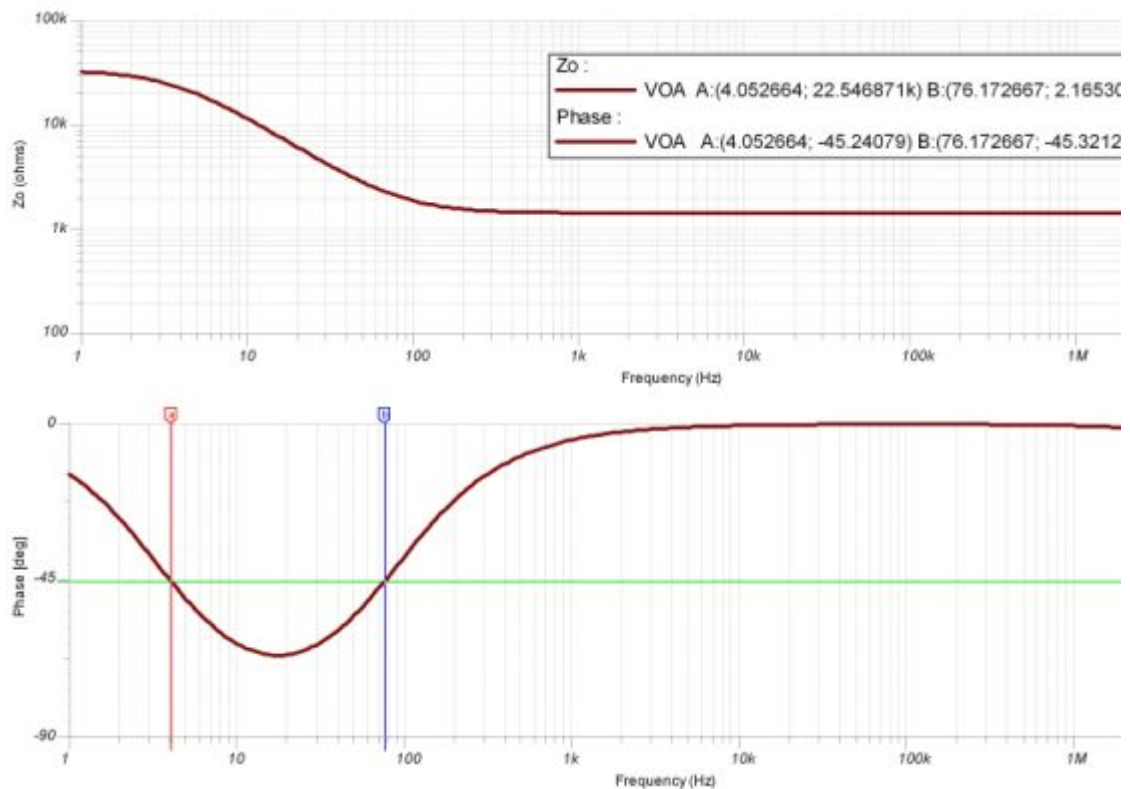


图 9.32: INA152 TINA Zo 曲线

图 9.32 的 TINA Zo 测试结果显示了 Zo 的典型 CMOS RRO 响应。我们可以看到在 $f_z=76.17\text{Hz}$ 时出现一个零点，在 $f_p=4.05\text{Hz}$ 时出现一个极点。

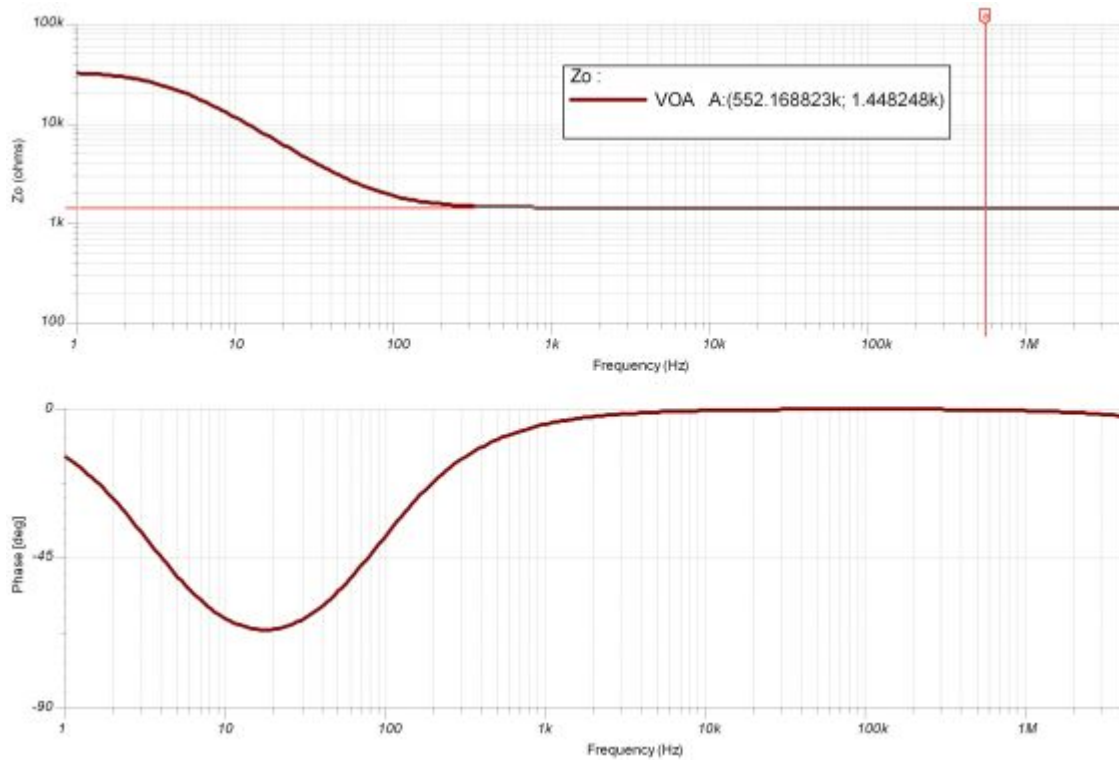
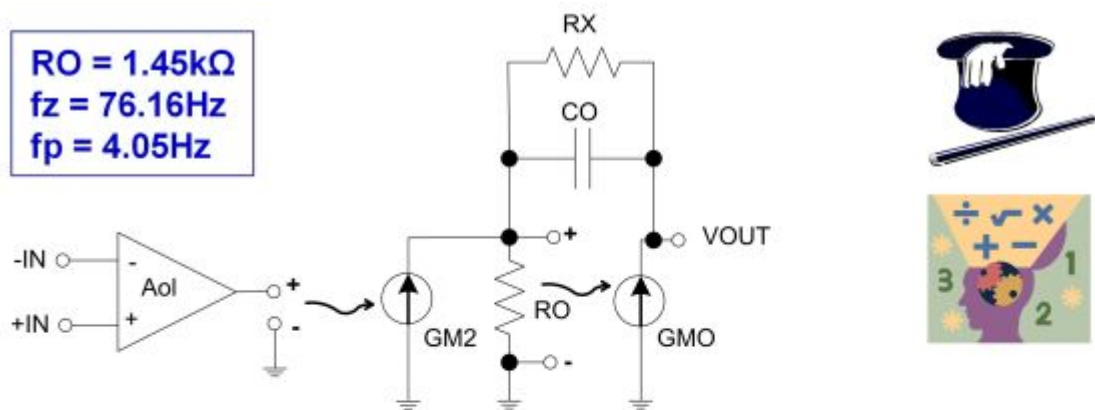


图 9.33: INA152 Tina Ro 测量

我们在图 9.33 中根据由 TINA Spice 创建的 Z_o 曲线测量 R_o 。 $R_o = 1.45k$ 欧姆。

我们从测量的 Z_o 图可以获得 R_o 、 f_z 以及 f_p 。我们利用这些资料可以创建 INA152 的等效 Z_o 模型，如图 9.34 所示。



$$f_z = \frac{1}{2 * \pi * R_O * C_O}$$

$$f_p = \frac{1}{2 * \pi * R_X * C_O}$$

$$76.16\text{Hz} = \frac{1}{2 * \pi * 1.45k * C_O}$$

$$4.05\text{Hz} = \frac{1}{2 * \pi * R_X * 1.44\mu\text{F}}$$

$$C_O = 1.44\mu\text{F}$$

$$R_X = 27.29k\Omega$$

图 9.34: INA152 Zo 模型

我们可以利用 TINA Spice 仿真器快速检测等效 Zo 模型与实际 INA152 Zo 相比的准确性。等效 Zo 模型结果如图 9.36 所示，并与图 9.35 作了相关对比。由此可见，等效 Zo 模型非常接近，因此可以继续稳定性分析。

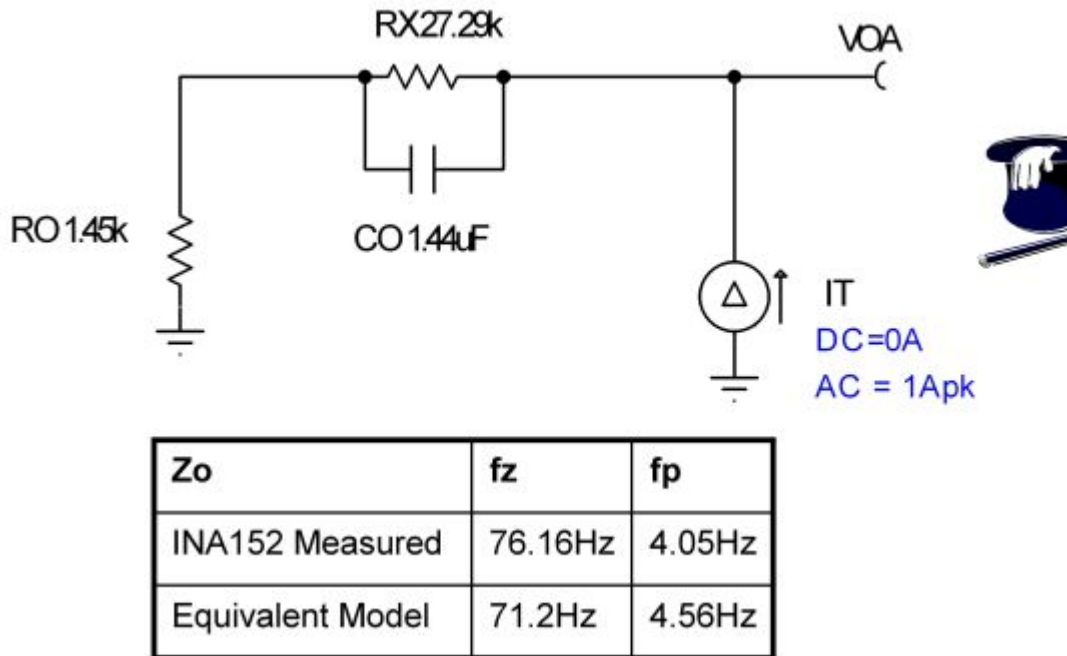


图 9.35: Zo 等效模型与 INA152 Zo 对比

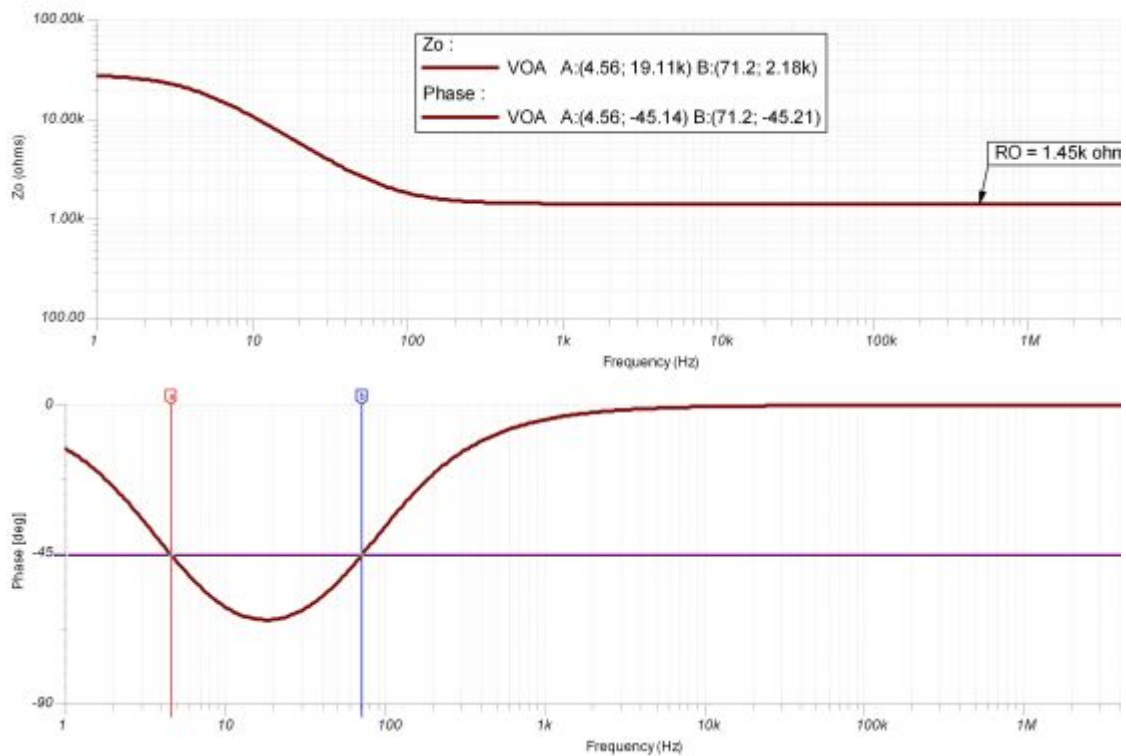
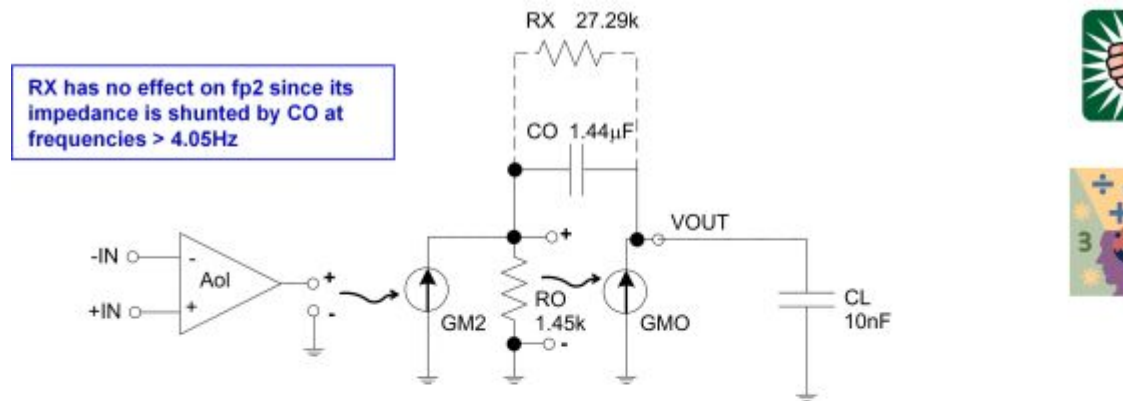


图 9.36: TINA 图: INA152 等效 Zo 模型

现在我们可利用 Z_o 等效模型分析负载电容 CL 对 INA152 输出的影响。从 Aol 曲线中，我们可以看到在 $CL=10.98\text{kHz}$ 时造成的附加极点（如图 9.37 所示）。



$$fp2 = \frac{1}{2 * \pi * Ceq * RO}$$

$$fp2 = \frac{1}{2 * \pi * 10nF * 1.45k} = 10.98\text{kHz}$$

where: $Ceq = \frac{CO * CL}{CO + CL}$

$CL < 1.44\mu F$ CL dominates: $Ceq \approx CL$
 $CL > 1.44\mu F$ CO dominates: $Ceq \approx CO$

remember:

- 1) capacitors in series are like resistors in parallel
- 2) $XC = 1/sC$
- 3) $XCeq = 1/sCO + 1/sCL$
- 4) $Ceq = 1/XCeq$

图 9.37: 计算 Z_o 与 CL 造成的极点 ($fp2$)

我们在图 9.38 中在 INA152 的等效 Z_o 模型中添加 $CL(CL=10\text{nF})$ 。

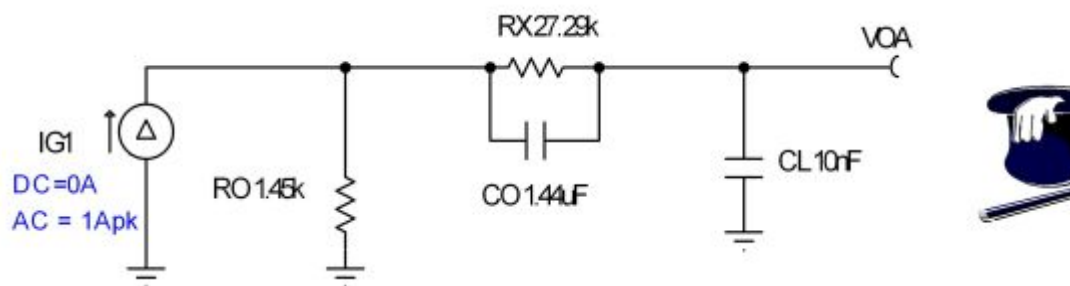


图 9.38: 用于分析 $fp2$ 的 TINA 电路

从图 9.39 我们可以看出模拟结果中 $fp2$ 位于 11.01kHz ，其非常接近我们预测的 10.98kHz ，因此可以继续分析。

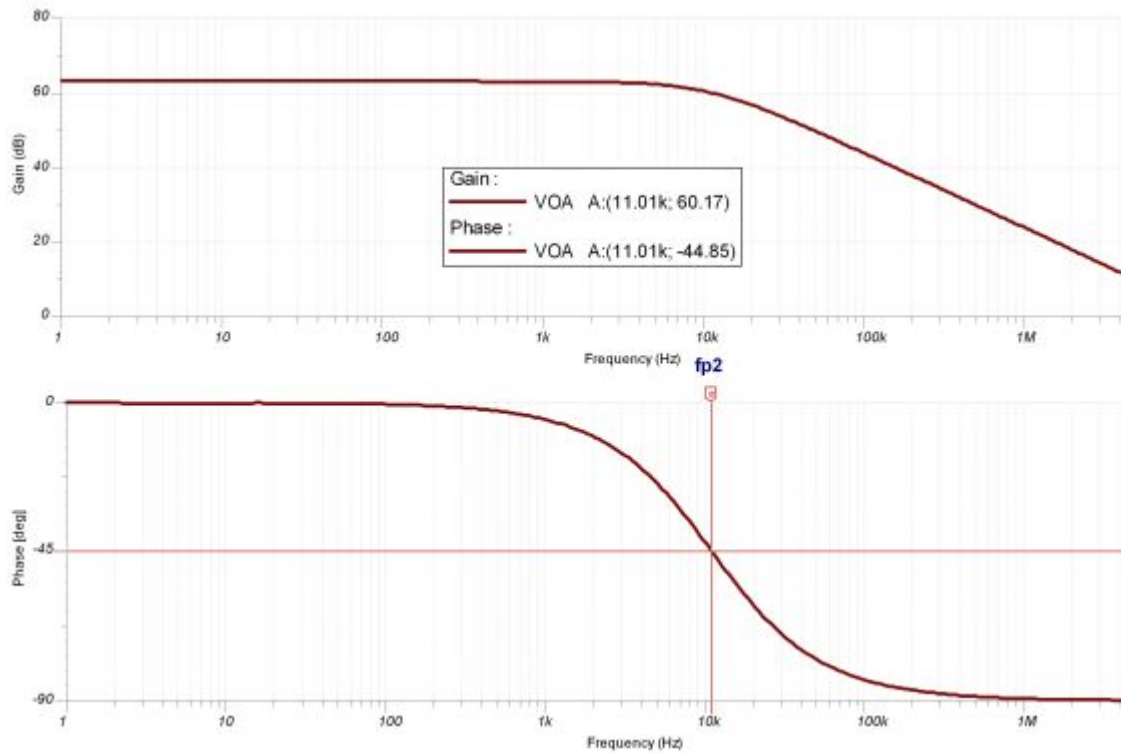


图 9.39: Z_o 与 $CL=10nF$ 时的 fp_2 图

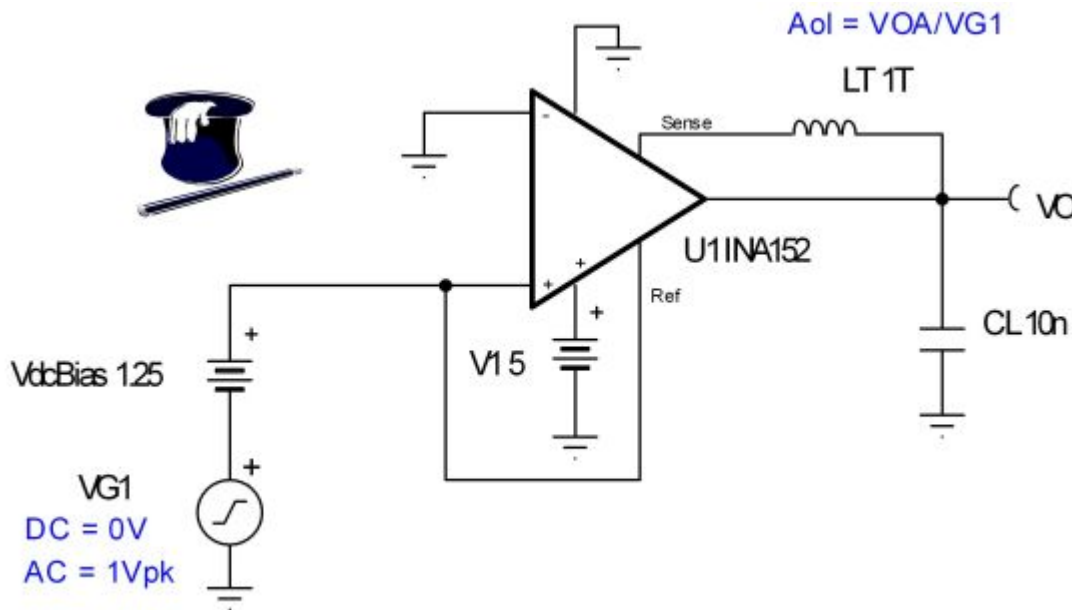


图 9.40: $CL=10nF$ 时, A_{ol} 修正曲线的 TINA 电路图

现在我们可以对 $CL=10nF$ 的实际 INA152 进行 TINA 模拟, 并使用图 9.40 的电路将其与预测响应进行对比。

图 9.41 的 TINA 模拟结果显示了 INA152 运算放大器原始 A_{ol} 在 3.4Hz (fp_1) 时造成的低频极点以及 Z_o 与 $CL=10nF$ 在 $fp_2=11.02kHz$ 时产生的第二个极点。请记住, 我们

曾经根据一阶分析预测 $fp_2=10.9\text{kHz}$ ，并根据 $CL=10\text{nF}$ 的等效 Z_o 模型预测 $fp_2=11.01\text{kHz}$ 。

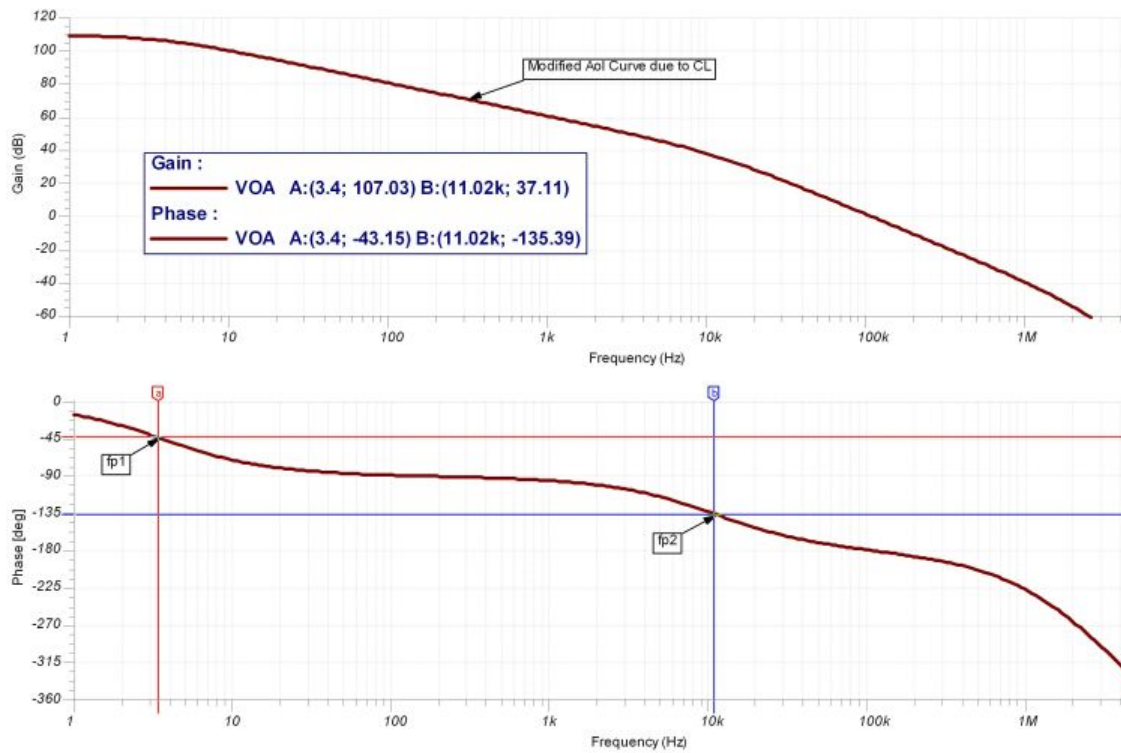


图 9.41: $CL=10\text{nF}$ 的 Aol 修正曲线的 TINA 图

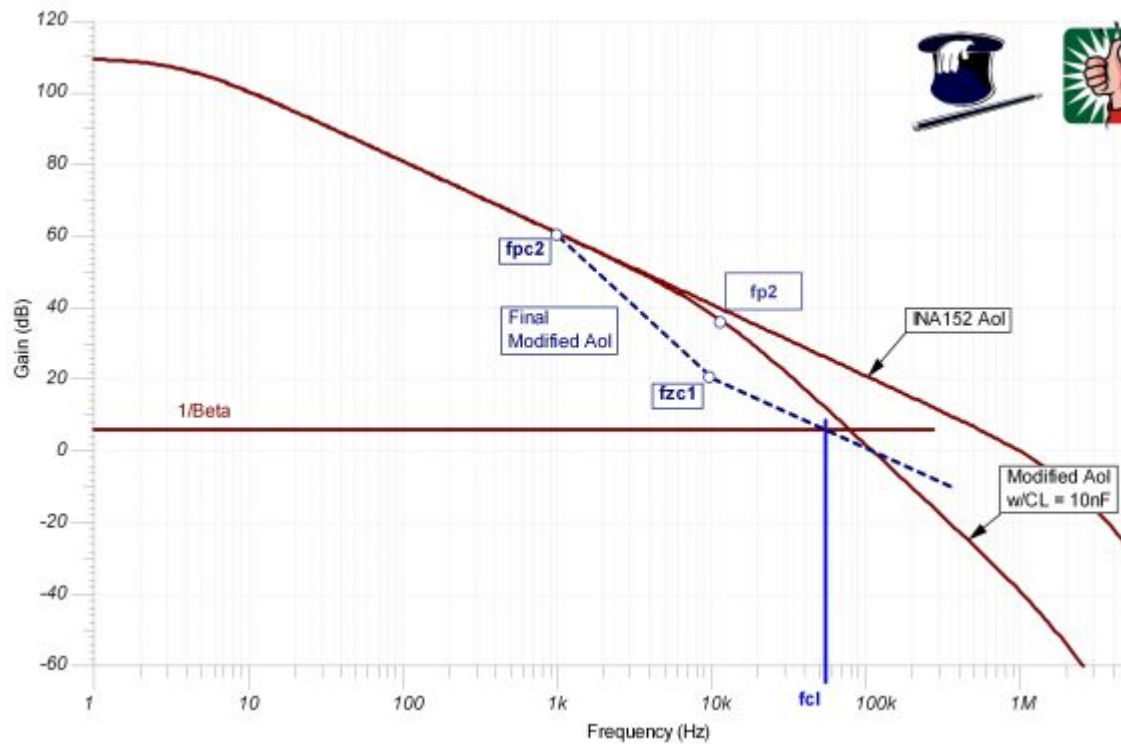
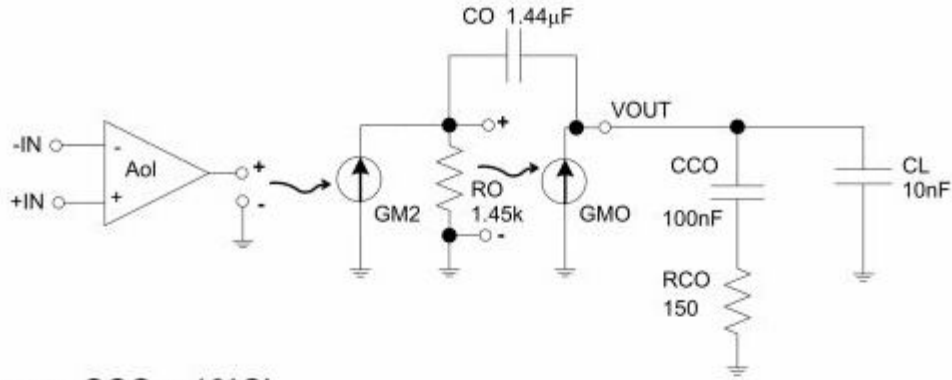


图 9.42: 输出引脚补偿: CMOS RRO

我们在图 9.42 中确定用于 CMOS RRO 运算放大器的输出引脚补偿方法。此方法的图形与适用于双极性发射极跟随器运算放大器的输出引脚补偿方法的图形非常类似。我们首先利用由 Z_o 与 CL 造成的极点 fp_2 修正运算放大器的最初 A_{ol} 曲线 (见图 9.41)。一旦创建了该曲线 (修正 A_{ol} , $CL=10nF$), 我们就可以绘制从 $CL=10nF$ 的 A_{ol} 修正曲线与 $0dB$ 交叉点开始的第二条曲线 (最终修正 A_{ol})。从上述起点我们按照每十倍频程 $-20dB$ 的斜率画到比 $CL=10nF$ 的 A_{ol} 修正曲线的 $0dB$ 交点低一个十倍频程的点 ($100kHz$)。我们在 f_{zc1} 极点将斜率修改为每十倍频程为 $+40dB$ 。我们在 f_{pc2} 极点与原始 INA152 A_{ol} 曲线相交。通过使极点和零点相互保持在一个十倍频程内以保持环路增益相位在环路增益带宽范围不低于 45 度, 这样上述建议的最终 A_{ol} 修正曲线符合我们所有经验标准。另外, 我们建议的最终 A_{ol} 曲线修正还满足在 f_{cl} 极点闭合速率为每十倍频程 $20dB$ 的一阶稳定性标准。

图 9.43 详细说明基于 Z_o 及 Slide 47 的预期最终 A_{ol} 修正曲线的公式。此外, 我们注意到在 CCO 短路时由于 RCO 与 CL 相交造成的另一个高频极点。



Assume: $CCO > 10 \cdot CL$
 Set: $f_{pc2} = 1\text{kHz}$, $f_{zc1} = 10\text{kHz}$

$f_{pc2} = \frac{1}{2 \cdot \pi \cdot C_{eqo} \cdot R_O}$ <p>where: $C_{eqo} = \frac{CCO \cdot CL}{CCO + CL}$</p> <p>$CCO < 1.44\mu\text{F}$ CCO dominates: $C_{eqo} \approx CCO$</p>	$f_{pc2} = \frac{1}{2 \cdot \pi \cdot CCO \cdot 1.45\text{k}} = 1\text{kHz}$ <p>$CCO = 109.76\text{nF} \rightarrow \text{use } 100\text{nF}$</p>
---	---

$f_{zc1} = \frac{1}{2 \cdot \pi \cdot C_{eqo} \cdot R_{CO}}$ <p>where: $C_{eqo} = \frac{CCO \cdot CL}{CCO + CL}$</p> <p>$CCO < 1.44\mu\text{F}$ CCO dominates: $C_{eqo} \approx CCO$</p>	$f_{zc1} = \frac{1}{2 \cdot \pi \cdot 100\text{nF} \cdot R_{CO}} = 10\text{kHz}$ <p>$R_{CO} = 159.15\Omega \rightarrow \text{use } 150\Omega$</p>
--	--

<p>At High Frequency CCO becomes a short Another pole, f_{pc3} is formed by RCO and CL</p>	
$f_{pc3} = \frac{1}{2 \cdot \pi \cdot CL \cdot R_{CO}}$	$f_{pc3} = \frac{1}{2 \cdot \pi \cdot 10\text{nF} \cdot 150} = 10\text{kHz}$

图 9.43: 输出引脚补偿公式: CMOS RRO

我们在图 9.44 中建立一个 TINA Spice 电路, 用于证明可以预测 Z_o 、CCO、RCO 及 CL 对 Aol 曲线所产生的影响的公式。

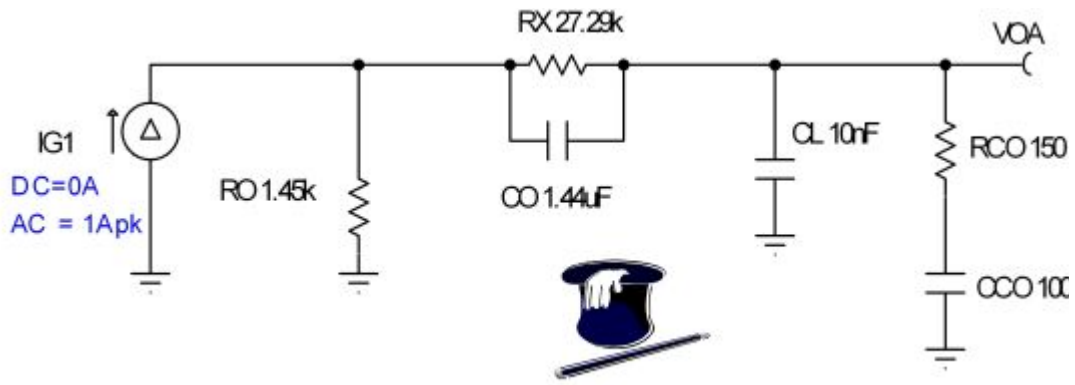


图 9.44: 预测 Z_o 、 CCO 、 RCO 与 CL 造成的 A_{ol} 修正影响的 TINA 电路

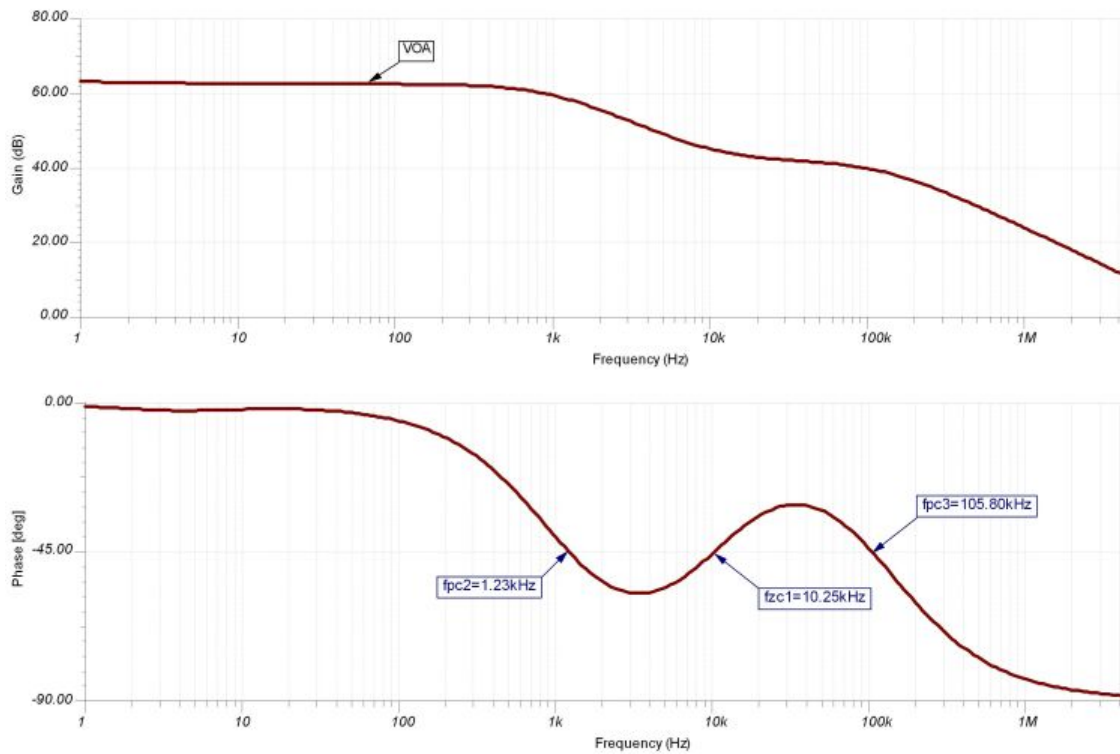


图 9.45: Z_o 、 CCO 、 RCO 及 CL 造成的 A_{ol} 修正影响

我们从图 9.45 可以看出模拟结果，用于检查针对 Z_o 、 CCO 、 RCO 与 CL 的 A_{ol} 修正公式。预测的 $f_{pc2}=1\text{kHz}$ ，实际 $f_{pc2}=1.23\text{kHz}$ ；预测的 $f_{zc2}=10\text{kHz}$ ，实际 $f_{zc2}=10.25\text{kHz}$ ；预测的 $f_{pc3}=106\text{kHz}$ ，实际 $f_{pc3}=105.80\text{kHz}$ 。根据我们的等效 Z_o 模型，我们的预测非常接近模拟结果。

根据图 9.43 的分析及相关模拟证明，我们可以创建如图 9.46 所示的最终 A_{ol} 修正预测。最终闭环响应 V_{out}/V_{in} 预计为平直曲线，直到环路增益在 f_{cl} 位置达到零点，此时预计其遵循所示的 A_{ol} 修正曲线。

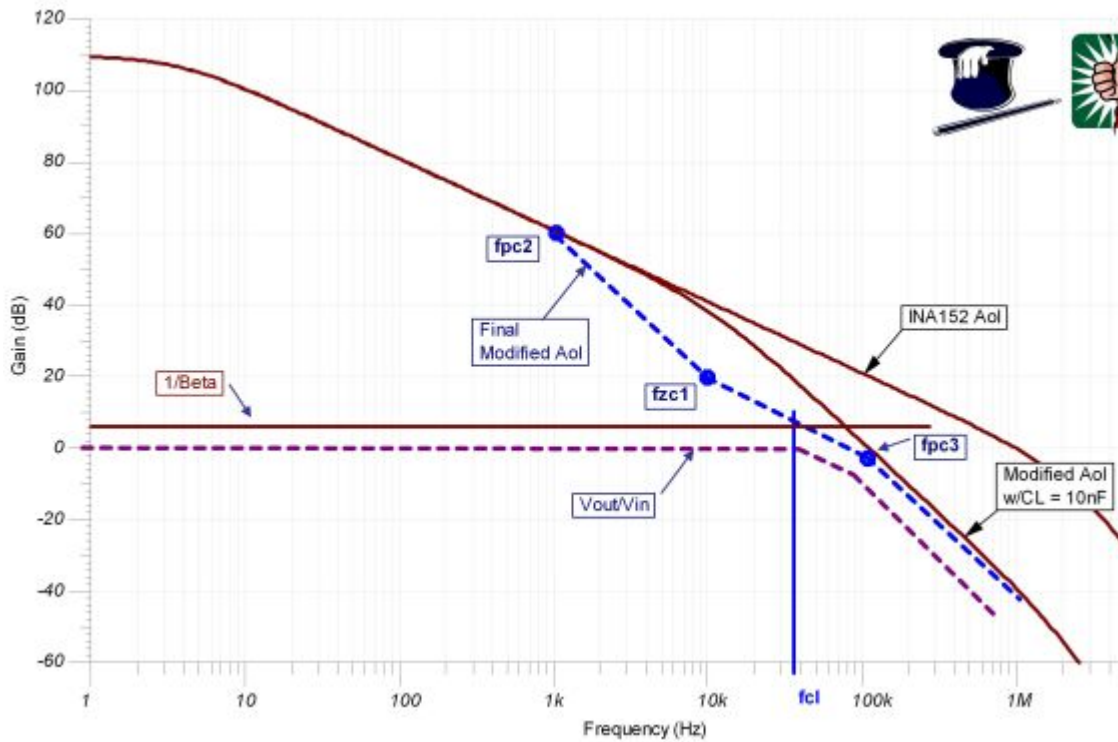


图 9.46: 最终 Aol 修正预测

图 9.47 为采用最终输出引脚补偿的 AC 稳定性测试电路。最终可以产生由于输出引脚补偿与 CL 造成的 Aol 修正曲线。

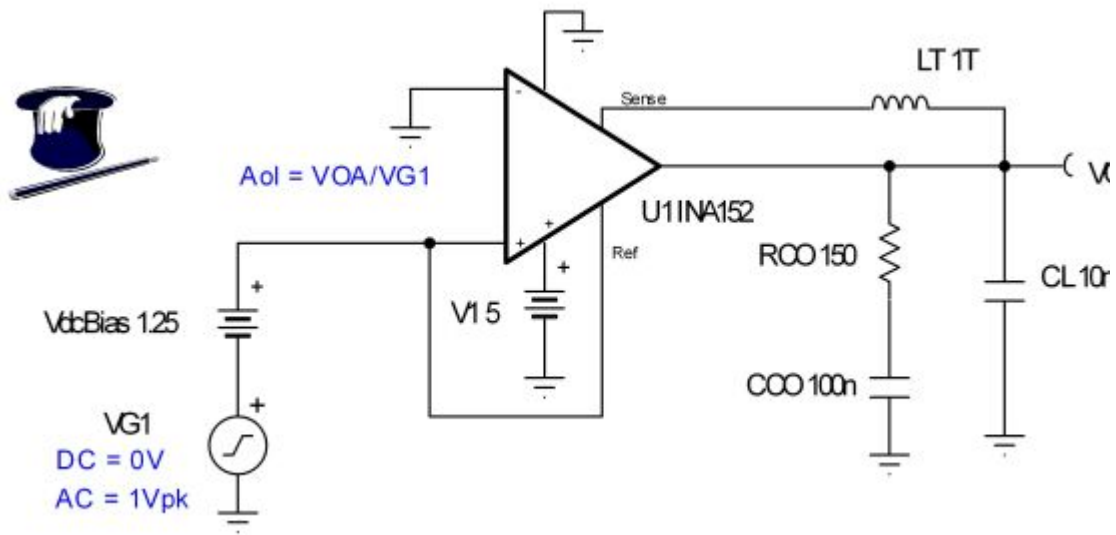


图 9.47: AC 稳定性电路: 输出引脚补偿

图 9.48 说明采用输出引脚补偿方法的最终 Aol 修正结果, 其符合图 9.46 所示的一阶预测。

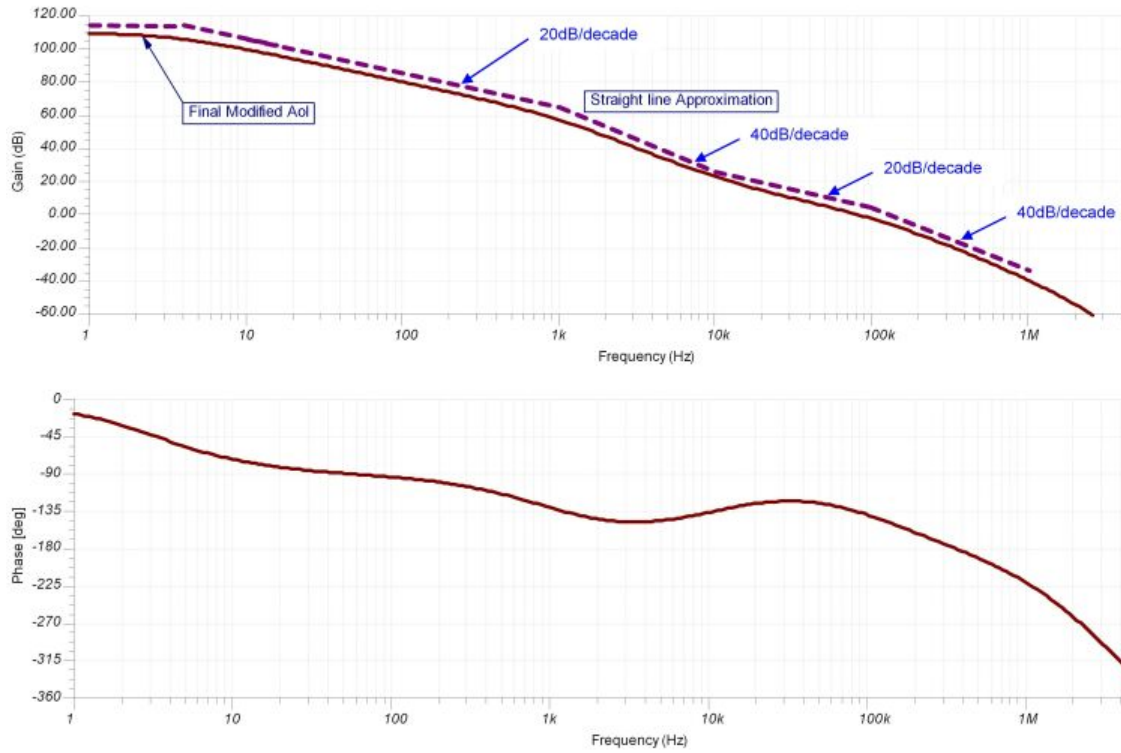


图 9.48: AC 稳定性图: 输出引脚补偿

我们将采用图 9.49 的电路进行基于最终输出引脚补偿的瞬态稳定性测试。

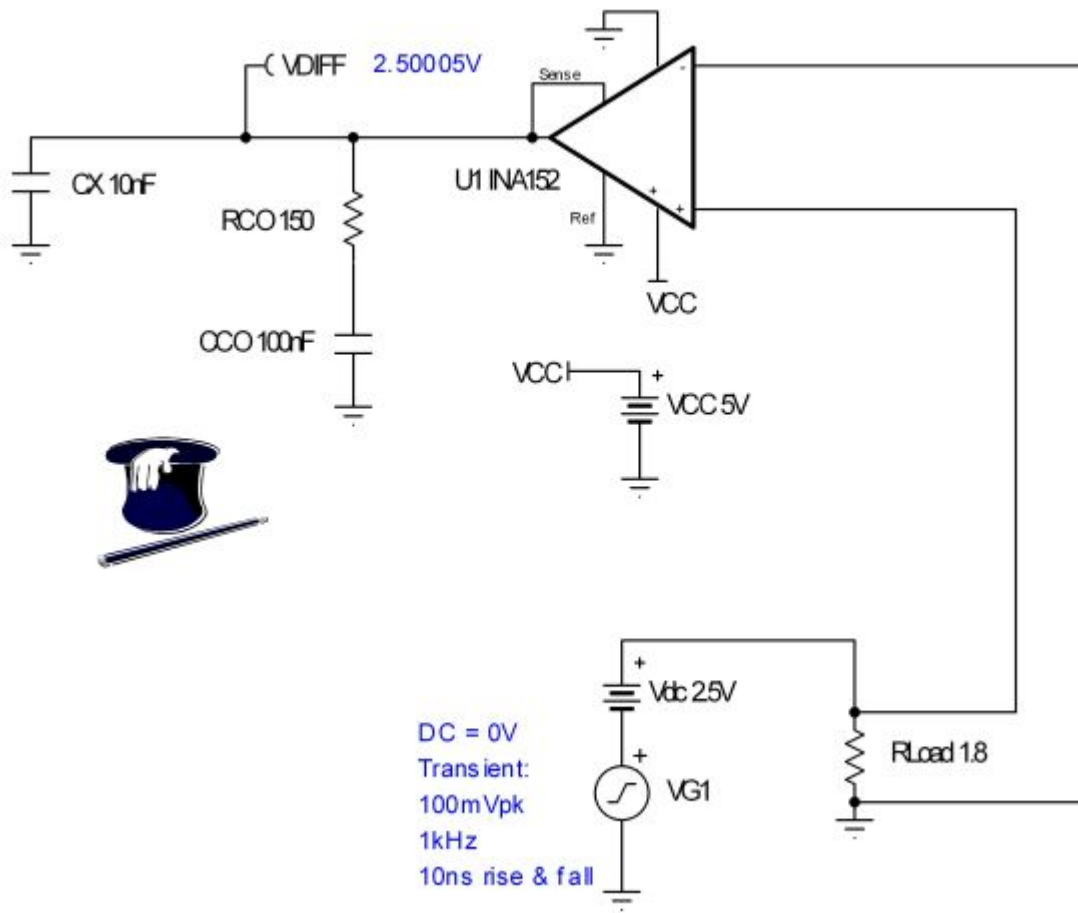


图 9.49: 瞬态稳定性测试: 输出引脚补偿

图 9.50 的瞬态稳定性测试结果证明我们确实已经正确地用于 CMOS RRO 差动放大器的输出引脚补偿方法选择了合理的补偿值。

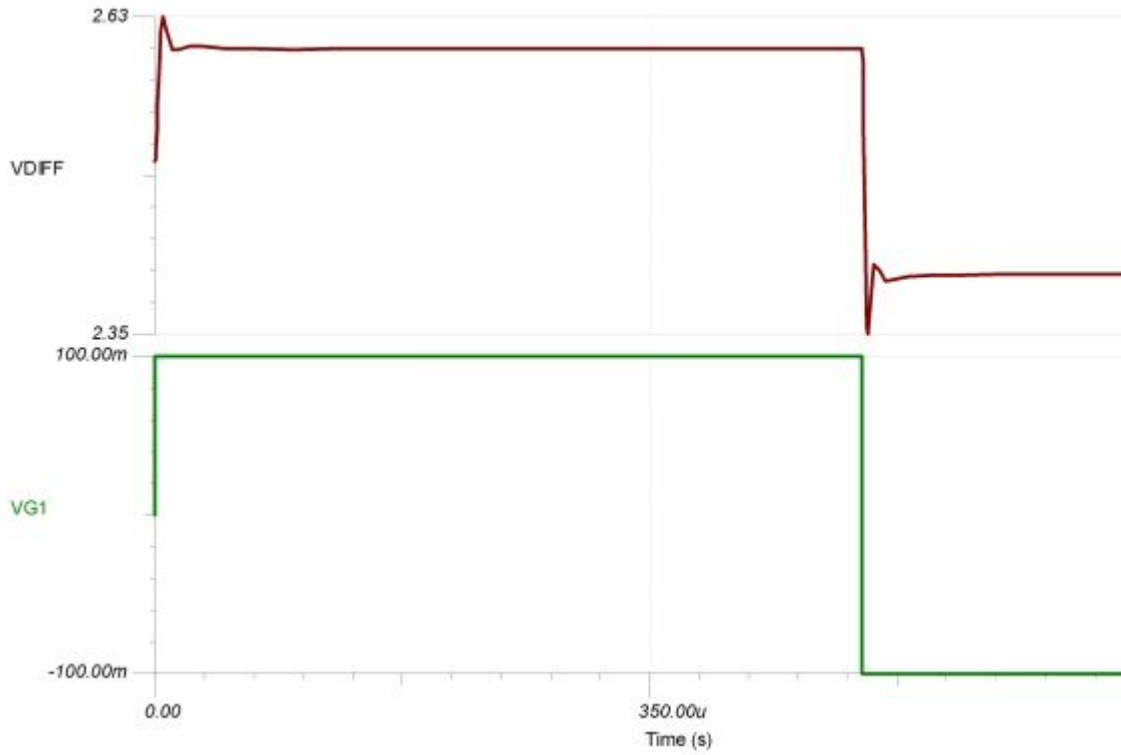


图 9.50: 瞬态稳定性结果: 输出引脚补偿

图 9.51 的 TINA 电路使我们能够确定图 9.46 中的预测 V_{out}/V_{in} 转移函数是否正确。

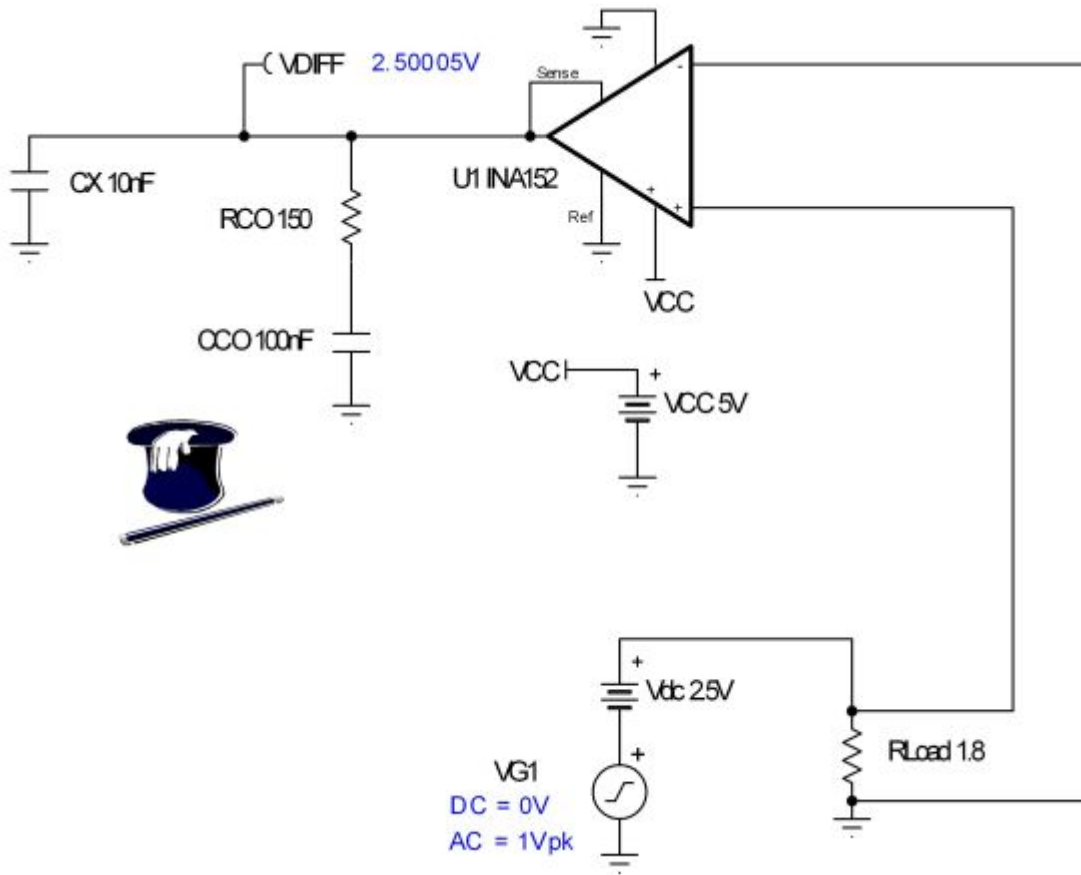


图 9.51: V_{out}/V_{in} AC 响应电路: 输出引脚补偿

我们可以从图 9.52 看出针对由输出引脚补偿方法补偿之后的 INA152 电路的 V_{out}/V_{in} AC 闭环响应。图 9.46 的对比说明我们的预测响应符合模拟结果，闭环响应图从稍高于 35kHz 之处开始倾斜。

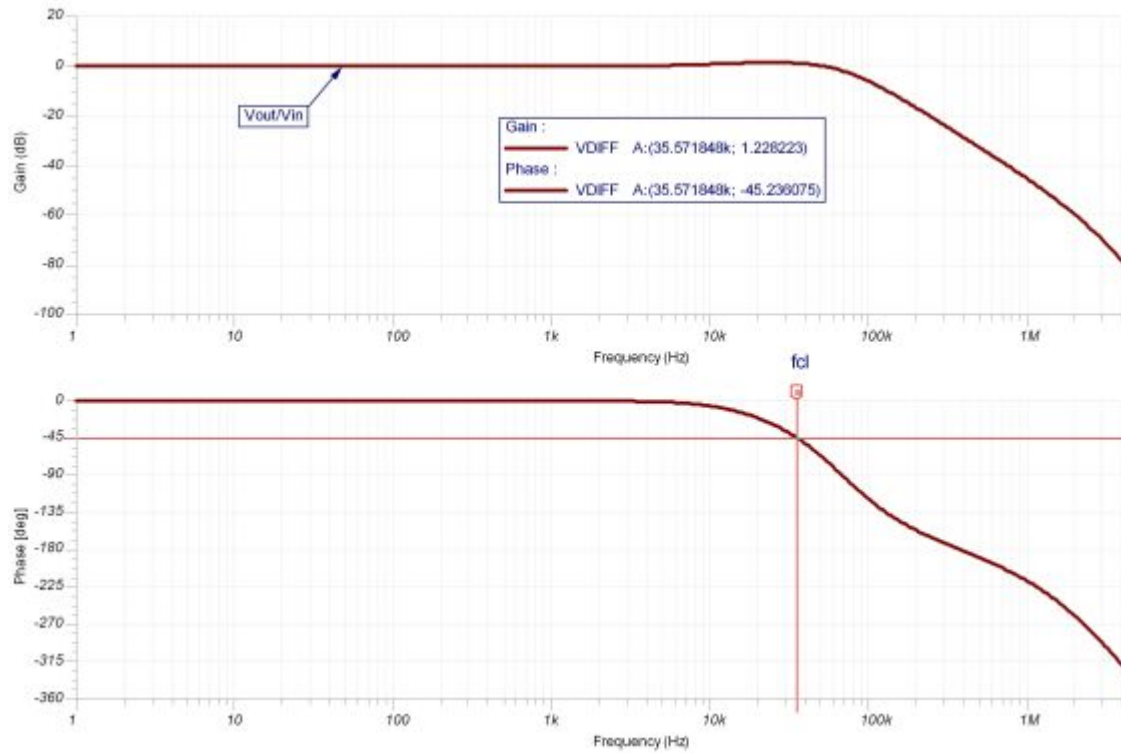


图 9.52: V_{out}/V_{in} AC 响应: 输出引脚补偿

我们在图 9.53 中返回到最初的 CMOS RRO 应用并在 INA152 中增加输出引脚补偿，另外关闭整个环路，以便利用瞬态稳定性测试来检查稳定性。

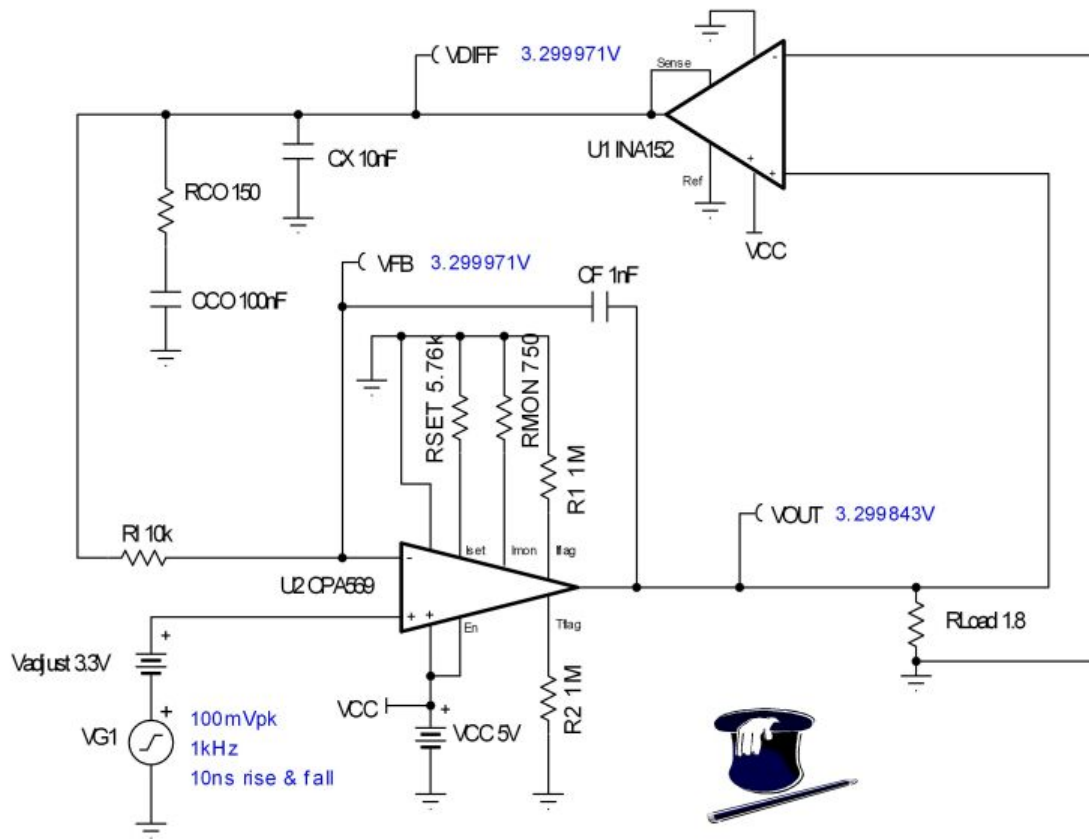


图 9.53: 可编程电源: 输出引脚补偿

图 9.54 表明, 通过利用输出引脚补偿方法消除 INA152 输出的电容负载不稳定性, 我们可以实现稳定的可编程电源。

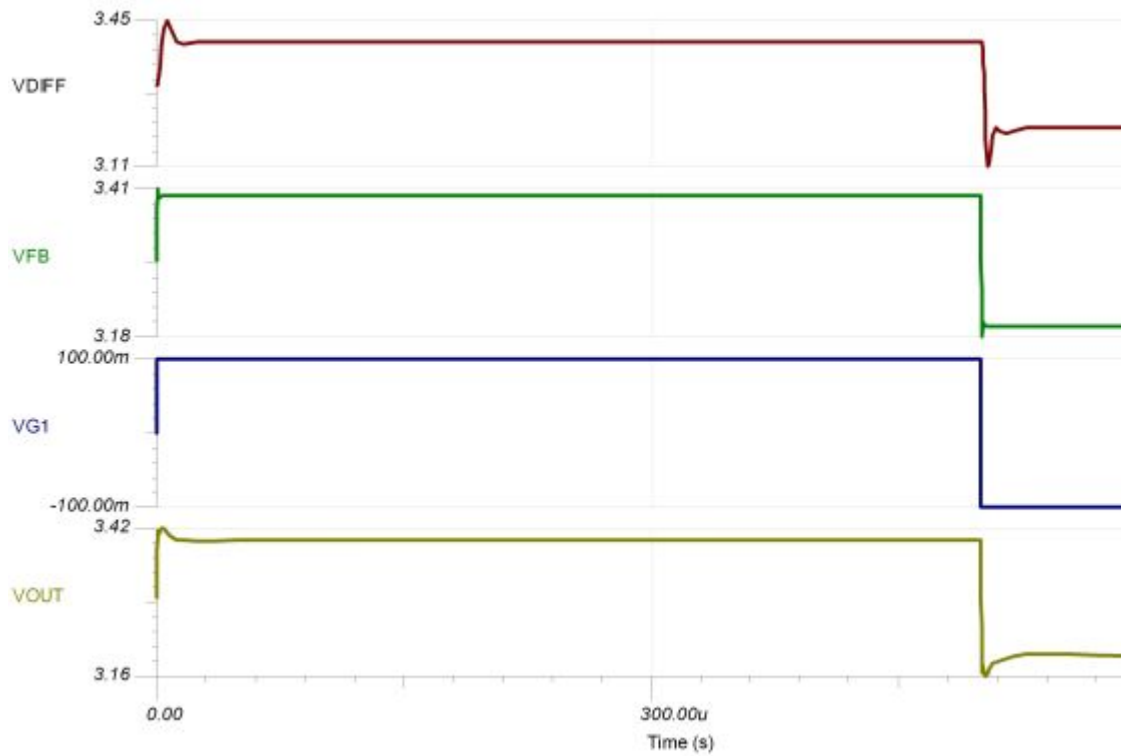
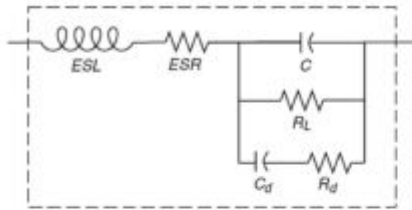


图 9.54: 可编程电源: 基于输出引脚补偿的瞬态稳定性测试

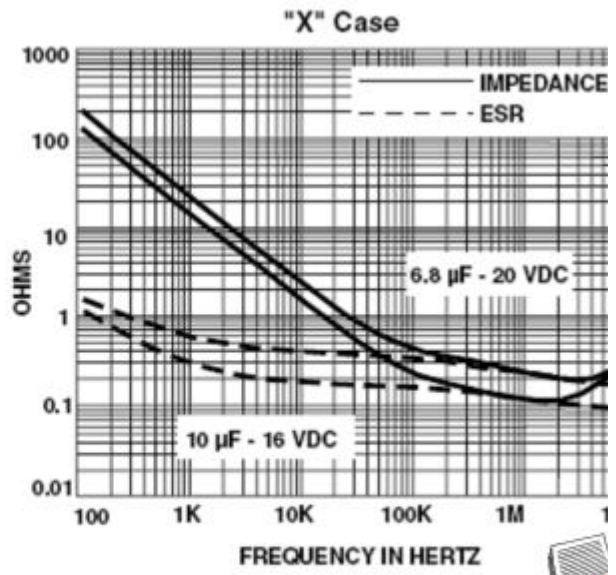
钽电容器简介

在电容器值超过约 1 μ F 情况下，往往采用钽电容器，因为其具有较高的电容值及相对较小的尺寸。钽电容器并非纯粹的电容。它们还具有 ESR 或电阻元件及较低的寄生电感与阻抗（参见图 9.55）。除电容之外，它最重要的组件是 ESR。在采用输出引脚补偿方法实现稳定性时，应当确保 ESR 小于 $RCO/10$ ，以保证 RCO 是主导电阻，从而设定 Aol 修正曲线的零点。



The Real Tantalum Capacitor

Check $ESR < RCO/10$



195D

Vishay Sprague

Solid Tantalum Chip Capacitors
TANTAMOUNT® Conformal Coated



图 9.55: 钽电容器与输出引脚补偿说明

运算放大器稳定性系列

第 10 部分（共 15 部分）：电容性负载的稳定性——具有双通道反馈的 RISO

作者：德州仪器 (TI) 线性应用工程经理 Tim Green

本系列的第 10 部分是我们所熟悉的《电气工程》杂志 (Electrical Engineering) 中《保持电容性负载稳定的六种方法》栏目的第六种方法（也是最后一种方法）。这六种方法包括 Riso、高增益和 CF、噪声增益和 CF、输出引脚补偿以及具有双通道反馈的 RISO。在第 10 部分中，我们将阐述具有双通道反馈的 RISO。

这种拓扑结构通常用于缓冲高精度参考集成电路。作为一种电压缓冲器，运算放大器电路可提供较高的源电流和吸收电流，这两种电流最初均来自高精度参考集成电路。虽然，我们特别关注其中一种电路增益——电压跟随器电路增益，但是，当增益大于 1 时（只对所提供的计算公式做稍微调整），我们仍可以采用具有双通道反馈的 RISO。在此我们将重点讲述两种最主要的运算放大器拓扑结构，即双极发射极跟随器以及 CMOS RRO。分析和合成的步骤和技术相类似，但是，仍存在细微的差别，这些细微的差别足以确保观察到各种不同的输出拓扑结构。为了获得一种意外的收获，我们有意不遵循经以往的历史经验，并创建 BIG NOT 以检测不当稳定性补偿的效果。

从稳定性分析工具套件中，我们可以看到，具有双通道反馈的 RISO 技术由一阶分析得出，经 Tina SPICE 环路稳定性仿真确认，并由 Tina SPICE 中的 Vout/Vin AC 传输函数分析进行检验，最后采用 Tina SPICE 中的实际瞬态稳定性测试方法进行全面的检验。在过去长达 25 年中，我们在真实环境以及实际的电路情况下进行了测算，充分验证了这种电容稳定性技术。然而，由于资源的限制，本文所述电路并未进行实际构建，在此仅供读者练习或在自身特定的技术应用（如分析、合成、仿真、构建以及测试等）中使用。

双极发射极跟随器：具有双通道反馈的 RISO

我们选择用于分析具有双通道反馈的 RISO 的双极发射极跟随器为 OPA177，具体情况请参阅图 10.1。OPA177 为一款低漂移、低输入失调电压运算放大器，其能在 $\pm 3V \sim \pm 15V$ 的电压范围内工作。

OPA177 Precision Operational Amplifier	
Parameter	Specification
Supply Voltage	+/-3V to +/-15V
Quiescent Current	1.3mA typical
Offset Voltage	10uV typical
Offset Drift	0.1uV/C typical
Input Bias Current	+/-0.5nA typical
Input Voltage Noise	85nVrms (1Hz to 100Hz)
Input Voltage Range	(V-)+2V to (V+)-2V
Gain-Bandwidth Product	600kHz
Open Loop Gain	140dB
Open Loop Output Resistance	60 ohms
Slew Rate	0.3V/us
Voltage Output Swing from Rail	2V typical (RL=2k)
Package	DIP-8, SO-8

图 10.1 双极发射极跟随器运算放大器的技术规范

图 10.2 显示了一款典型的双极发射极跟随器的拓扑结构。请注意，用于 V_o 的正负输出驱动均为双极发射极跟随器。目前，包含“等效电路图”（表明运算放大器内部所用输出级的拓扑结构）的产品说明书并不多见。为此，只能通过厂商的内部资料，我们才能确切了解输出级的结构。

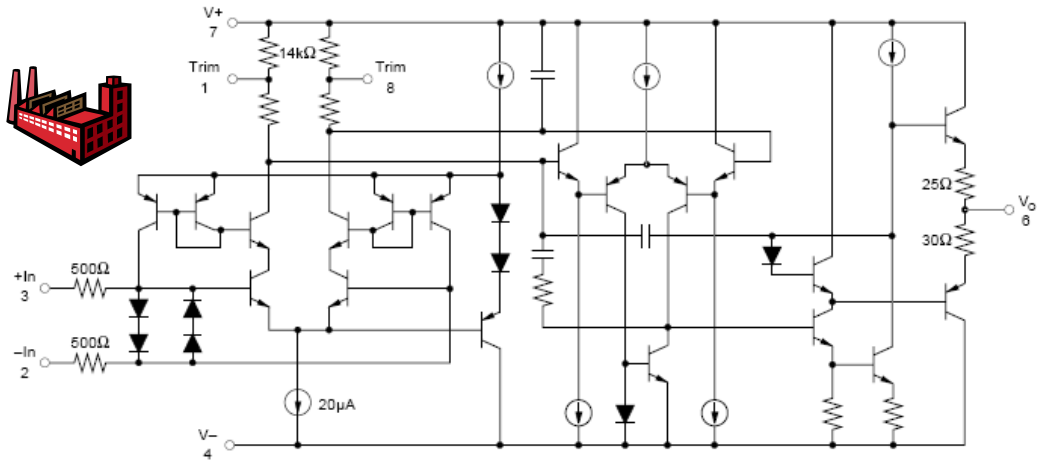
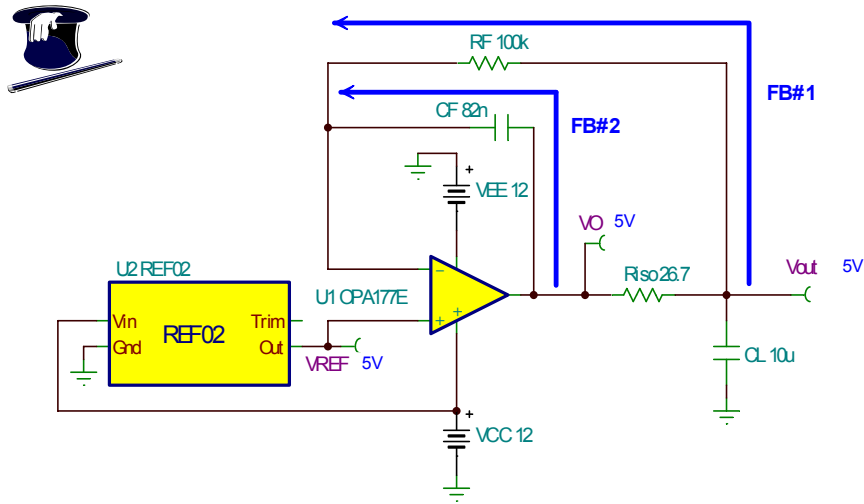


图 10.2 典型双极发射极跟随器运算放大器的拓扑结构

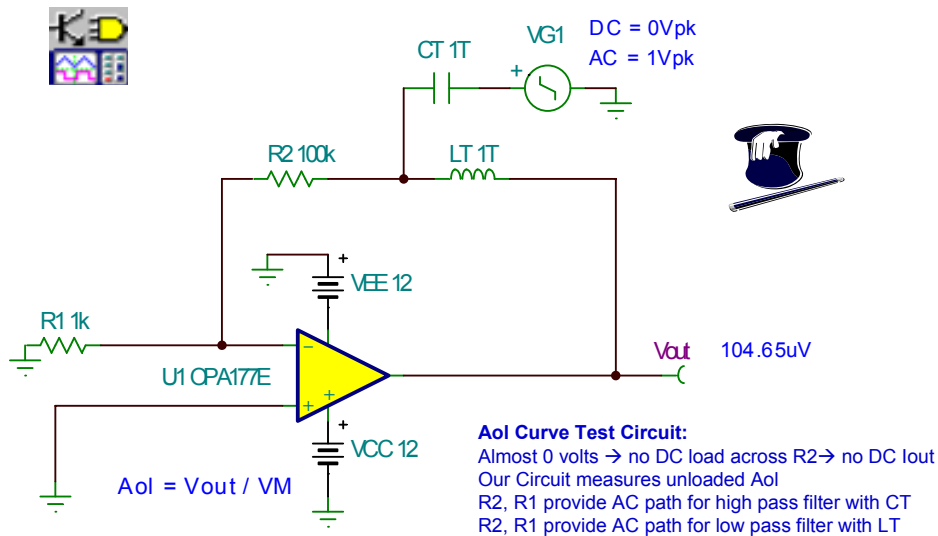
我们用于分析双极发射极跟随器的具有双通道反馈的 RISO 电路如图 10.3 所示。FB#1 通过 RF 直接向负载 (CL) 提供反馈，从而促使 V_{out} 与 V_{REF} 相等。FB#2 通过 CF 提供了第二条反馈通道（在高频率时占支配地位），从而确保了运行的稳定性。Riso 将 FB#1 和 FB#2 相互之间隔离开来。需要注意的是，在目前用于稳定电容性负载的许多技术中，我们采用了经改进的 Aol 方法（当采用这种方法时，运算放大器的输出阻抗和电容性负载改变了运算放大器的 Aol 曲线）。在改变后的 Aol 曲线中，我们在图上标出 $1/\beta$ ，这将有助于电路的稳定运行。当采用具有双通道反馈的 RISO 时，我们发现，更易于维持运算放大器 Aol 曲线不变并在图上标出 FB#1 $1/\beta$ 和 FB#2 $1/\beta$ 曲线。于是，我们将运用叠加的方法，来获得一条最终 (net) 的 $1/B\epsilon\alpha$ 曲线，这样，当在运算放大器的 Aol 曲线上进行标绘时，我们就能够轻松地生成一款针对这种电容性负载稳定性问题的解决方案。



Dual Feedback:
 FB#1 through RF forces accurate Vout across CL
 FB#2 through CF dominates at high frequency for stability
 Riso provides isolation between FB#1 and FB#2

图 10.3 具有双通道反馈的 RISO: 发射极跟随器

一旦我们选择了运算放大器，如图 10.4 所示的 Aol 测试电路就为开展稳定性分析提供了前提基础。Aol 曲线可从产品说明书中获取，或者从如图所示的 Tina SPICE 仿真中测量得出。Aol 测试电路采用双电源供电，即使 Vout 近乎为零伏，我们仍可测量空载时的 Aol 曲线，而且输入共模电压的要求易于满足。R2 和 R1 以及 LT 为低通滤波器函数提供了一条 AC 通道，从而允许我们在反馈通道中进行 DC 短路和 AC 开路操作。务必提请注意的是，在进行 AC 分析前，SPICE 必须开展 DC 闭环分析，以找到电路的工作点。另外，R2 和 R1 以及 CT 为高通滤波器函数提供了一条 AC 通道，这样，使得我们能将 DC 开路和 AC 短路一起并入输入端。LT 和 CT 按大数值等级选用，以确保其在各种相关的 AC 频率时，电路短路和开路情况下的正常运行。



Aol Curve Test Circuit:
 Almost 0 volts → no DC load across R2 → no DC lout
 Our Circuit measures unloaded Aol
 R2, R1 provide AC path for high pass filter with CT
 R2, R1 provide AC path for low pass filter with LT

图 10.4 Aol 测试示意图: 发射极跟随器

从 Tina SPICE 仿真测量得出的 OPA177 Aol 曲线如图 10.5 所示。测量得出的单位增益带宽为 607.2kHz。

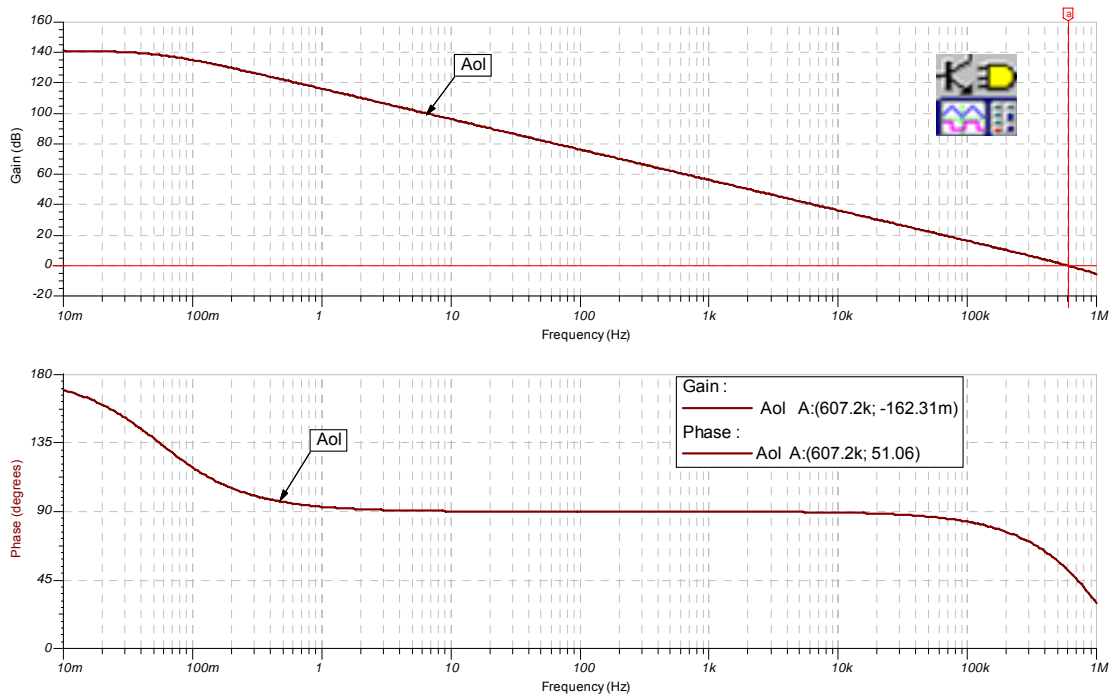


图 10.5 Aol 测试结果：发射极跟随器

现在，我们必须测量如图 10.6 所示的 Z_o （小信号 AC 开环输出阻抗）。该 Tina SPICE 测试电路将测试空载 OPA177 的 Z_o 。R2 和 R1 以及 LT 为低通滤波器函数提供了一条 AC 通道，这样，使得我们能将 DC 短路和 AC 开路一起并入反馈电路。DC 工作点在输出端显示为接近零伏，这也就是说，OPA177 没有电流流入或流出。此时，通过运用 1Apk AC 电流生成器（我们能够扫视 10mHz 至 1MHz 的 AC 频率范围）， Z_o 的测量工作就可以轻松完成。最后，得出测量结果 $Z_o = V_{out}$ （如果将测量结果的单位从 dB 转换为线性或对数，那么 V_{out} 也将为以欧姆为单位的 Z_o ）。

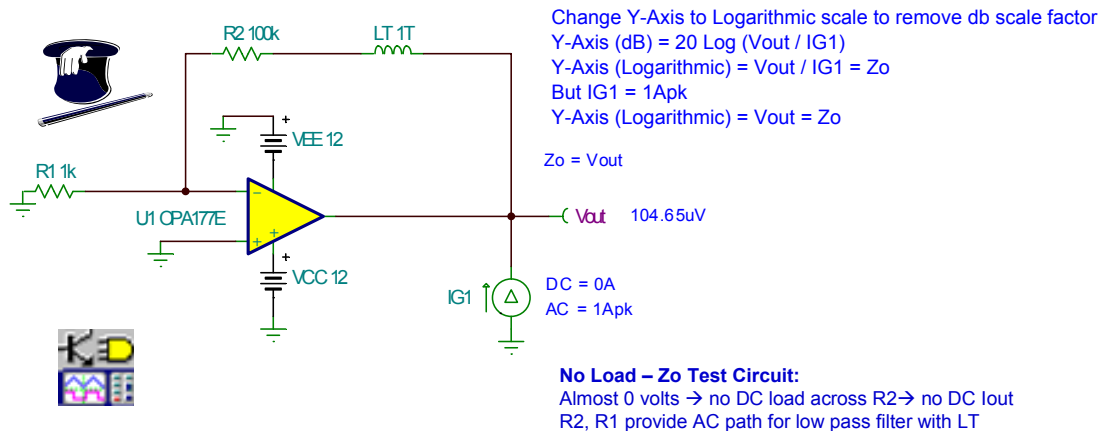


图 10.6 空载 Z_o 测试电路：发射极跟随器

从图 10.7 中，我们可以看出，OPA177 Z_o 是双极发射极跟随器输出级所独有的特征，而且这种输出级的 R_o 在 OPA177 单位增益带宽之内，是控制输出阻抗的专门组件。OPA177 的 R_o 为 60 欧姆。

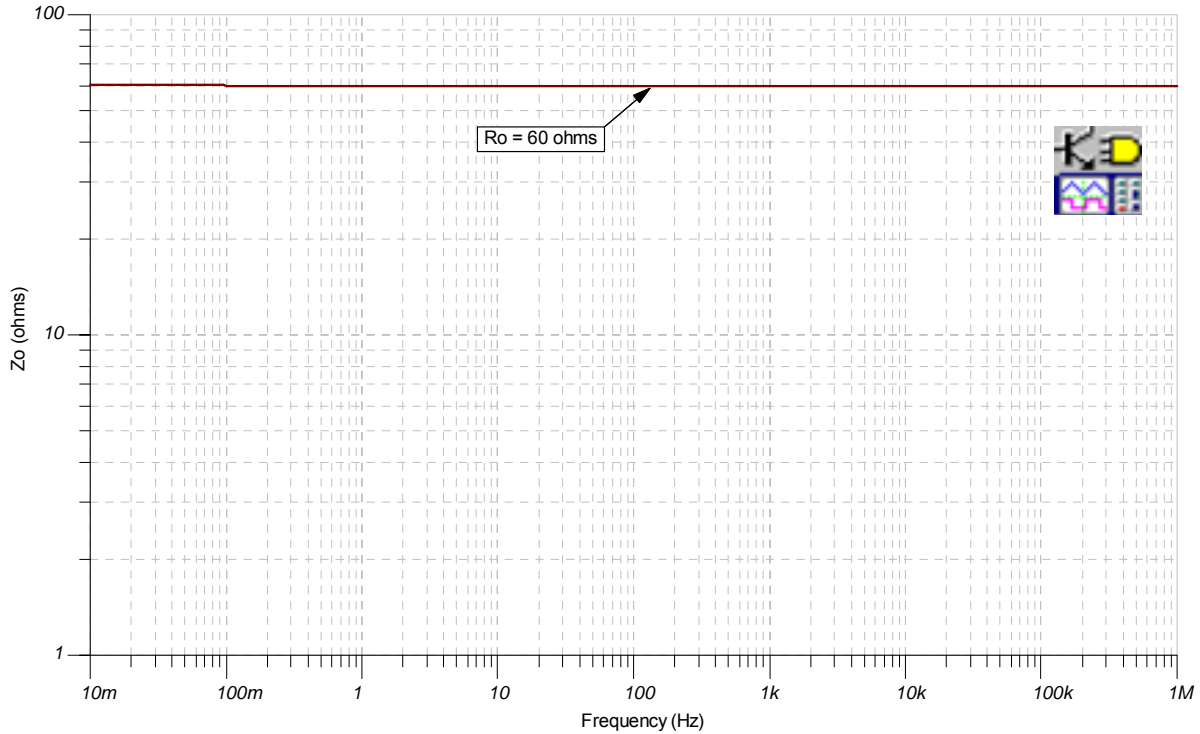
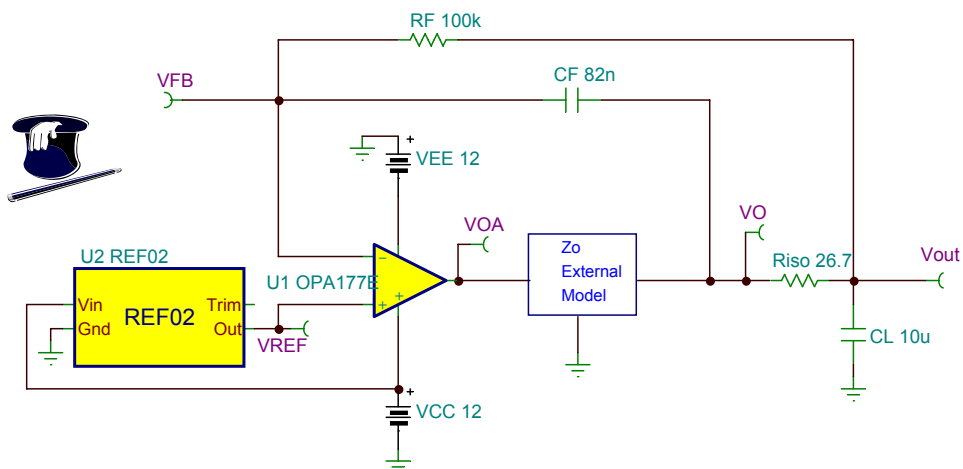


图 10.7 开环输出阻抗：发射极跟随器



Zo External Model:
 U1 is complete SPICE macromodel of OPA177 with data sheet Aol curve and Zo
 Zo is moved outside of the op amp macromodel to form a new macromodel
 Allows for simulation of $1/\beta$ with effects of Zo and external loads

图 10.8 Z_o 外部模型：发射极跟随器

为了使 $1/\beta$ 分析的情况包括在 Z_o 与 R_{iso} 、 CL 、 CF 以及 RF 之间相互作用的影响结果内，我们需将 Z_o 从运算放大器的宏模型中分离出来，以便于弄清楚电路中所需的节点。这种构思如图 10.8 所示。U1 将提供了产品说明书中的 A_{ol} 曲线，并从 R_{iso} 、 CL 、 CF 以及 RF 的各种影响中得到缓冲。

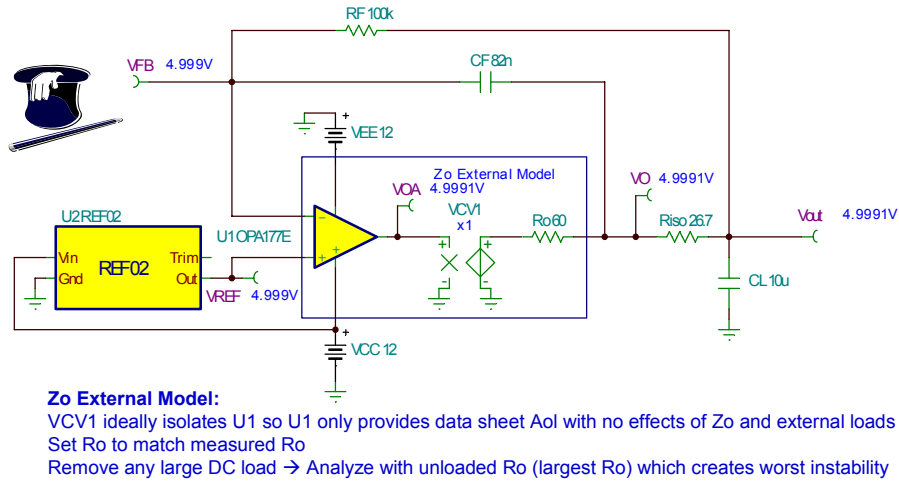


图 10.9 Z_o 外部模型详图：发射极跟随器

通过如图 10.9 所示的 Z_o 外部模型，我们能够测量 Z_o 与 R_{iso} 、 CL 、 RF 以及 CF 之间相互作用对 $1/\beta$ 的影响。在 Z_o 外部模型中，设置 $R_o = R_o$ OPA177，实际测量值为 60 欧姆。压控电压源 VCV1 将运算放大器宏模型 U1 从 R_o 、 R_{iso} 、 CL 、 CF 以及 RF 中隔离开来。将 VCV1 设置为 $\times 1$ ，以确保产品说明书中的 A_{ol} 增益不变。由于我们要在稳定性状况最糟的情况下（只存在 CL 以及我们计算得出的空载 Z_o [此时 $R_o=60$ 欧姆]）分析这种电路，因此，务必排除各种大的 DC 负载。VOA 是一个与运算放大器相连的内部节点，在实际工作中，我们无法实现对这种节点的测量。同时，许多 SPICE 宏模型上的这种内部节点接入，也并非易事。对 $1/\beta$ 进行分析（相对于 VOA），已涵盖了 R_o 、 R_{iso} 、 CL 、 CF 以及 RF 的影响。如果未采用 Z_o 外部模型，SPICE 中的最终稳定性仿真就无法标绘出 $1/\beta$ 的曲线；但是，如果采用 Z_o 外部模型，则可标绘出环路增益的曲线以确认我们分析的正确性。

首先，我们要分析如图 10.10 所示的 FB#1。请注意，由于我们只分析 FB#1，所以 CF 可视为处于开路状态。接下来，我们将分析 FB#2。然后，通过采用叠加的方法，将两条反馈通道合并在一起，求取最终的 $1/\beta$ 。分析结果如图上所示，有关的公式推导和具体细节，请参阅下一张图（图 10.11）。我们发现，当 $f_{zx}=183.57\text{Hz}$ 时，FB#1 $1/\beta$ 曲线的增益为零。低频 $1/\beta$ 值为 1。如欲获得该增益，那么低频 $1/\beta$ 值应大于 1。

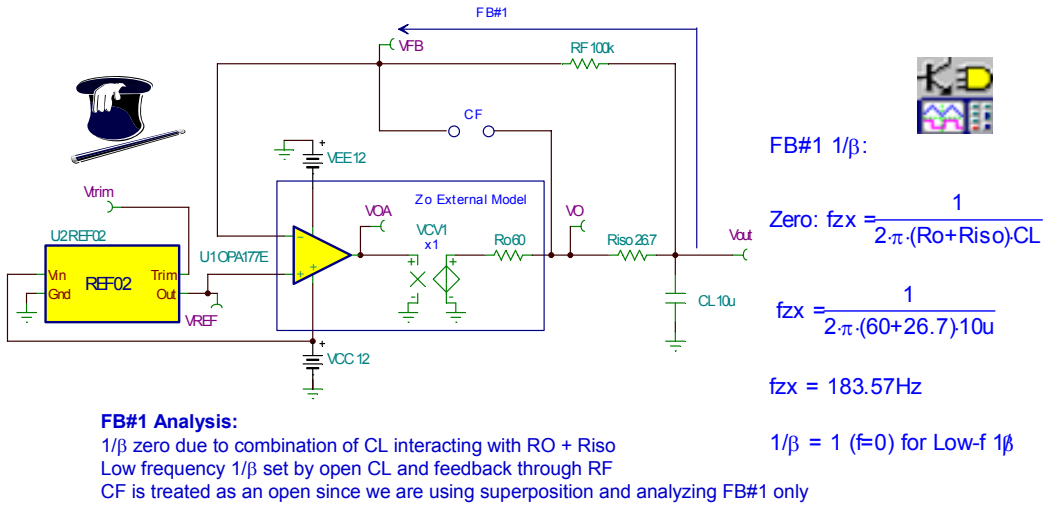


图 10.10 FB#1 分析: 发射极跟随器

<p>FB#1 β Derivation:</p> $\beta = \frac{V_{FB}}{V_{OA}}$ $\beta = \frac{XCL}{Ro+Riso+XCL}$ $\beta = \frac{\frac{1}{SCL}}{Ro+Riso+\frac{1}{SCL}}$ $\beta = \frac{1}{(Ro+Riso)SCL+1}$ $\beta = \frac{1}{S+\frac{1}{(Ro+Riso)CL}}$ <p>Pole: $f_{px} = \frac{1}{2\pi \cdot (Ro+Riso) \cdot CL}$</p> <p>$\beta = 1 (f=0)$ for Low-fβ</p>		<p>FB#1 1/β Derivation:</p> $1/\beta = \frac{V_{OA}}{V_{FB}}$ $1/\beta = \frac{Ro+Riso+XCL}{XCL}$ $1/\beta = \frac{Ro+Riso+\frac{1}{SCL}}{\frac{1}{SCL}}$ $1/\beta = \frac{(Ro+Riso)SCL+1}{1}$ $1/\beta = \frac{S+\frac{1}{(Ro+Riso)CL}}{\frac{1}{(Ro+Riso)CL}}$ <p>Zero: $f_{zx} = \frac{1}{2\pi \cdot (Ro+Riso) \cdot CL}$</p> <p>$1/\beta = 1 (f=0)$ for Low-f 1β</p>
---	--	---

图 10.11 FB#1 1/β 公式的推导: 发射极跟随器

FB#1β 的公式推导如图 10.11 左侧所示。由于 1/β 是 β 的倒数，所以 FB#1 1/β 的计算结果可以轻而易举的被推导出来，具体推导过程，请参阅图 10.11 右侧。从图中我们还发现，在 β 推导过程中的 pole, fpx 变成了 1/β 推导过程中的 zero, fzx。

我们将采用如图 10.12 所示的电路来开展 AC 分析：通过 Tina SPICE，求取 FB#1 的 1/β，OPA177 的 Aol 以及只采用 FB#1 电路的环路增益。正因为如此，所以我们将 CF 从图中除去。

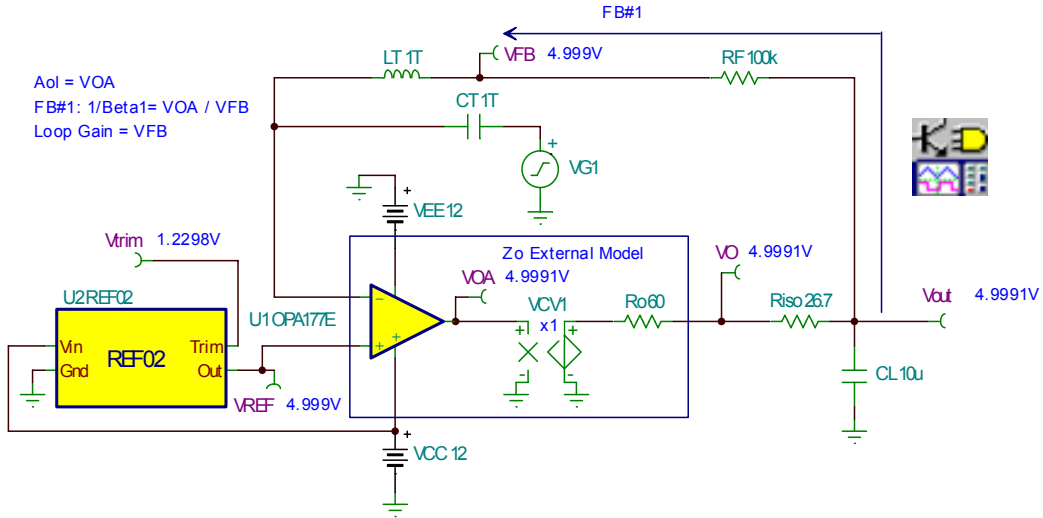


图 10.12 FB#1 AC 电路分析：发射极跟随器

FB#1 $1/\beta$ 的结果标示在图 10.13 中的 OPA177 Aol 曲线上。在环路增益为零的 fcl 处，我们发现，接近速率为 40dB/decade:

$$[(\text{Aol 曲线上的 } -20\text{dB/decade}) - (\text{FB\#1 } 1/\beta \text{ 曲线上的 } +20\text{dB/decade}) = -40\text{dB/decade 接近速率}]$$

接近速率的经验数据表明了存在的不稳定性。我们对 FB#1 的分析是基于 zero、fzx = 183.57Hz，低频 $1/\beta = 1$ 的情况。从图 10.13 中可以看出，我们的一阶分析准确地推算出了 FB#1 $1/\beta$ 的数值。

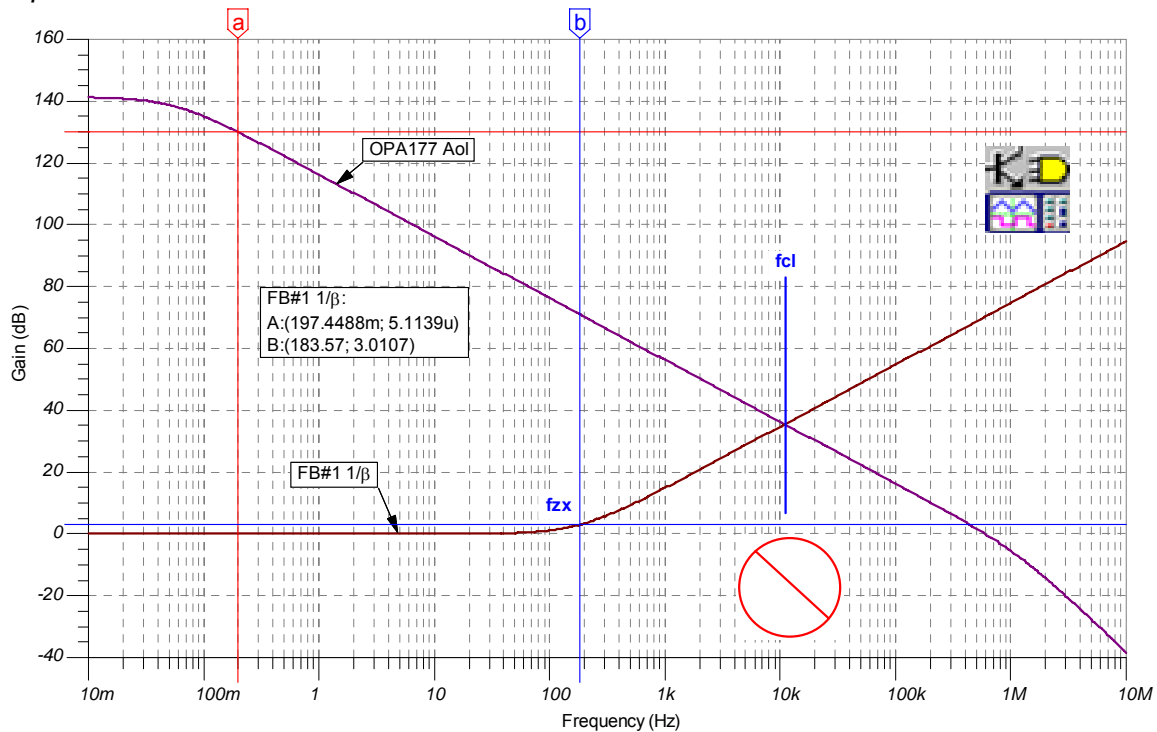


图 10.13 FB#1 $1/\beta$ 曲线图：发射极跟随器

从图 10.14 中我们发现，只配置 FB#1 的电路环路增益分析显示，在环路增益为零的 fcl 处，相位裕度接近零。这样，就明确证实了电路的不稳定性。通过检测图 10.13 中 Aol 曲线上的 FB#1 1/β 曲线，可推算出环路增益曲线上的极点和零点。

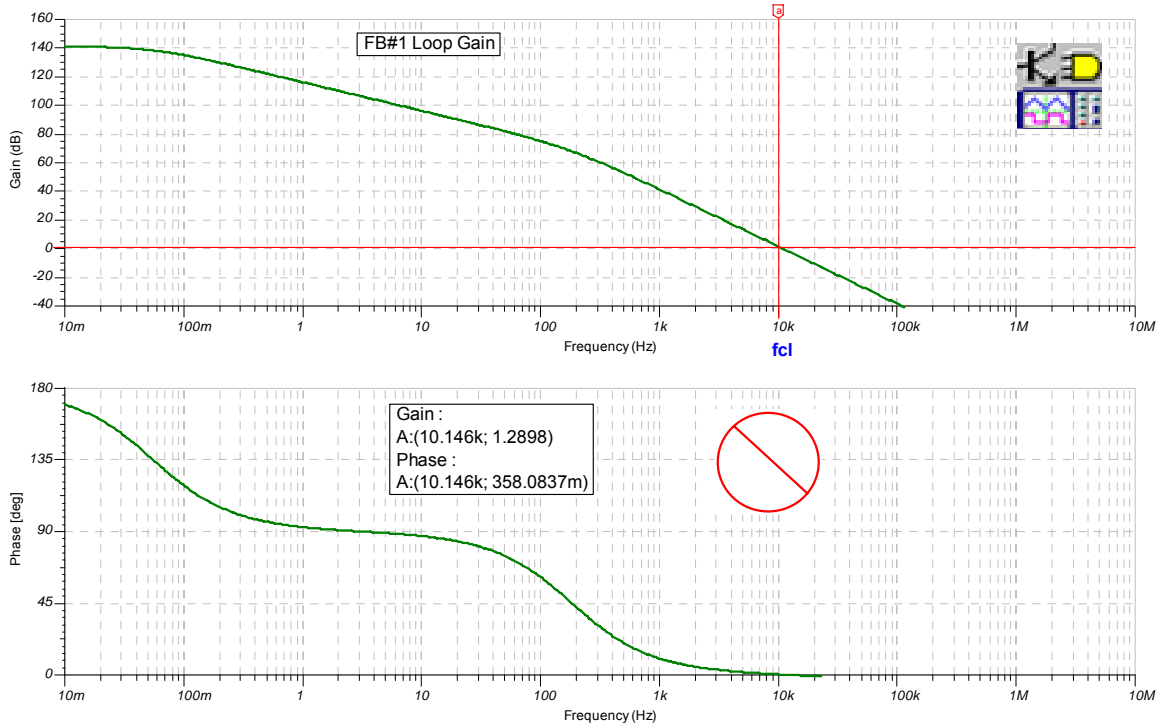


图 10.14 FB#1 环路增益分析：发射极跟随器

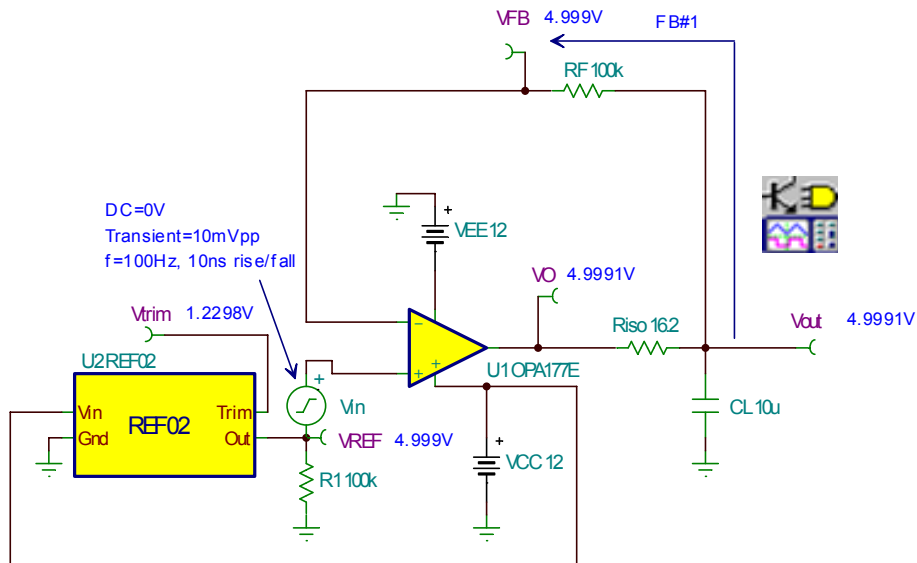


图 10.15 FB#1 瞬态稳定性测试电路：发射极跟随器

如果我们有任何疑问，或如果只采用 FB#1 构建参考缓冲电路，此时，我们可运用如图 10.15 中的电路，进行实际的瞬态稳定性测试。

图 10.16 中的瞬态稳定性测试结果同时与 A_{ol} 曲线上的 $1/\beta$ 值和环路增益曲线一致，因此，证明了只采用 FB#1 构建参考缓冲电路，将导致电路运行的不稳定性。

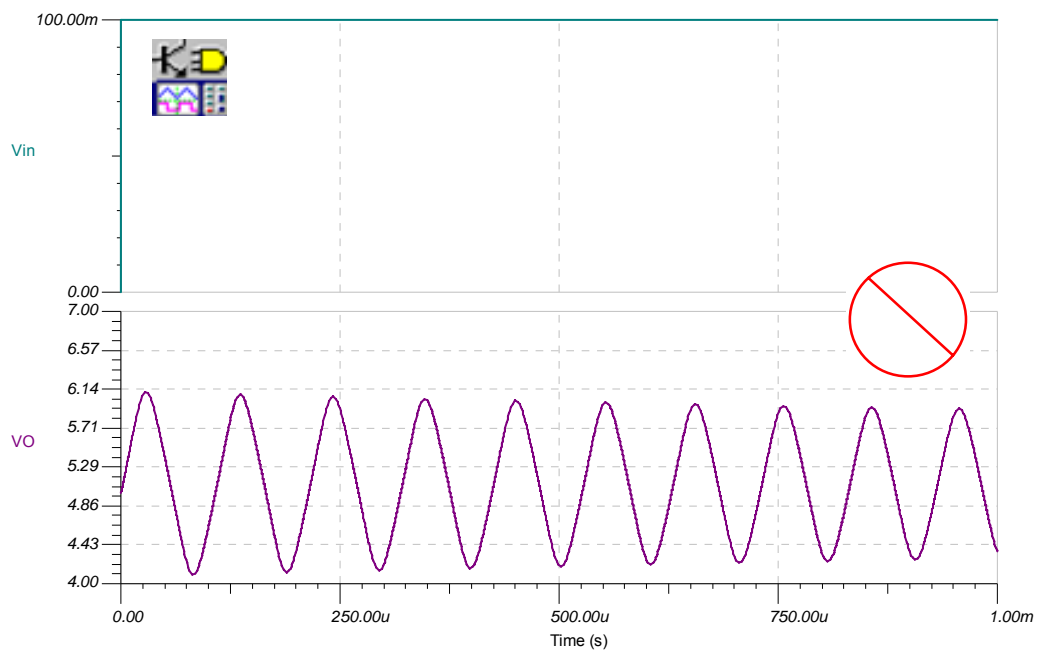


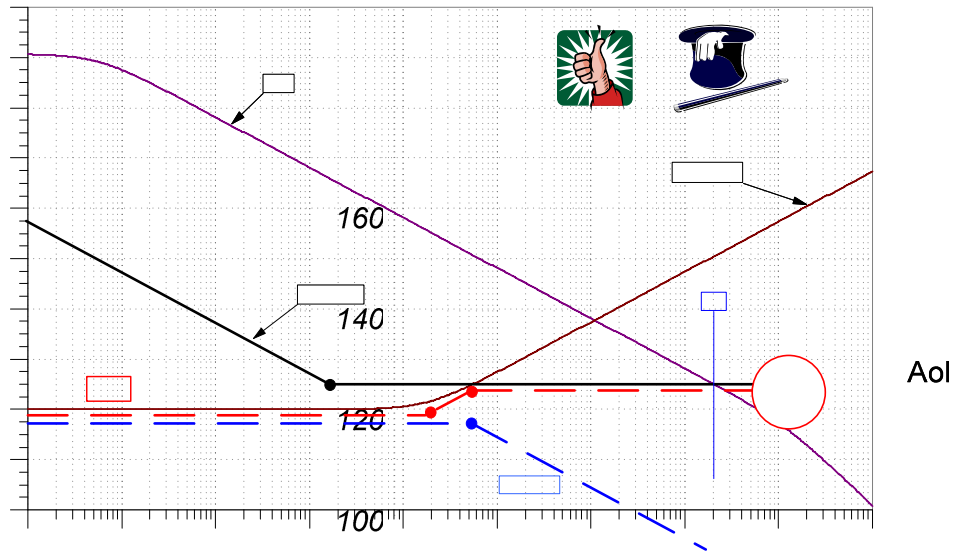
图 10.16 FB#1 瞬态稳定性测试：发射极跟随器

现在，我们必须弄清楚如何生成一款解决方案，以保证电容性负载参考缓冲电路的稳定性。此时，我们进一步了解了如图 10.17 所示的 A_{ol} 曲线和 FB#1 $1/\beta$ 曲线。如果我们添加如图 10.17 所示的 FB#2 $1/\beta$ 曲线，我们则会看到一条最终的 $1/\beta$ 曲线，这样，根据 f_{cl} 处的接近速率以往的稳定性经验，我们可以推断电路的运行也将是稳定的。

另外，我们将促使 f_{pc} 低于 $1/\beta$ 曲线中的 f_{zx} 一个 decade，以确保当频率低于 f_{cl} 时，相位裕度优于 45 度。上述工作通过调整 $1/\beta$ FB#2 的高频部分，使其比 FB#1 低频 $1/\beta$ 高出 +10dB。然后，设置 f_{za} ，使其至少低于 f_{pc} 一个 decade，以确保当实际应用中参数变化时，能够避免 BIG NOT。通过观察，我们发现，最终的 $1/\beta$ 曲线是在 FB#1 $1/\beta$ 曲线和 FB#2 $1/\beta$ 曲线中选择最小数值的 $1/\beta$ 通道而形成的。

务必请记住，在双反馈通道中，从运算放大器输出端至负极输入端的最大电压反馈将主导着整个反馈电路。最大的反馈电压意味着 β 值最大或者是 $1/\beta$ 值最小。图 10.18 向我们展示了这种关键的推算技巧。

最后，在 FB#2 取得支配地位之前，预计 V_{out}/V_{in} 的传输函数将随着 FB#1 的变化而变化。此时， V_{out}/V_{in} 将会衰减至 -20dB/decade ，直至 FB#2 与 A_{ol} 曲线相交，然后，将随着 A_{ol} 曲线下降。



Adding FB#2 for Stability:
 Set FB#2 High-f $1/\beta = +10\text{db}$ greater than FB#1 Low-f $1/\beta$: best phase margin within loop gain bandwidth
 Set f_{za} in FB#2 $1/\beta = 0.1f_{zx}$ in FB#1 $1/\beta$

图 10.17 图解分析：发射极跟随器

Question:
 How will the two feedbacks combine?

Answer:
 The largest β (smallest $1/\beta$) will dominate!



Gain (dB)

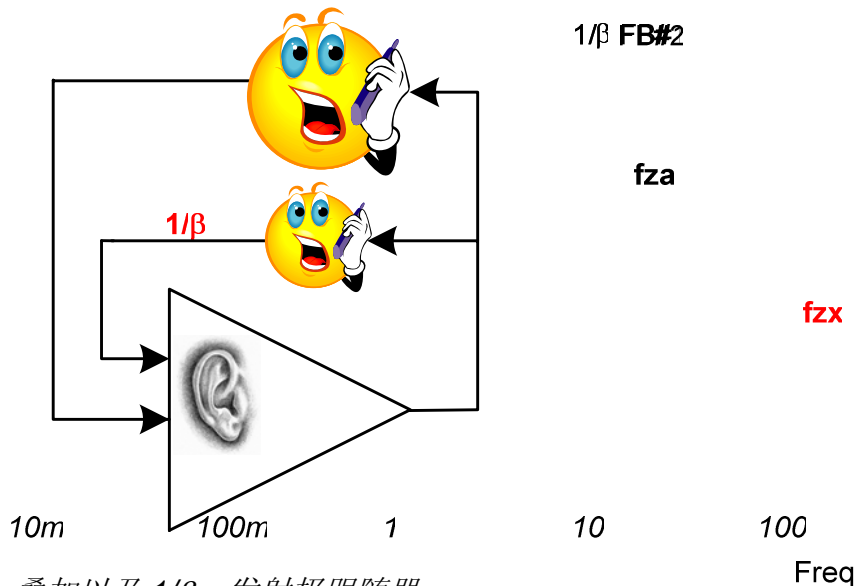
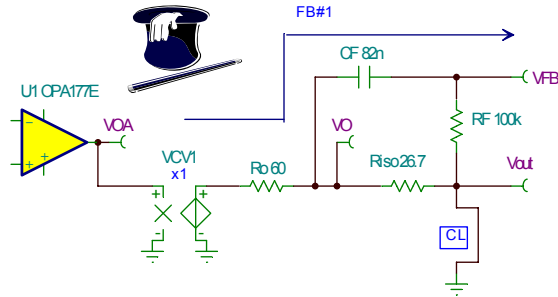


图 10.18：双通道反馈、叠加以及 $1/\beta$ ：发射极跟随器

图 10.18 告诉我们，当整个运算放大器电路采用双通道反馈电路时，最大的 β 值电路将居支配地位。一个很明显的例子就是，如果有两个人对着您的同一只耳朵讲话，您会更易于听到哪个人的讲话？当然是嗓门最大的那个人！同样的道理，运算放大器也将会“听到” β 值最大或 $1/\beta$ 值最小的反馈电路。运算放大器察觉到最终的 $1/\beta$ 曲线将是在各种 FB#1 $1/\beta$ 或 FB#2 $1/\beta$ 频率时，频率较低的那一条曲线。

如图 10.19 所示，里面会有一些主要的假设。我们将这些假设运用于几乎所有的具有双通道反馈的 RISO 电路中。首先，我们假设 $CL > 10 * CF$ ，这也就是说，在高频率时，CL 早在 CF 短

路前短路。因此，我们将短路 CL 以排除 FB#1，从而便于单独分析 FB#2。另外，我们假设 $RF > 10 \cdot R_{iso}$ ，这意味着作为 R_{iso} 的负载，该 RF 几乎完全失效。从图 10.19 和图 10.20 中具体的公式推导，我们可以看出，当 zero, $f_{za} = 19.41\text{Hz}$ （由 RF 和 CF 产生）时，FB#2 在原点拥有一个极点。由于在高频时， CF 和 CL 同时处于短路状态，所以 FB#2 高频 $1/\beta$ 部分即为 $R_o + R_{iso}$ 与 R_{iso} 之间的比值。FB#2 $1/\beta$ 的公式推导请参阅下一张图（图 10.20），有关计算结果请参阅下图。FB#2 高频 $1/\beta$ 设置为 3.25dB 或 10.24dB、原点拥有一个极点以及当频率为 19.41Hz 时的零点。



FB#2 Analysis:
 $1/\beta$ pole at the origin
 $1/\beta$ zero set by RF and CF
 High-f $1/\beta$ set by R_o and R_{iso}
 $CL = \text{zero}$ since we are using superposition and only analyzing FB#2

Assume:
 $CL > 10CF$
 $RF > 10R_{iso}$

$$\beta = \frac{V_{FB}}{V_{OA}}$$

$$1/\beta = \frac{V_{OA}}{V_{FB}}$$

High Frequency β :
 $CL = \text{short}$

By Inspection:
 $1/\beta = \frac{R_o + R_{iso}}{R_{iso}}$ for High-f $1/\beta$

$$1/\beta = \frac{60 + 26.7}{26.7} \text{ for High-f } 1/\beta$$

$1/\beta = 3.25$ or 10.24dB for High-f $1/\beta$



FB#2 $1/\beta$ Calculation:

Pole: At Origin

$$\text{Zero: } \frac{1}{2\pi \cdot RF \cdot CF}$$

$$\text{Zero: } \frac{1}{2\pi \cdot 100k \cdot 82nF}$$

Zero: $f_{za} = 19.41\text{Hz}$

图 10.19 FB#2 分析：发射极跟随器

FB#2 β Derivation:

FB#2 β Calculation:

$$V_{FB} = \frac{V_{OA} \cdot RF}{XCF + RF}$$

$$\frac{V_{FB}}{V_{OA}} = \frac{RF}{RF + \frac{1}{SCF}}$$

$$\frac{V_{FB}}{V_{OA}} = \frac{SCF \cdot RF}{SCF \cdot RF + 1}$$

$$\frac{V_{FB}}{V_{OA}} = \frac{S}{1 + S + CF \cdot RF}$$

This Implies:

Zero: At Origin

$$\text{Pole: } f_{pa} = \frac{1}{2\pi \cdot RF \cdot CF}$$

Assume:

$CL > 10CF$

$RF > 10R_{iso}$

$$\beta = \frac{V_{FB}}{V_{OA}}$$

$$1/\beta = \frac{V_{OA}}{V_{FB}}$$

High Frequency β :

$CL = \text{short}$

By Inspection:

$$\beta = \frac{R_{iso}}{R_o + R_{iso}}: \beta \text{ High-f}$$

$$1/\beta = \frac{R_o + R_{iso}}{R_{iso}}: 1/\beta \text{ High-f}$$



FB#2 $1/\beta$ Derivation:

FB#2 $1/\beta$ Calculation:

$$V_{FB} = \frac{V_{OA} \cdot RF}{XCF + RF}$$

$$\frac{V_{OA}}{V_{FB}} = \frac{RF + \frac{1}{SCF}}{RF}$$

$$\frac{V_{OA}}{V_{FB}} = \frac{SCF \cdot RF + 1}{SCF \cdot RF}$$

$$\frac{V_{OA}}{V_{FB}} = \frac{1}{S + CF \cdot RF}$$

This Implies:

Pole: At Origin

$$\text{Zero: } f_{za} = \frac{1}{2\pi \cdot RF \cdot CF}$$

图 10.20 FB#2 $1/\beta$ 公式推导：发射极跟随器

FB#2 β 的公式推导如图 10.20 左侧所示。由于 $1/\beta$ 是 β 的倒数，所以 FB#1 $1/\beta$ 的计算结果可以轻而易举的被推导出来，具体推导过程请参阅图 10.20 右侧。从图中我们还发现，在 β 推导过程中的 pole, f_{pa} 变成了 $1/\beta$ 推导过程中的 zero, f_{za} 。

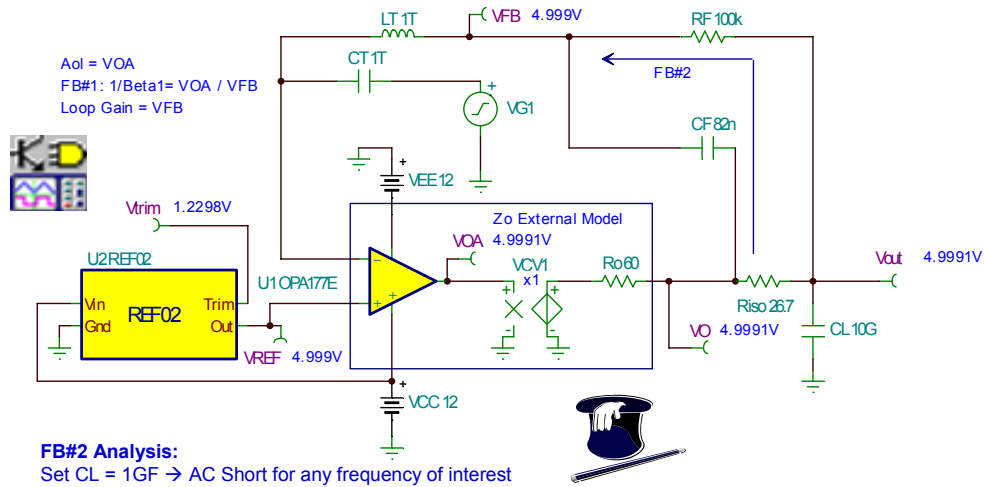


图 10.21 FB#2 AC 电路分析：发射极跟随器

为了检验 FB#2 的一阶分析情况，我们可采用如图 10.21 所示的 Tina SPICE 电路。再者，为了便于分析，我们将 CL 设置为 10GF，因此对各种相关的频率而言，CL 都等同于短路状态。但是，在开展 AC 分析前，仍允许 SPICE 查找到相应的 DC 工作点。

Tina SPICE 仿真的结果如图 10.22 所示。FB#2 $1/\beta$ 曲线正如当 $f_{za} = 19.41\text{Hz}$ 以及高频 $1/\beta = 10.235\text{dB}$ 时，采用一阶分析推算出来的结果一样。另外，我们也绘制出 OPA177 Aol 曲线，以弄清楚在高频率时，FB#2 将如何与其相交。

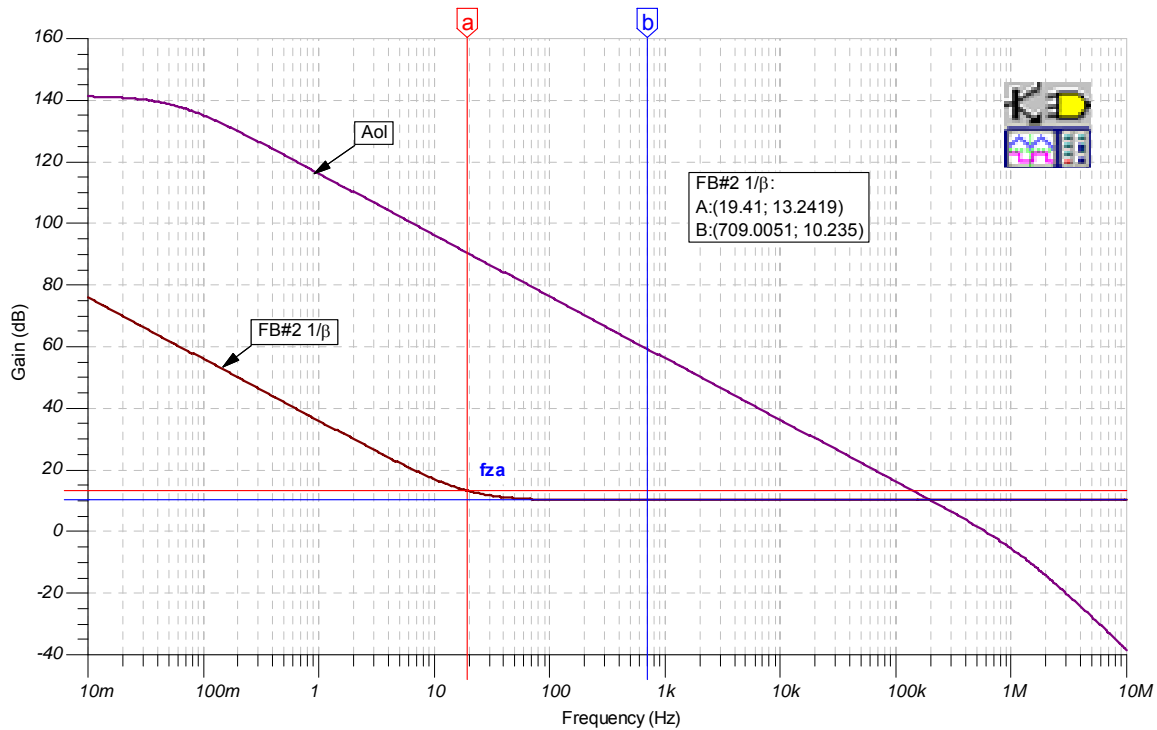


图 10.22 FB#2 $1/\beta$ 曲线：发射极跟随器

如果推算的 FB#1 和 FB#2 的叠加结果会产生所需的最终 $1/\beta$ 曲线，那么我们将通过如图 10.23 所示的 Tina SPICE 电路，开展分析工作。我们还可通过 Tina SPICE 电路，绘制出 Aol 曲线、最终的 $1/\beta$ 曲线以及环路增益曲线。

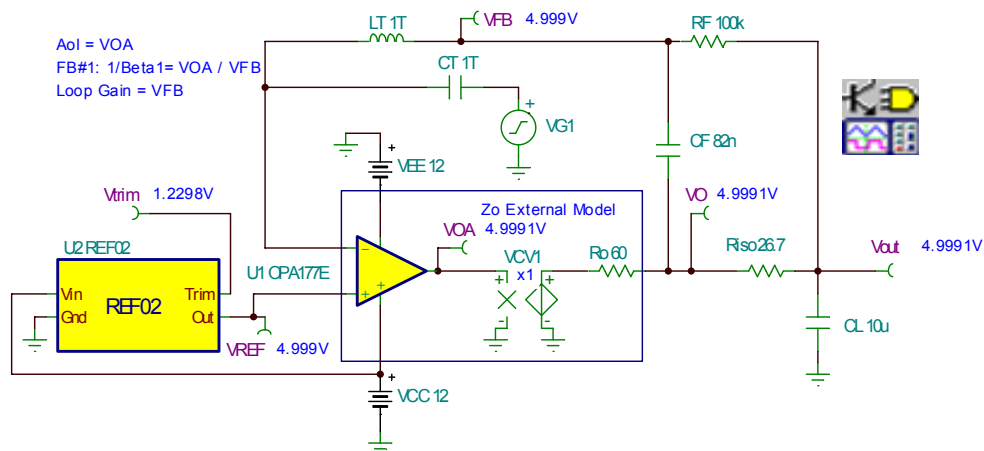


图 10.23 最终环路增益分析电路：发射极跟随器

从图 10.24 中，我们可以看出，分析结果验证了我们所推算的最终 $1/\beta$ 曲线。在环路增益为零的 fcl 处，推算的接近速率为 20dB/decade。

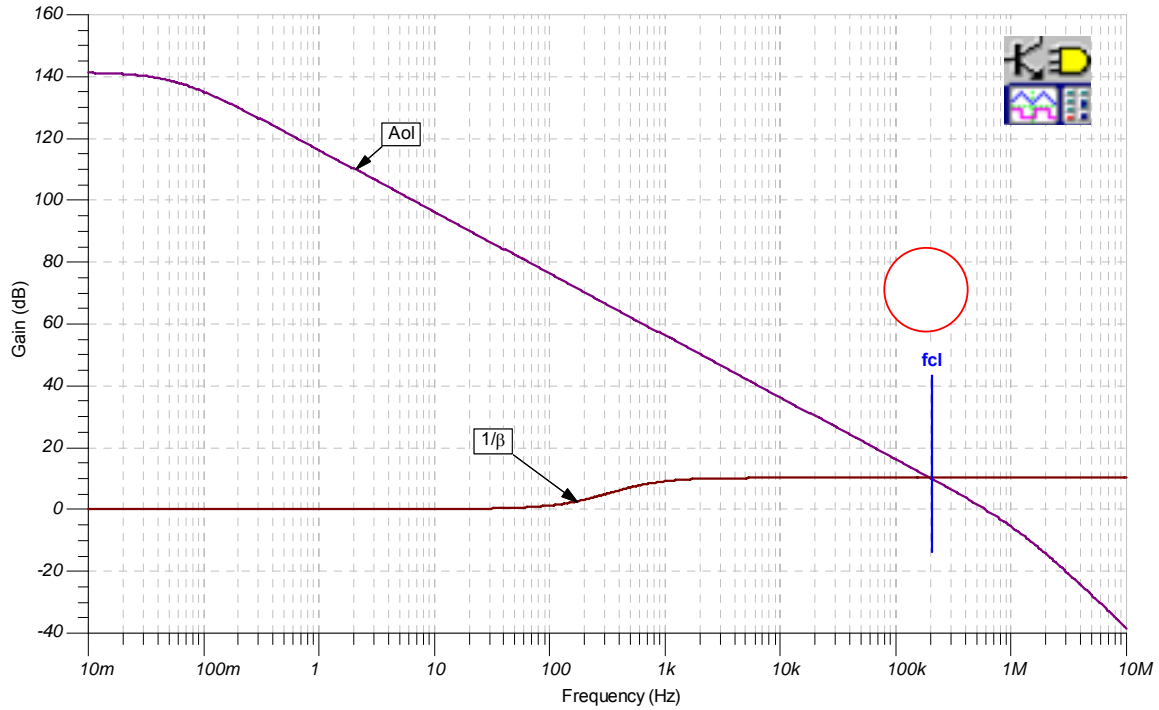


图 10.24 最终 $1/\beta$ 曲线: 发射极跟随器

最终电路的环路增益相位曲线（采用 FB#1 和 FB#2）如图 10.25 所示。相移从未下降至 58.77 度以下（如为当频率为 199.57kHz 时的情况），而且，在 fcl 处（频率为 199.57kHz），相位裕度为 76.59 度。

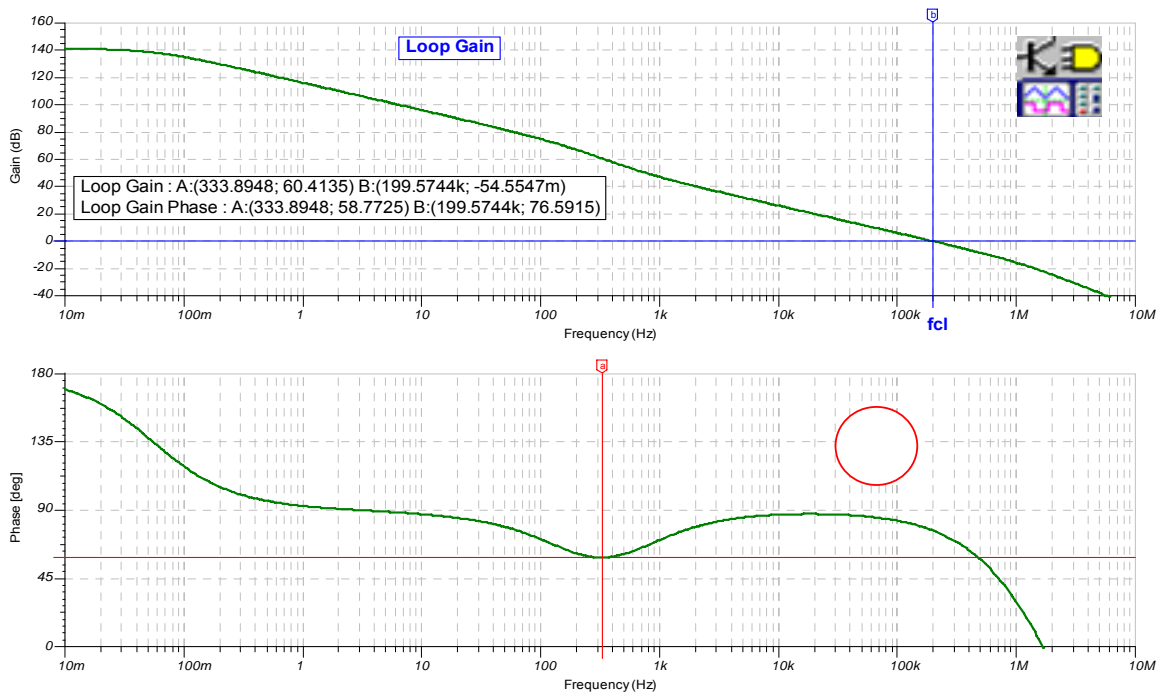


图 10.25 最终环路增益分析: 发射极跟随器

我们将采用图 10.26 中的 Tina SPICE 电路，对我们的稳定电路进行最后的检验——瞬态稳定性测试。

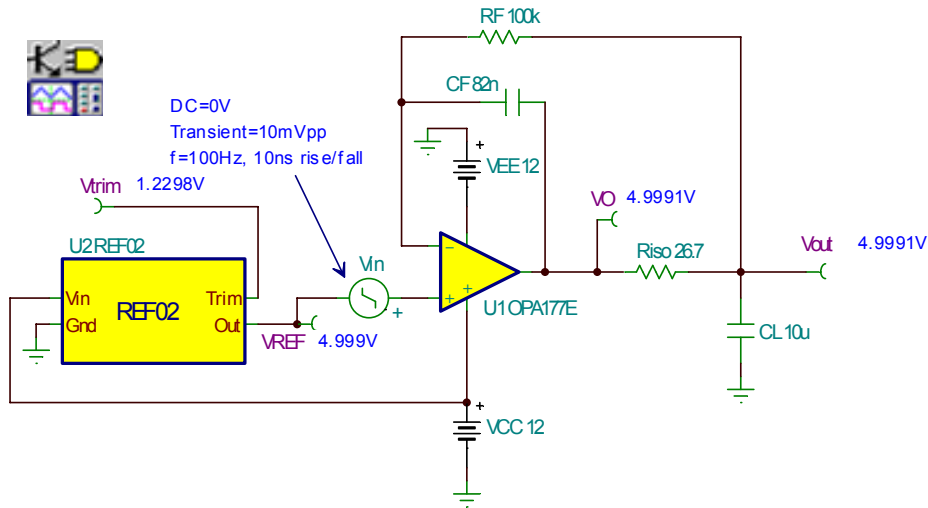


图 10.26 最终瞬态稳定性测试电路：发射极跟随器

图 10.27 中最终电路瞬态稳定性的测试结果符合我们其他所有的推算结果，从而研制出一款性能优良、运行稳定的电路。而且，我们可以信心十足的将这种电路投入量产，因为它不会发生故障或在实际运行中出现异常。

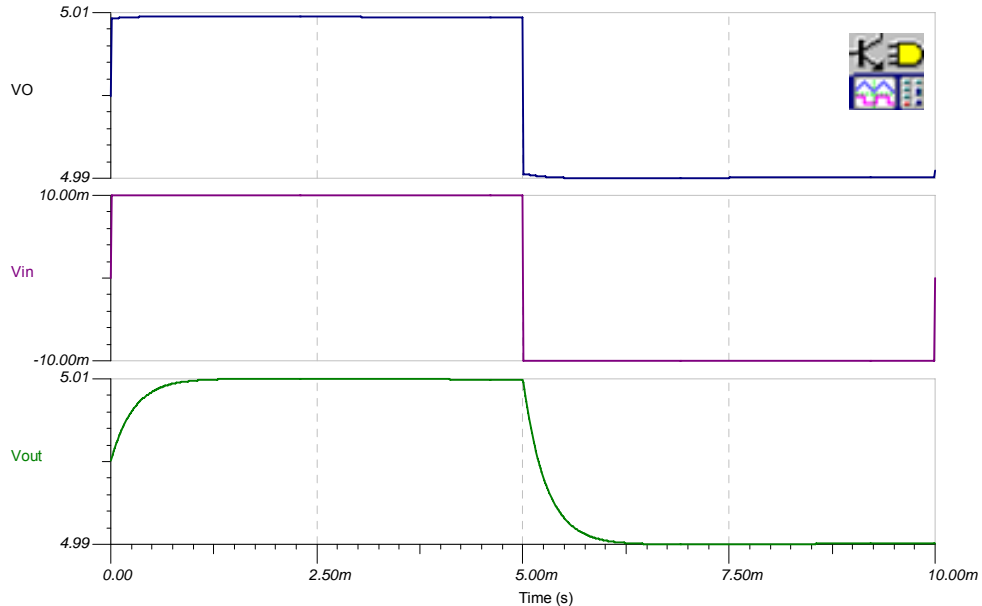


图 10.27 最终瞬态稳定性测试：发射极跟随器

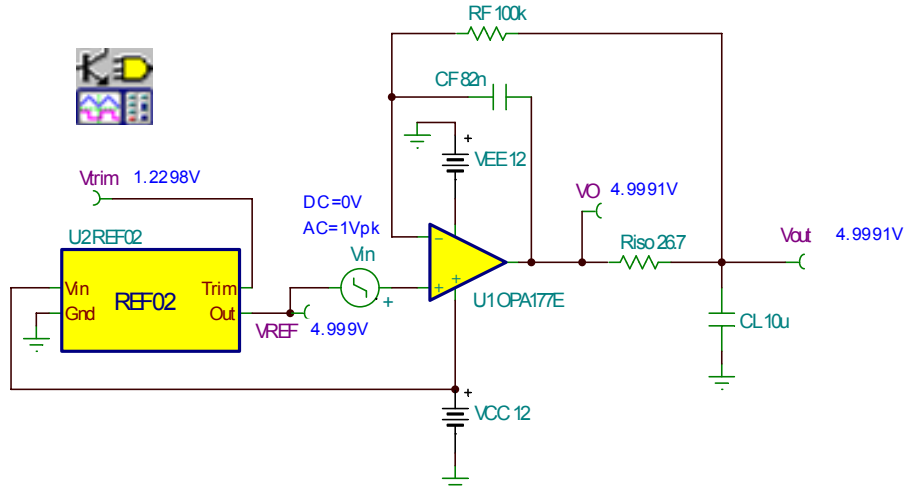


图 10.28 最终 V_{out}/V_{in} 传输函数电路：发射极跟随器

通过图 10.28 中的 Tina SPICE 电路，可验证我们对 V_{out}/V_{in} 的推算是否正确。

从图 10.29 中，我们可以看出， V_{out}/V_{in} 的测试结果与我们推算的一阶分析结果一致，具体表现为：当频率为 625.53Hz 时，单极点开始下降。而且，当频率约为 200kHz（此时，FB#2 与 OPA177 Aol 曲线相交）时，出现第二个极点。

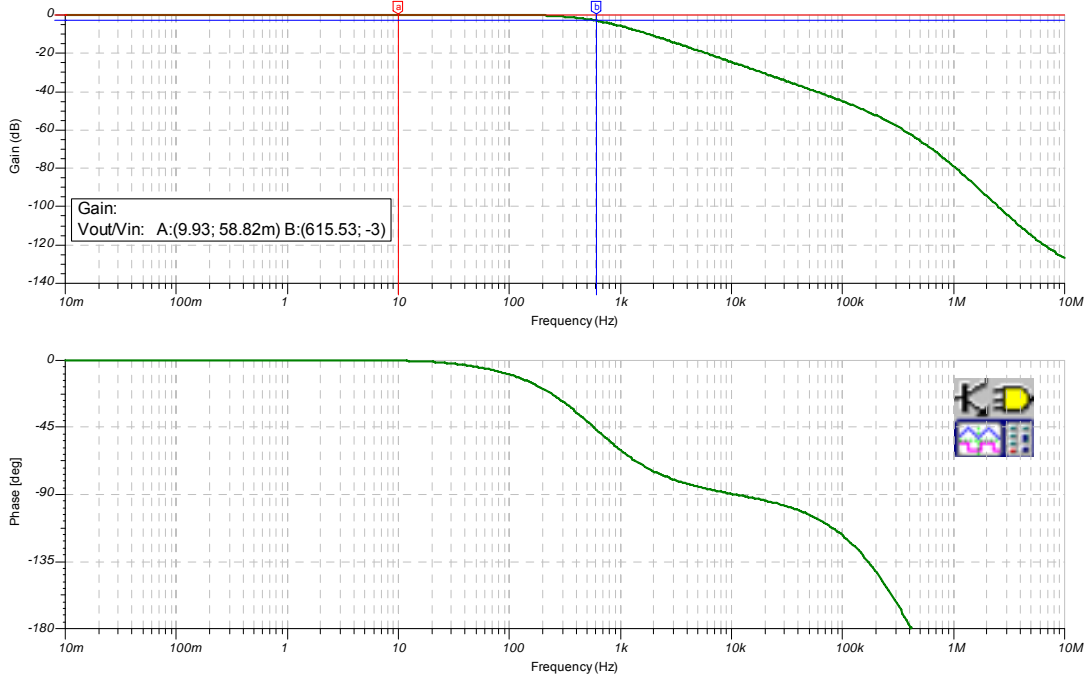


图 10.29 最终 V_{out}/V_{in} 传输函数：发射极跟随器

图 10.30 总结了一种易于使用的渐进式程序。这种程序轻松地将具有双通道反馈的 RISO 电容性负载稳定性技术应用于双极发射极跟随器输出运算放大器上。



FB#1 $1/\beta$ Formulae:

$$\text{Zero: } f_{zx} = \frac{1}{2\pi \cdot (R_o + R_{iso}) \cdot C_L}$$

$$1/\beta = 1 \text{ (} f=0 \text{) for Low-} f \text{ } 1/\beta$$



FB#2 $1/\beta$ Formulae:

Assume:
 $C_L > 10C_F$
 $R_F > 10R_{iso}$

Pole: At Origin

$$\text{Zero: } f_{za} = \frac{1}{2\pi \cdot R_F \cdot C_F}$$

High Frequency $1/\beta$:

$C_L = \text{short}$

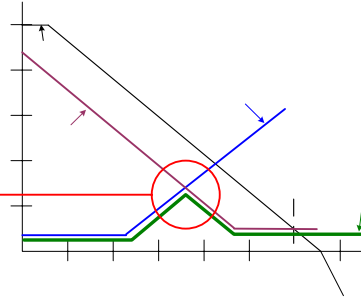
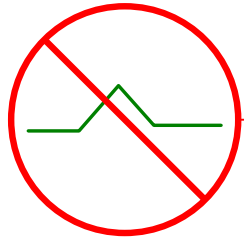
By Inspection:

$$1/\beta = \frac{R_o + R_{iso}}{R_{iso}} \text{ for High-} f \text{ } 1/\beta$$

- 1) 测量运算放大器的 A_{ol}
- 2) 测量运算放大器的 Z_o ，并在图上绘制出其曲线
- 3) 确定 R_o
- 4) 创建 Z_o 的外部模型
- 5) 计算 FB#1 低频 $1/\beta$ ：对单位增益电压缓冲器而言，该值为 1
- 6) 将 FB#2 高频 $1/\beta$ 设置为比 FB#1 低频 $1/\beta$ 高 +10dB（为获得最佳的 V_{out}/V_{in} 瞬态响应并实现环路增益带宽内相移量最少）
- 7) 从 FB#2 高频 $1/\beta$ 中选择 R_{iso} 以及 R_o
- 8) 从 C_L 、 R_{iso} 、 R_o 中，计算 FB#1 $1/\beta$ f_{zx}
- 9) 设置 FB#2 $1/\beta$ $f_{za} = 1/10 f_{zx}$
- 10) 选择具有实际值的 R_F 和 C_F ，以产生 f_{za}
- 11) 采用 A_{ol} 、 $1/\beta$ 、环路增益、 V_{out}/V_{in} 以及瞬态分析的最终值，运行仿真以验证设计的可行性
- 12) 核实环路增益相移的下降不得超过 135 度（>45 度相位裕度）
- 13) 针对低噪声应用而言：检查 V_{out}/V_{in} 扁平响应，以避免增益骤增 $\rightarrow V_{out}/V_{in}$ 中的噪声陡升

图 10.30 具有双通道反馈的 R_{iso} 补偿程序：发射极跟随器

WARNING: This can be hazardous to your circuit!



Dual Feedback and the BIG NOT:

1/β Slope changes from +20db/decade to -20dB/decade

- > Implies a "complex conjugate pole" in the 1/β Plot.
- > Implies a "complex conjugate zero" in the Aolβ (Loop Gain Plot).
- > +/-90° phase shift at frequency of complex zero/complex pole.
- > Phase slope from +/-90°/decade slope to +/-180° in narrow band near frequency of complex zero/complex pole depending upon damping factor.
- > Complex zero/complex pole can cause **severe** gain peaking in closed loop response.

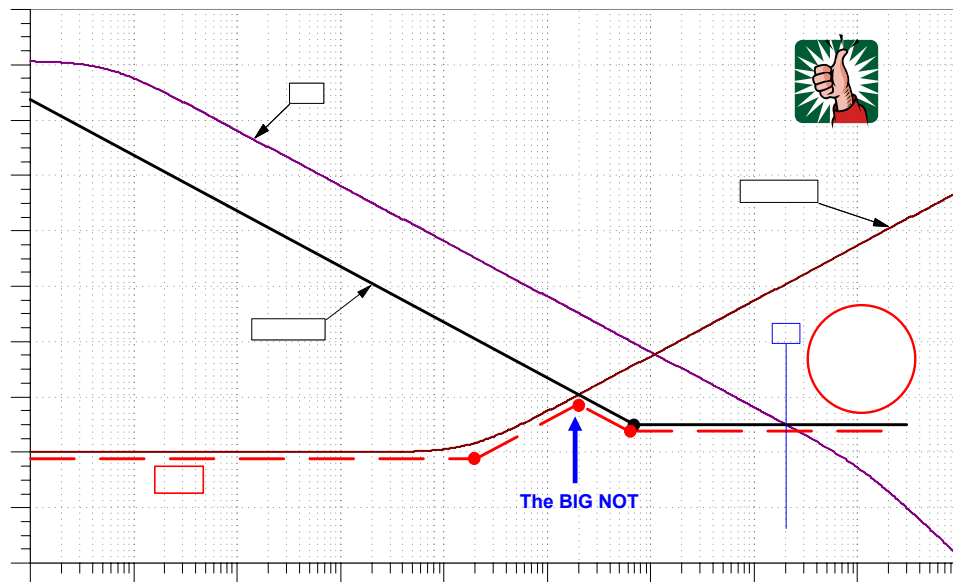
1/Beta

A (dB)
100
80
60
40
20
0

Aol

图 10.31 双通道反馈和 BIG NOT

当运算放大器采用双通道反馈回路时，有一种异常重要的情况需要避免，那就是“BIG NOT”。如图 10.31 所示，存在能够产生反馈回路的运算放大器电路（反馈回路导致了 BIG NOT），这可从包括有效 $1/\beta$ 斜坡（从 $+20\text{db/decade}$ 骤变为 -20dB/decade ）的最终 $1/\beta$ 曲线中看出。这种快速变化意味着在 $1/\beta$ 曲线中存在复共扼极点，因此，也意味着在环路增益曲线中存在复共扼零点。当处于复合零点/复合极点的频率时，复合零点和极点产生了 ± 90 度的相移。同时，在复合零点/复合极点附近的相位斜坡在频率发生位置的窄频带，可在 ± 90 度至 ± 180 度之间变化。出现复合零点/复合极点将在闭环运算放大器响应中导致增益的骤增。这种现象会造成负面的影响，尤其是对于功率运算放大器电路而言，更是如此。



Create the BIG NOT: Change CF to 220pF which moves fza to 7.23kHz

图 10.32 以图表的形式创建 BIG NOT

让我们回到图 10.17 OPA177 Aol 曲线上的 FB#1 和 FB#2 标绘点，只要改变如图 10.32 所示的 fza 的位置，就可轻而易举的创建 BIG NOT。在 fcl 处，按照以往接近速率的情况，显示这种电路的运行是稳定的——但是，果真如此么？

在图 10.33 中，我们改变了同时用于分析 FB#1 和 FB#2 的 Tina SPICE 电路，以创建如图 10.32 所示的 BIG NOT。将 CF 由 82nF 调整为 220pF，以便于将 fza 移到所需的 BIG NOT 创建位置。

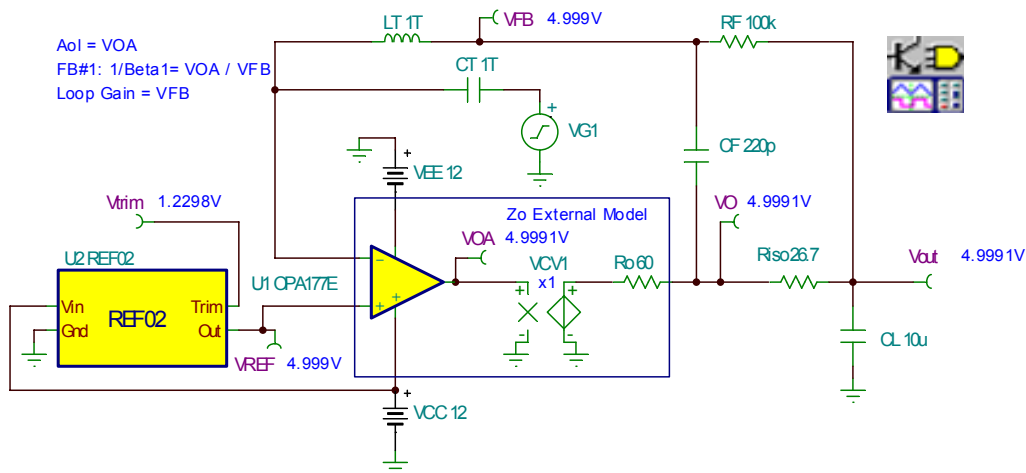
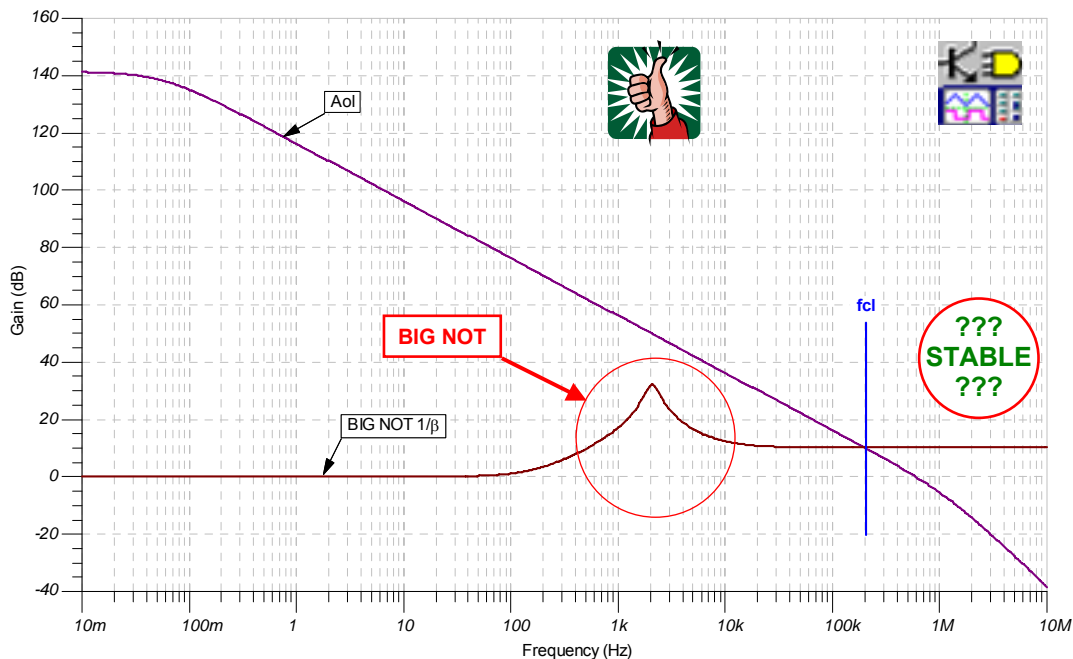


图 10.33 环路增益分析电路: BIG NOT



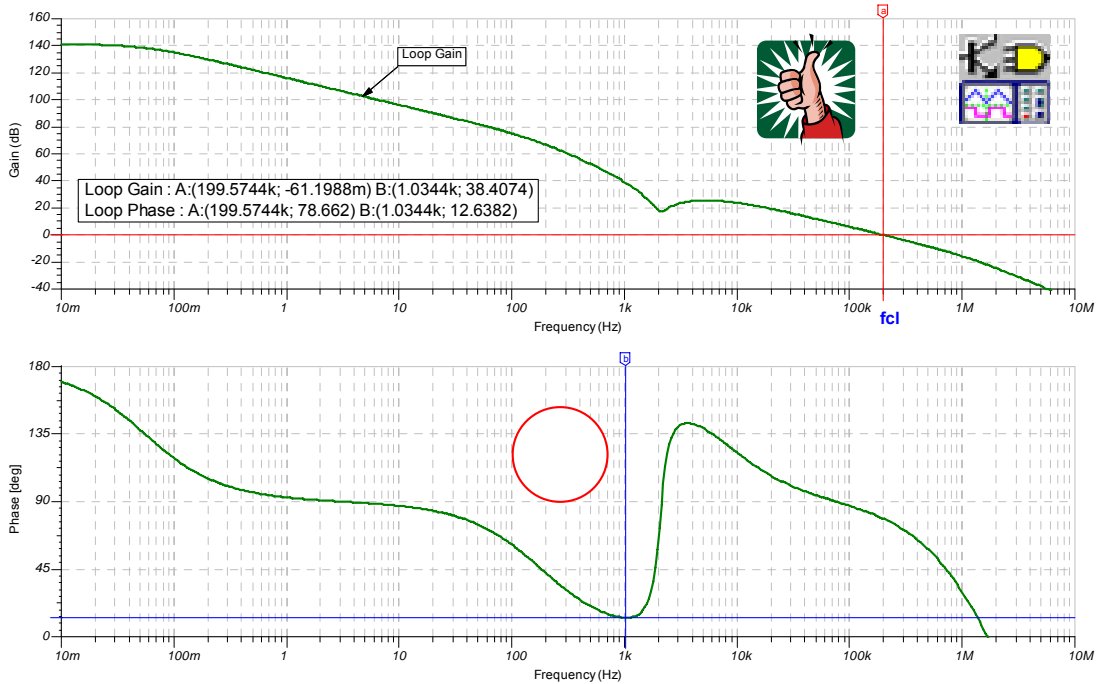
BIG NOT $1/\beta$: At fcl rate-of-closure rule-of-thumb says circuit is stable but is it?

图 10.34 $1/\beta$ 曲线: BIG NOT

BIG NOT 的 $1/\beta$ 曲线与 OPA177 Aol 曲线一起在图 10.34 中标绘出来。在 fcl 处，出现了 20dB/decade 的接近速率。但是，请注意在 BIG NOT $1/\beta$ 曲线中，斜率有一个急剧的变化——

—从 $+20\text{dB/decade}$ 变为 -20dB/decade 。然而，这种 $1/\beta$ 曲线的急剧变化并非是一件好事，为此，我们应质疑这种电路的稳定性。

图 10.35 中 BIG NOT 电路的环路增益曲线表明相移几乎达到了 180 度（当频率为 1.034kHz 时，大于 167 度），这意味着当频率为 1.034kHz 时，我们仅与 180 度的相移相距约 13 度。同时，请注意观察在这同一区域，环路增益是如何向下朝着零点环路增益急剧形成尖峰的。同样，在 f_{cl} 处，有着充足的相位裕度。但是，我们还是会同，这种电路运行稳定么？



BIG NOT Loop Gain: Loop Gain phase shift >135 degrees (<45 degrees from 180 degree phase shift) for frequencies $<f_{cl}$ which violates the loop gain phase shift rule-of-thumb. But is it stable?

图 10.35 环路增益分析: BIG NOT

于是，假设我们在稳定性分析技巧方面毫无经验（事实上并非如此），接着构建这款 BIG NOT 电路。我们期望了解实际应用中的瞬态稳定性会是如何开展的。通过图 10.36 中的 Tina SPICE 电路，我们可以看到，如果我们将该 BIG NOT 电路投入量产，再将其投入实际的应用中，会产生什么结果呢？

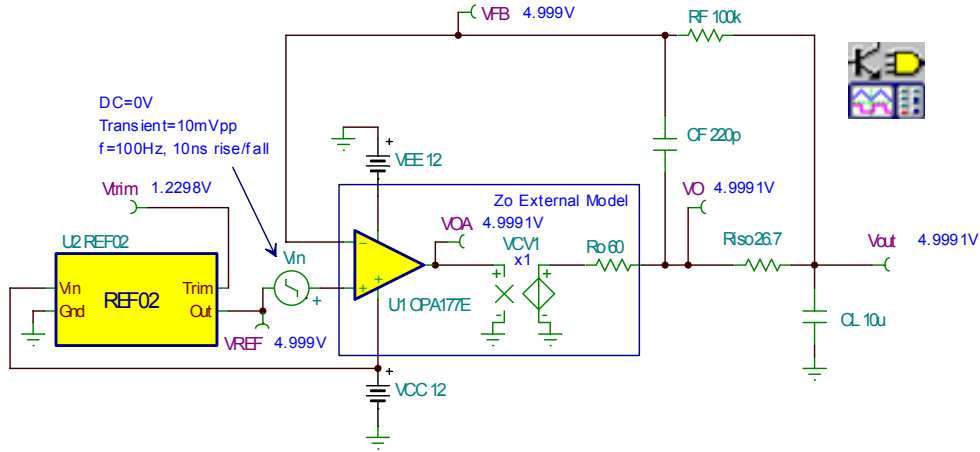
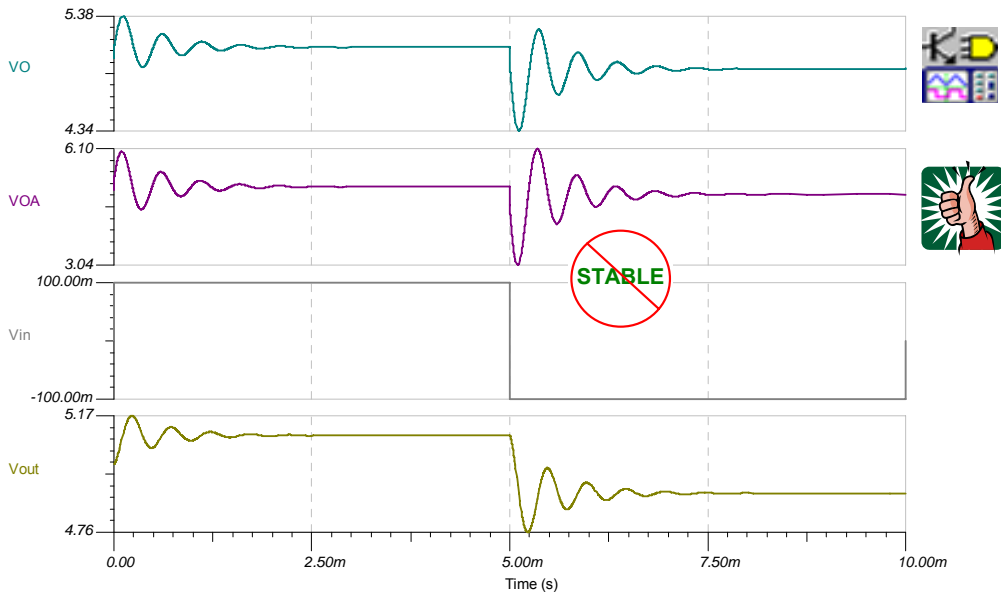


图 10.36 瞬态稳定性测试电路: BIG NOT

千万不要告诉您的上司，我们将该电路投入了量产，否则情况会更糟糕。客户收到您发送的、内置这种电路的设备后，发现有时向电路供电或当其他负载突然馈入该参考缓冲电路时，会出现奇怪和间歇性的问题。这是更新我们的历史参数的适当时候吗？尽管该电路不是振荡器，但是，如图 10.37 所示来自瞬态稳定性测试中过度的振铃和很长的建立时间意味着电路处于稳定的边缘上。根据 BIG NOT 出现的位置，振动器振铃的持续时间和振幅更容易变得比本例所述的情况还糟。从电路板和系统层面来考虑，我们将这种电路定义为“不稳定”，尤其是当我们的分析工作未涵盖实际应用中的寄生效应时，情况更是如此（这些寄生效应出现在 PCB 布局、组件容差、运算放大器参数容差以及组件和运算放大器参数的温度变化等方面）。令人感到欣慰的是，我们只将该电路投入“虚拟”的量产，而相应的将我们的具有双通道反馈的 RISO 应用到即将投入实际使用的电路。



BIG NOT Transient Stability Test: Excessive ringing and marginal stability are apparent. Real world implementation and use may cause even more severe oscillations. We do not want this in production!

图 10.37 瞬态稳定性测试: BIG NOT

CMOS RRO: 具有双通道反馈的 RISO

我们选择用于分析具有双通道反馈的 RISO 的 CMOS RRO 为 OPA734，具体情况请参阅图 10.38。OPA734 是一款低漂移、低输入失调电压的运算放大器，其能在 +2.7V~+12V 的电压范围内工作。这种极低的漂移（0.05uV/C）加上其超低的初始输入失调电压（1uV），使 OPA734 成为了单电源应用中理想的参考缓冲放大器。由于这并非是轨至轨 CMOS 输入放大器，因此，我们有必要观察输入电压范围的技术规范[（V-）-0.1V 至（V+）-1.5V]。

OPA734 0.05uV/C Max, Single-Supply, CMOS Operational Amplifier, Zero-Drift Series	
Parameter	Specification
Supply Voltage (Vs)	+2.7V to +12V
Quiescent Current	600uA typical
Offset Voltage	1uV max
Offset Drift	0.05uV/C max
Input Bias Current	+/-100pA typical
Input Voltage Noise	0.8uVp-p (0.1Hz to 10Hz)
Input Voltage Noise Density	135nV/rt-Hz
Input Voltage Range	(V-)-0.1V to (V+)-1.5V
Gain-Bandwidth Product	1.6MHz
Open Loop Gain	130dB (RL=10k)
Open Loop Output Resistance	125 ohms @ f=1MHz, Io=0A
Slew Rate	1.5V/us
Voltage Output Swing from Rail	20mV max (RL=10k to Vs/2)
Package	SOT23-5, MSOP-8, SO-8




图 10.38 CMOS RRO 运算放大器的技术规范

典型的 CMOS RRO 等效电路图如图 10.39 所示。从图中可以看出，运算放大器的输出端连接至 MOSFET 的漏极。这种漏极输出运算放大器具备一个 Z_o （同时具有阻性和容性的特点），要求我们运用某些相对于双极发射极跟随器略有不同的分析技术，如具有双通道反馈的 RISO 电路示例。

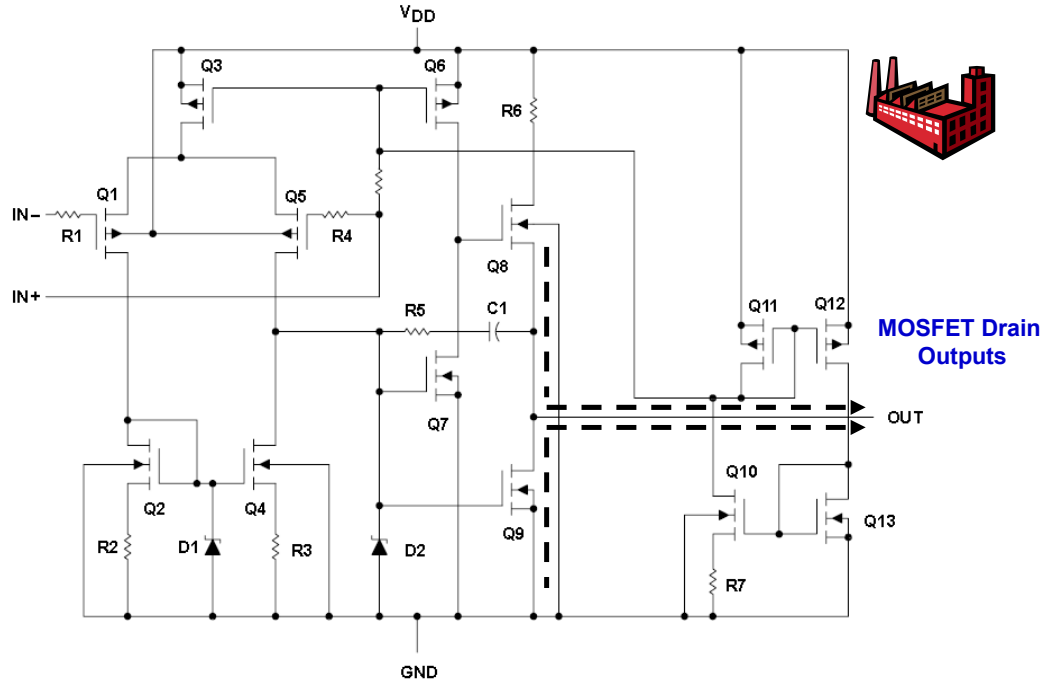
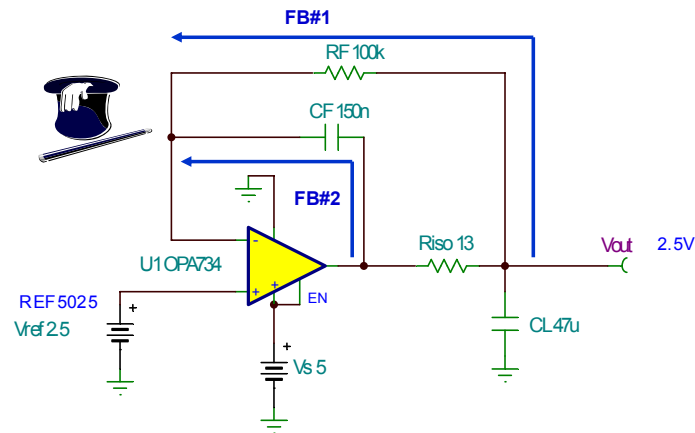


图 10.39 典型的 CMOS RRO 运算放大器拓扑结构

从图 10.40 中我们可以看出，CMOS RRO 参考缓冲电路的外观与双极发射极跟随器示例中所采用的电路外观一模一样。在本应用示例中，我们采用电压为 5V 的单电源，对 2.5V 的参考电路（该电路的电压值低于输入电压范围的技术规范[输入电压范围：5V-1.5V = 3.5V]）进行缓冲。由于为了获得良好的稳定性，在高频时 FB#1 和 FB#2 将提供所需要的反馈，因此，在 Vout 处，可获取准确的参考电压。Riso 将使两条反馈电路单独运行，互不干扰。



Dual Feedback:
 FB#1 through RF forces accurate Vout across CL
 FB#2 through CF dominates at high frequency for stability
 Riso provides isolation between FB#1 and FB#2

图 10.40 具有双通道反馈的 RISO: CMOS RRO

由于在本应用示例中，我们采用的是单电源，因此，我们将运用一些新技巧来获取如图 10.41 所示的空载 Aol 曲线。首先，我们需要确保在开展 DC 工作点分析之后的 OPA734 输出信号处于工作的线性区域。通常来说，由于运算放大器的饱和输出信号并非处在工作的线性区域，因此，其未能提供恰当的 AC 性能。对于大多数运算放大器宏模型来说也是如此。在 DC 状态时，LT 为短路而 CT 为开路。OPA734 的非反相输入限制为 $V_s/2$ (2.5V)。因此，输出将为 $V_s/2$ (2.5V)。如图所示的 RL 接线方式，在运算放大器的输出端不存在 DC 负载。RL 以及 LT 为低通滤波器函数提供了一条 AC 通道。这样，在反馈电路中，就可使 DC 处于短路状态而 AC 处于开路状态。务必提请注意的是，在进行 AC 分析前，SPICE 必须开展 DC 闭环分析，以找到电路的工作点。另外，RL 以及 CT 为高通滤波器函数提供了一条 AC 通道，这样，使得我们能将 DC 开路电路和 AC 短路电路一起并入输入端。而且，LT 和 CT 按大数值等级选用，以确保其在各种相关的 AC 频率时，电路短路和开路情况下的正常运行。

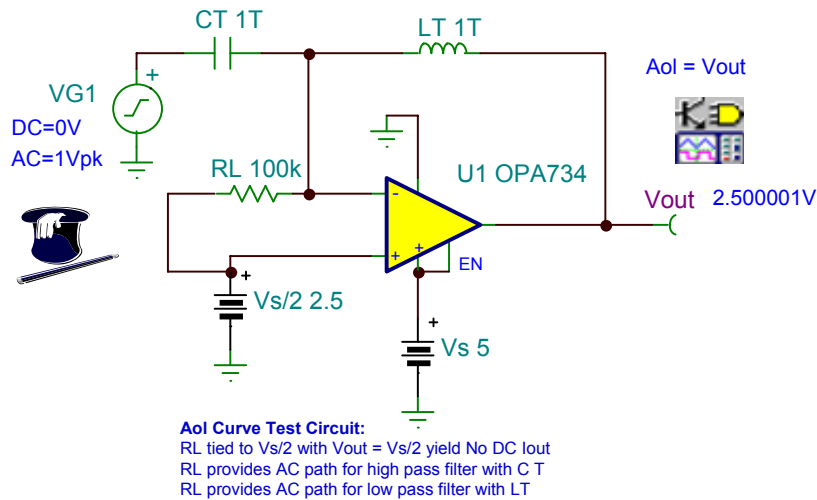


图 10.41 Aol 测试示意图: CMOS RRO

从 Tina SPICE 仿真测量得出的 OPA734 Aol 曲线如图 10.42 所示。测得的单位增益带宽为 1.77MHz。

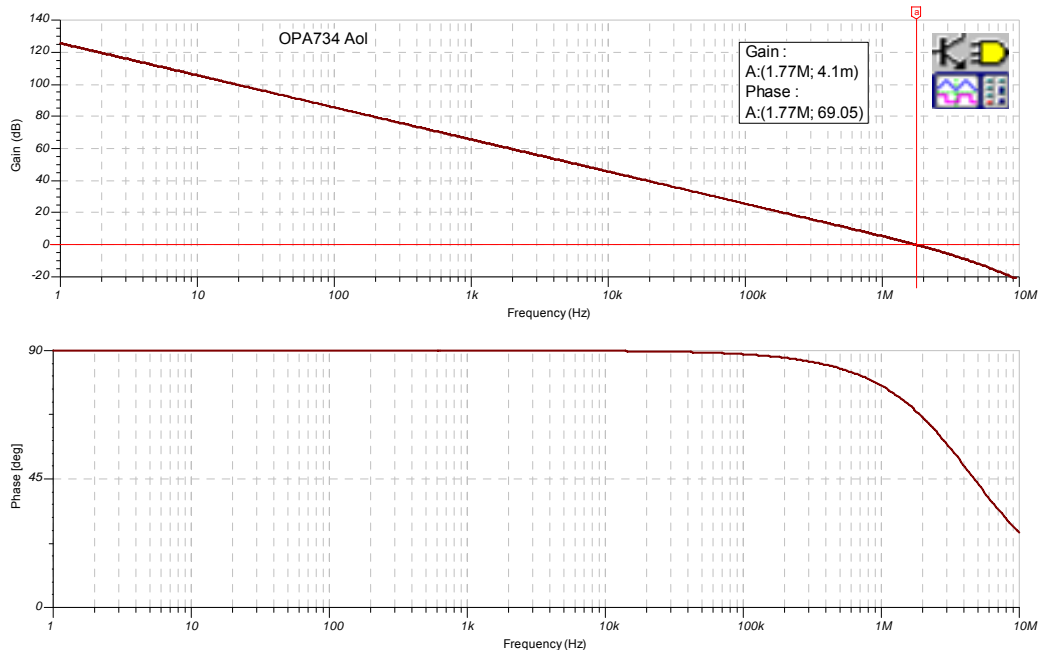


图 10.42 Aol 测试结果: CMOS RRO

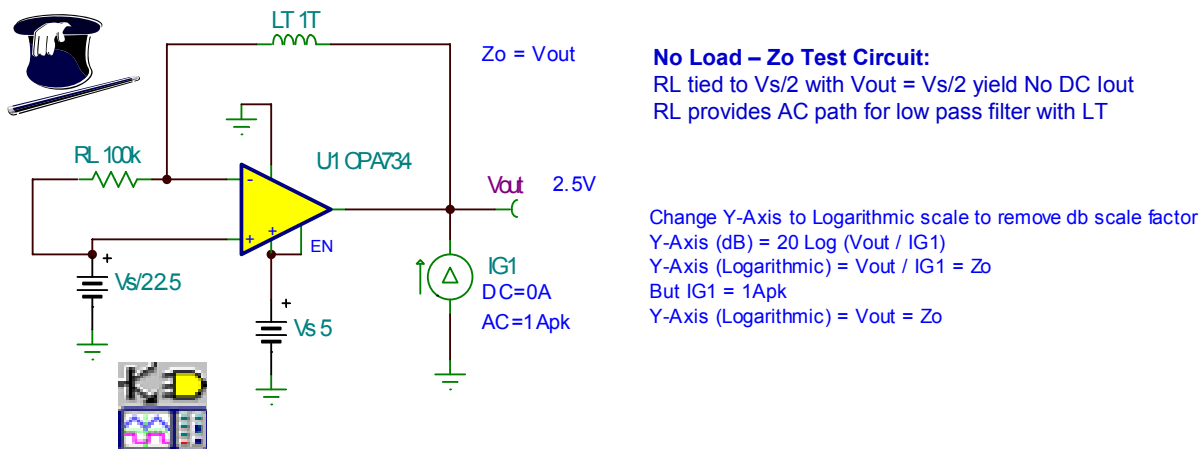


图 10.43 由 Zo、CCO、RCO、CL 改变 Aol 效应的 TINA 电路

现在，我们必须测量如图 10.43 所示的 Zo（小信号 AC 开环输出阻抗）。该 Tina SPICE 测试电路将测试空载 OPA734 的 Zo。请注意，由于我们测试的是单电源电路，因此将输出信号调整至 Vs/2 (2.5V)，以确保运算放大器输出电流的正弦波位于工作的线性区域。RL 以及 LT 为低通滤波器函数提供了一条 AC 通道。这样，在反馈电路中，就可使 DC 处于短路状态而 AC 处于开路状态。由于 RL 限定在 Vout (2.5V) 和 Vs/2 (2.5V) 之间，所以 DC 工作点在输出端显示为 2.5V 或 Vs/2 伏，这也就是说，OPA734 没有电流流入或流出。此时，通过运用 1Apk AC 电流发生器（我们能够扫视 10mHz 至 1MHz 的 AC 频率范围），Zo 的测量工作能够轻松完成。最后，得出测量结果 Zo = Vout（如果将测量结果的单位从 dB 转换为线性或对数，Vout 也就是以欧姆为单位的 Zo）。

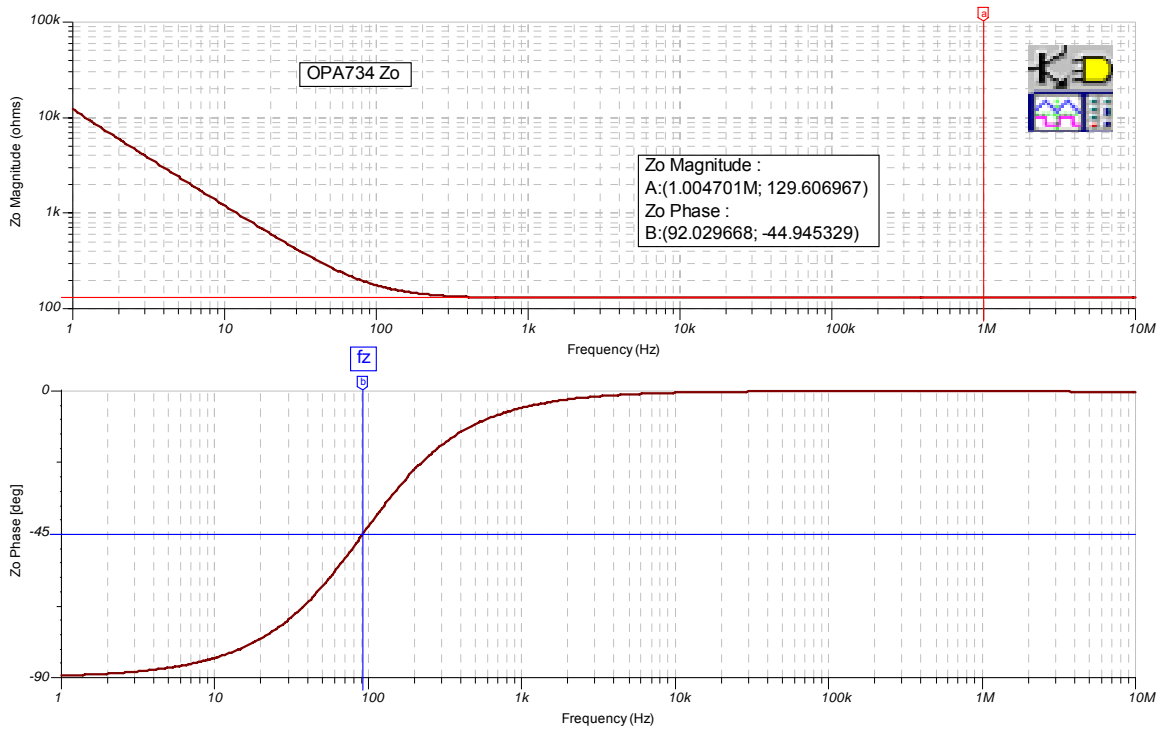


图 10.44 Zo、开环输出阻抗: CMOS RRO

从图 10.44 中，我们可以看出，OPA734 Zo 是 CMOS RRO 运算放大器输出级所独有的特征。而且，这种输出级的 Ro 在高频时，处于支配地位。同时，Co 所呈现出的电容效应在频率低于 92Hz 时，处于支配地位。

根据前面图表的仿真测试结果，我们在图 10.45 中构建了 OPA734 的 Zo 模型。RO 直接测得为 129 欧姆，fz 直接测得为 92Hz。根据测得的 fz 和 RO 数值，我们可以轻松地计算出 CO 的数值（为 13.4uF）。最终完成了如图所示的 Zo 模型。

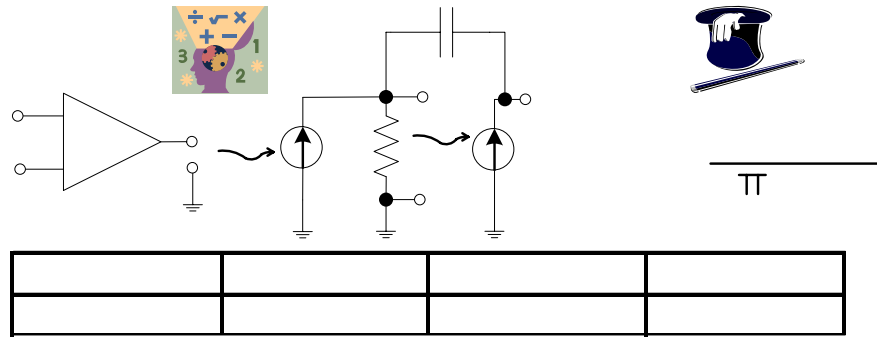
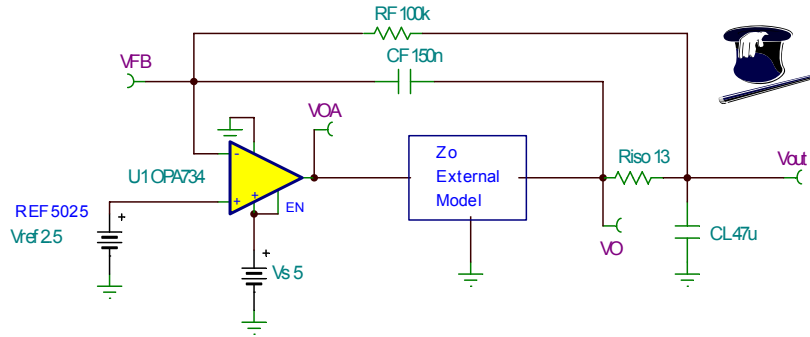


图 10.45 Zo 模型: CMOS RRO

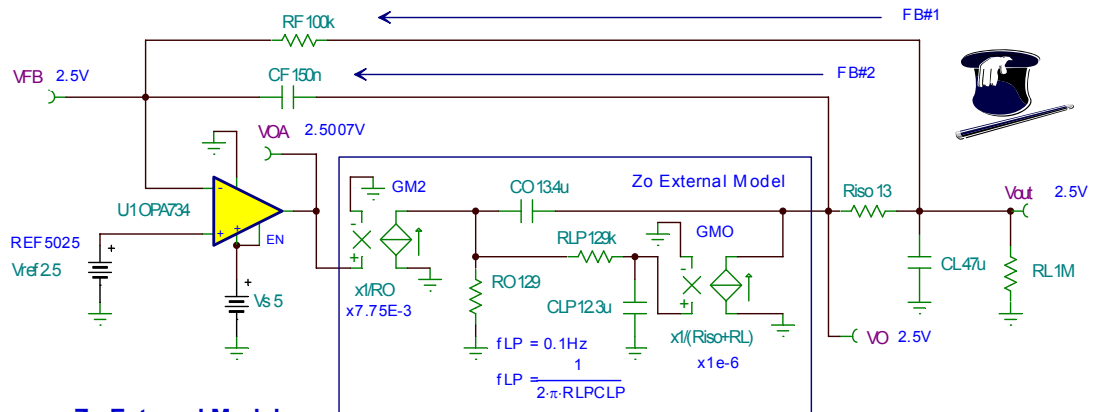


Zo External Model:
 U1 is complete SPICE macromodel of OPA734 with data sheet Aol curve and Zo
 Zo is moved outside of the op amp macromodel to form a new macromodel
 Allows for simulation of $1/\beta$ with effects of Zo and external loads

图 10.46: Zo 外部模型: CMOS RRO

为了使 $1/\beta$ 分析的情况包含在 Zo 与 Riso、CL、CF 以及 RF 之间相互作用的影响结果内，我们需将 Zo 从运算放大器的宏模型中分离出来，以便于弄清楚电路中所需的节点。这种构思如图 10.46 所示。另外，U1 将提供产品说明书的 Aol 曲线，并从 Riso、CL、CF 以及 RF 的各种影响中得到缓冲。

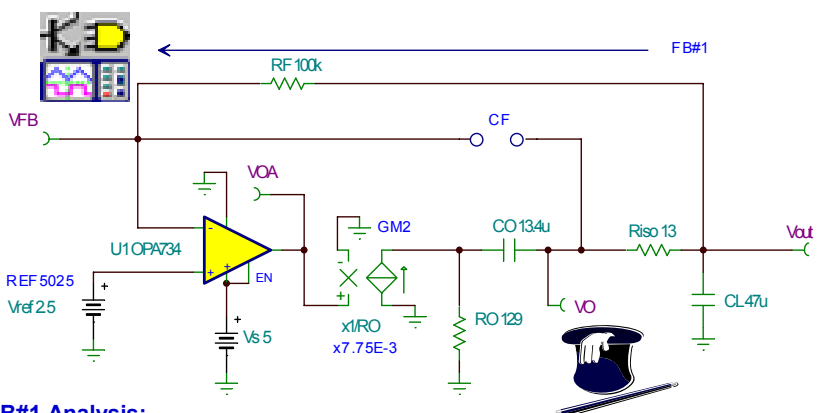
通过如图 10.47 所示的 Zo 外部模型，我们能够测量 Zo 与 Riso、CL、RF 以及 CF 之间的相互作用对 $1/\beta$ 的影响。RO 和 CO 是我们在前一张图表中测出的参数。GM2 将 U1 (OPA734 运算放大器宏模型) 从 Zo 外部模型中隔离开来。将 GM2 设置为 $1/RO$ 以保持适当的 Aol 增益，目的是与最初的 OPA734 运算放大器宏模型和产品说明书中的 Aol 相匹配。在 SPICE 进行 AC 分析前，其必须开展 DC 分析。因此，我们需确保扩展后的运算放大器模型，将具备正确的 DC 工作点而无需使 U1 达到饱和状态。为此，我们在 CO 至 VO 之间添加了一条低频通道。GMO 将由 RO 两端的电压控制（该电压与 VOA 相匹配）。将 GMO 设置为 $1/RL$ 以维持 DC 状态时的综合增益水平，目的是与最初的 OPA734 Aol 相匹配。另外，一只低通滤波器由 RLP 和 CLP 形成，并设置为 $0.1 \cdot f_{LOW}$ (f_{LOW} 是相关的最低频率)。将 RLP 设置为 $1000 \cdot RO$ ，以避免 RO 上出现负载或相互作用（影响），最终导致 Zo 传输函数发生错误。



Zo External Model:
 GM2 ideally isolates U1 so U1 only provides data sheet Aol with no effects of Zo and external loads
 Set GM2 = x1/RO to maintain data sheet Aol gain characteristic
 RLP, CLP, GMO provide a path for DC Analysis
 Set RLP = 1000 * RO to avoid loading RO to any level of concern
 Set CLP to yield fLP = 0.1*fLOW, where fLOW is the lowest frequency of interest
 Set GMO = 1/(Riso+RL) to maintain proper data sheet Aol DC gain

图 10.47 Zo 外部模型详图: CMOS RRO

首先，我们分析如图 10.48 所示的 FB#1。请注意，由于我们只分析 FB#1，所以 CF 可视为处于开路状态。接下来，我们将分析 FB#2。然后，通过采用叠加的方法，将两条反馈通道合并在一起，求取最终的 1/β。分析结果如图 10.48 所示，有关的公式推导和具体细节，请参阅图 10.49。我们发现，当 fzx=107.49Hz 时，FB#1 1/β 曲线上出现零点。低频 1/β 值为 4.5 或 13dB，并由介于 CO 和 CL 之间的电容分压器确定。如果改变电路以获得增益，那么低频 1/β 值将大于 1。



FB#1 Analysis:
 1/β zero due to series combination of CO and CL interacting with RO + Riso
 Low frequency 1/β set by capacitive divider between CO and CL
 CF is treated as an open since we are using superposition an analyzing FB#1 only

FB#1 1/β:

$$fzx = \frac{1}{2\pi \cdot \left(\frac{CO \cdot CL}{CL + CO}\right) \cdot (Riso + RO)}$$

$$fzx = \frac{1}{2\pi \cdot \left(\frac{13.4\mu 47\mu}{47\mu + 13.4\mu}\right) \cdot (13 + 129)}$$

$$fzx = 107.49\text{Hz}$$

$$\frac{1}{\beta} = \frac{CL + CO}{CO} \text{ for Low-f}$$

$$\frac{1}{\beta} = \frac{47\mu + 13.4\mu}{13.4\mu} \text{ for Low-f}$$

$$\frac{1}{\beta} = 4.5 \text{ or } 13\text{dB for Low-f}$$

图 10.48 FB#1 分析: CMOS RRO

FB#1 β Derivation:

$$\beta = \frac{V_{FB}}{V_{OA}}$$

$$\beta = \frac{X_{CL}}{R_{O} + X_{CO} + R_{iso} + X_{CL}}$$

After Algebraic Manipulation:

$$\beta = \frac{1}{S + \frac{1}{\frac{CO \cdot CL}{(CL + CO)}(R_{iso} + RO)}}$$

Note: $\frac{CO \cdot CL}{CL + CO}$ is series combination of CO and CL

$$\text{Pole: } f_{px} = \frac{1}{2\pi \cdot \left(\frac{CO \cdot CL}{CL + CO}\right) \cdot (R_{iso} + RO)}$$

$$\beta = \frac{CO}{CL + CO} \text{ for } f = 0 \text{ (Low-} f\beta\text{)}$$

CO and CL form a Capacitive Divider



FB#1 $1/\beta$ Derivation:

$$\frac{1}{\beta} = \frac{V_{out}}{V_{OA}}$$

$$\frac{1}{\beta} = \frac{R_{O} + X_{CO} + R_{iso} + X_{CL}}{X_{CL}}$$

After Algebraic Manipulation:

$$\frac{1}{\beta} = \frac{S + \frac{1}{\frac{CO \cdot CL}{(CL + CO)}(R_{iso} + RO)}}{1}$$

Note: $\frac{CO \cdot CL}{CL + CO}$ is series combination of CO and CL

$$\text{Zero: } f_{zx} = \frac{1}{2\pi \cdot \left(\frac{CO \cdot CL}{CL + CO}\right) \cdot (R_{iso} + RO)}$$

$$\frac{1}{\beta} = \frac{CL + CO}{CO} \text{ for } f = 0 \text{ (Low-} f\beta\text{)}$$

CO and CL form a Capacitive Divider

图 10.49 FB#1 $1/\beta$ 公式推导: CMOS RRO

FB#1 β 的公式推导如图 10.49 左侧所示。由于 $1/\beta$ 是 β 的倒数，所以 FB#1 $1/\beta$ 的计算结果可以轻而易举的推导出来，具体推导过程，请参阅图 10.49 右侧。从图中我们还发现，在 β 推导过程中的 pole, f_{px} 变成了 $1/\beta$ 推导过程中的 zero, f_{zx} 。

我们将采用如图 10.50 所示的电路来开展 AC 分析：通过 Tina SPICE，找到 FB#1 的 $1/\beta$ ，OPA177 的 Aol 以及只采用 FB#1 电路的环路增益。

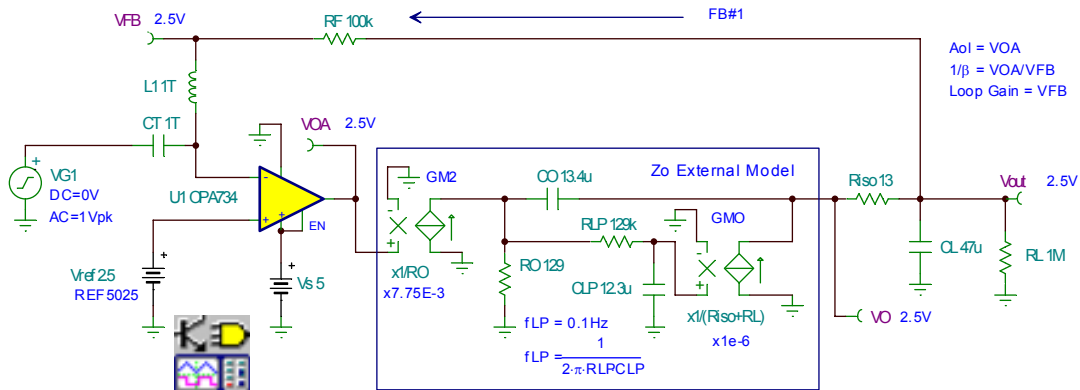


图 10.50 FB#1 AC 电路分析: CMOS RRO

FB#1 $1/\beta$ 的结果标示在图 10.51 中的 OPA734 Aol 曲线上。在环路增益为零的 fcl 处，我们发现，接近速率为 40dB/decade:

$$[(\text{Aol 曲线上的 } -20\text{dB/decade}) - (\text{FB\#1 } 1/\beta \text{ 曲线上的 } +20\text{dB/decade})] = -40\text{dB/decade 接近速率}]$$

为此，接近速率的历史数据表明了存在不稳定性。而且，我们对 FB#1 的分析是基于 zero、 $f_{zx} = 183.57\text{Hz}$ ，低频 $1/\beta = 13.09\text{dB}$ 的情况。从图 10.51 中可以看出，我们的一阶分析准确推算出了 FB#1 $1/\beta$ 的数值。

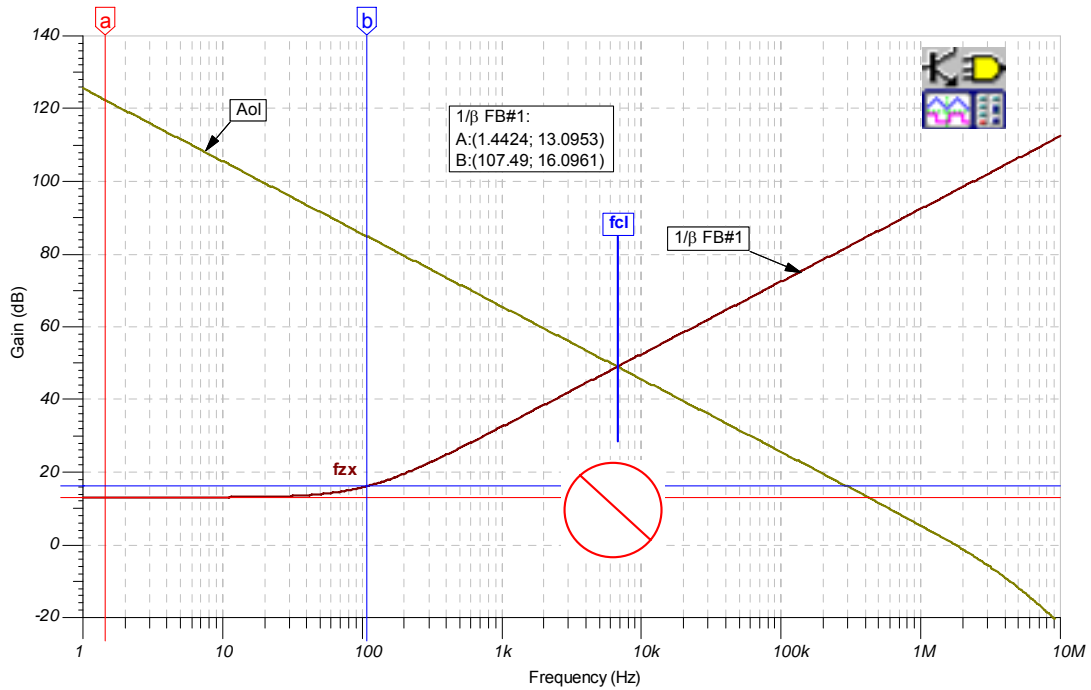


图 10.51 FB#1 $1/\beta$ 曲线: CMOS RRO

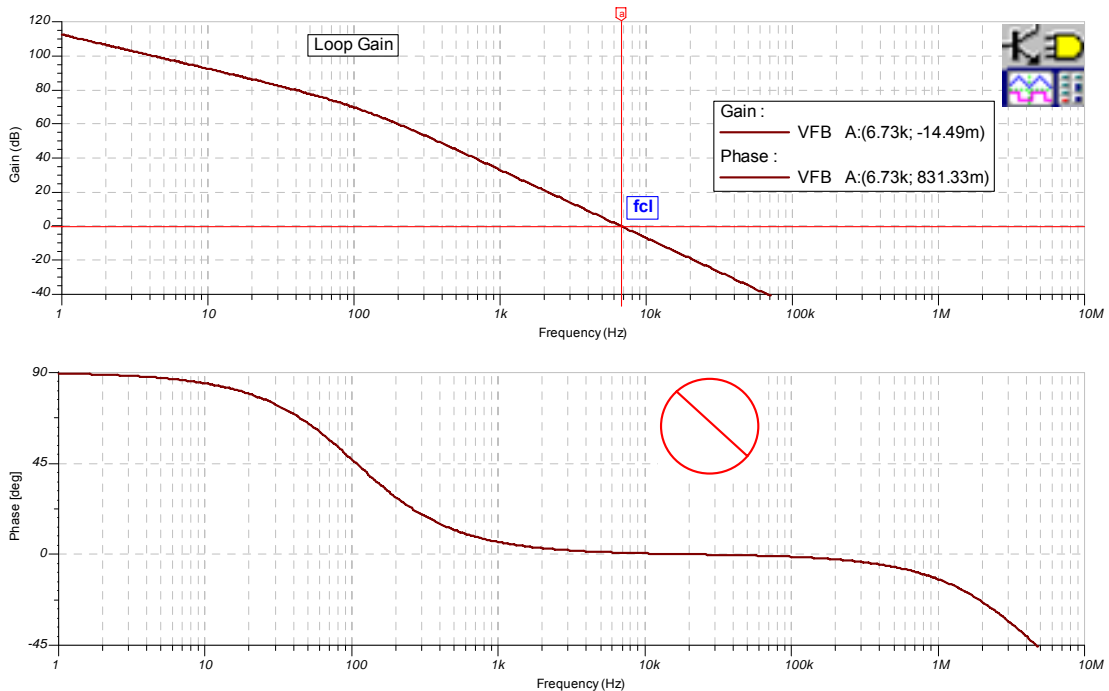


图 10.52 FB#1 环路增益分析: CMOS RRO

从图 10.52 中我们发现，只配置 FB#1 的电路环路增益分析显示，在环路增益为零的 fcl 处，相位裕度接近零。这样，就明确证实了电路的不稳定性。通过观察图 10.51 中 Aol 曲线上的 FB#1 1/β 标绘点，可推算出环路增益曲线上的极点和零点。

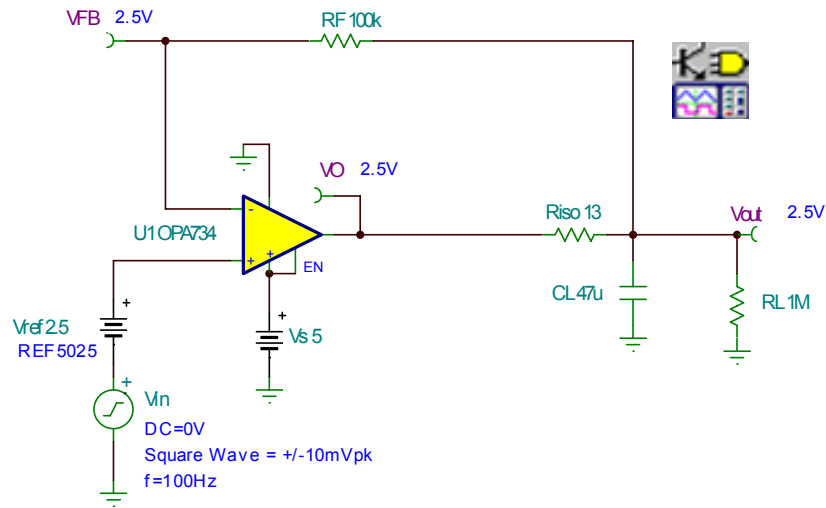


图 10.53 FB#1 瞬态稳定性测试电路：CMOS RRO

如果我们有任何疑问，或如果只采用 FB#1 构建参考缓冲电路，此时，我们可运用图 10.53 中的电路，进行实际的瞬态稳定性测试。

图 10.54 中的瞬态稳定性测试结果同时与 Aol 曲线上的 1/β 值和环路增益曲线一致，因此，证明了只采用 FB#1 构建参考缓冲电路，将导致电路运行的不稳定性。

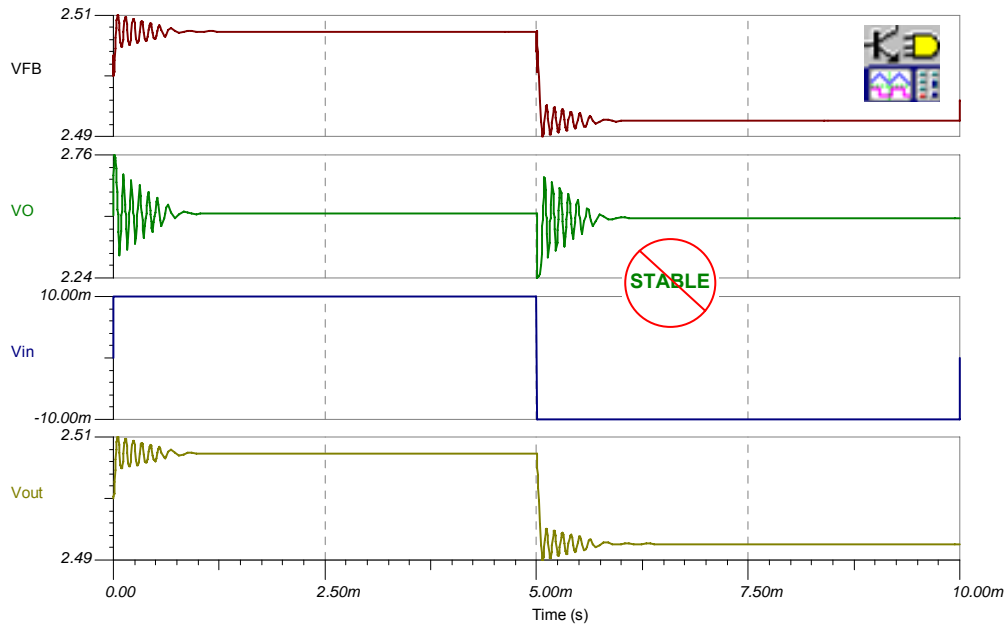


图 10.54 FB#1 瞬态稳定性测试：CMOS RRO

现在，我们必须弄清楚如何合成一种解决方案，以保证设置电容性负载参考缓冲电路的稳定性。此时，我们进一步了解如图 10.55 所示的 Aol 曲线和 FB#1 1/β 曲线。如果我们添加图 10.55 所示的 FB#2 1/β 曲线，我们就会看到一条最终的 1/β 曲线，这样，根据 fcl 处的接近速率在历史上的稳定性经验，可以推断电路的运行也将是稳定的。

另外，我们将促使 fpc 低于 1/β 曲线中的 fzx 一个 decade，以确保当频率低于 fcl 时，相位裕度优于 45 度。上述工作通过调整 1/β FB#2 的高频部分，使其比 FB#1 低频 1/β 高出 +10dB。接着，设置 fza，使其至少低于 fpc 一个 decade，以确保当实际应用中参数变化时，能够避免 BIG NOT。通过观察，我们发现，最终的 1/β 曲线是在 FB#1 1/β 曲线和 FB#2 1/β 曲线中选择最小数值的 1/β 通道而形成的。

务必请记住，在双反馈通道中，从运算放大器输出端至负极输入端的最大电压反馈将主导着整个反馈电路。最大的反馈电压意味着 β 值最大或者是 1/β 值最小。

最后，在 FB#2 取得支配地位之前，预计 Vout/Vin 的传输函数将随着 FB#1 的变化而变化。此时，Vout/Vin 将会衰减至 -20dB/decade，直至 FB#2 与 Aol 曲线相交，然后，将随着 Aol 曲线下降。

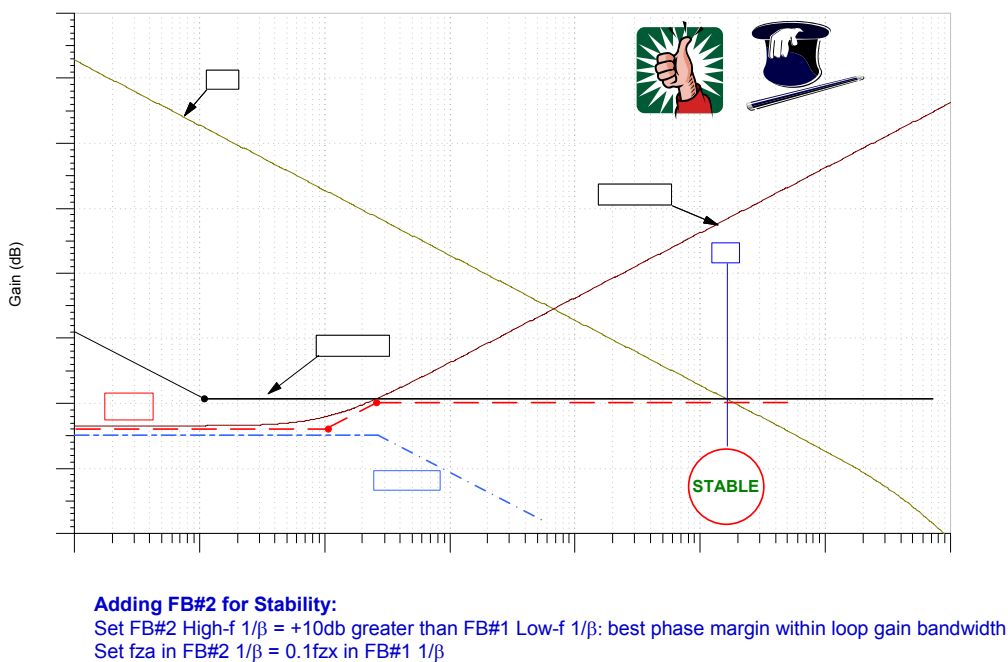


图 10.55 FB#2 图解分析: CMOS RRO

如图 10.56 所示，里面有一些主要的假设。我们将这些假设运用于几乎所有的具有双通道反馈的 RISO 电路中。首先，我们假设 $CL > 10 * CF$ ，这也就是说，在高频率时，CL 早在 CF 短路之前就短路。因此，我们将短路 CL 以排除 FB#1，从而便于单独分析 FB#2。另外，我们假设 $RF > 10 * Riso$ ，这意味着作为 Riso 的负载，该 RF 几乎完全失效。从图 10.56 和图 10.57 中具体的公式推导，我们可以看出，当 zero, fza = 19.41Hz (由 RF 和 CF 产生) 时，FB#2 在原

点拥有一个极点。由于在高频时，CF 和 CL 同时处于短路状态，所以 FB#2 高频 1/β 部分即为 Ro+Riso 与 Riso 之间的比值。FB#2 1/β 的公式推导请参阅下一张图（图 10.57），有关计算结果请参阅下图。FB#2 高频 1/β 设置为 10.92dB 或 20.76dB、原点拥有一个极点以及当频率为 10.6Hz 时的零点。

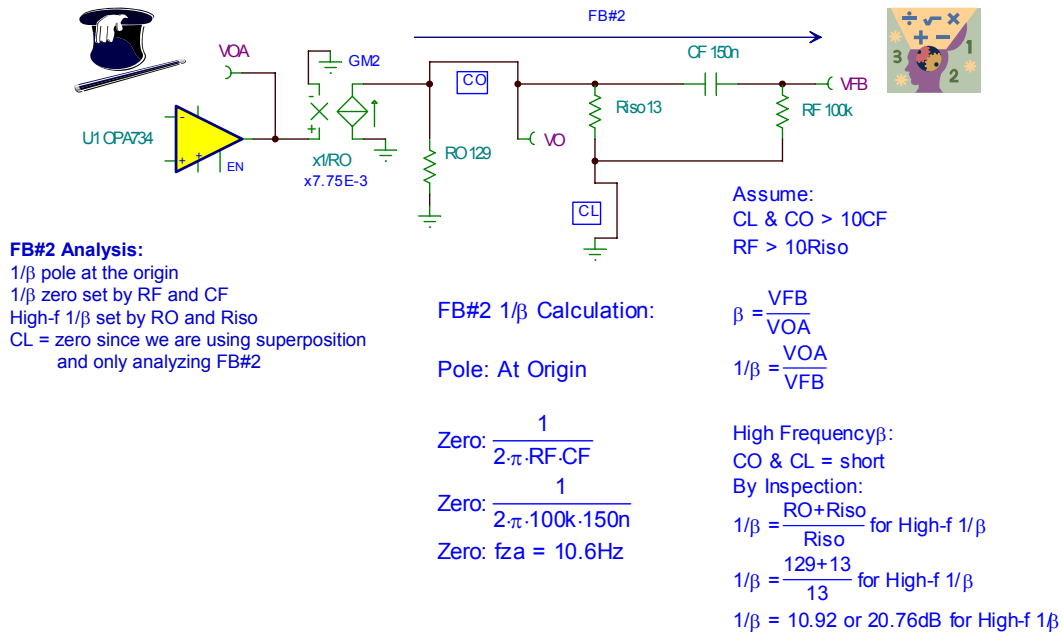


图 10.56 FB#2 分析: CMOS RRO

FB#2 β 的公式推导如图 10.57 左侧所示。由于 1/β 是 β 的倒数，所以 FB#1 1/β 的计算结果可以轻而易举的推导出来，具体推导过程请参阅图 10.57 右侧。从图中我们还发现，在 β 推导过程中的 pole, fpa 变成了 1/β 推导过程中的 zero, fza。

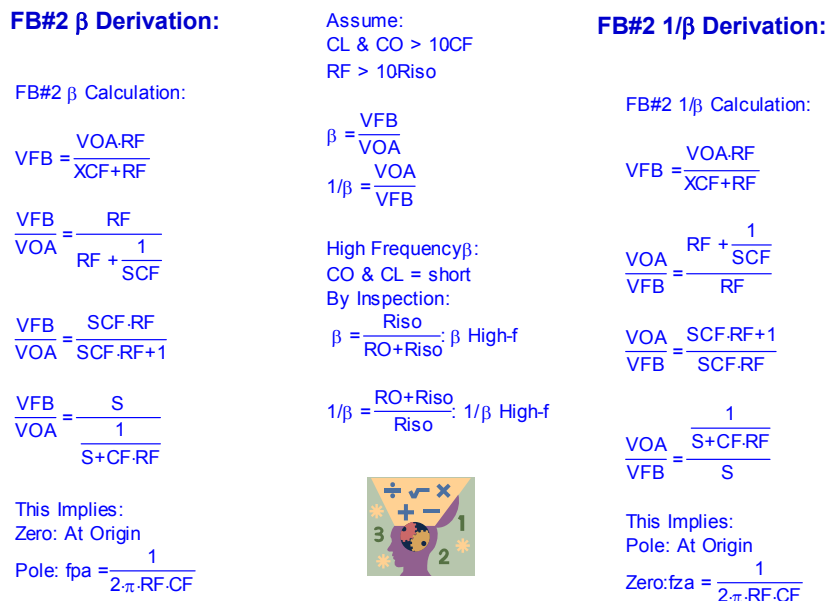


图 10.57 FB#2 分析: CMOS RRO

为了检验 FB#2 一阶分析情况，我们可采用如图 10.58 所示的 Tina SPICE 电路。而且，为了便于分析，我们将 CL 设置为 10GF，因此对各种相关的频率而言，CL 都等同于短路状态。但是，在开展 AC 分析前，仍允许 SPICE 查找到相应的 DC 工作点。

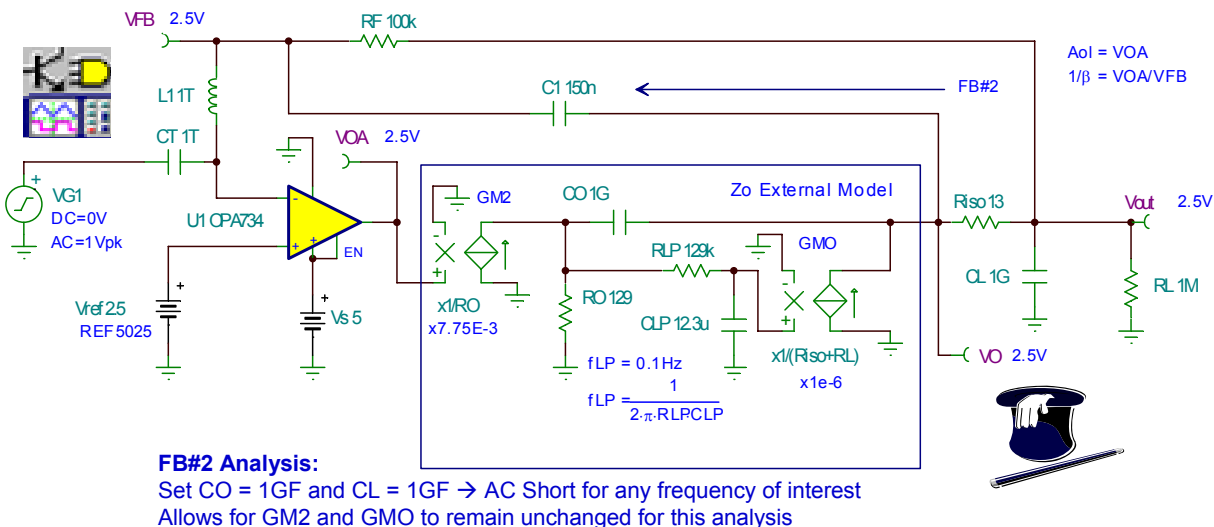


图 10.58 FB#2 AC 电路分析: CMOS RRO

Tina SPICE 仿真结果如图 10.59 所示。FB#2 $1/\beta$ 曲线正如当 $f_{za} = 10.6\text{Hz}$ 以及高频 $1/\beta = 23.78\text{dB}$ 时，采用一阶分析推算出来的结果一样。另外，我们也绘制出 OPA734 A_{ol} 曲线，以弄清楚在高频时，FB#2 将如何与其相交。

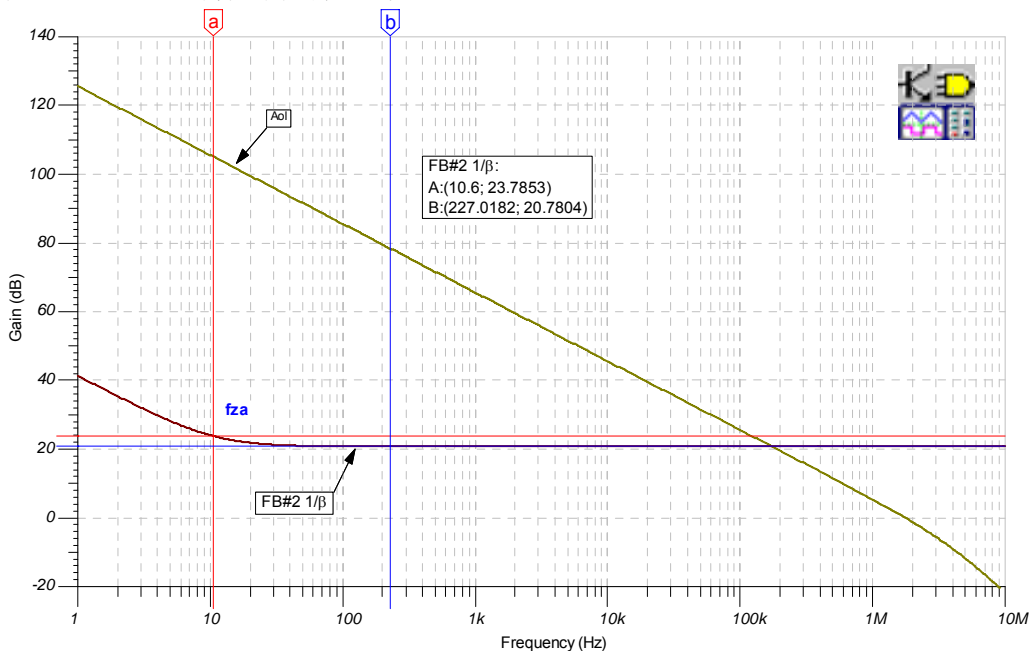


图 10.59 FB#2 $1/\beta$ 曲线: CMOS RRO

如果推算的 FB#1 和 FB#2 叠加结果会产生所需的最终 $1/\beta$ 曲线，那么我们将通过如图 10.60 所示的 Tina SPICE 电路开展分析工作。同时，我们还可通过 Tina SPICE 电路，绘制出 Aol 曲线、最终的 $1/\beta$ 曲线以及环路增益曲线。

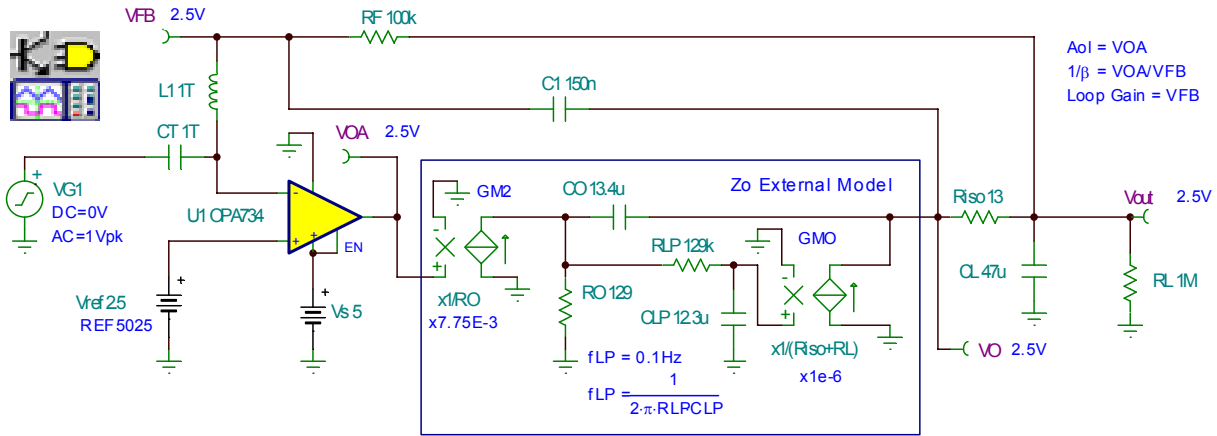


图 10.60 最终环路增益分析电路：CMOS RRO

从图 10.61 中，我们可以看出，分析结果验证了我们所推算的最终 $1/\beta$ 曲线。在环路增益为零的 fcl 处，推算的接近速率为 20dB/decade。

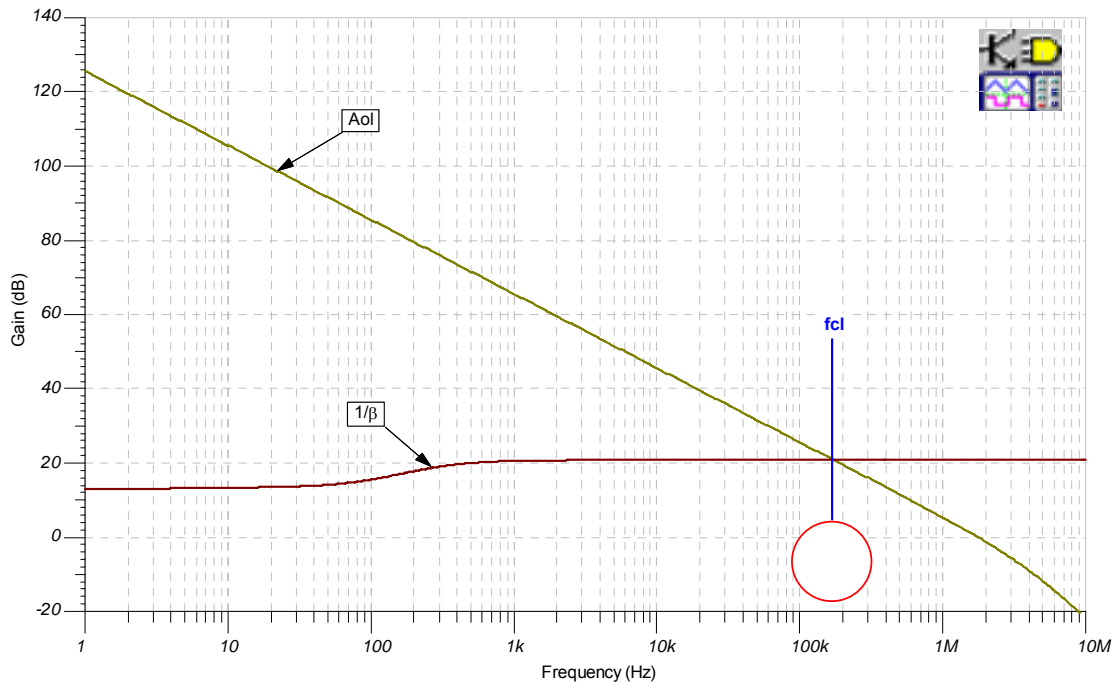


图 10.61 最终的 $1/\beta$ 曲线：CMOS RRO

最终电路的环路增益相位曲线（采用 FB#1 和 FB#2）如图 10.62 所示。相移从未下降至 66.54 度以下（出现在频率为 146.43kHz 的地方），因为，在 fcl 处（频率为 172.64kHz），相位裕度为 87.79 度。

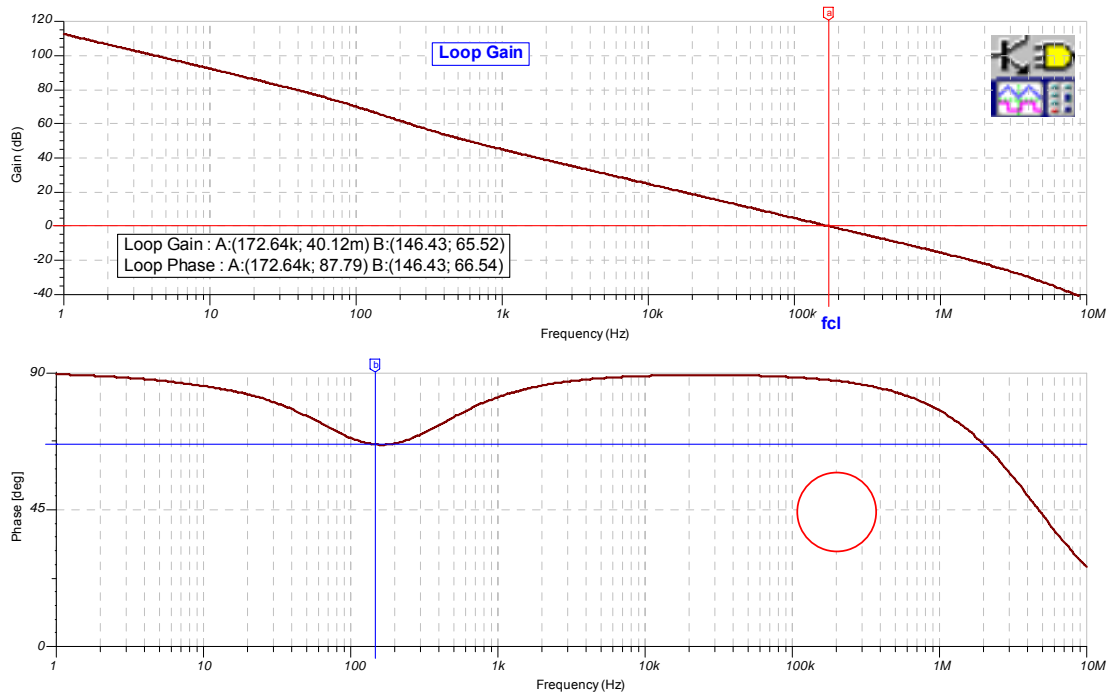


图 10.62 最终环路增益分析: CMOS RRO

我们将采用图 10.63 中的 Tina SPICE 电路对我们的稳定电路进行最后的检验——瞬态稳定性测试。

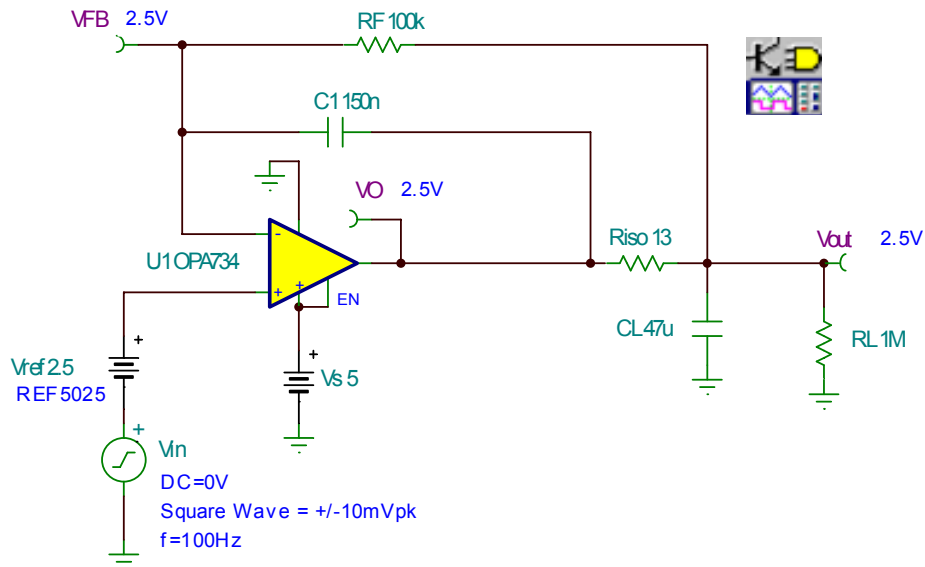


图 10.63 最终瞬态稳定性测试电路: CMOS RRO

图 10.64 中最终电路瞬态稳定性的测试结果符合我们其他所有的推算结果，从而研制出一款性能优良、运行稳定的电路。而且，我们可以信心十足的将这种电路投入量产，因为它不会发生故障或在实际运行中出现异常。

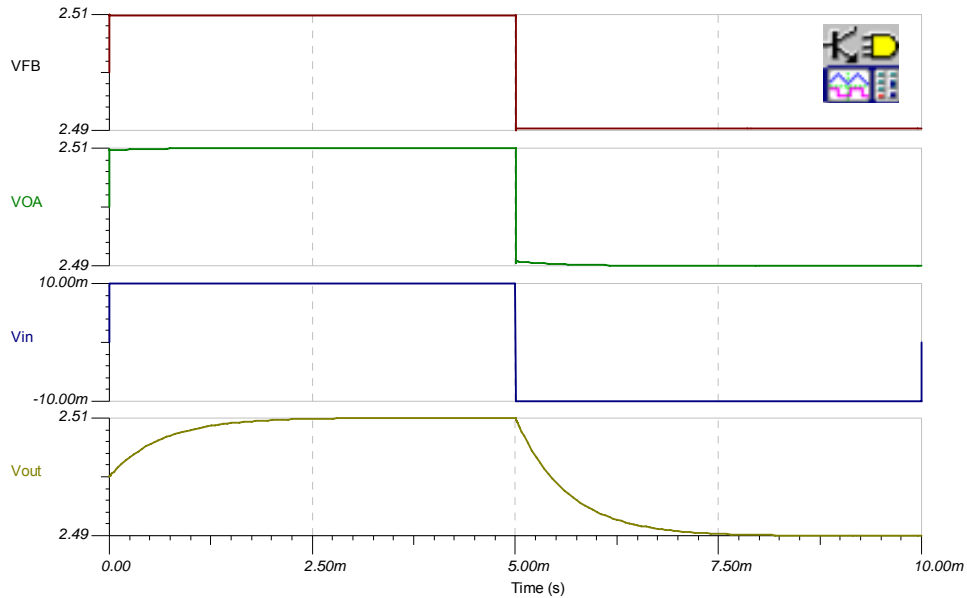


图 10.64 最终瞬态稳定性测试电路：CMOS RRO

通过图 10.65 中的 Tina SPICE 电路，可验证我们对 V_{out}/V_{in} 的推算是否正确。

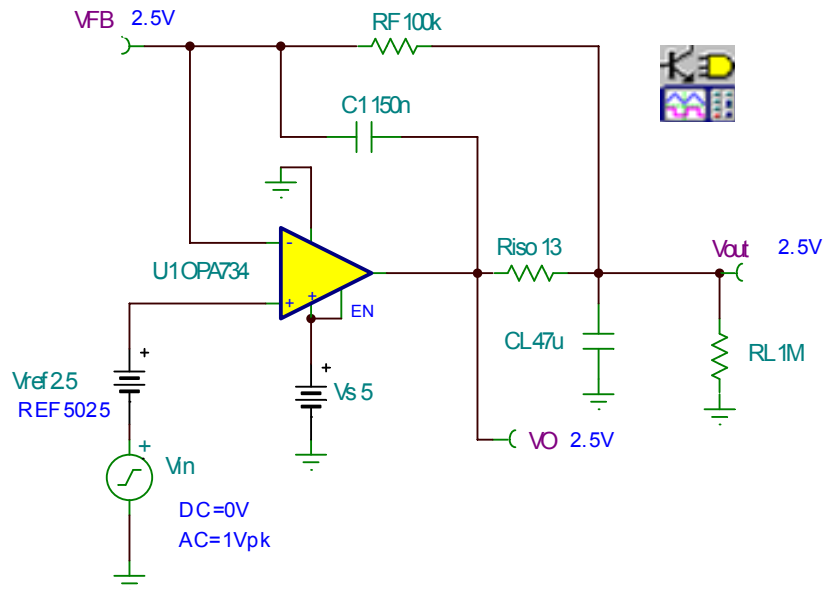


图 10.65 最终 V_{out}/V_{in} 传输函数电路：CMOS RRO

从图 10.66 中，我们可以看出， V_{out}/V_{in} 的测试结果与我们推算的一阶分析结果一致，具体表现为：当频率为 253.88Hz 时，单极点开始下降。而且，当频率约为 167kHz（此时，FB#2 与 OPA734 Aol 曲线相交）时，出现第二个极点。

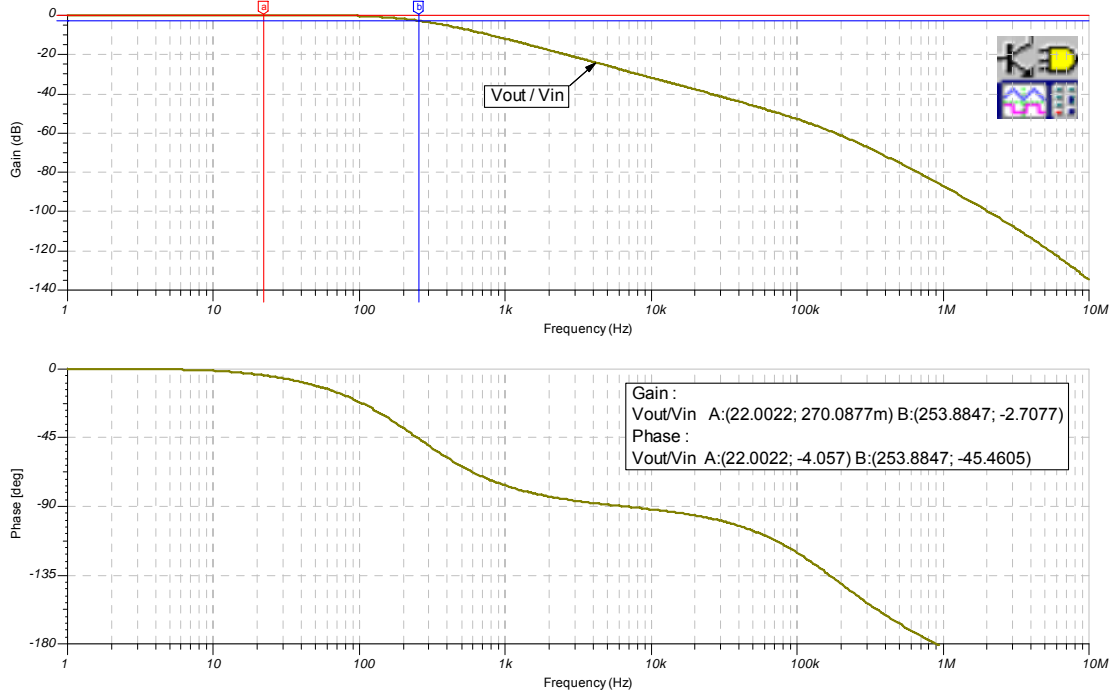


图 10.66 最终 V_{out}/V_{in} 传输函数: CMOS RRO

图 10.67 总结了一种易于使用的渐进式程序。这种程序轻松地将具有双通道反馈的 RISO 电容性负载稳定性技术应用于 CMOS RRO 输出运算放大器上。



FB#1 $1/\beta$ Formulae:

$$\text{Zero: } f_{zx} = \frac{1}{2\pi \cdot \left(\frac{CO \cdot CL}{CL + CO}\right) \cdot (R_{iso} + R_O)}$$

Note: $\frac{CO \cdot CL}{CL + CO}$ is series combination of CO and CL

$$\frac{1}{\beta} = \frac{CL + CO}{CO} \text{ for Low-f } 1/\beta$$

CO and CL form a Capacitive Divider



FB#2 $1/\beta$ Formulae:

Assume:

CL & CO > 10CF

RF > 10R_{iso}

Pole: At Origin

$$\text{Zero: } f_{za} = \frac{1}{2\pi \cdot R_F \cdot C_F}$$

High Frequency $1/\beta$:

CO & CL = short

By Inspection:

$$1/\beta = \frac{R_O + R_{iso}}{R_{iso}} \text{ for High-f } 1/\beta$$

- 1) 测量运算放大器的 A_{ol}
- 2) 测量运算放大器的 Z_o ，并在图上绘制出其曲线
- 3) 确定 CO 和 RO
- 4) 创建 Z_o 的外部模型
- 5) 计算 FB#1 低频 $1/\beta$ (由 CO 和 CL 导致)

- 6) 将 FB#2 高频 $1/b$ 设置为比 FB#1 低频 $1/b$ 高 +10dB (为获得最佳的 V_{out}/V_{in} 瞬态响应和实现环路增益带宽内相移量最少)
- 7) 从 FB#2 高频 $1/b$ 中选择 Riso 以及 RO
- 8) 从 CO、CL、Riso 和 RO 中, 计算 FB#1 $1/b$ fzx
- 9) 设置 FB#2 $1/b$ fza = 1/10 fzx
- 10) 选择具有实际值的 RF 和 CF, 以产生 fza
- 11) 采用 Aol、 $1/b$ 、环路增益、 V_{out}/V_{in} 以及瞬态分析的最终值, 运行仿真以验证设计的可行性。
- 12) 核实环路增益相移的下降不得超过 135 度 (>45 度相位裕度)
- 13) 针对低噪声应用: 检查 V_{out}/V_{in} 扁平响应, 以避免增益骤增 $\rightarrow V_{out}/V_{i}$ 中的噪声陡升

图 10.67 具有双通道反馈的 RISO 补偿程序: CMOS RRO

作者简介

Tim Green 现任美国亚利桑那州图森市 TI 线性应用工程经理。他担任模拟与混合信号电路板/系统级设计工程师长达 24 年之久, 其中包括: 无刷马达控制、飞机喷气式发动机、导弹系统、功率运算放大器、数据采集系统以及 CCD 相机。Tim 最近的工作经验包括模拟与混合信号半导体战略营销。Tim 毕业于亚利桑那大学 (University of Arizona), 获电子工程理学学士学位。如欲联系作者, 请发送邮件至 green_tim@ti.com。