



TI 大学计划模拟技术丛书

德州仪器高性能模拟器件高校应用指南

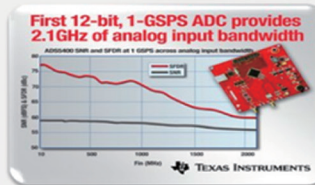
—— 信号链与电源

TI released the highest speed 12-bit ADC...three times!



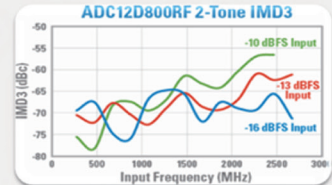
ADS5463
2006

12-bit,
500MSPS



ADS5400
2009

12-bit,
1000MSPS



ADC12D1800
2010

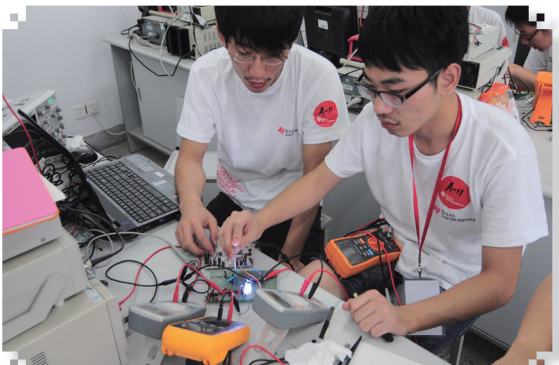
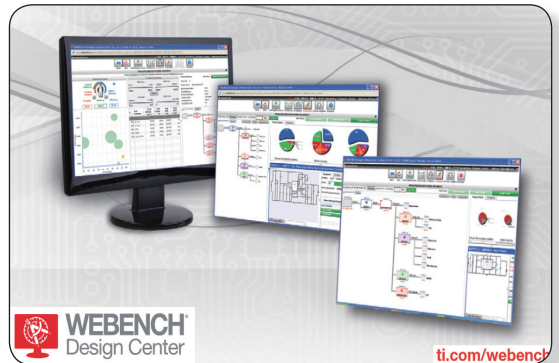
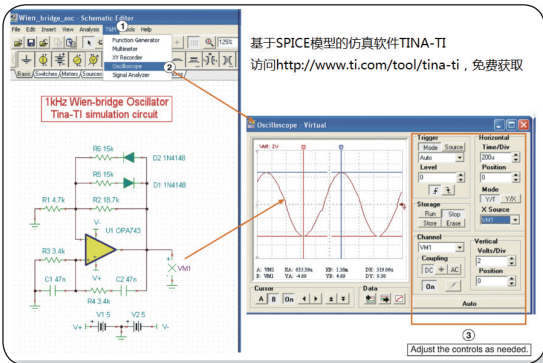
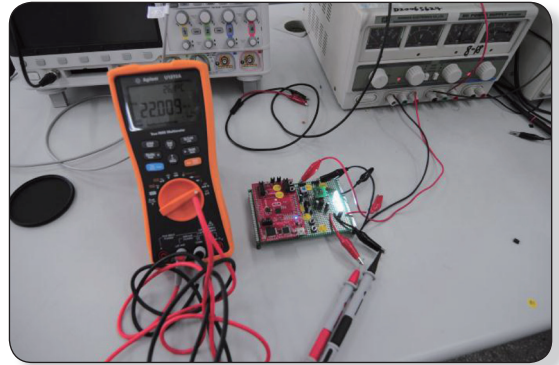
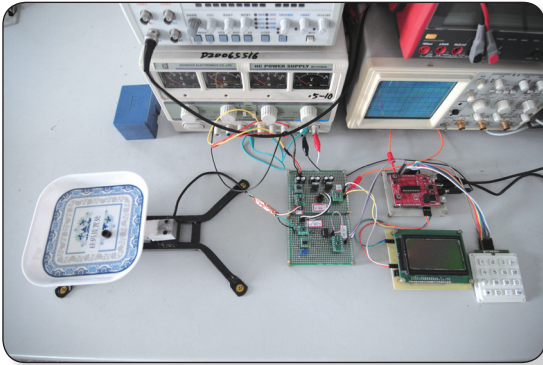
12-bit,
3600MSPS

德州仪器半导体技术（上海）有限公司大学计划

2013年8月



TI 高性能模拟器件及设计仿真软件助力您的设计



前 言

作为世界领先的半导体产品供应商，TI 不仅在 DSP 的市场份额上有超过 65% 占有率的绝对优势；在模拟产品领域，TI 也一直占据出货量世界第一的位置。而本手册是针对中国大学生创新活动的简化选型指南，帮助老师和同学们快速了解 TI 的模拟产品。需要提醒大家的是，这本手册仅仅涵盖了 TI 模拟产品的一小部分，如果您需要更为全面细致的选型帮助和技术文档，请访问 www.ti.com/analog 以获取运算放大器，数据转换器，电源管理，时钟，接口逻辑和 RF 等产品信息，访问 www.ti.com/mcu 以获得更多 MSP430, Tiva 和 C2000 的产品信息。

众人拾柴火焰高，如果你读过本手册的前面几个版本，一定会对其中略去的几个章节耿耿于怀，也会对其中草草结束的部分感到不满，今年在 TI 中国大学计划工程师团队的共同努力下，我们基于 2012 年的版本将本手册进行了第一阶段的充实工作。比如我们加入了原理部分，解读了放大器，数据转换器，电源的指标和选型方案；比如我们完善了应用技巧相关的章节，突出了实际操作中需要注意的问题，比如噪声控制，PCB 设计，等等；比如我们开始逐步强调模数混合系统设计的重要性，毕竟在现代的电子系统中，纯模拟的模块已经越来越少了。诸如这些改进，都是为了把更多的业界先进技术带给高校学生，加强同学们的工程实践能力，培养系统设计意识。

本手册将分为以下几部分介绍信号链和电源相关的知识及 TI 产品在大学生创新活动中的应用：

第一部分：运算放大器的原理和设计，由王沁工程师整理和编写；

第二部分：数据转换器的原理和设计，由崔萌工程师整理和编写，钟舒阳和谢胜祥两位工程师也参与了其中的部分章节；

第三部分：线性电源和开关电源的原理和设计，由胡国栋工程师整理和编写，汪帅工程师也参与了其中的部分章节。

全书由黄争规划并进行了校对和修改。但是由于时间仓促，水平有限，手册中一定存在不少错漏，请大家积极给予反馈，提出宝贵意见。欢迎大家发邮件给 frank-huang@ti.com 讨论手册中的各种问题。

德州仪器中国大学计划
2013 年 8 月

目 录

第一部分 运算放大器篇

前 言	1
TI 概览	1
第一章 运算放大器基础	1
1.1 概述	1
1.2 放大器基础	1
1.3 理想运放模型	2
1.3.1 理想运算放大器特点	2
1.3.2 “虚短”和“虚断”	3
1.3.3 叠加定理	4
1.4 基本运算电路	4
1.4.1 同相放大器	4
1.4.2 反相放大器	5
1.4.3 加法器	6
1.4.4 简化运算放大器电路图	7
第二章 运算放大器的指标	9
2.1 开环增益、闭环增益和环路增益	9
2.2 放大器的直流精度	12
2.2.1 放大器输入端的直流指标	12
2.2.2 放大器输出端的直流参数指标	18
2.3 放大器的交流精度	20
2.4 其他指标	24

第三章 精密放大器选型	33
3.1 TI 精密运算放大器	33
3.2 精密放大器选型步骤	36
3.3 TI 精密运算放大器列表	40
第四章 运放单电源供电	42
4.1 单电源运放	42
4.2 单电源运放电路的基本偏置方法	42
4.3 其他一些基本的单电源供电电路	46
第五章 各种差动放大器解析	49
5.1 差分放大器基本概念	49
5.2 差分放大器	50
5.3 仪表放大器	52
5.4 电流检测放大器	58
5.5 全差分运算放大器	62
第六章 放大器的稳定性	70
6.1 运算放大器为什么会不稳定?	70
6.2 分析运算放大器的工具: 波特图	72
6.3 断开交流反馈环路以获得 A_{ol} 和 $1/\beta$ 的波特图的方法	76
6.4 使用 TINA-TI 判断运放的稳定性	79
6.5 修改 A_{ol} 的补偿方法: 添加 RISO	86
6.6 修改 $1/\beta$ 的补偿方法: 增大噪声增益和添加 CF	89
第七章 高速放大器的选型	94
7.1 高速放大器的关键指标	94
7.2 Bipolar & FET 输入的高速放大器	96
7.3 电压反馈、电流反馈和去补偿型高速放大器	97

7.3.1	什么是电压反馈，什么是电流反馈？	97
7.3.2	电压反馈放大器和电流反馈放大器的区别：带宽 vs 增益	98
7.3.3	电压反馈放大器和电流反馈放大器的区别：反馈电阻的取值.....	100
7.3.4	电压反馈放大器和电流反馈放大器的区别：压摆率.....	102
7.3.5	何时选用电压反馈放大器，何时选用电流反馈放大器？	103
7.3.6	去补偿（Decompensate）电压反馈放大器	103
7.4	可控增益放大器的应用	107
7.5	高速放大器的布局布线	111
7.5.1	什么时候需要高速印制电路板？	111
7.5.2	信号完整性基础	112
7.5.3	正确的高速 PCB 设计指南	115
第八章	有源滤波器设计	127
8.1	滤波器基本原理	127
8.2	Webench 和有源滤波器设计	129
8.3	Filterpro 和有源滤波器设计	135
8.4	运放的选择	137
8.5	过采样简化模拟滤波器设计	138
8.6	多阶滤波器如何增强过渡带的陡峭度	140
模拟设计小集锦	144
CMOS 运放的 THD+N	144
单电源运放的轨到轨输入	146
输出达不到轨到轨	150
放大器的输入偏置电流	155
Sallen-key 低通滤波器的高频馈通现象	157

第二部分 数据转换器篇

第一章 ADC.....	165
1.1 ADC 基本原理(比较器和 FLASH 型 ADC)	165
1.2 ADC 的基本分类.....	167
1.3 量化误差与分辨率.....	167
1.4 过采样与欠采样.....	169
1.5 混叠.....	172
第二章 ADC 性能指标	177
2.1 静态精度	177
2.2 偏置误差.....	177
2.2.1 增益误差	178
2.2.2 微分非线性.....	178
2.2.3 积分非线性.....	180
2.3 动态指标	180
2.3.1 无杂波动态范围 (SFDR)	181
2.3.2 信噪比 (SNR)	182
第三章 ADC 选型指南	185
3.1 常见 ADC 结构特点与应用场景.....	185
3.2 SAR 型 ADC.....	185
3.2.1 SAR 型 ADC 结构与原理.....	185
3.2.2 在运放和 SAR ADC 间插入 RC 组合	189
3.2.3 Δ - Σ ADC	191
3.2.4 流水线型 ADC (Pipeline)	197
3.2.5 应用场景总结.....	201

3.3 为您的设计选择合适的 ADC.....	203
3.3.1 确定 ADC 类型.....	203
3.3.2 确定所需 ADC 的采样率，精度.....	204
3.3.3 选择并设计 ADC 的模拟输入.....	204
3.3.4 选择并设计 ADC 的参考输入.....	208
3.3.5 选择并设计高速数据采集系统中的时钟.....	212
3.3.6 ADC 的数据输出捕获.....	213
第四章 DAC 简介与指标.....	222
4.1 DAC 简介.....	222
4.2 DAC 常见性能指标.....	223
第五章 DAC 选型与指南.....	224
5.1 常见 DAC 结构与应用场景.....	224
5.1.1 电阻串型 DAC (R-String).....	224
5.1.2 乘法型 DAC R-2R.....	228
5.1.3 $\Delta\Sigma$ 型 DAC.....	234
5.1.4 电流引导型 DAC Current Steering.....	235
5.1.5 PWM DAC.....	236
5.1.6 DAC 应用场景总结.....	243
5.2 DAC 选型与电路设计.....	244
5.2.1 确定所需 DAC 的类型.....	244
5.2.2 确定所需的分辨率和建立时间.....	245
5.2.3 选择并设计 DAC 的模拟输出端.....	246
5.2.4 选择并设计 DAC 的参考电压输入端.....	247
5.2.5 选择并设计高速 DAC 的时钟.....	247
5.2.6 DAC 的数据输入.....	247

第六章 低噪声精密电路的设计与优化.....	252
6.1 精密信号链中的噪声抑制.....	252
6.1.1 噪声来源.....	255
6.1.2 减少器件噪声.....	258
6.1.3 减少辐射噪声.....	258
6.1.4 减少传导噪声.....	262
6.1.5 PCB 优化指南.....	265
6.2 利用 DELTA-SIGMA ADC 简化电路设计.....	267
6.2.1 用 Δ - Σ ADC 完成整个信号链的工作.....	268
6.2.2 利用 ADS1147 完成对 3 线制 RTD 电阻的测量.....	269
第七章 高速信号链中 ADC 电路设计.....	271
7.1 高速数据采集系统中的时钟.....	274
7.1.1 时钟抖动的影响.....	274
7.1.2 时钟幅度的影响.....	277
7.1.3 时钟同步的要求.....	280
7.2 驱动高速 ADC 的模拟输入.....	281
7.2.1 变压器驱动高速 ADC.....	282
7.2.2 全差分放大器驱动高速 ADC.....	283
7.3 使用 FFT 测试高速 ADC.....	297
附录——应用笔记.....	299

第三部分 电源篇

第一章 DC-DC 转换器概述	331
1.1 DC-DC 转换器基础.....	331
1.2 DC-DC 转换器特性.....	332
1.3 拓扑结构对比.....	333
1.4 系统中的电源要求.....	334
1.5 线性稳压器.....	335
1.6 电感型开关电源.....	335
1.7 电荷泵型开关电源.....	336
第二章 分立元件.....	338
2.1 晶体管 MOSFET.....	338
2.2 二极管	339
2.3 电感	340
2.3.1 实际中电感的参数	340
2.3.2 电感的频率特性	341
2.3.3 电感的温度特性	342
2.3.4 屏蔽结构的电感	343
2.4 电容	344
2.4.1 几种电容对比	345
2.4.2 电容的结构	347
2.4.3 电容的频率特性	347
2.4.4 电容的温度特性	349
2.4.5 电容的电压特性	350
2.4.6 Class I 和 Class II 电容对比	351

第三章 线性稳压器.....	352
3.1 线性稳压器的演进.....	352
3.2 线性稳压器的压降.....	353
3.3 线性电源的效率.....	354
3.4 对地电流	356
3.5 LDO 的稳定性	357
3.6 LDO 的调整率和瞬态响应	359
3.7 电源的噪声	361
3.8 电源纹波抑制比	364
3.9 LDO 的启动	365
3.10 LDO 的关闭	366
3.11 LDO 的应用场景选择	368
第四章 电感型稳压器.....	369
4.1 电压控制降压型稳压器.....	372
4.2 开关模型	372
4.3 电感选择分析.....	375
4.4 电感选择实例解析.....	376
4.5 外部元器件中的电流.....	379
4.6 输出电容选择分析.....	380
4.7 暂态响应	382
4.8 集成电流反馈的开关电源.....	384
4.9 电流反馈中的补偿.....	386
4.10 电流控制 VS 电压控制	388
4.11 确定开关电源最恶劣的情况	389
4.11.1 先看一下 V_{in} 和占空比 D 的关系.....	389

4.11.2	分析一下 ΔI 随 V_{in} 变化规律	390
4.11.3	分析 ΔI 和 D 的变化关系	392
4.11.4	电流直流分量IDC分析	394
4.11.5	WEBENCH对 ΔI 和IDC仿真验证	399
4.11.6	总结Ipeak最恶劣的情况	400
第五章	电荷泵型稳压器	402
5.1	电荷泵基础	402
5.2	开关电容稳压器的细调功能	404
5.3	电荷泵的电压增益调节	405
5.4	开关电容的优点	408
第六章	使用WEBENCH选择合适的稳压器	409
6.1	WEBENCH模拟设计工具包概述	409
6.2	WEBENCH电源设计工具	409
6.2.1	电源选型	411
6.2.2	单电源设计	412
6.2.3	电源架构设计	414
6.2.4	FPGA/处理器电源设计	418
6.2.5	LED电源设计	418
6.2.6	电源仿真	419
6.2.7	原理图导出	424
6.3	开关电源参数间的矛盾和联系	425
6.3.1	开关频率和电感	425
6.3.2	开关频率和MOS管	427
6.4	buck开关电源设计实例	429
6.4.1	芯片优化选择	429

6.4.2 外围元件优化选择	431
6.4.3 三种优化方案对比	431
6.4.4 方案的仿真分析（图表、热、稳态、缓起）	432
6.4.5 方案原理图导出	449
6.5 boost 开关电源设计实例	450
6.5.1 Boost 电路电流路径分析	451
6.5.2 开关电源的波特图仿真	452
6.5.3 boost 开关电源效率仿真	453
6.6 FPGA 电源设计实例	454
6.6.1 FPGA 芯片选择	455
6.6.2 供电芯片组电源树设计	456
6.6.3 电源树优化设计	458
6.6.4 电源芯片优化选型	460
6.6.5 电源芯片外围电路优化	461
6.6.6 原理图导出	462
第七章 开关电源的 PCB 布线	463
7.1 高 di/dt 环路	463
7.1.1 初识高 di/dt 问题	463
7.1.2 定位高 di/dt 的位置并解决	464
7.2 接地技术	466
7.2.1 Varga 接地准则	466
7.2.2 Dutra 接地准则	466
7.2.3 其它接地准则	467
7.3 初识叠层	467
7.4 元件的布局布线	468

7.4.1 元件放置策略	468
7.4.2 滤波电容布线	470
7.4.3 功率 MOS 管和去耦.....	471
7.4.4 大电流的走线和过孔.....	472
7.4.5 开关节点	474
7.4.6 控制电路布局	475
7.4.7 散热情况考虑	476
7.5 TPS40210 布局布线实例分析.....	477
7.5.1 地平面的划分.....	479
7.5.2 滤波电容布线分析	480
7.5.3 功率 MOS 管布线.....	481
7.5.4 大电流和过孔	482
7.5.5 开关节点布线分析.....	482
7.5.6 控制电路布局布线.....	483
第八章 TI DC-DC 电源产品简介与选型指南.....	485
8.1 POL 中的低压差线性稳压器	487
8.2 POL DC/DC 开关稳压器.....	499
8.2.1 电感式开关稳压器	499
8.2.2 电容式开关稳压器	508
8.3 LED 驱动电路.....	511
附录 芯片汇总	520
附录 TI 网上资源简介.....	526

TI 概览

德州仪器公司，Texas Instruments，即 TI，是总部在美国德克萨斯州的一家高科技企业。实际上 TI 的中文名字并不是特别的“清晰明了”，一方面是容易跟咱们的山东德州（因扒鸡而闻名）混淆；另一方面，我曾被问到，参加你们的大学计划，买示波器这类“仪器”打几折？在这些令人哭笑不得的问题背后，其实是 TI 近 80 年的悠久历史。德州是美国的主要石油产地，1930 年 TI 的前身“Geophysical Service Inc.”在德州成立时的主要目的是研发地震仪和石油探测仪器，因此 GSI 在 1950 年正式上市时就挑中了德州仪器这个名字。这也就是 TI 名字的由来。

在 1958 年，TI 的工程师 Jack Kailby 先生发明了世界上首颗集成电路芯片，这项发明为人类进步做出了巨大的贡献，Jack Kailby 先生也因此 在 2000 年获得了诺贝尔物理学奖。从此，半导体业务开始在 TI 发芽。但是，60/70 年代的美国企业追求的是大而全，TI 也不例外，拥有非常多的业务部门，这种情况一直持续到 90 年代中期。在这 30 年间，TI 在半导体研发方面一直保持着创新，从第一颗单芯片微处理器，到最简单的数字语音合成芯片“spell & speak”，到 1982 年的第一个单芯片数字信号处理器（DSP），到 1993 年发明的数字光源处理技术（DLP）片，半导体业务开始在 TI 的营收中占据着越来越重要的地位。在 1995 年的时候，TI 的营收达到了 130 亿美元，成为过百亿美元的财富 500 强，但有些业务在市场的排名并不十分理想，比如，笔记本电脑排名第九，企业软件排名第十，打印业务排名第九，国防工业排名第十，惟一排到第一位的就是 DSP 业务。

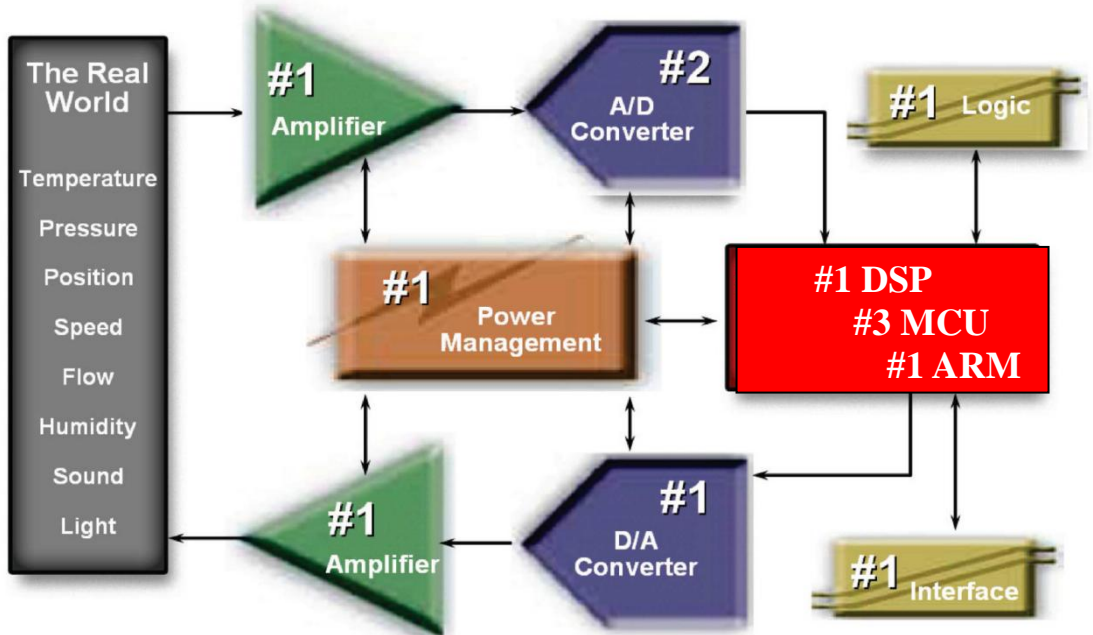
面对更大的竞争和即将来临的网络时代，TI 高层锐意变革，在 90 年代初就非常有远见的提出了要做“数字时代的领导者”。1996 年 Tom Engibous 出任 TI 总裁，确定了 TI 的重点在半导体业务上，重中之重是 DSP 和 Analog。在 1996 年到 2000 年间，TI 连续卖出了 20 余家公司，又买入了 20 余家，完成了从多样化业务到半导体专营业务的转变。从此，TI 的半导体业务进入了高速发展期，在 DSP 方面，业界最快的 TMS320CC6000 系列、功耗最低的 TMS320C55xx 系列、第一颗运算速度超过 1GHz 的 C64x、第一颗 ADSL 调制解调芯片、ARM+DSP 双核架构的 OMAP 处理器等一系列领先产品的推出，使得 TI 在 DSP 领域奠定了世界第一的地位。

在模拟方面，TI 在 2000 年以当时创纪录的 60 亿美元收购了以设计和制造高端运放和数据转换器著称的 Burr-Brown 公司，这项收购非常大胆，因为当时 TI 的年收入也只有 130 亿美元。但是这也充分说明了模拟在 TI 战略中的重要性。接下来 TI 又收购了 Unitrode、Power Trends 等公司来壮大自己的电源方面的实力。在 2007 年，TI 收购了 Chipcon，在低功耗无线

通信领域又占据了市场份额第一的位置。

在单片机方面，TI 在 90 年代末把 MSP430 从专供表类客户的应用中推到通用市场，其业界最低的功耗，集成的高性能模拟和数字外设都倍受客户青睐；C2000 数字信号控制器因为其 DSP 的性能，单片机的价格被誉为实时单片机；而在 2009 年 TI 收购了 Luminary Micro，以最快的方式拥有了 Cortex M3 单片机家族，TI M3 因其低廉的价格，通用的架构，不俗的性能在单片机市场上迅速占领了一席之地。

从下面的系统框图中，我们可以清楚看到 TI 在每一个电子系统的每一个角落都占据着业界数一数二的地位。而正因为持续不断的创新和进取，TI 连续 7 年被《财富》杂志评为全球和全美国最受尊敬的半导体公司，评分远超其他半导体企业。



数字信号处理是对理论和实践都要求极高的一门学科，采样理论，谱分析，滤波器设计，抽取，小信号提取，这些概念和算法包含了一大堆让人头晕眼花的数学公式。推导这些理论已经够让人头疼，那么怎么实现它们呢？TI 从第一颗 TMS32010 问世开始就一直致力于简化工程师实现数字信号处理算法的难度。1996 年 TI 进入中国设立办事处，当时中国熟悉 DSP 理论的人越来越多，但是如何使用硬件来实现这些理论却是个巨大的挑战。TI 管理层敏锐察觉到这个问题，抓住时机在中国高校中开展 TI DSP 大学计划，并在 1998 年和教育部签订谅解备忘录，承诺在中国高校中投资建立 100 个 DSP 实验室，帮助中国高校掌握和应用世界领先的 DSP 技术。2007 年 10 月，TI CEO 理查德·谭普顿先生来访中国，宣布核心大学计划在中国正式启动，这标志着 TI 将继续扩大对中国教育界的投入，比如 TI 中国大学计划将正式扩展到模拟技术和单片机领域，与高等学校进行合作，通过建立学生模拟创新实验室、对

教师进行模拟技术和单片机相关的专业知识培训、支持学生参加各种电子设计竞赛等形式，强调模拟及模数混合电路的重要性。

在现代电子设计中，模拟技术和数字技术相辅相成，因此在一系列电子设计竞赛中，TI 的 MSP430、M3 和 C2000 系列单片机作为系统的核心处理器和模拟器件一起在合作省市中推广。在合作的过程中，我们深刻体会到学生对数字器件的感兴趣程度和掌握速度远远高于模拟技术。实际上，TI 各系列的 DSP 和单片机已做到高手遍布民间，学校实验室的技术一代传一代，很多还未毕业的学生就已经拥有了相当深的软硬件经验。相对于数字器件比较单一的硬件结构和编程思想，模拟器件的种类多指标细且用法灵活多变，很容易让人摸不着头脑，比如请看 TI 的模拟器件家族：

放大器



音频放大器
缓冲放大器
差分放大器
高速放大器
仪器放大器
隔离放大器
对数放大器
低压运算放大器
功率运算放大器
精密运算放大器
可编程增益放大器
视频放大器

数据转换器



音频模数转换器
 Δ - Σ 模数转换器
流水线式模数转换器
SAR型模数转换器
音频数模转换器
电流控制数模转换器
 Δ - Σ 数模转换器
精密数模转换器
通用数模转换器
音频SRC
数据采集系统
调制器/滤波器

电源管理



电池管理
电荷泵
DC/DC 转换控制器
DC/DC 开关转换器
数字电源
显示驱动器
热交换
LED 驱动器
线性稳压器
MOSFET 驱动器
封装模块
电源因数修正
电源控制
电源电压监控器

接口



1394
CAN
电路保护
数字隔离器
显示接口
LVDS/MLVDS
PCIe/PCI
RS-485, 232 & 222
SCSI
串行器
解串器
收发器
UART
USB

RF和模拟元件



4-20mA 转发器
模拟 ASSP
模拟 MUX
时钟和定时器
比较器
电流旁路监视器
数字上升转换器
数字下降转换器
风扇控制器
ISM Band
基准源
开关
温度传感器
ZigBee™

如何从上表中众多的放大器、数据转换器和电源中选取到合适的产品，又如何针对他们各自的特点发挥出最佳的性能？而这本选型手册的目的就是为了帮助大家做到这一点。

第一部分 运算放大器篇

第一章 运算放大器基础

1.1 概述

“运算放大器”这个词（简称为“运放”）起源于 20 世纪 40 年代，指一类专门通过改变外围器件可以实现不同算数运算的放大器。早起的运放由电子管组成，体积大而且耗电。后来由于分立式电子管的应用，体积小了很多。现在，运放是单片集成电路，即经济又高效。

在介绍运放之前，本章我们先来回顾一下运放的基本知识，为运放应用打下基础。本章内容包括放大器的基础知识、理想运算放大器的模型、虚断虚短的概念及基本放大电路。

1.2 放大器基础

运放是一种差分输入、单端输出的放大器。这种放大器能借助不同的反馈连接实现各种运算功能。对于一个线性放大器，输出信号= $A \times$ 输入信号，其中 A 是放大因子或者增益。

根据输入和输出信号的特点，我们可以将放大器增益分为四种：

- 电压（输出电压/输入电压）
- 电流（输出电流/输入电流）
- 跨阻（输出电压/输入电流）
- 跨导（输出电流/输入电压）

鉴于大部分的运放都是电压型放大器，我们这里只讨论电压型放大器。

通过戴维南定理可以为放大器建模，把它简化为适当的电压源和一系列电阻。输入端口扮演着被动接受的角色，自身不产生任何电压，所以它的戴维南等效为一个阻抗元件 R_i 。输出端口被建模为一个独立的电压源 $A V_i$ 和一个输出电阻 R_o 。作为一个完整的简单放大器电路，还需要添加一个输入信号源 V_s （内阻为 R_s ）和负载 R_L 。图 1.1 为一个简单放大器电路的戴维南等效。

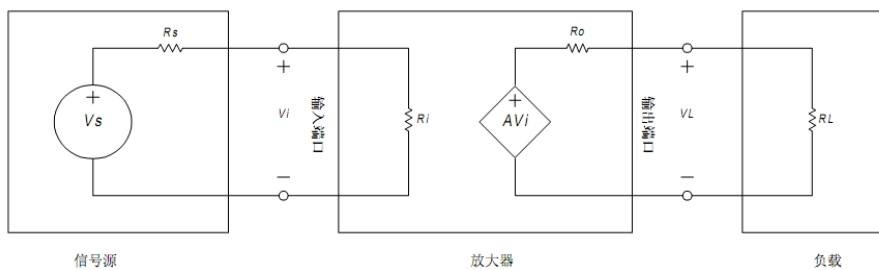


图 1.1 带信号源和负载的放大器电路戴维南模型

我们可以看到，在放大器的输入和输出端都有分压电路存在。这要求我们在使用不同的输入源和输出负载的时候进行重新计算，增加了计算的复杂性。

1.3 理想运放模型

在分析集成运放的各种应用电路时，经常将实际的运放看成一个理想运算放大器。所谓的理想运算放大器是将集成运放的各项技术指标理想化，在实际的应用中运放可能达不到理想化的技术指标，但是，由于集成运放工艺水平的不断改进，集成运放产品的各项性能指标愈来愈好。因此，一般情况下，在分析估算运放的应用电路时，将实际运放视为理想运放所造成的误差，在工程上是允许的。利用理想运放的概念，能大大简化分析过程。

1.3.1 理想运算放大器特点

对于理想的运算放大器，它的输入级有如下特点：

- 无穷大的输入阻抗，无穷小的输入电容。这样运放不会受信号源阻抗的影响，最起码的特点就是信号源的电压会被运放完全吸收
- 无限接近甚至超过电源轨的输入电压范围
- 无穷大的差分增益和无穷大的共模电压抑制比
- 无穷大的信号带宽
- 无穷小的失调电压，偏置电流和失调电流
- 对于理想运算放大器，它的输出级有如下特点：
 - 无穷小的输出阻抗，这样电压可以完全传递到负载电路，并不会和容性负载形成多余的极点。
 - 无限接近甚至超过电源轨的输出电压范围。
 - 无穷小的信号失真

我们通过建立理想运算放大器的模型来说明理想运放的这些特点。图 1.1 为放大器的戴维南等效模型在图 1.2 中用标准运放的表示方法给出。标准的运放与单端放大器是有区别的，它拥有两个输入端（同相输入端 V_p 和反相输入端 V_n ），输入端电压的差值 V_d ， $V_d = V_p - V_n$ ，在输出端输出以地为参考值的输出电压 V_o 。

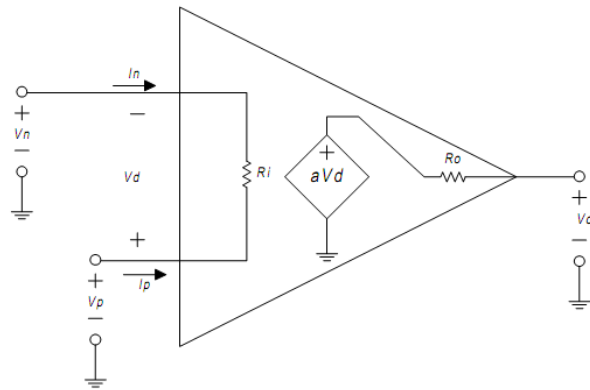


图 1.2 标准运算放大器的表示方法

由上图我们可以看到实际运算放大器输入输出端依然存在输入输出电阻，为便于分析，现在基于理想运算模型做三个简单的假设：

■ 增益无限 $A_{ol} = \infty$ (1-1)

■ 输入电阻无限 $R_i = \infty$ (1-2)

■ 输出电阻为零 $R_o = 0$ (1-3)

把这三个假设应用到图 1.2 中，可以得到理想运算放大器模型，如图 1.3 所示。

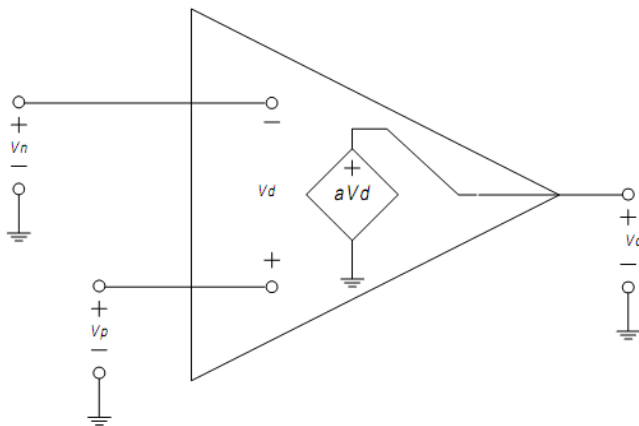


图 1.3 理想运算放大器模型

1.3.2 “虚短”和“虚断”

从理想运算放大器模型，可以进行如下的推导，从而得到一些另外的简化公式。比如用于进行运放电路分析的有力帮手：“虚断”和“虚短”。

因为 $R_i = \infty$ ，在输入端没有任何负载效应，可推出流入正相和反相输入端的电流为 0，这就是“虚断”：

$$I_n = I_p = 0 \quad (1-4)$$

因为 $R_o=0$ ，在输出端没有负载的影响。

$$V_o = A_{oi}V_d \quad (1-5)$$

如果运算放大器是线性运算， V_o 必须是一个有限的电压值。根据式(1-5) 整理后得到，

$$V_d = \frac{V_o}{A_{oi}} \quad (1-6)$$

因为 $A_{oi}=\infty$ ，则 $V_d=V_o/\infty=0$ ，表示运放的差模输入电压非常小，两输入端近似等电位，即 $V_n=V_p$ 。因此在分析处于线性状态的运算放大器时，可把两输入端视为等电位，这一特性称为虚假短路，简称虚短。但是必须记住两输入端并不是真正短路。运放的虚短并不是自动的，虚短的实现需要三个条件：1) 运放的开环增益 a 足够大；2) 要有负反馈电路。3) 放大器工作在线性状态。

1.3.3 叠加定理

叠加定理是分析运放电路的另一个有力帮手：在一个线性电路中，如果有多个电源同时时，任一支路的电流或电压，等于这个电路中各个电源分别单独作用时，在该支路中产生的电流或电压的代数和。

结点电压和支路电流均为各电压源的电压或电流源的电流的一次函数，均可看成各独立电源单独作用时产生的响应的叠加。在使用叠加定理时，有 3 点需要注意：

- (1) 叠加定理只使用于线性电路
- (2) 在计算一个电源对电路输出的作用时，令其余电源为 0，即电压源短路或电流源开路。
- (3) 一般情况下，原电路功率不等于分电路计算所得各分量功率的叠加

1.4 基本运算电路

通过在理想运放的外围连接不同的元件，我们就可以组建一些有用的放大器电路。下面我们将利用“虚短”和“虚断”的概念及叠加定理来分析各种不同的运算放大器。

1.4.1 同相放大器

下图是一个基本的同相放大电路。三角形的增益模块符号代表理想运算放大器。用+ (V_p) 标示的是同相输入端，- (V_n) 代表反相输入端。

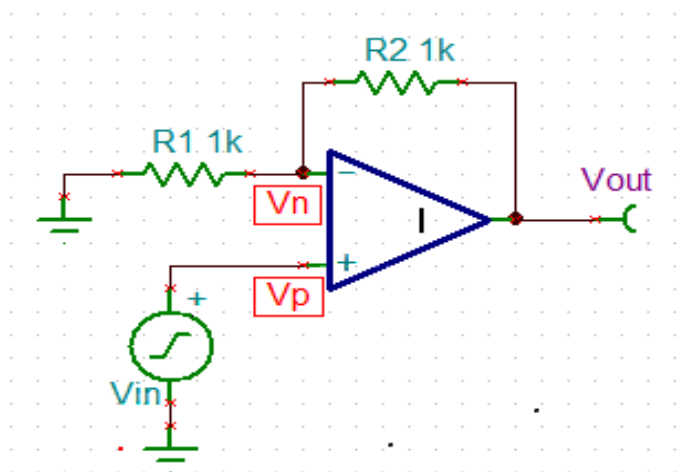


图 1.4 同相放大器

为了理解这个电路，我们必须在输入电压 V_{in} 和输出电压 V_{out} 之间建立关系式。

首先，由“虚短”得到

$$V_p = V_n = V_{in} \quad (1-8)$$

由“虚断”，得到由反相端流入放大器的电流为 0，则流过 R_1 和 R_2 的电流相等，由此可得：

$$\frac{V_n}{R_1} = \frac{V_{out} - V_n}{R_2} \quad (1-9)$$

经过式(1-9)变换可得

$$\frac{V_{out}}{V_{in}} = 1 + \frac{R_2}{R_1} = A_{cl} \quad (1-10)$$

其中 A_{cl} 被称为运算放大器电路的闭环增益。

我们称 β 为反馈系数，代表了输出信号反馈给输入的比例， β 的表达式如式(1-11)所示

$$\beta = \frac{R_1}{R_1 + R_2} \quad (1-11)$$

其倒数称为噪声增益，在同相放大器电路中，噪声增益等于闭环增益。

1.4.2 反相放大器

图 1.5 为另外一个有用的基本运算放大器电路，反相放大器。三角形的增益模块符号再次被用来代表理想运算放大器。这跟图 1.4 中同相电路相似，不同的是，在这里信号通过 R_1

加载到反相端，同相端被接地。

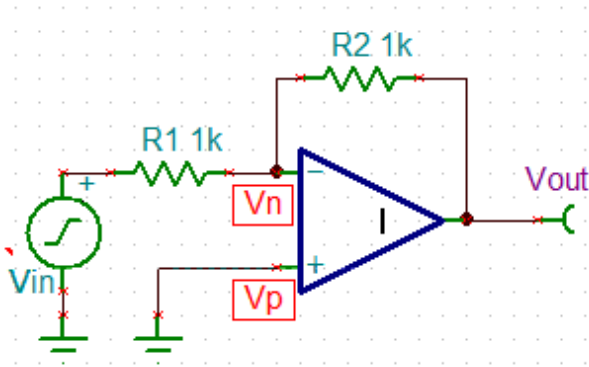


图 1.5 反相放大器

为了理解这个电路，我们必须得到输入电压 V_i 和输出电压 V_o 之间的关系。因为 V_p 被接到地，所以

$$V_p = 0 \quad (1-12)$$

当放大器处于线性工作区时，可以通过叠加定理得到 V_n 端的电压值。

首先，我们将 V_{out} 接地，得到 V_{in} 对 V_n 的贡献为：

$$V_{in} \left(\frac{R_2}{R_1 + R_2} \right) \quad (1-13)$$

接下来，将 V_{in} 接地，则得到 V_{out} 对 V_n 的贡献为：

$$V_{out} \left(\frac{R_1}{R_1 + R_2} \right) \quad (1-14)$$

将 V_{out} 和 V_{in} 对 V_n 的贡献加起来，得到：

$$V_n = V_o \left(\frac{R_1}{R_1 + R_2} \right) + V_{in} \left(\frac{R_2}{R_1 + R_2} \right) \quad (1-15)$$

利用虚短的特性， $V_n = V_p = 0$ ，则(1-15)经过变换得到：

$$\frac{V_{out}}{V_{in}} = - \frac{R_2}{R_1} \quad (1-16)$$

这里噪声增益 β 仍然为 $R_1/(R_1+R_2)$ ，但与同相放大器不同，噪声增益与闭环增益并不相同。

1.4.3 加法器

加法器也是运算放大电路的基本电路之一，如图 1.6 所示为加法器的基本电路。

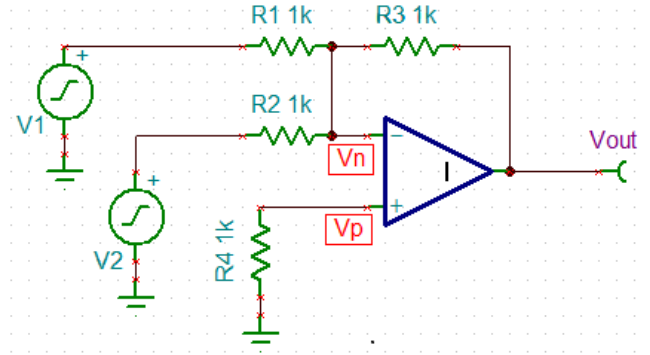


图 1.6 加法器

与上述分析反相放大器的过程相同， V_p 接地，因此 $V_p=0$ ，利用虚短特性， $V_n=V_p=0$ ；

又因为 V_n 和 V_p 虚断，流入输入端的电流为 0，则流过 R_1 电阻上的电流与流过 R_2 电阻上的电流之和等于流过 R_3 电阻上的电流。

$$\frac{V_1 - V_n}{R_1} + \frac{V_2 - V_n}{R_2} = \frac{V_n - V_{out}}{R_3} \quad (1-17)$$

因为 $V_n=0$ ，简化可得

$$V_{out} = -R_3 \left(\frac{V_1}{R_1} + \frac{V_2}{R_2} \right) \quad (1-18)$$

1.4.4 简化运算放大器电路图

实际的运算放大器不是理想化的，它们有局限性。为了理解和讨论这些局限性的起因，我们来看看一个简化的运算放大器电路图（如图 1.7 所示）。

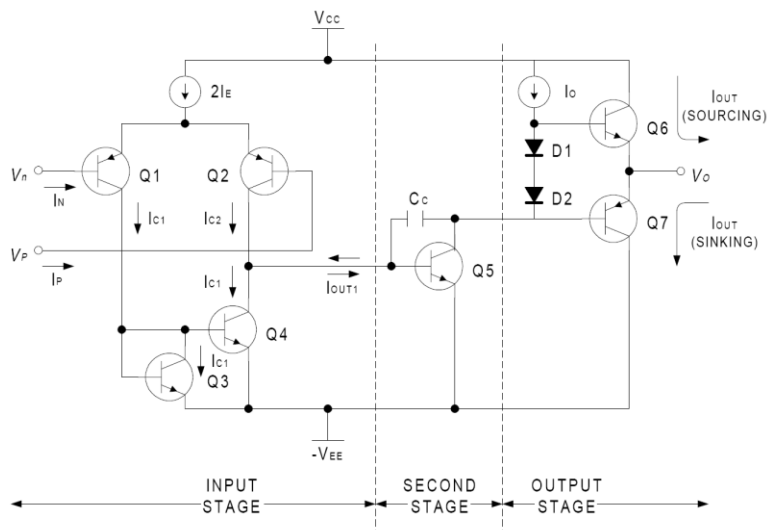


图 1.7 简化的运算放大器电路图

虽然是简化的，这个电路仍然包含运算放大器一般都有的三个基本部分：

- 输入级
- 第二级
- 输出级

输入级的功能是放大输入的差分信号， V_p-V_n ，把它们转化为单端信号。第二级更进一步的放大信号并且提供频率补偿。输出级提供输出驱动能力。

输入级

对称性是输入级工作的关键。每对晶体管（Q1-Q2 和 Q3-Q4）要尽可能的相匹配。

Q3 按照二极管的方法进行连接。这使 Q3 的集电极电流等于 I_{C1} 。Q3 和 Q4 的基极节点和发射极节点并行连接，这使 Q3 和 Q4 具有相同的 V_{BE} 。因为 Q3 和 Q4 是相匹配的，所以 Q3 的集电极电流与 I_{C1} 相等。这个电路被称为镜像电流源。

电流源 $2I_E$ 被 Q1 和 Q2 分流，分配比例由输入电压 V_p 和 V_n 决定。

当 V_p 大于 V_n 的时候，Q1 承载的电流比 Q2 大， I_{C1} 大于 I_{C2} 。由 Q3 和 Q4 组成的电流源使 I_{OUT1} 流向 Q2 和 Q4 的集电极-集电极节点。

当 V_n 大于 V_p 的时候，Q2 承载的电流比 Q1 大， I_{C2} 大于 I_{C1} 。由 Q3 和 Q4 组成的电流源使 I_{OUT1} 流出 Q2 和 Q4 的集电极-集电极节点。

I_{OUT1} 是第一级输出的单端信号，与差分信号 V_p-V_n 成比例关系。 $I_{OUT1}=gm1 (V_p-V_n)$ 。 $gm1$ 被称为输入级的跨导。输入级是一个跨导放大器。

第二级

第二级把 I_{OUT1} 转化为电压并且提供频率补偿。当 I_{OUT1} 流向 Q2-Q4 的集电极-集电极节点，第二级输出电压是正的。当 I_{OUT1} 流出 Q2-Q4 的集电极-集电极节点，第二级输出电压是负的。第二级是一个跨阻放大器。

电容 C_C ，在第二级提供内部的频率补偿。它使增益随着频率的升高而降低。如果没有 C_C ，则在大多数应用中都需要外部提供补偿以避免运算放大器振荡。

输出级

输出级为典型的 AB 类推挽放大器。由 Q6 和 Q7 配置成的射级跟随器为提供输出负载提供电流驱动能力，电压保持不变。输出级是一个电流放大器。

第二章 运算放大器的指标

上一章节中，我们回顾了运算放大器的基础，理解了理想运放的模型和特点。但是现实中我们用到的都是非理想的运算放大器。虽然是非理想的运算放大器，我们有时也会利用他们非理想的特性来帮助我们，比如，最为典型的的就是利用运算放大器有限的带宽来阻止输入信号中的高频噪声。但是，在多数情况下，非理想的运算放大器总是带给我们许多设计的挑战，为了迎接这些挑战，首先，我们必须理解运算放大器的这些指标。

2.1 开环增益、闭环增益和环路增益

图 2.1 以同相放大器为例，给出了基本的反馈电路结构。可以得到

$$V_{out} = EA \tag{2-1}$$

其中，E 是误差电压，A 是开环增益。

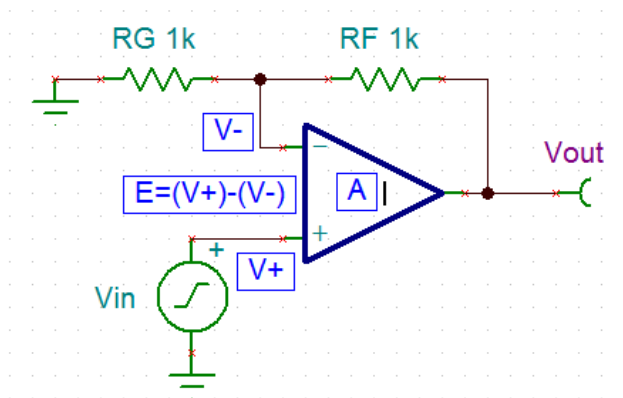


图 2.1 同相放大器的反馈电路结构

又因为 $E = V_+ - V_-$ ， $V_+ = V_{in}$ ， $V_- = V_{out} \frac{R_G}{R_G + R_F}$ ，结合 (2-1) 式可以得到

$$V_{out} = V_{in} - V_{out} \frac{R_G}{R_F + R_G} \tag{2-2}$$

通过结合式(2-1)和式(2-2),得到式(2-3)和(2-4), 其中 $\beta = \frac{R_G}{R_F + R_G}$

$$\frac{E}{V_{IN}} = \frac{1}{1+A\beta} \quad (2-3)$$

$$\frac{V_{OUT}}{V_{IN}} = \frac{A}{1+A\beta} \quad (2-4)$$

在上式中都出现的 $A\beta$ 这一项称为环路增益，其中 A 为放大器的开环增益， β 为反馈系数， $1/\beta$ 为噪声增益，而 $A/(1+A\beta)$ 称为闭环信号增益。由(2-4) 式可知，环路增益的大小决定了反馈网络的稳定性（当 $A\beta=-1$ 时，电路信号将会不稳定或者发生振荡）。由(2-3)式，环路增益还决定了电路的准确性。准确性与稳定性成反比关系——当稳定性降低的时候准确性增加，反之亦然。环路增益，噪声增益对于反相、正相或者差分运算放大器来说是没有区别的。

开环增益 A 随着频率的升高而减小。因此，根据式(2-3)，误差随着频率的升高而增加。式(2-4) 取对数值可以得到式 (2-5)：

$$20\log\left(\frac{V_{OUT}}{V_{IN}}\right) = 20\log(A) - 20\log(1 + A\beta) \quad (2-5)$$

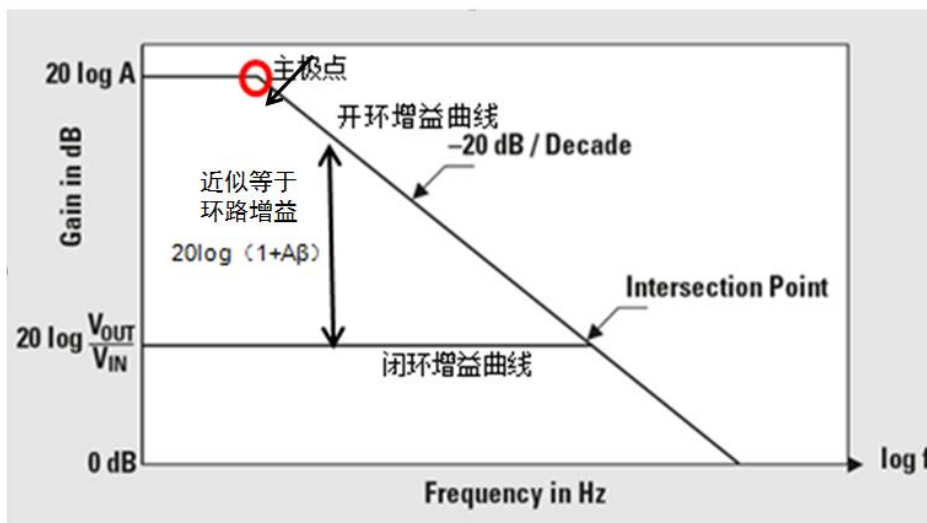


图 2.2 开环增益和闭环增益特性曲线

波特图是分析放大器的利器。如上图所示的放大器开环增益和闭环增益特性曲线，放大器的开环增益存在一个主极点（主极点由 IC 厂商设定，其目的是将实际上是一个多极点系统的放大器调理到单位增益稳定），曲线在经过主极点以后，将以-20dB 每 10 倍频程的速度下

降，如果开环增益 A 中包含多个极点 (如去补偿放大器的开环增益曲线)，开环增益曲线将会以更快的速度下降。在本例中，反馈回路为纯阻性，因此闭环增益系数曲线在与开环增益曲线相交前等于一个常数，相交后的闭环增益曲线将跟随开环增益曲线以 -20dB 每 10 倍频程的速度下降。由式(2-5) 可见，图 2.2 中两条曲线的差异为 $20\log(1+A\beta)$ ，可以近似为环路增益 $A\beta$ 的大小。从图中我们可以看到，随着开环增益 A 随着频率的升高而下降，环路增益也是随着频率的升高而变小的。由于放大器的增益精度，失真度，PSRR 和 CMRR 都与其环路增益 $A\beta$ 密切相关，所以随着频率的升高，或闭环增益的增大，环路增益会减小，从而导致上面的这几个关键指标恶化。在特别关注高精度低失真的应用场合下，我们希望放大器的环路增益在感兴趣的频段里能大于 40dB ，换句话说，在感兴趣的频率处，GBW 应该大于 100 倍的 $f * G_C$ ，这里 GBW 为厂商设计的放大器的增益带宽积， f 为被放大信号的最高频率， G_C 为该放大电路所决定的闭环增益。因此在运放选型时，在挑选运放的带宽方面，有如下的简单经验：对于 HZ 级的输入信号，所选放大器带宽要达到 KHz 级；对于 KHz 级的信号，则需要放大器带宽达到 MHz 级；对于 MHz 级的信号，我们在选择放大器的时候就要考虑百 MHz，GHz，或者电流反馈型的放大器。

下图为 TI 精密放大器 OPA227 的开环增益曲线，我们可以看到做为精密运放，OPA227 的直流开环增益达到 160dB ，其主极点在 0.004Hz ，经过主极点以后，开环增益曲线以 -20dB 每 10 倍频程的速度下降。开环增益曲线到达 0dB 处的频率称为单位增益带宽，读图得到大概在 8MHz ，和其数据手册吻合得相当好。

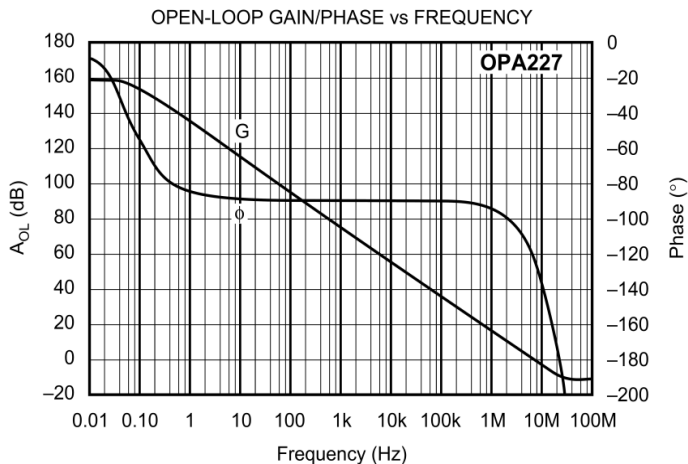


图 2.3 OPA227 开环增益曲线

必须要注意的是，我们在任何情况下，都要避免让运放工作在单位增益带宽附近，或图 2.3 所示的开环增益曲线和闭环增益曲线的相交点附近。在这些频率点处，环路增益（从伯

特图上看，等于开环增益减去闭环增益的值）趋于 0，运放的各类指标都急剧恶化，基本上无法正常工作。因此在应用上面的经验时，还要考虑到闭环放大倍数的因素，闭环增益越大，所需放大器的带宽也会越宽。后面我们会举例说明。

2.2 放大器的直流精度

上一节中我们讨论了放大器的开环增益，闭环增益和环路增益对运放的重要性。下面，我们讨论一些放大器更加细节的指标。这些指标有的是我们放大直流信号或研究信号时域特征时特别关注的指标，有的是我们放大交流信号或研究信号频域特征时特别关注的指标。下面我们分节讨论，首先讨论影响运放直流精度的一系列指标。在 2.3 节中讨论和运放交流性能相关的一些指标。

2.2.1 放大器输入端的直流指标

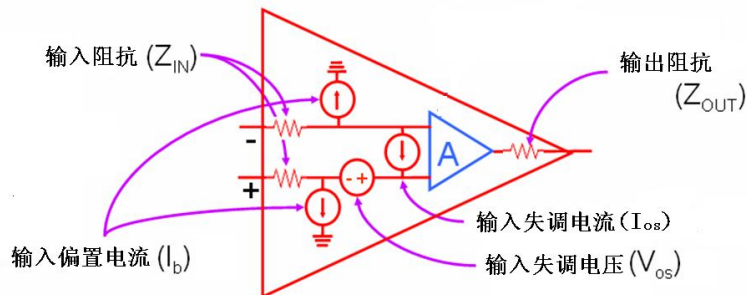


图 2.4 运算放大器参数

1、输入偏置电流 I_b 和输入失调电流及温度漂移

如图 2.5 所示，实际的运算放大器在他们的输入管脚都会吸收或流出少量电流，这是由运算放大器的输入级结构所决定的，我们定义运算放大器两输入端流进或流出直流电流的平均值为输入偏置电流 I_b ，即 $I_b = (I_+ - I_-) / 2$ 。比如对于输入级为双极型（Bipolar）PNP 型晶体管的运放来说， I_b 的实质其实是晶体管的基极电流，从输入端流出来。比如 TI 生产的 Bipolar 型运算放大器 OPA277，其 I_b 最大为 1nA；对于输入级为 P 沟道 JFET 管时，其实质为 JFET 栅极的漏电流，流进输入端。因为栅极漏电流一般极小，所以 FET 型的运算放大器的输入偏置电流这一特性一般都非常的好，比如 OPA129，其 I_b 最大仅仅只有 100fA。下表为 OPA277、OPA129 的数据手册中输入偏置电流和失调电流参数。温度变化会引起输出电流产生漂移，通常把温度升高 1° 输出漂移折合到输入端的等效漂移电流，输入失调电流温漂：一般为几个 pA。

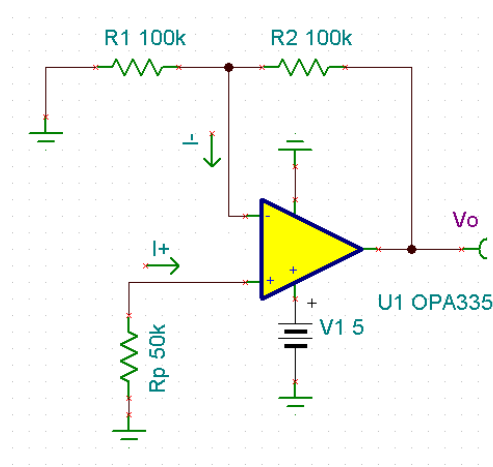


图 2.5 OPA335 输入失调电流示意图

OPA277 输入偏置电流和失调电流

INPUT BIAS CURRENT										
Input Bias Current	I_b		±0.5	±1	*	±2.8		±2.8	nA	
$T_A = -40^\circ\text{C to } +85^\circ\text{C}$				±2		±4		±4	nA	
Input Offset Current	I_{os}		±0.5	±1	*	±2.8		±2.8	nA	
$T_A = -40^\circ\text{C to } +85^\circ\text{C}$				±2		±4		±4	nA	

OPA129 输入偏置电流和失调电流

INPUT BIAS CURRENT⁽¹⁾	$V_{CM} = 0V$		±30	±100	*	±250	fA
vs Temperature			Doubles every 10°C		*		
INPUT OFFSET CURRENT	$V_{CM} = 0V$		±30		*		fA

输入失调电流是运算放大器两输入端输入偏置电流之差的绝对值，即 $I_{OS} = |I_+ - I_-|$ ，上面提到 I_b 的极性取决于输入晶体管的类型，这里 I_{OS} 的极性则取决于失配的方向。下面我们来计算由输入偏置电流 I_b 和输入失调电流 I_{OS} 引起的误差：

如图 2.5，由偏置和失调电流引起的误差为：

$$E_o = (1 + \frac{R_2}{R_1}) [(R_1 \parallel R_2) I_- - R_p I_+] + (1 + \frac{R_2}{R_1}) [R_1 \parallel R_2 + R_p] I_{OS} / 2 \quad (2-6)$$

这个式子有三层意思：

1、说明即使没有任何输入信号，该运放电路仍会产生一个非零输出。该输出的根本原因之一是输入端偏置和失调电流和外部电阻的共同作用的结果。

2、输入端的直流误差会被放大 $(1 + R_2/R_1)$ 倍后传递到输出端， $(1 + R_2/R_1)$ 即为该电路的噪声增益。噪声增益定义为反馈系数 β 的倒数，这样无论是同相还是反相放大器，虽然闭环增益不一样，但噪声增益都是一样的，这样在分析的输出噪声电压，输出失调电压和负反馈的稳定性时，就可以使用噪声增益的概念，而不区分放大器的功能。

3、如果我们选择 R_p ，使得 $R_p = R_1 \parallel R_2$ ，可以近似得到： $E_0 = 2(1 + R_2/R_1) R_p I_{OS}$ ，在一些比

较老的器件中，由于 I_{os} 幅度的数量级一般比 I_b 小（如 LM324 的 I_b 的典型值为 20nA，而 I_{os} 为 2nA）因此抵消掉 I_b 可以大大改善偏置电流带来的误差。但在最新工艺的一些器件中，比如 OPA227，由于在芯片内部已经有 I_b 的补偿电路，使得 I_{os} 与 I_b 的差别不大（均为最大 1nA），这时采用这样的补偿方法就没有意义，反而会引入额外的失调和电阻噪声，这也是为什么我们在现在的一些数据手册上已经看不到 R_p 的原因。同时，我们也可以看到，减小电阻网络的值同样有助于减小偏置电流带来的输出误差。比如，减小 R1 和 R2 到 1/10，增益和电路功能不会有变化，却可以减小 10 倍的偏置电路误差。然而减小电阻会存在增加功率耗散，输入阻抗减小，难以匹配阻值等缺点，这就需要进行某种折衷。

2、输入失调电压 V_{os} (Input Offset Voltage, 有时也简称 V_{io}) 及其漂移

对于理想运算放大器，短接其 V_+ 和 V_- ，我们可以得到 $V_o = A_{cl}(V_+ - V_-)$ 。然而，由于 V_+ 和 V_- 的输入级间存在固有的失配，通常实际中的运算放大器在这样的条件下难以做到 $V_o = 0$ ，而为了使 $V_o = 0$ 而必须在 V_+ 和 V_- 间加入的矫正电压 V_{os} 即被称为运算放大器的输入失调电压，下面我们来计算由输入失调电压 V_{os} 引起的误差：

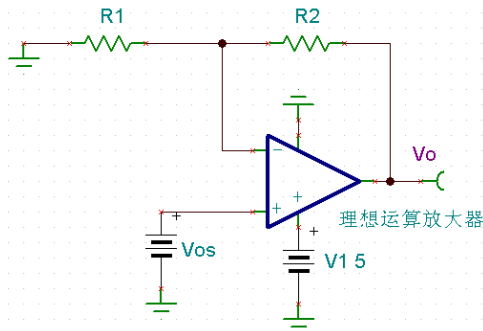


图 2.6 理想运放输入失调电压

如上图，我们在理想运算放大器外面接一个电压源来“制造”一个输入失调电压。很明显地， $V_o = V_{os}(1 + R2/R1)$ ，噪声增益越大，由输入失调电压造成的输出误差就越大。举例来说，LM324 最大的 V_{os} 为 5mV，这样噪声增益为 100 倍时，会产生 0.5V 的误差，这个误差难以忽略，甚至产生输出饱和等误动作。而现代的一些新技术，如自归零运算放大器 OPA333，其 V_{os} 典型值仅仅只有 2uV，这样在噪声增益为 100 倍时也不过产生 200uV 的误差电压。另外还有一个输入失调电压温度漂移 (V_{os} Drift) 的指标，描述的是输入失调电压随温度改变而改变的大小，一般都在 $\mu V/C$ 的量级，对于 TI 的被称作 Zero-Drift 技术的一些运放，比如 OPA335 等，其 V_{os} Drift 仅仅为 0.02 $\mu V/C$ ，使用时就基本可以不用考虑温度对失调电压的影响了。下表所示为 OPA333 输入失调电压数据手册。

OPA333 输入失调电压

INPUT BIAS CURRENT					
Input Bias Current	I_B		± 70	± 200	pA
over Temperature			± 150		pA
Input Offset Current	I_{OS}		± 140	± 400	pA

3、输入开环阻抗和输入闭环阻抗

如下图所示，在低频情况下集成运放的开环输入阻抗 Z_i 为纯电阻 R_i ， R_i 一般在兆欧或吉欧数量级。

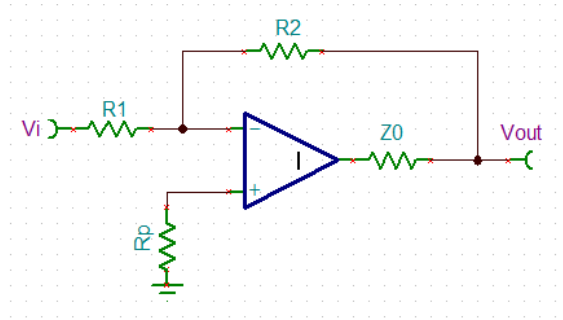


图 2.7 放大器开环输入阻抗示意图

闭环输入电阻与电路连接方式有关，在反比例放大器中，闭环输入电阻为

$$R_{if} = R1 + (R_i \parallel \frac{R2}{A_{vd}}) \approx R1 \tag{2-7}$$

在同相比例放大器中，闭环输入电阻为

$$Z_{in} \approx R_d (1 + A_{ol} \beta) \rightarrow \infty \tag{2-8}$$

由上式可见闭环输入阻抗大致为开环输入阻抗与反馈量的积，可见对于同相放大器，负反馈有增大输入阻抗的作用。

4、共模输入电压范围

通常在运放的输入端存在一个共模电压。这个共模电压太高或者太低，运放的输入端就会关闭或者停止工作。共模输入电压范围 V_{ICR} 给出了运放可以正常工作的共模电压范围。

图 2.8 为简化的晶体管结构运放的输入级电路图，该图说明了正向输入电压限制的原理，当 V_{IN} 比 $VCC - 0.9V$ 高时，输入端的晶体管和电流源就会关闭。

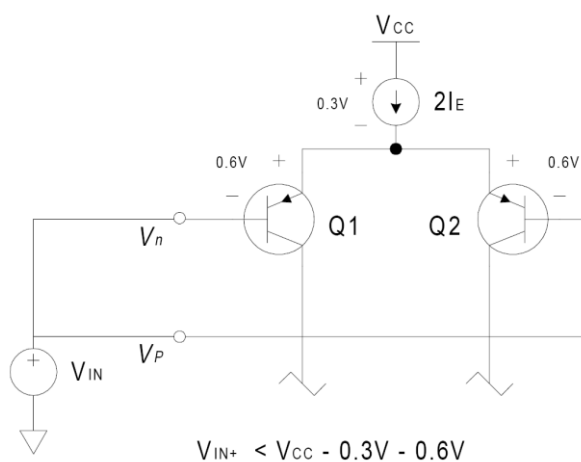


图 2.8 正向共模电压的限制

图 2.9 说明了反向输入电压限制。当 V_{IN} 低于 $-V_{EE} + 0.6V$ 的时候，电流源（Q3-Q4）就会关闭。

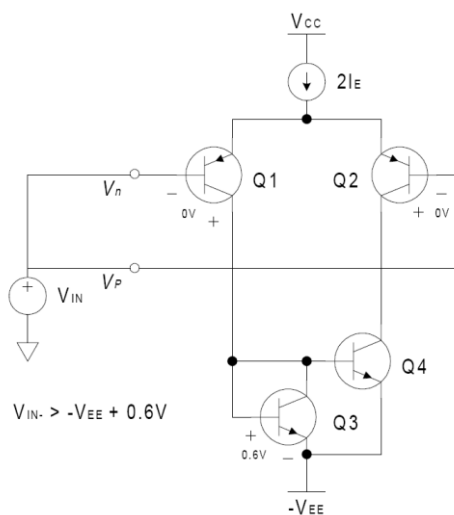
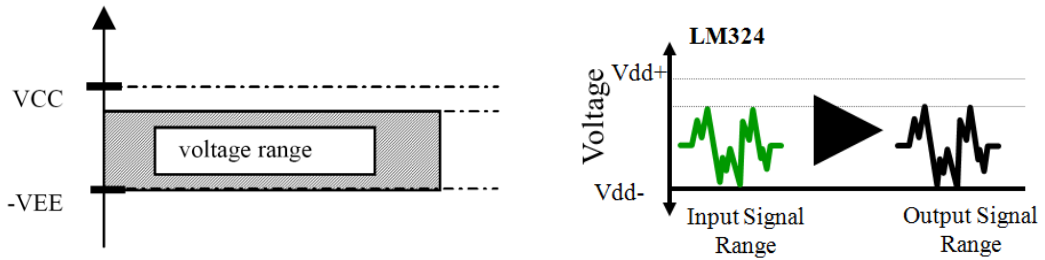


图 2.9 反向共模电压的限制

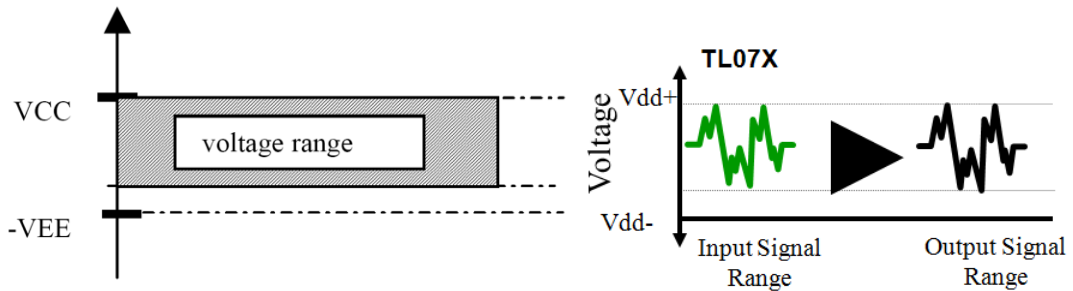
像上面例子中，晶体管结构的输入级不能使共模输入电压达到任何一个电源电压的电平。而由另外的技术组成的运放输入级可以使共模输入电压范围包含单个电源电压或者两个电源电压。下面提供一些例子（参考电路可以在德州仪器的数据书《放大器、比较器和特殊功能放大器》中得到）：

LM324 和 LM358 使用双极性 PNP 作为输入端，晶体管的集电极被连接到负电源上。因

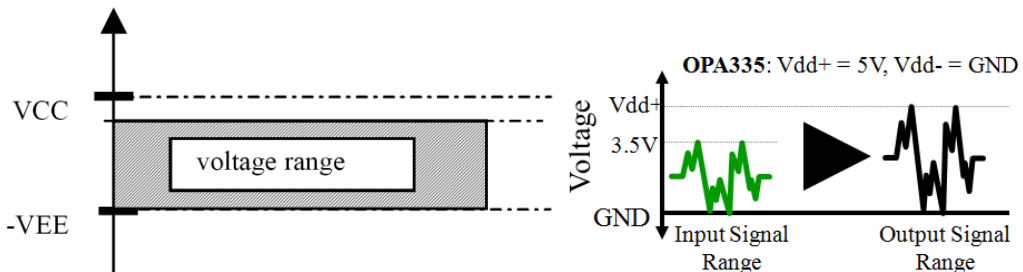
为 V_{BC} 可以为零，所以它的共模输入电压范围包含负电源电平。



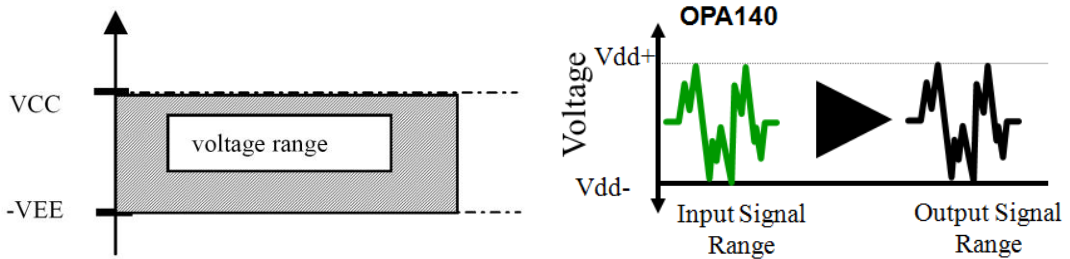
TL07X 和 TLE207X 类型的 BiFET 运放使用 P 沟道 JFET 作为输入，源极通过双极性电流源连接到正电源。因为 V_{GS} 可以为零，所以这种结构的特点就是允许共模输入电压范围包含正电源电压。



TI 的 LinCMOS 运放使用 P 沟道 CMOS 作为输入，衬底被连接到正电源电平。因此一个导电通道被创建使 $V_G + V_{TH} < V_{DD}$ ，这就使共模输入电压范围包含负电源电平成为可能。



轨到轨输入运放在差分输入端使用互补的 N 和 P 型器件。当共模输入电压达到任意一个电源电压，至少有一个差分输入端仍然处于激活状态。



5、差分输入电压范围

差分输入电压范围一般在数据手册中被作为一个绝对最大值。如图 2.10 所示。

如果差分输入电压比输入晶体管 Q1 的基级-发射极反向导通电压与 Q2 的基级-发射极正向导通电压之和还大，则 Q1 的 BE 节点事实上就像一个齐纳管。这是一种破坏性的工作模式，其结果是破坏 Q1 的电流增益。同理，如果 V_{IN_DIFF} 反向，除非 Q2 击穿。

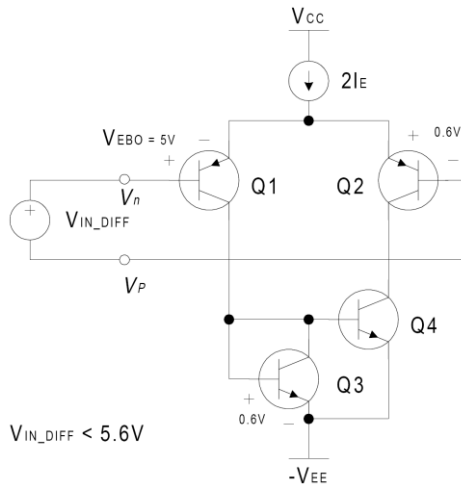


图 2.10 差模电压输入限制

一些有保护作用的元件被集成在里面，输入端的电流应该被限制。一般来说，在设计中不用考虑差分输入模式下输入电压的限制。

2.2.2 放大器输出端的直流参数指标

1、输出开环阻抗和输出闭环阻抗

为了求出闭环输出阻抗，去掉同相端输入电压 V_1 ，在输出端放一个电压源，如下图：

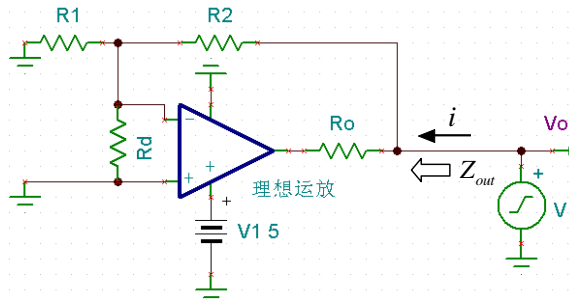


图 2.11 理想运放开环输出阻抗

根据分压定理，有 $V_- = \frac{R_1 \parallel R_d}{R_1 \parallel R_d + R_2} V$ ，在 V_o 处将电流相加，得到：

$$i + \frac{V_- - V}{R_2} + \frac{-A_{ol}V_- - V}{R_o} = 0 \quad (2-9)$$

$$\text{解得： } Z_{out} = V/i = \frac{R_o}{1 + (A_{ol} + R_o/R_1 + R_o/R_d)/(1 + R_2/R_1 + R_2/R_d)} \approx \frac{R_o}{1 + A_{ol}\beta} \quad (2-10)$$

即闭环输出阻抗比开环输出阻抗小 $1 + A_{ol}\beta$ 倍！看来负反馈还真的做了不少好事。

2、最大输出电压摆幅

最大输出电压 $V_{OM\pm}$ 被定义为“输出端输出波形没有限幅且输出静态直流分量为零的状态下输出电压正的或者负的最大峰值”。 $V_{OM\pm}$ 受放大器的输出阻抗、输出端晶体管的饱和电压和电源电压的限制（如图 2.12 所示）。注意， $V_{OM\pm}$ 与输出端负载有关。

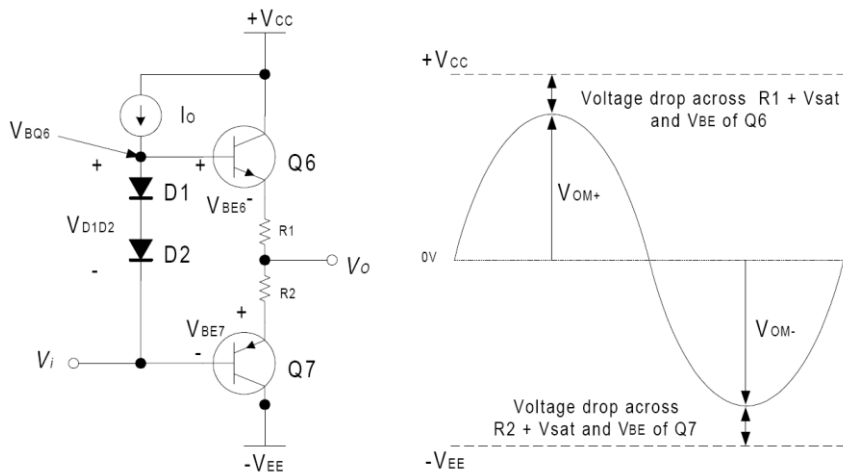


图 2.12 最大输出电压 $V_{OM\pm}$

V_{BQ6} 能够达到的最大值是 $+V_{CC}$ ，因此 $V_O \leq +V_{CC} - V_{R1} - V_{BEQ6} - V_{SATQ6}$ 。 V_i 能够达到的最小值是 $-V_{EE}$ ，因此 $V_O \geq -V_{EE} + V_{R2} + V_{BEQ7} + V_{SATQ7}$ 。

这种射随器结构不能把输出电压驱动到任何一个电源电压。轨到轨输出运放使用一个共同的发射极（双极性晶体管）或者一个共同的源极（CMOS）输出级。使用这种结构，输出电压摆幅只受饱和电压（双极性晶体管）或者输出晶体管的阻抗(CMOS)和输出负载的限制。

因为最新的产品很关注单电源操作，最近更多的德州仪器的数据手册用专业术语 V_{OH} 和 V_{OL} 来表示最大输出电压和最小输出电压。当运放不能驱动到电源电压的时候，动态范围就有所损失，这时最大和最小输出电压通常是设计要关注的问题。下面这个例子就需要关注这个问题，在一个单电源系统中，运放被用来驱动后端的数模转换器，而该模数转换器被配置成输入电压范围为地到正电源电压。

2.3 放大器的交流精度

1、增益带宽积（GBP）

当运算放大器在小信号（ V_{pp} 在 1V 以下的信号）环境下应用时，电压反馈运算放大器的带宽和增益的乘积是一个定值，即等于增益带宽积（GBP）。注意对电流反馈的运算放大器来说，是不存在增益带宽积这个概念的。在后面的章节我们会进一步说明。

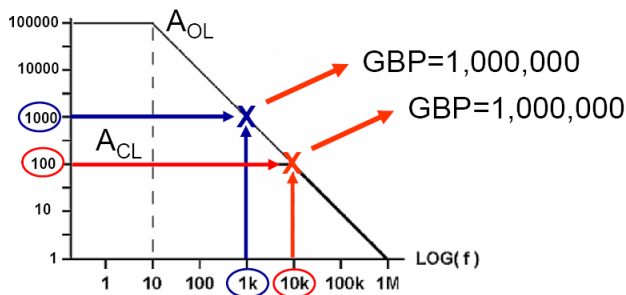


图 2.13 增益带宽积

如上图，一个放大器的 GBP 为 1MHz。如果它的增益为+100V/V，那么极限带宽将降低到 1MHz/100=10kHz。如果它的增益为+1000V/V，那么极限带宽将降低到 1MHz/1000=1kHz。以此类推。总之，对于电压反馈型运算放大器来说增益和带宽之间满足这个简单的乘积关系，它表征了运放的小信号带宽。但是如 2.1 节所描述的，永远不要让运放工作在增益带宽积附近，留有 100 倍以上的裕量将使得放大器拥有更理想的增益精度，失真度及 CMRR 等。下表为 OPA2335 数据手册中给出的增益带宽积。

OPA2335 增益带宽积

FREQUENCY RESPONSE					
Gain-Bandwidth Product	GBW			2	MHz
Slew Rate	SR	G = +1		1.6	V/μs

2、压摆率 (Slew Rate):

压摆率是表征运算放大器全功率带宽的一个指标，它说明了当运算放大器在大信号输入输出时的带宽指标。它描述了运算放大器的最大输出电压摆幅与频率的关系，表示为下式：

$$SR = 2\pi \cdot f_{max} \cdot V_{pp} \tag{2-11}$$

其中，SR 为压摆率（数据手册上可查得）； f_{max} 为最大输出频率（Hz）； V_{pp} 为输入频率为 f_{max} 时的最大输出电压摆幅。

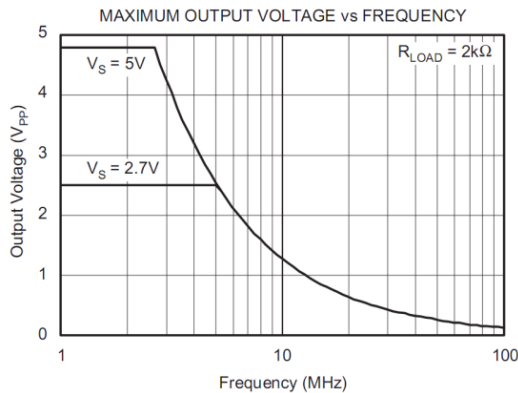


图 2.14 OPA300 最大输出电压 vs 频率

如上图，是 OPA300（轨到轨输出，单电源供电，增益带宽积为 150MHz，压摆率为 80V/us）的最大输出电压摆幅与频率关系。例如，当电源供电为 5V 单电源时，从图中看到当输出信号幅度为 4.8V 时，可用带宽只能到 2.6MHz 附近，可见，由于压摆率的限制，导致了在大信号条件下带宽不足的现象。我们通过 TINA 仿真来说明这一点：

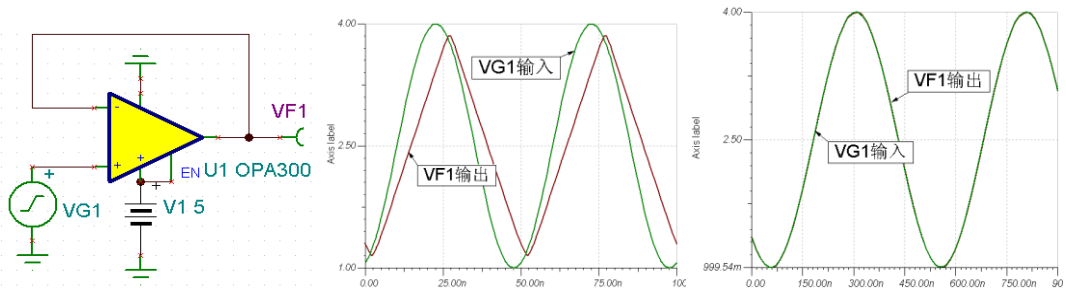


图 2.15 OPA300 压摆率 TINA 仿真

如上图，我们将 OPA300 配置成电压跟随器（图左），由于 OPA300 不是轨到轨输入的器件，所以我们在同相输入端输入一个 $3V_{pp}$ （1V 到 4V），20MHz 的正弦波，我们看到受到压摆率的限制，输出已经完全变成三角波（图中）；当我们把输入信号的频率降低到 2MHz 时（图右）（当然也可以采用减小信号的摆幅的方法），我们看到电路又恢复正常工作，输入输出波形完全一致没有失真了。

因此，当我们把运放使用在大信号环境下时，必须要考虑运放的压摆率指标。下表为 OPA300 数据手册中给出的增益带宽积和压摆率。

OPA300 增益带宽积和压摆率

FREQUENCY RESPONSE					
Gain-Bandwidth Product	GBW			150	MHz
Slew Rate	SR	G = +1		80	V/ μ s
Settling Time, 0.01%	t_s	$V_S = 5V, 2V \text{ Step}, G = +1$		90	ns
				30	ns
Overload Recovery Time		Gain = -1		30	ns
Total Harmonic Distortion + Noise	THD+N	$V_S = 5V, V_O = 3V_{pp}, G = +1, f = 1kHz$		0.003	%

3、建立时间（Setting Time）

建立时间，或上升时间，也是显示运放高速特性的重要参数，它是指当运放输入一个小信号的阶跃信号时，输出达到指定误差范围内为止的时间。通常误差都指定为到 0.1% 或 0.01%。

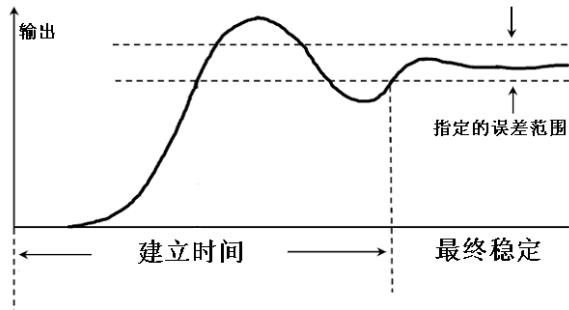


图 2.16 阶跃响应示意图

上图为建立时间的一个理论示意图。举个例子，当运放用作 ADC 的前级缓冲时，如果运算放大器的建立时间超过了 ADC 的采样时间，显然 ADC 采到的很难是我们所期望得到的值。例如对于 12 位的 ADC 来说，如果目标是一个 0—1V 的方波信号，为了达到 12 位的精度，当采集高电平时，会要求运算放大器在 ADC 的采样时间内稳定到 $1V \pm 1LSB$ 的范围内，在这里也就是 $1V \pm 1/212V$ 。可见，ADC 的速度越高，对运算放大器建立时间的要求也就越高。另一个例子是当运算放大器不稳定时，输入阶跃或方波时在输出的上升沿会观察到大量的振铃和过冲，这会大大增加运放的建立时间，甚至导致电路不能正常工作。如下图：

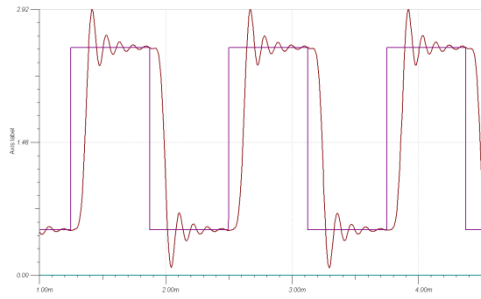


图 2.17 放大器不稳定现象

在数据手册中，频率响应部分一般在给出压摆率、增益带宽积的同时，也会给出建立时间。见上面 OPA300 增益带宽积表格。

4、总谐波失真加噪声（Total Harmonic Distortion Plus Noise 或 THD+N）

总谐波失真加噪声，THD+N，比较的是运放的输出波形和输入波形，我们通常用纯净的正弦波来测量这个指标。当给一个理想运放输入一个纯净的正弦波，输出也是一个纯净的正弦波，不会存在高次谐波。但由于现实运放的非线性特征和噪声，输出不再会是一个纯净的正弦波，而出现一些高次谐波。

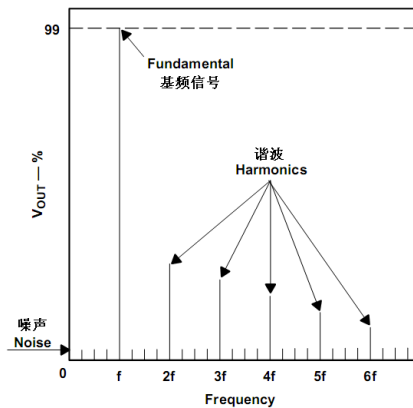


图 2.18 运放输出信号频谱图

图 2.18 为现实中运放输出信号的频谱图，当输入频率为 f 的纯净正弦信号，输出除了一个在 f 处的基频信号外，在整数倍 f 的地方还存在一些高次谐波，在整个频谱还存在噪声基底。用公式表达 THD+N 为：

$$THD + N = \frac{\sum \text{Harmonic Voltages} + \text{Noise Voltages}}{\text{Total output voltage}} \times 100\% \quad (2-12)$$

THD+N 是以一个百分比的形式出现的，如图 2.19 里的基频信号占据了整个频谱 99% 的能量，所以 THD+N 为 1%。影响 THD+N 的因素除了运放本身的设计外，输出信号的幅度

和压摆率也是很关键的，这很好理解，当输出信号的幅度超过运放的承受范围后，输出或被削顶和截底，这样就趋近于方波，而方波的频谱特点就是存在大量高次谐波；同样的，当压摆率不满足条件时，输出趋近于三角波，其频谱也富含高次谐波。这样就会大大降低运放的 THD+N。另外值得注意的是，在描述一个运放的 THD+N 时必须指明它的测试条件，即在负载，频率，增益，幅度一定的情况下测定的值。

在 TI 的一些运放的资料上，比如 OPA300 被描述为：低噪声，高速，16 位精度 CMOS 运算放大器。OPA365 被描述为：适合驱动 16 位精度 ADC 的运算放大器。那么这个 16 位精度是怎么计算出来的呢？其实这就是从 THD+N 换算得来的。在换算之前，我们先引入信号与噪声失真比（Signal-to-noise and distortion ratio 或 SINAD）这个概念：

$$SINAD = 20 \log \frac{\text{基频信号的能量}}{\text{噪声和谐波信号的能量}} \quad (2-13)$$

从上式我们可以看出，当谐波和噪声远小于总信号能量时，THD+N 其实和 SINAD 的定义是一个倒数的关系，只不过一个以百分比为单位，一个以 dB 为单位。

以 OPA365 为例，查数据手册得到在 1KHz 输入频率，负载 600 欧姆，输出摆幅 4V，增益为 1 时的 THD+N 为 0.0004%，首先通过公式 $SINAD = 20 \log(1/THD+N)$ 将这个值换算为信噪比 SINAD 以 dB 为单位： $SNR = 20 \log 1/0.000004 = 108 \text{dB}$ ；再利用一个计算 ADC 有效位数 (Effective Number Of Bits 或 ENOB) 的通用经验公式： $ENOB = (SINAD - 1.76) / 6.02$ 得到 OPA365 的 $ENOB = (108 - 1.76) / 6.02$ 约为 17.6 位。所以 OPA365 非常适合驱动 16 位的模数转换器。

2.4 其他指标

1、共模抑制比

共模抑制比 CMRR 被定义为差分电压放大倍数与共模电压放大倍数的比值，即 A_{DIF} / A_{COM} 。因为理想状态下共模电压被完全抑制，所以这个比值应该为无穷大。

共模输入电压对输入差分对的偏置点产生影响。因为在输入端存在的固有的失配，改变偏置点则改变失调电压，从而改变输出电压。在工作中实际的机制是 $\Delta V_{OS} / \Delta V_{COM}$ 。

在德州仪器的数据手册中， $CMRR = \Delta V_{COM} / \Delta V_{OS}$ (为了使 dB 值为正值)。

在手册中发布的 CMRR 值是一个直流参数。CMRR 当与频率对应的时候，随频率的增大而减小。

一个常见的共模干扰电压是来自交流电网的 50Hz 或者 60Hz 的噪声。必须确保运放的 CMRR 不受到其他电路元件的影响。

2、电源噪声抑制比

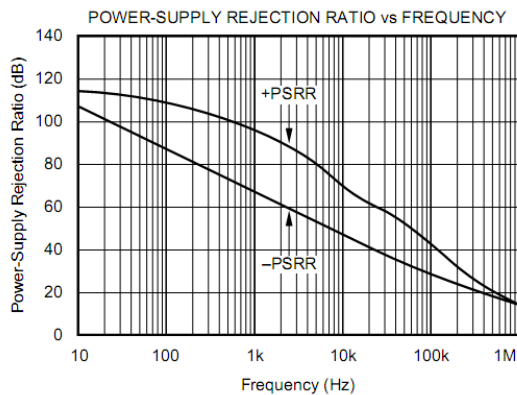
如果将运算放大器的供电变化 ΔV_s ，那么就会改变内部晶体管的工作点，其结果就是 V_o 会发生一个微小的变化。我们用输入失调电压来模拟这种变化，定义电源噪声抑制比为：

$$PSRR = \frac{\Delta V_{os}}{\Delta V_s} \quad (2-14)$$

TI 的 OPA335 的 PSRR 为 $1\mu V/V$ ，代表当电源电压改变 $1V$ 时，会产生相当于 $1\mu V$ 的失调电压。举例来说，当配置成同相放大，且放大倍数为 5 的 OPA335 的电源输入受到 $50Hz$ 工频交流噪声的影响，以峰峰值 $0.1V$ ， $50Hz$ 的频率变化时，产生的输出纹波为：

$$\Delta V_{noise} = \Delta V_{os} \cdot NoiseGain = \Delta V_s \cdot PSRR \cdot 5 = 1\mu V / V \cdot 0.1V \cdot 5 = 0.5\mu V \quad (2-15)$$

注意上面的式子中我们采用的 PSRR 为直流处的 PSRR，实际上，随着供电电源噪声的频率增大，PSRR 的性能会急剧下降。如下图：



所以，我们在高精度的模拟电路中一般不会采用开关电源供电，因为他们虽然效率很高，但是会产生 KHz 量级的电源纹波噪声，对我们的高精度运放来说无疑是一个隐患，因此我们常用线性稳压器给高精度电路供电。目前，TI 推出的一些超低压降的线性稳压器效率已经非常的高，比如 TPS72401，在 $1.5A$ 满负荷输出时仍能保持低压差为 $55mV$ 。

3、电源电流

电源电流 I_{CC} 是运放在没有负载情况下的静态吸收电流。它体现了运放的功耗。在运放中，通常以牺牲功耗为代价换取低的噪声和高的速度。当在低功耗电路中使用运放时，必须要考虑运放自身的消耗电流。例如 $\mu A741$ 典型 I_{cc} 为 $3.3mA$ ，其单个芯片消耗电流几乎与 MSP430 单片机消耗电流相当。

I_{CC}	Supply current	$V_O = 0, \text{ No load}$	25°C	1.7	2.8	1.7	2.8	mA
			Full range	3.3		3.3		

而 LM324 典型 I_{cc} 为 $1.4mA$ ，比 $\mu A741$ 小很多。

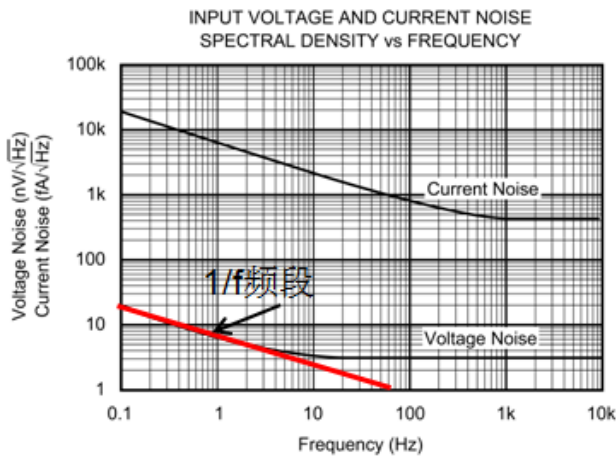
I_{CC}	Supply current (four amplifiers)	$V_O = 2.5\text{ V}$, $V_{CC} = \text{MAX}$, $V_O = 0.5 V_{CC}$	No load	Full range	0.7	1.2	0.7	1.2	mA
			No load	Full range	1.4	3	1.4	3	

而经过 TI 新的技术改进，OPA333 的消耗电流能达到微安级，在低功耗系统中，放大器的消耗电流将作为一个很重要的考量指标。

Quiescent Current Per Amplifier	I_Q	$I_Q = 0$		17	25	μA
---------------------------------	-------	-----------	--	----	----	---------------

4、运放的噪声

运放的数据手册中一般会给出运放的电压噪声和电流噪声。现代运放的电流噪声非常小，通常可以忽略不计。

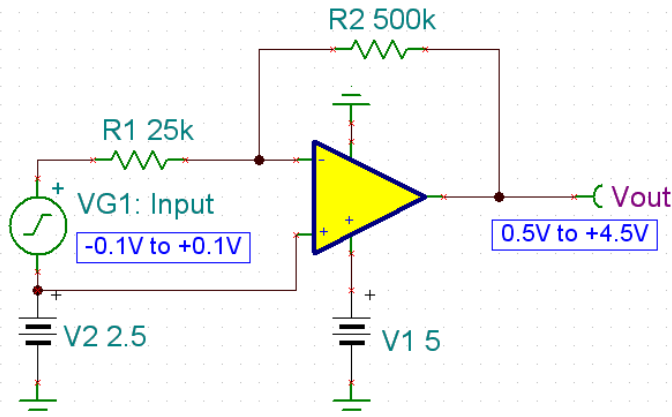


电压噪声功率谱密度与频率的关系如上图所示。运算放大器常有低频噪声区，该区的频谱密度图并不平坦。这种噪声称作 $1/f$ 噪声，或闪烁噪声。通常说来， $1/f$ 噪声的功率谱以 $1/f$ 的速率下降，频率越低，噪声越大。这部分的噪声总量，非常难以计算，应用中我们通常利用器件公司提供的 0.1Hz - 10Hz 之间的噪声总量来估算。如下表中测得的 0.1-10Hz 间的噪声峰峰值为 90nVp-p；而运放的宽带噪声呈现出白噪声的功率谱密度，如下表中从 10Hz 开始，到 1KHz，运放的噪声功率谱密度约为 $3\text{ nV}/\sqrt{\text{Hz}}$ 。

NOISE							
Input Voltage Noise, $f = 0.1\text{ Hz to } 10\text{ Hz}$		90		*		nVp-p	
Input Voltage Noise Density, $f = 10\text{ Hz}$ e_n		15		*		nVrms	
$f = 100\text{ Hz}$		3.5		*		$\text{nV}/\sqrt{\text{Hz}}$	
$f = 1\text{ kHz}$		3		*		$\text{nV}/\sqrt{\text{Hz}}$	
Current Noise Density, $f = 1\text{ kHz}$ i_n		3		*		$\text{nV}/\sqrt{\text{Hz}}$	
		0.4		*		$\text{pA}/\sqrt{\text{Hz}}$	

下面我们通过一个实例来计算一个简单运放电路的输出峰峰值噪声。我们将从这个简单的电路开始，了解模拟电路的一个主要噪声来源：器件噪声（其他两个噪声来源，外部注入噪声和内部耦合噪声，不在本文的关注范围内），以及减小器件噪声的一般方法。

我们先选择一颗增益带宽积为 350KHz 的 OPA347 来做一个信号增益为-20 的反相放大器：



器件噪声来自于两处：有源器件的噪声和无源器件的噪声。在上面这个简单电路中，有源器件的噪声来自于运算放大器的电压噪声和电流噪声；而无源器件的噪声即是电阻器的热噪声，在后面的分析中我们将看到电阻器的热噪声不仅是无源器件的主要噪声来源，同时也是模拟电路中一个主要的噪声来源。无源器件的噪声相对单一，容易计算，让我们先看看运放的噪声计算方法。

运放噪声的大小常常用频谱密度来表示，因为用户个性化电路的带宽是不一致的，采用频谱密度来描述运放的噪声，具有更好的普适性。如 OPA347 的电压和电流频谱密度图：

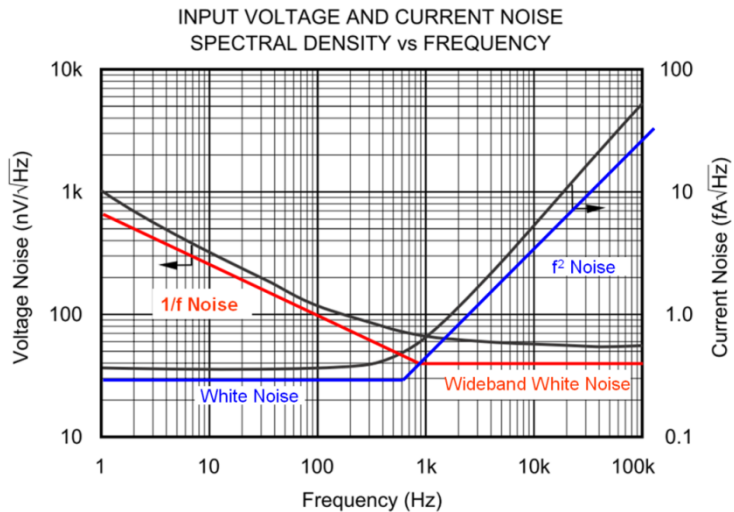


图 2 OPA347 的电压和电流噪声密度图

如上图，红线勾画出的为电压噪声密度，蓝线勾画出的是电流噪声密度：

1. OPA347 的电压噪声分为明显的两部分：在 1kHz 以下的频段，放大器的噪声密度与频率成反比，频率越低噪声越大，学名叫做 1/f 噪声；在 1kHz 以上的频段，放大器的噪声呈现出白噪声的特性，拥有均匀的噪声密度；1kHz 在这里被称作 1/f 转折频率，不同的 OPA 拥

有不同的转折频率。当然，转折频率越小越好。

2. OPA347 的电流噪声密度也可分为明显的两部分：在 1KHz 以下，是均匀的白噪声；在 1KHz 以上的部分有时被称作 f^2 噪声，因为其噪声功率与 f^2 成正比（记住 $P=i^2R$ ）。 f^2 噪声的成因实际上是由于运放输入端的差模和共模电容随着频率升高而阻抗降低，运放的电压噪声在这些电容上形成的电流噪声。因此在很多情况下， f^2 噪声都不被认为是电流噪声，当我们在运放电路的总体噪声计算中包括了运放的宽带电压白噪声的时候，就不必再考虑 f^2 噪声。而是认为运放的电流噪声为恒定的白噪声。

理解了运算放大器的电压和电流噪声密度后，我们看看如何通过噪声密度来换算出实际的噪声。

1) 运算放大器电压噪声的计算

先看看电压噪声密度，其单位是 nV/\sqrt{Hz} 并含有 $1/f$ 噪声和宽带白噪声两个部分，因此我们需要做一些准备工作才能计算出噪声电压的幅值：

- a. 确定带宽，和功率谱密度积分才能算出噪声功率；
- b. 白噪声由于其均匀的频谱密度，积分区间为矩形，容易计算； $1/f$ 噪声区域形状不规则，需要归一化 $1/f$ 噪声。
- c. 由于 $P=U^2/R$ ，必须将电压噪声密度平方才能和带宽进行积分（统一单位为 Hz）；
- d. 求出 $1/f$ 噪声和宽带白噪声总量后，如何求得总的电压噪声？简单相加吗？

a. 带宽的确定

本例中，运算放大器的增益带宽积为 350KHz，噪声增益为 21，所以其闭环带宽为：

$$BW_{CL}=350KHz/21=16.67KHz$$

这个带宽是闭环增益下降 3dB 时的带宽，相当于在 16.67KHz 处的一个一阶低通滤波器，由于现实中找不到砖墙式的频谱响应。因此，噪声并没有在 16.67KHz 处就“嘎然而止”，我们需将这个-3dB 带宽乘以一个系数来划算成等效的砖墙效应带宽（或也称为等效噪声带宽），即 $BW_n=K_n*BW_{CL}$ ，滤波器阶数越高，这个系数就越小。下表为经验值：

滤波器阶数	换算系数 K_n
1	1.57
2	1.22
3	1.16
4	1.13
5	1.12

结合上表，计算出我们下面计算中所用的等效噪声带宽为：

$$BW_n=1.57*16.67KHz=26.2KHz$$

b. 计算 $1/f$ 噪声总量

我们将用下式计算 $1/f$ 噪声总量：

$$e_{nf} = e_{fnorm} \times \sqrt{\ln \frac{f_H}{f_L}}, \text{ 其中, } e_{nf} \text{ 为 } 1/f \text{ 噪声总量; } f_H \text{ 为等效噪声带宽; } f_L \text{ 为带宽下}$$

限, 不能为 0, 通常取为 0.1Hz; e_{fnorm} 为归一化噪声, 通常取为 1Hz 处的电压噪声; 接下来我们可以通过查阅器件的数据手册来获得 e_{fnorm} :

查阅图 2, 在 1Hz 处, OPA347 的电压噪声密度为 $1\text{knV}/\sqrt{\text{Hz}}$, 即 1Hz 处的噪声电压为 $1\text{knV}/\sqrt{\text{Hz}} * \sqrt{1\text{Hz}} = 1\text{uV}$, $e_{fnorm} = 1\text{uV}$ 。若器件的电压噪声密度图中没有画出 1Hz 处的电压噪声密度, 或不容易读出, 可以通过下式来换算归一化电压噪声:

$$e_{fnorm} = e_{at_f} \times \sqrt{f}$$

比如上图中 10Hz 处的电压噪声密度约为 $330\text{nV}/\sqrt{\text{Hz}}$, 有:

$$e_{fnorm} = 330\text{nV} / \sqrt{\text{Hz}} \times \sqrt{10\text{Hz}} = 1043\text{nV}$$

和我们直接读出的 1uV 是很接近的。于是, 可计算出 1/f 噪声的总量为:

$$e_{nf} = e_{fnorm} \times \sqrt{\ln \frac{f_H}{f_L}} = 1\text{uV} \times \sqrt{\ln \frac{26.2\text{kHz}}{0.1\text{Hz}}} = 3530\text{nV}$$

c. 计算宽带白噪声

接下来我们计算宽带白噪声的电压噪声总量, 由于这是一个矩形面积的积分, 将噪声密度和带宽的开方简单相乘即可。这里只需注意到电压噪声密度的单位为 $\sqrt{\text{Hz}}$, 因此在相乘时将带宽开方即可:

$$e_{nBB} = e_{BB} \times \sqrt{BW_n} = 55\text{nV} / \sqrt{\text{Hz}} \times \sqrt{26.2\text{kHz}} = 8902.5\text{nV}$$

上式中, e_{BB} 为宽带白噪声, 从图中读出约为 $55\text{nV}/\sqrt{\text{Hz}}$, BW_n 为前面计算出的等效噪声带宽。计算得到宽带白噪声的总量约为 8.9uV, 这个数字可不小!

d. 利用平方和的根来计算总体电压噪声

由于 1/f 噪声和宽带白噪声是互不相关的噪声, 我们可以通过平方和开方的方法来计算所有电压噪声的总量:

$$e_{n_v} = \sqrt{e_{nf}^2 + e_{nBB}^2} = \sqrt{1\text{uV}^2 + 8.9\text{uV}^2} = 8.95\text{uV}$$

2) 运算放大器电流噪声的计算

相对于电压噪声计算, 电流噪声计算简单很多, 如前所述, 我们将忽略 f^2 噪声, 将电流

噪声当作白噪声处理，方法和宽带电压白噪声的计算方法类似，只需再乘以等效电阻即可：

$$e_{n_i} = R_{eq} \times e_{inBB} \times \sqrt{BW_n}$$

这里的 e_{inBB} 从图 2 中读出为 $0.3fA/\sqrt{Hz}$ ， $R_{eq}=R_1||R_2=23.8k$ ，计算得到：

$$e_{n_i} = R_{eq} \times e_{inBB} \times \sqrt{BW_n} = 23.8k \times 0.3fA/\sqrt{Hz} \times \sqrt{26.2kHz} = 1155pV$$

这里我们看到，CMOS 型放大器的电流噪声实际上对整体噪声的贡献极小，在计算放大器噪声的时候通常可以忽略。FET 型放大器也有这样的优点。

3) 电阻噪声的计算

上面我们计算了放大器自身的噪声，接下来，我们计算一下外部电阻的热噪声，公式为

$e_{n_R} = \sqrt{4KTR_{eq}BW_n}$ ，其中 k 是波尔兹曼常数 1.38×10^{-23} ； t 是开尔文温度，和摄氏度 D 之间的换算关系为 $273+D^{\circ}C$ ； R 是等效电阻大小； BW_n 即为等效噪声带宽。代入本例中的数据有：

$$e_{n_R} = \sqrt{4KTR_{eq}BW_n} = \sqrt{4 \times 1.38 \times 10^{-23} \times (273 + 25) \times 23.8k \times 26.2k} = 3.2uV$$

可见，两颗电阻产生的噪声是相当的可观！

4) 计算运放的 RTI 和 RTO 噪声

同样地，可以用平方和开方的方法求出运放输入端（RTI）的总体噪声电压：

$$e_{n_{RTI}} = \sqrt{e_{n_v}^2 + e_{n_i}^2 + e_{n_R}^2} = 9.5uV$$

运放输出端（RTO）的噪声电压为：

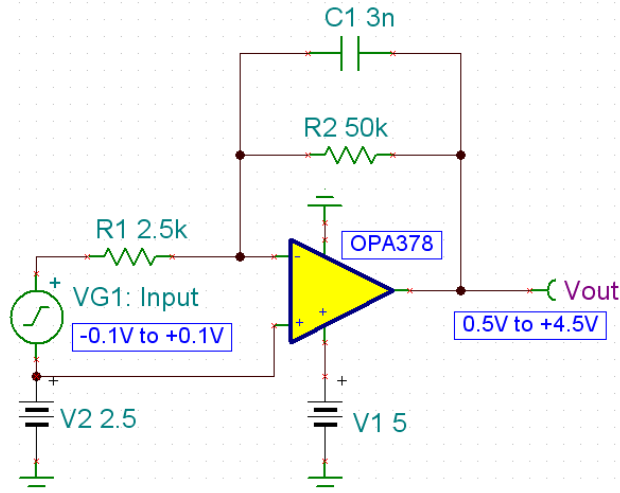
$e_{n_{RTO}} = e_{n_{RTI}} \times NG$ ， NG 为运放电路的噪声增益，本例中为 21：

$$e_{n_{RTO}} = e_{n_{RTI}} \times NG = 9.5uV \times 21 = 200uV$$

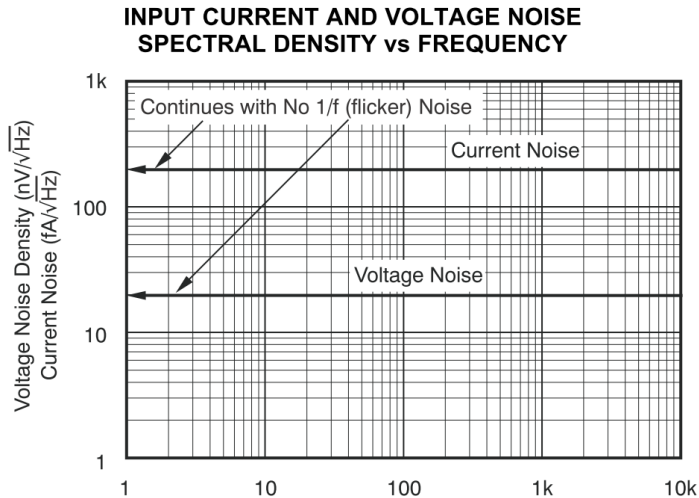
最后，这个运放输出端的噪声是有效值，采用波峰因子为 3.3（工业标准）来计算输出端的峰峰值噪声能使 99.9% 的输出噪声情况都估计到。若取波峰因子为 4.4（5 位表标准），可以估计到 99.999% 的输出噪声。如取波峰因子为 3.3，输出噪声的峰峰值为：

$$e_{n_{RTO}}(V_{p-p}) = e_{n_{RTO}}(V_{RMS}) \times 2 \times 3.3 = 1.32mV$$

至此，使用 OPA347 的小例子就结束了，但是结果并不让人满意，1.32mV 的输出噪声不能满足 4.096V 满量程输入的 12 位 ADC 的精度要求（此时 ADC 的 1LSB 为 1mV）。为减少噪声，我们可以选择更小噪声的 OPA378，添加一个和 R_2 并联的 C_2 实现一阶低通滤波（-3dB 带宽为 1kHz），并减小外部电阻阻值为以前的 1/10：



OPA378 是一颗自归零的运放，它的特点在于失调误差极小，同时由于其自归零的动作，使得电压噪声中不存在 $1/f$ 噪声。因此，从直流到-3dB 带宽都可以看着是白噪声：



OPA378 的电压和电流噪声密度

读图可得： $e_{BB}=20nV / \sqrt{Hz}$ 。由一阶滤波器的-3dB 带宽为 1kHz，得到等效噪声带宽为 $BW_n=1.57kHz$ ，计算出本例中 OPA378 的总体电压噪声为：

$$e_{n_v} = \sqrt{e_{nf}^2 + e_{nBB}^2} = \sqrt{0 + \left(20nV / \sqrt{Hz} \times \sqrt{1.57kHz}\right)^2} = 792.5nV$$

对于 CMOS 和 FET 型放大器，通常可以忽略电流噪声 e_{n_i} ；下面计算电阻噪声：

$$e_{n_R} = \sqrt{4KTR_{eq} BW_n} = \sqrt{4 \times 1.38 \times 10^{-23} \times (273 + 25) \times 2.38k \times 1.57k} = 248nV$$

此时的运放输入端（RTI）总体噪声为：

$$e_{n_RTI} = \sqrt{e_{n_v}^2 + e_{n_i}^2 + e_{n_R}^2} = 829nV$$

运放输出端（RTO）的噪声电压有效值为：

$$e_{n_RTO} = e_{n_RTI} \times NG = 829nV \times 21 = 17.4\mu V$$

取波峰因子为 4.4，可以计算得到 RTO 的噪声电压峰峰值为：

$$e_{n_RTO}(V_{P-P}) = e_{n_RTO}(V_{RMS}) \times 2 \times 4.4 = 17.4\mu V \times 8.8 = 152\mu V$$

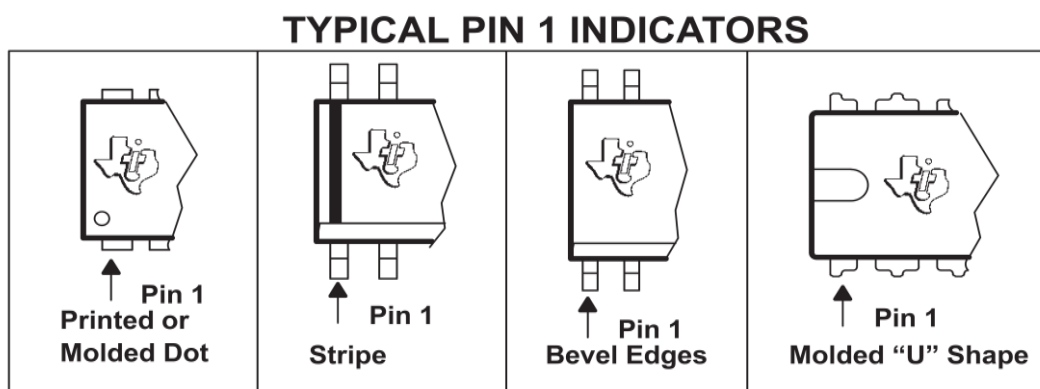
此时，噪声性能已经足以满足 12 位 4.096V 满量程输入的 ADC 了。当然，使用截止频率更低、阶数更高的低通滤波器可以进一步减少运放电路的噪声。

从上面的计算和分析中我们看到，做为有源器件，运算放大器不可避免的给电路带来了附加噪声。因此，在省略掉前端运放电路的高精度 Delta-Sigma 转换中，同时也省掉了一个主要的噪声来源，辅以 Delta-Sigma ADC 自身高精度、低噪声的特点，使得有效分辨率达到 10uV 以下成为可能。

5、运放第一引脚辨别

在我们拿到放大器后，我们经常会遇到一个非常实际的问题，那就是如何去分辨芯片的第一引脚。一般在芯片上都会有一些标记来辅助我们判定芯片的第一引脚。

如下图所示，为手册中给出的判定芯片第一引脚的 4 种标记。



第三章 精密放大器选型

第一章节中我们介绍了理想运算放大器，了解了理想运放的一些特点。而在现实中运算放大器的指标是达不到理想运放的要求，虽然 TI 的产品一直致力于为用户提供新的不同类型的运算放大器，然而终归是接近，仍然无法完全达到，因此有了如此之多的为满足不同用户不同应用场合的运算放大器。

由第二章节的运放指标我们可以知道运算放大器的一些性能，比如带宽和增益，以及一系列直流精度相关的指标，我们在实际应用中需要根据所要求的性能从众多的指标中选择合适的运算放大器。本章将从一个实际的例子出发，来介绍精密放大器的选型过程。

3.1 TI 精密运算放大器

以 ADC 采样电路为例，需要调理和转换被采样的信号主要分为两类电压，一类是输入范围包含正负电压的双极性电压，一类是只含正电平的单极性电压。在将这些信号送入 ADC 进行转换之前，我们需要在信号输入和 ADC 输入之间放置一个运算放大器来完成下面一系列的工作：

缓冲器：这是因为我们不知道信号源的阻抗，为了防止高输出阻抗的信号源影响 ADC 的转换结果（较大的 R 带来大的 RC 时间常数，导致 ADC 无法在期望的时间内稳定到所需的精度），我们需要一个高输入阻抗低输出阻抗的器件（运算放大器）来完成阻抗变换的工作；

加法器：提供正确的直流偏置，使得满足多数 ADC 正确工作所需的单极性输入要求；

放大器：提供信号增益，充分利用 ADC 的满量程输入电压范围；

滤波器：抑制不感兴趣的频带中的干扰信号；

其他：比如单端转差分，电流到电压转换，等等。

因此，输入信号的电压范围初步确定了运放选型的大致方向，即宽供电电压和窄供电电压。除此之外，在精密信号链中，我们常常需要提供上百倍的放大倍数，这时 mV 级的失调信号就会带来极大的输出误差，甚至使运放输出级饱和。因此我们特别关注运放的直流参数。决定运放直流精度的参数主要有：

1. 运放在在工作频率处的环路增益
2. 输入失调电压及其漂移
3. 输入偏置电流及其漂移
4. 通带内运算放大器的噪声

其中输入偏置电流和输入失调电压对运放直流精度的影响最为直观，它们由运放的输入级工艺所决定。同时，运放的工艺也决定了其他的一些参数，TI的主要工艺有：

1、Bipolar（双极性）：分为高速和精密两种：

高速双极型放大器——当需求在最低的功耗下实现最高速度时，双极型技术能提供最优的性能。此类放大器优异的功率增益以最低的静态功耗实现了极高的输出功率及全功率带宽。

精密双极型放大器——在抑制因失调电压而产生误差的方面能力过人。此类放大器具有低失调电压、低温度飘移、高开环增益及高共模态抑制比。精密双极型运算放大器广泛的用于各种电源阻抗较低的，且要求放大倍数较大的应用中（诸如压力，温度测量）。

2、JFET（结型场效应管）：

当信号源阻抗非常高时，FET 输入的放大器由于具有非常低的输入偏置电流，因而较之双极型输入的放大器来说具有更好的总体精度。如在高信号源阻抗的应用中采用了双极型放大器（例如，500M 欧探针），流经源阻抗的偏置电流所产生的失调、温度飘移及噪声，可导致回路实质性的失效。而当电路对低电流误差有需求时，场效应管放大器能提供非常低的偏置电流、低失调电流及高输入阻抗。但要小心的是 FET 型运放的偏置电流随温度升高而剧烈变化，温度每升高 10 度，偏置电流的大小就要翻倍。当应用的温度范围较宽时，要小心考虑这个要素。

CMOS（互补金属氧化物）：当设计的主要考虑因素为低电压及/或低功耗、卓越的速度与功耗比、轨至轨性能、低成本以及小外形封装时，可选择微小型封装的 CMOS 放大器，以达到最高的精度。特别是在手持式电池供电的应用中，CMOS 放大器的优势非常明显。另外，CMOS 放大器得益于工艺的灵活性，能加入一些很好的特性，比如：轨到轨输入、输出、或输入/输出：CMOS 放大器经常工作在单电源低电压的环境中，为了满足后端电路的动态范围要求（如 ADC 的满量程输入），我们通常希望运放的输出能达到或接近供电电源轨。所以轨到轨输出运放也称为满幅运放。TI 的所有 CMOS 运放和少数 Bipolar 运放（如 OPA211）都具有轨到轨输出的特点，其中许多 CMOS 运放的输入和输出均可实现轨到轨。

3、自归零（Auto-Zero）和零温漂（Zero-Drift）技术：

当在放大微小电压信号的时候，输入失调电压是一个很重要的参数，TI 的自归零和零温漂技术使得一些 CMOS 运放的输入失调电压达到一个新的高度，可以和最好的双极性运放媲美。它通过在运放内部放置另两个调零放大器来实时地测量和调节主放大器的输入失调电压，从而获得了极好的输入失调电压指标。比如 OPA335，VIO 最大仅为 5 μ V，温漂更是低至 0.02 μ V/ $^{\circ}$ C。如果说过去的斩波调零技术是串行的话，自归零技术是并行的，因此 TI 的自归零放大器和过去的调零放大器相比，拥有更大的带宽（OPA335 的 GBW 为 2MHz）。同时通过在运放内部的信号链路上放置开关电容陷波器，有效地抑制了开关（测量和调节切换）的

高频噪声，使得整流到 1/f 段的噪声非常的低。如 OPA333 在 0.1Hz 到 10Hz 间的电压噪声仅为 1.1uVpp。

4、零交越失真（Zero-Crossover）技术：

传统的轨到轨输入 CMOS 运放的输入级采用 PMOS 和 NMOS 对管使输入能摆动到正负电源轨。但其最大的缺点就是 PMOS 和 NMOS 不能完美匹配，导致在两者的结合处，会出现应共模抑制比下降导致的失调电压跳变。TI 的零交越失真技术采用内置充电泵产生电压偏置，使只使用一种 MOS 管就能完成轨到轨输入。这样，使得在整个共模电压范围内都保持优异的共模抑制比，从而保持非常高的精度。如 OPA365，非常适合用在 16 位精度的信号采集电路中。

5、Difet（绝缘隔离 FET）：

TI 独有的 Difet 技术免除了结点隔离所需的下级结点二极管，从而设计出了超低输入泄漏的放大器，比如 OPA129 的最大输入偏置电流仅为 100fA。该绝缘隔离技术能够制作精度非常高的低噪声运算放大器。Difet 工艺还使寄生电容和输出晶体管饱和效应减至最小，从而改进带宽特性并获得了更宽的输出摆幅。但其工艺复杂导致价格偏贵，一般应用在高端的医疗和测试设备中。采用不同工艺对运放参数的影响简要列表如下：

工艺	电源电压 (+/-电源轨之差)	V _{io} (max)	I _{IB} (max)	输入阻抗	TI 产品
Bipolar	宽	小(uV)	偏大 (nA)	中等	OPA2xx
JFET	宽	偏大 (uV to mV)	小(pA)	高	OPA1xx
CMOS	窄(<16V)	小(uV)	小(pA)	高	OPA3xx, OPA7xx, TLV, TLC
Difet	宽	小(uV)	最小(fA, pA)	高	OPA637/627, OPA12x

从上面的表中我们可以看到一些 TI 运放的命名惯例，更详细地，TI 的精密型运放有下面几类（所有的 y 代表通道数量和关断功能与否）：

OPAy2xx, TLExxx: Bipolar, 精密, 微小输入失调电压, GBW<=80MHz;

OPAy1xx: FET, Difet, 精密, 高输入阻抗, 微小偏置电流, GBW<=10MHz;

OPA637, OPA627: Difet, 精密, 优秀的直流交流特性, GBW<=80MHz;

OPAy3xx: CMOS, <=5.5V, 精密, 直流特性出众, 低噪低功耗, GBW<=200MHz;

OPAy7xx: CMOS, <12V; GBW<=20MHz

TLV/TLCxxx: CMOS, <=16V; GBW<=10MHz; 针对低成本, 低频应用

到这里，我们对 TI 的精密运算放大器有了初步的认识，那么如何选择正确的高精度运算放大器？设计人员必须经常权衡彼此矛盾的尺寸、成本、性能等指标因素。即使是经验丰富

的工程师也可能会为此而苦恼。不过按照下面的步骤，将会发现选择范围将很快的缩小至可掌控的少数几个。

供电电源电压：电压范围和是否单电源供电；

带宽：小信号通路时考虑运放的增益带宽积，并留有足够的开环增益；

转换速率（压摆率）：大幅度信号通路时要充分考虑运放的压摆率；

精度：虽然失调电压等误差可以软件校正，但尽量选用失调电压较小的运放会降低设计难度。当源阻抗或外部电阻网络阻值较大时，要考虑输入偏置电流的影响；同时，零温漂的放大器可以进一步降低宽温度应用范围里的系统调零的难度。

噪声：失调可以在后端校正，混在信号通带内的噪声确很难校正。当信号非常小时，要充分考虑运放的 $1/f$ 电压噪声，宽带电压噪声系数 V_N ，带宽和电阻的热噪声。

其他：轨到轨输入，功耗，静态电流和是否有关断功能经常也成为考虑的要素。

一个针对具体应用的简要选型方法见下表：

供电电压	设计要求	典型应用	推荐运放工艺	推荐 TI 产品家族
$V_s \leq 5V$	R-R, 低功耗, 精密, 小封装	便携, 电池供电	CMOS	OPA3xx, TLVxxxx
$V_s \leq 16V$	R-R, 低噪声, 低偏置电压, 精密	工业	CMOS	OPA3xx, OPA7xx, TLVxxxx
$V_s \leq 36V$	低输入偏置电流, 高输入阻抗	工业, 测试设备, 高端音频	FET, Difet	OPA1xx, OPA627
$V_s \leq 44V$	低输入失调电压, 低温漂	工业, 测试设备, 高端音频	Bipolar	OPA2xx, TLExxxx

从上面的分析中，我们可以看到，对于通用的 $\pm 10V$ 信号调理，我们可以选择 OPA2xx 和 OPA1xx。对于 0-5V 的信号，可以选用带轨到轨输入特性的 CMOS 型的 OPA3xx 运放。

3.2 精密放大器选型步骤

在设计电路之前，我们首先要知道需要设计的电路所要达到的性能指标，然后我们才能有的放矢。所以我们先给出目标电路的基本要求如下：

- 负载 1k
- 放大倍数 100 倍
- 输入 1KHz, 280 mVpp 正弦波，要求增益精度 >1%
- 输入 80mV 直流电平，要求增益精度 >1%

1、供电电压选择

根据要求我们知道，输入的最大电压值为 280mVpp，放大倍数为 100 倍，因此 280mVpp*100=28V，如果利用双电源供电，则放大器的供电电压至少需要满足 $V_s \geq \pm 14V$ ，考虑到非轨到轨运放所需的净空，可以选择电源供电电压达 36V 的运放放大器。于是我们基本确定了在 Bipolar 或 JFET 型的放大器中选择，即 OPA1xx 和 OPA2xx。比如，下表为 OPA227 的输出电压特性，由表中可以看出，其输出电压在 (V-) +2 和 (V+) -2 之间，而目标电路要求达到 $\pm 14V$ 的输出电压，因此我们需要将 OPA227 工作在 $\pm 18V$ 下，确保 OPA227 的输出电压范围能超过所需的 $\pm 14V$ 。

OUTPUT Voltage Output $T_A = -40^\circ\text{C to } +85^\circ\text{C}$	$R_L = 10k\Omega$	(V-)+2	(V+)-2	*	*	V
	$R_L = 10k\Omega$	(V-)+2	(V+)-2	*	*	V
	$R_L = 600\Omega$	(V-)+3.5	(V+)-3.5	*	*	V
	$R_L = 600\Omega$	(V-)+3.5	(V+)-3.5	*	*	V
Short-Circuit Current $T_A = -40^\circ\text{C to } +85^\circ\text{C}$	I_{SC}	± 45		*	*	mA
Capacitive Load Drive	C_{LOAD}	See Typical Curve		*	*	

而选择轨到轨输出的放大器可以有效降低供电电压的范围，从而降低功耗。比如下图为 OPA140 的输出电压指标，由图中可以看出其具有轨到轨的输出特性。

PARAMETER	CONDITIONS	OPA140, OPA2140, OPA4140			UNIT	
		MIN	TYP	MAX		
OUTPUT						
Voltage Output	V_O	$R_L = 10k\Omega, A_{OL} \geq 108dB$	(V-)+0.2		(V+)-0.2	V
		$R_L = 2k\Omega, A_{OL} \geq 108dB$	(V-)+0.35		(V+)-0.35	V

2、失调电压 Vos 选择

我们在第二章中介绍了放大器输入失调电压 V_{os} 对输出的影响， V_{os} 主要反映的是放大器的直流特性。设计要求直流输入 80mV，放大 100 倍，精度 >1%，我们设输出电压误差为 ΔV ：

$$\Delta V < V_I \times \text{Gain} \times 1\% = 80 \times 100 \times 1\% = 80\text{mv}$$

也就是 V_{os} 经过放大以后，输出失调电压不能超过 80mv，即其输入失调必须小于 0.8mV。

如前文所述，Bipolar 型的放大器比 JFET 型的放大器拥有更小的失调。

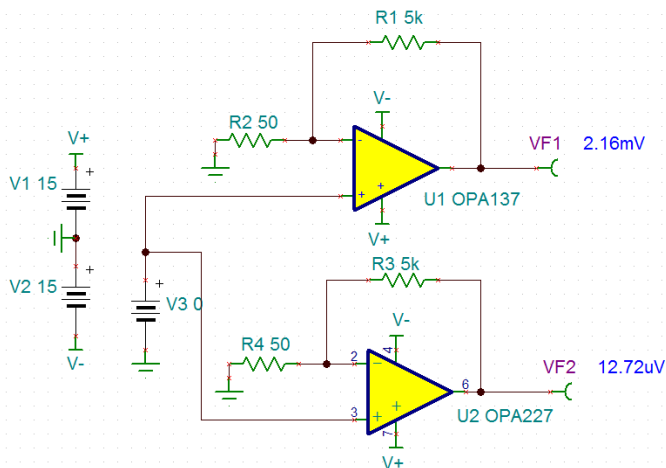
OPA137 输出失调电压：

OFFSET VOLTAGE Input Offset Voltage $T_A = -40^\circ\text{C to } +85^\circ\text{C}$	V_{OS}		± 1.5	± 3		± 2.5	± 10	mV
vs Temperature	dV_{OS}/dT	$T_A = -40^\circ\text{C to } +85^\circ\text{C}$	± 2.5	± 7		± 3.5	± 15	mV
vs Power Supply	PSRR	$V_S = \pm 3V \text{ to } \pm 18V$	± 15			*	*	$\mu V/^\circ\text{C}$
$T_A = -40^\circ\text{C to } +85^\circ\text{C}$			± 90	± 250		*	*	$\mu V/V$
Channel Separation (dual, quad)		dc		± 250		*	*	$\mu V/V$

而 CMOS 型的 OPA227 输出仅 12.72uV，为了保证直流放大的精度，因此在这里，我们应该选择 OPA2xx 系列，失调电压较小的运放。OPA227 的失调电压如下图所示。

OFFSET VOLTAGE Input Offset Voltage $T_A = -40^\circ\text{C to } +85^\circ\text{C}$	V_{OS}		± 5	± 75		± 10	± 200	μV
vs Temperature	dV_{OS}/dT	$V_S = \pm 2.5V \text{ to } \pm 18V$	± 0.1	± 0.6		± 0.3	± 2	$\mu V/^\circ\text{C}$
vs Power Supply	PSRR		± 0.5	± 2		*	*	$\mu V/V$
$T_A = -40^\circ\text{C to } +85^\circ\text{C}$				± 2		*	*	$\mu V/V$
vs Time		dc	0.2			*	*	$\mu V/mo$
Channel Separation (dual, quad)		$f = 1kHz, R_L = 5k\Omega$	0.2			*	*	$\mu V/V$
			110			*	*	dB

通过 TINA 来仿真 OPA137 和 OPA227 的 V_{os} 对直流输入电压的影响。在仿真过程中，我们通过给定直流电压为 0V，放大器闭环增益为 100 倍，由于 FET 型的 OPA137 输入失调电压较大，经过放大后输出达到 2.16mV。



因此我们确定使用 Bipolar 结构的 OPA2xx 系列的芯片做为该放大电路的主芯片。

3、增益带宽积 GBW 选择

GBW 反映了放大器的交流特性，根据目标电路要求，放大倍数 100 倍，输入正弦信号频率为 1kHz，则最小的增益带宽积为 $100 \times 1 \text{ kHz} = 0.1\text{M}$ 带宽，如 2.1 节所描述的，我们应该选择一颗带宽在 10M 左右的放大器。我们以 OPA277 和 OPA227 为例，利用 TINA 仿真来观察随着信号带宽的增加，导致输出信号变化的过程。

我们从 OPA277 的手册中可知其 $GBW=1\text{MHz}$ ，如下图所示。

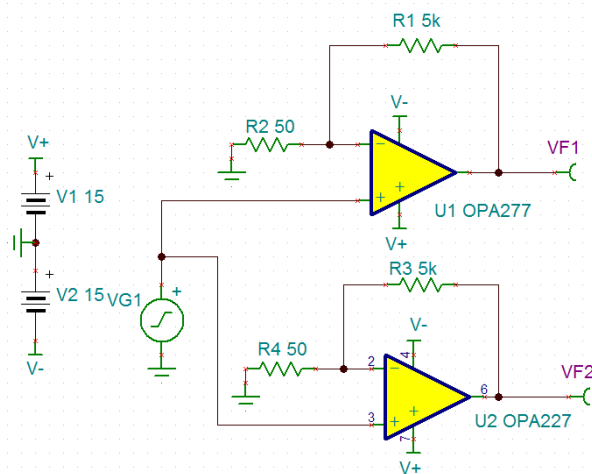
FREQUENCY RESPONSE										
Gain-Bandwidth Product	GBW		1			*				MHz
Slew Rate	SR		0.8			*		*		V/ μ s
Settling Time: 0.1%		$V_S = \pm 15\text{V}, G = 1, 10\text{V Step}$	14			*		*		μ s
0.01%		$V_S = \pm 15\text{V}, G = 1, 10\text{V Step}$	16			*		*		μ s
Overload Recovery Time		$V_{IN} \cdot G = V_S$	3			*		*		μ s
Total Harmonic Distortion + Noise THD+N		1kHz, G = 1, $V_O = 3.5\text{Vrms}$	0.002			*		*		%

下图为 OPA227 手册中给出的 $GBW=8\text{MHz}$ ，

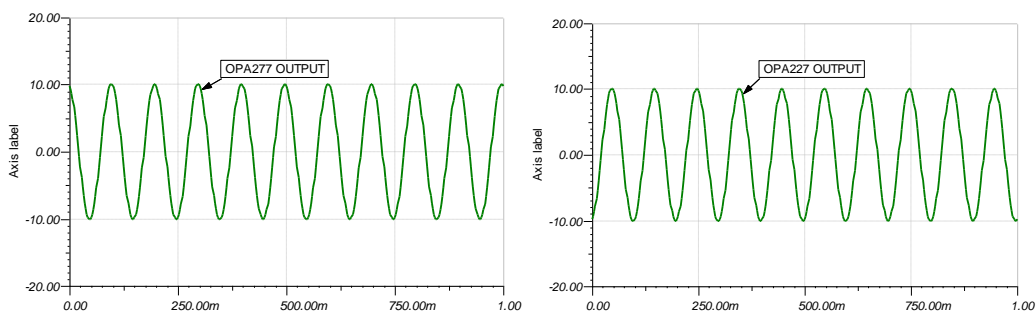
FREQUENCY RESPONSE										
Gain Bandwidth Product	GBW		8			*				MHz
Slew Rate	SR		2.3			*		*		V/ μ s
Settling Time: 0.1%		$G = 1, 10\text{V Step}, C_L = 100\text{pF}$	5			*		*		μ s
0.01%		$G = 1, 10\text{V Step}, C_L = 100\text{pF}$	5.6			*		*		μ s
Overload Recovery Time		$V_{IN} \cdot G = V_S$	1.3			*		*		μ s
Total Harmonic Distortion + Noise THD+N		$f = 1\text{kHz}, G = 1, V_O = 3.5\text{Vrms}$	0.00005			*		*		%

其 TINA 仿真如下图所示，如果我们使其放大倍数为 100，输入信号峰峰值为 100mVpp，输入信号频率分别为 10Hz，10kHz 的正弦信号。由下图可以看出，当输入信号为 10Hz 的正弦信号时，OPA277 和 OPA227 的增益带宽积都远远大于 10Hz 信号放大 100 倍所需要的带宽，两个放大器都能将 100mVpp 信号准确放大到 10Vpp；而当输入信号为 10kHz 时，由于 OPA277 的

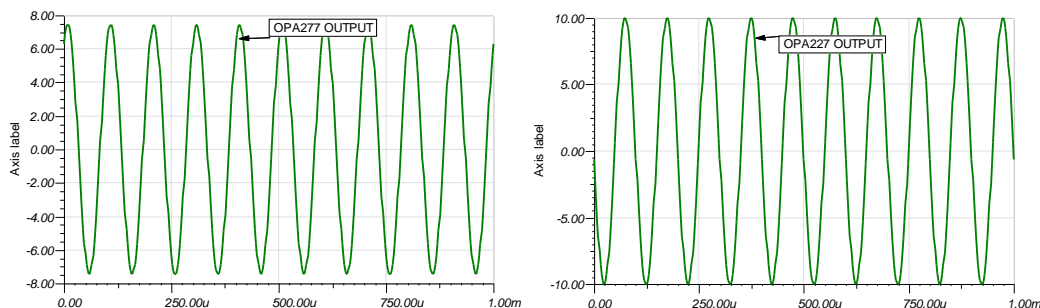
GBW 为 1MHz，因此 OPA277 放大后的信号的峰峰值不足 8Vpp，出现了明显的增益不足的现象，而 GBW 为 8MHz 的 OPA227 仍然能将 100mVpp 信号很好的放大到 10Vpp。因此我们在选择运算放大器时，增益带宽积是一个很重要的衡量指标，该指标直接影响了输出信号的质量。



输入信号频率为 10Hz, $V_p=100mV$



输入信号频率为 10kHz, $V_p=100mV$



因此，根据本例的要求，我们可以选择一个带宽为 8MHz 的 OPA227。

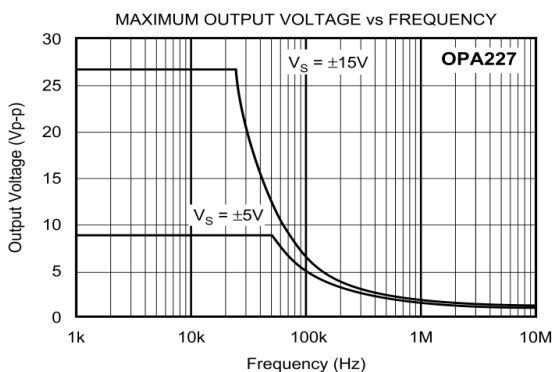
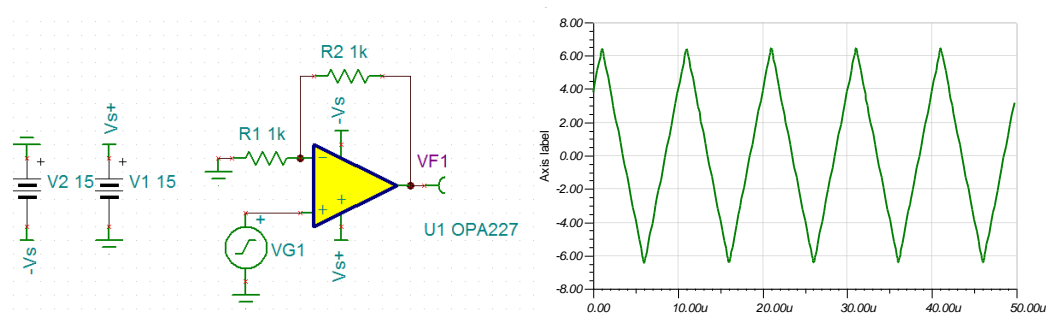
4、压摆率选择

最后，我们考虑本例中对压摆率的要求。压摆率是表征运算放大器全功率带宽的一个指标，或者是说当运算放大器用作大信号范围时的带宽指标。因此根据设计指标 28V 输出电压，

1kHz 带宽，最小压摆率 $SR=2*3.14*28*1kHz=0.18V/\mu s$ ，在选择的时候也要留 10-100 倍的裕量，因此压摆率要求为 $10V/\mu s$ 以上。OPA227 的压摆率为 $11V/\mu s$ 。

FREQUENCY RESPONSE							
Minimum Closed-Loop Gain	GBW		5			*	V/V
Gain Bandwidth Product	SR		33			*	MHz
Slew Rate		$G = 5, 10V \text{ Step}, C_L = 100pF, C_F = 12pF$	11			*	$V/\mu s$
Settling Time: 0.1%		$G = 5, 10V \text{ Step}, C_L = 100pF, C_F = 12pF$	1.5			*	μs
Slew Rate: 0.01%		$V_{IN} \cdot G = V_S$	2			*	μs
Overload Recovery Time		$f = 1kHz, G = 5, V_O = 3.5Vrms$	0.6			*	μs
Total Harmonic Distortion + Noise THD+N			0.00005			*	%

下图为 OPA227 最大输出电压和频率的关系，由下图可以看到，在 OPA227 采用 $\pm 15V$ 供电时，在 20kHz 之前，OPA227 可以输出其所允许的最大输出电压摆幅，即 28Vpp，因此 20kHz 也被称为全功率带宽。此后，随着频率的升高，最大输出电压幅度显著降低，如果你在某频率点处希望输出比图表所示更大的输出电压摆幅（如 100kHz，10Vpp），会看到明显的波形失真现象，比如正弦波变成三角波，如下图所示。



因此根据上述各项指标，电源电压需要满足 $V_S \geq 30V$, $V_{os} < 0.8 \text{ mV}$, $GBW \geq 10M$, 压摆率 $\geq 10V/\mu s$ ，所以我们可以选择 OPA227 高精度，低噪声，Bipolar 型精密放大器。

另外，TI 有自己独到的技术优势，打破一些常规，比如 OPA140，JFET 输入，同时拥有很小的失调电压和偏置电流。

3.3 TI 精密运算放大器列表

TI 通过多种不同的处理技术提供了宽范围的运算放大器产品，其类型包括了高精度、微功

率、低电压、高电压、高速以及轨至轨。TI 还开发了业界最大的低功耗及低电压运算放大器产品选集，其设计特性可满足宽范围的多种应用。下表为推荐使用的 TI 精密运算放大器列表：

器件	电源电压 (V)	V _{IO} (uV) (max)	V _{IO} Drift (uV/°C) (typ)	I _B (pA) (max)	增益带宽积 (MHz)	CMRR (dB) (Min)	电压噪声 @1KHz nV/√Hz	转换速率 V/uS	其他特点	价格 (美元) (片)
OPA134PA	5-36	2000	2	100	8	85	8	20	DIP,JFET	1
OPA2134PA	双通道版本的 OPA134, SoundPlus(TM) 高性能音频运算放大器									1.15
OPA4134UA	四通道版本的 OPA134, SoundPlus(TM) 高性能音频运算放大器									1.85
OPA827AID	8-36	150	1.5	50	22	114	4	28	JFET	5.75
OPA228PA	5-36	75	0.1	10000	33	120	3	10	DIP	1.1
OPA2228PA	双 OPA228,高精度低噪声运算放大器,增益大于 5 稳定									1.85
OPA4228PA	四 OPA228,高精度低噪声运算放大器,增益大于 5 稳定									4.05
OPA227PA	5-36	75	0.1	10000	8	120	3	2.3	DIP	1.1
OPA2227PA	双通道 OPA227,高精度低噪声运算放大器,单位增益稳定									1.85
OPA4227PA	四通道 OPA227,高精度低噪声运算放大器,单位增益稳定									4.05
OPA211AID	4.5-36	125	0.35	175000	45	114	1.1	27	R-R I/O	3.45
OPA340PA	2.7-5.5	500	2.5	10	5.5	80	25	6	R-R I/O, DIP	0.85
OPA2340PA	双通道 OPA227, MicroAmplifier 系列单电源轨至轨运算放大器									1.35
OPA333AID	1.8-5.5	10	0.02	200	0.35	106	55	0.16	R-R I/O 自归零	0.95
OPA2333AID	双通道 OPA333, 超高精度零漂移 CMOS 运算放大器									1.5
OPA335AID	2.7-5.5	5	0.05	200	2	110	50	1.6	R-R Out 自归零	1
OPA2335AID	双通道 OPA335, 最大漂移 0.05uV/°C 的单电源自归零 CMOS 运算放大器									1.6
OPA365AID	2.2-5.5	500	1	10	50	100	5	25	R-R I/O	0.95
OPA2365AID	双通道 OPA365, 50MHz 低噪声零交越失真单电源轨至轨运算放大器									1.7
OPA727AIDGKT	4-12	250	0.3	100	20	86	23	30	R-R OUT	1.05
OPA2727AID	双通道 OPA727, 12V, 20MHz 高精度 CMOS 运算放大器, SOIC 封装									1.55
OPA734AID	2.7-12	5	0.01	100	1.6	115	135	1.5	R-R,关断,自归零	1.6
TLV2460IP	4-6	2000	2	14000	6.4	66	11	1.6	R-R, DIP,关断	0.65
TLV2462IP	双通道低功耗轨至轨输入/输出运算放大器								无关断	0.85
TLV2463IN	双通道 TLV2460, 带关断的低功耗轨至轨输入/输出运算放大器								R-R, DIP,关断	0.9
TLV2465IN	四通道 TLV2460, 带关断的低功耗轨至轨输入/输出运算放大器								R-R, DIP,关断	1.15
TLC080IP	4.5-16	2000	1.2	50	10	80	8.5	16	DIP,关断	0.65
TLC082IP	双通道宽带高输出驱动单电源运算放大器								DIP,无关断	0.71
TLC083IN	双通道 TLC080,带关断的宽带高输出驱动单电源运算放大器								DIP,关断	1
TLC085CN	四通道 TLC080, 带关断的宽带高输出驱动单电源运算放大器								DIP,关断	1.3

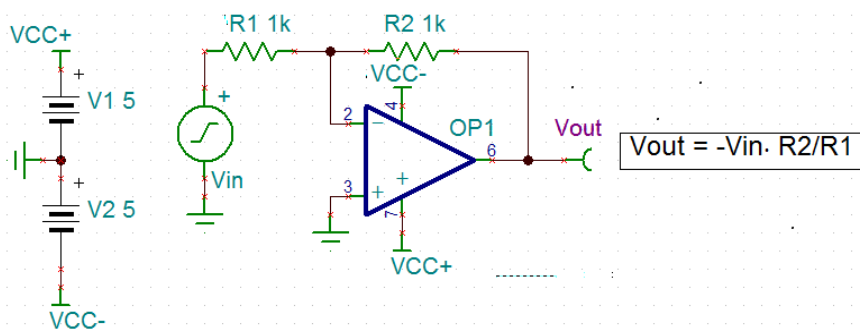
第四章 运放单电源供电

经典的运算放大器供电电路一般都采用正负电源对称的双电源供电，而这种架构需要同时提供两个电源。在现在电池供电设备、便携产品越来越流行的今天，对单电源供电运放的需求越来越多，因此，为了使用方便，很多运放放大器都支持单电源供电结构。但很多设计者并不是非常清楚如何正确的使用单电源供电，本章通过仿真，对几种常用单电源供电电路进行分析，介绍运放的单电源供电设计技巧和注意事项。

4.1 单电源运放

从运算放大器结构上讲，运放在工作时无法分清自己是被双电源供电，还是单电源供电。任何运放的两个电源端，只要满足有足够的压差，运放就可以工作。不存在单电源专用运放，或者双电源专用运放。

所有的运放放大器都有两个电源引脚，分别标示为 $+V_{CC}$ 和 $-V_{CC}$ (或 $-V_{EE}$)，常见的双电源供电是由一个正电源和一个电压绝对值相等的负电源组成，通常为 $\pm 15V$ 、 $\pm 12V$ 或 $\pm 5V$ ，此时输入和输出都是相对于 GND 进行计算，图 1 所示为典型双电源运放供电电路。



单电源供电的运算放大器，是由一个正电源和 GND 组成，当使用单电源供电运放调理双极性信号时，必须为其提供“直流偏置电压”，使得输出电压以一个正确的电平（通常为 $+V_{CC}/2$ ，或后端 ADC 满量程输入的 1/2）为中心摆动，一方面是使得输入的负电压能够被正确的输出，另一方面可以获得最大的动态范围。

4.2 单电源运放电路的基本偏置方法

单电源供电根据提供偏置不同的方法，可以分成交流耦合和直流耦合两种。交流耦

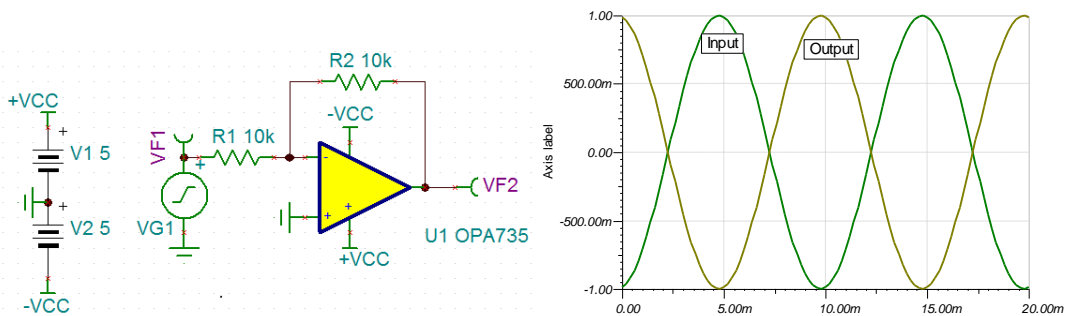
合方式在信号输入端加入耦合电容，隔离直流信号，仅对交流信号起到放大作用。交流耦合要考虑到信号的频率，这是因为电容 C 的阻抗为 $1/j\omega C$ ，对于高频信号 ω 较大只需要一个较小的 C 耦合即可达到低串联阻抗。而对于低频信号则需要较大的 C ， C 的容值跟体积是相关的，也就意味着低频时用交流耦合需要很大体积的电容，这在某些应用场合是不合适的。接下来让我们看看如何正确的选择参考电压，使得产生正确的输出。分析参考电压时主要用到叠加原理，将信号和参考看做两个信号源，利用叠加原理将两者经过运放后的结果相加。参考电压的选择主要考虑两个因素：1、使输出信号的 V_{pp} 最大，充分利用运放的输出能力。2、根据后级的直流电平要求来设计，确保本级的直流输出能满足后级输入。

使 V_{pp} 最大时，参考电压的选取跟运放输出范围直接相关，由于运放的输出不都是轨到轨的，所以不能都按输出直流在 $V_{CC}/2$ 来设定。应该按照输出直流分量在 $(V_{out_{max}} - V_{out_{min}}) / 2$ 位置来选择参考的电压，这样才能保证输出的 V_{pp} 最大。

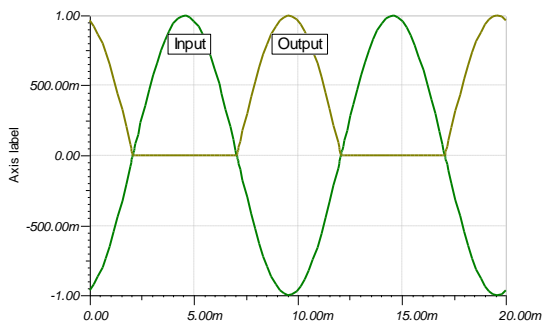
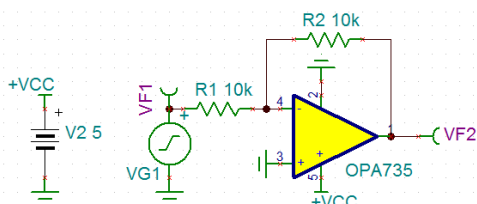
使本级的直流输出能满足后级输入时，从要求的输出直流分量反推出参考电压即可。例如运放作为 ADC 的输入缓冲时，由于某些型号的 ADC 对输入的共模电压（直流分量）有要求（例如 1.8V 或者 1.5V），选择参考电压时就要使运放的输出直流分量满足 ADC 的共模电压。

1、直流耦合型（输入信号不带 DC 分量）

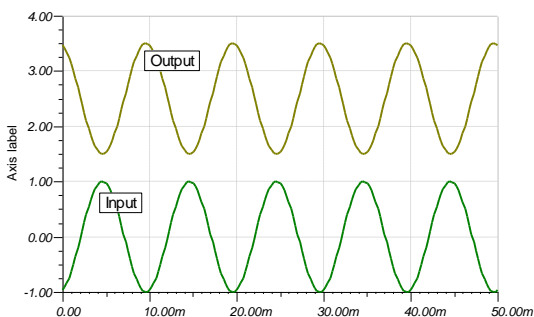
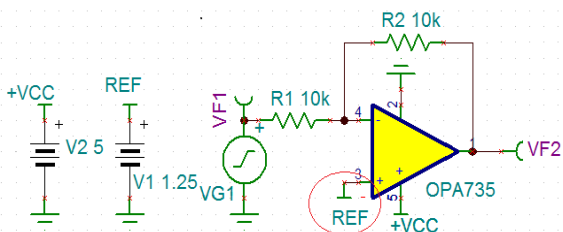
我们首先来看一个双电源供电的例子，同过 TINA 仿真，其输入输出信号如下图所示。图中可以看到当输入信号为正弦波时，经过反相放大，输入输出信号均以系统地 0 地位为中心，正负半周进行波动。



如果此时我们将上图的双电源的负电压直接改成 GND，输入相同的信号，我们会看到如下图所示的输入输出波形，可以看到由于只有正电源供电，输出信号的负半周无法被输出，为了解决这个问题，我们可以在输入端加入一定的直流偏置，从而将整个输出电压抬高。



通过正确的直流偏置，可以使得单电源供电的放大器输出能够在以 $V_{CC}/2$ 为中心，得到较好的动态范围。



根据上图和叠加定理，我们得到：

$$V_{out} = V_{ref} \left(\frac{R_2}{R_1} + 1 \right) - \frac{R_2}{R_1} V_{in}$$

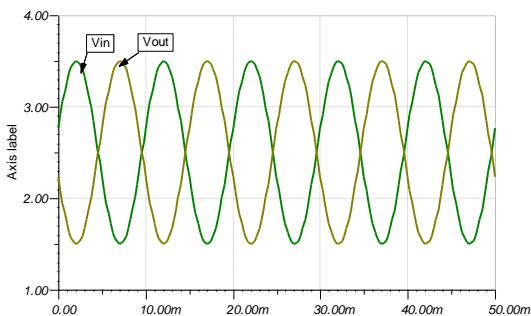
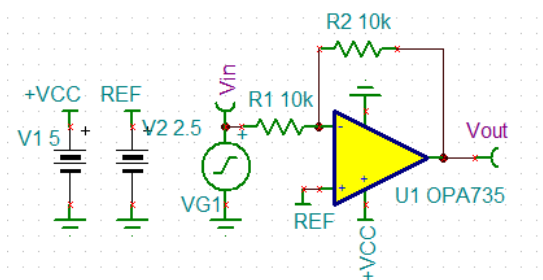
因为这里 $R_2=R_1$ ，整理得到：

$$V_{out} = V_{ref} * 2 - V_{in}$$

为了使输出信号在 $V_{CC}/2 = 2.5V$ 上摆动，可以求得 $V_{REF}=1.25V$ 。输入输出信号波形图如上图右图所示。经过正确偏置的输出信号能以 2.5V 为中心，从而得到了最大的输出摆幅。

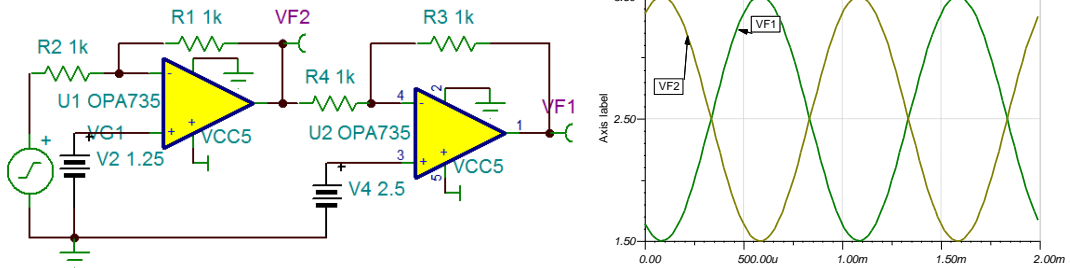
2、直流耦合型（输入信号带有 DC 分量）

上面我们介绍了输入信号不带直流分量的单电源供电的应用，下面我们再来看下当输入信号中带有直流分量的情况。如下图所示：



$$V_{out} = V_{ref} \left(\frac{R3}{R4} + 1 \right) - \frac{R3}{R4} (V_{DC} + V_{AC})$$

比如用于两级放大，前级输出的 $V_{DC}=V_{CC}/2=2.5V$ ，根据上面公式计算，只需把第二级的 V_{REF} 设为 $V_{CC}/2=2.5V$ 即可使 V_{out} 的直流在 $2.5V$ 。可以看到仿真图中第二级输出的直流分量保持在 $2.5V$ 。

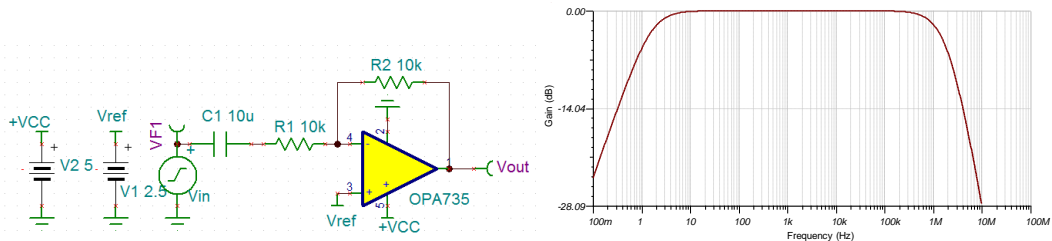


如果第二级不用参考进行直流偏置的话，由于第二级是反向放大器，来自第一级的 DC 信号将反向为负电压，但是运放是单电源供电没有负压，所以运放就会偏到 GND 电位。读者可以用 TINA-TI 仿真一下。

3、交流耦合型

从上面的分析我们看到，有几种情况会使得直流耦合型的偏置设定变得复杂，一种是放大倍数较大或呈小数时， V_{REF} 难以取整；另一种是当输入信号本身不是以 GND 为中心，而也带有直流偏置的时候，计算也会变得复杂。此时，如果我们对信号的直流信息不感兴趣，我们可以采用交流耦合的方式，更为简单的让输出在准确的 $V_{CC}/2$ 上摆动。

交流耦合方式通过在信号输入端加入耦合电容，形成一个高通滤波器，隔离直流信号，仅对交流信号起到放大作用。以下图为例，C1 为耦合电容，其阻抗对直流信号来说无穷大。下图显示了该电路的频响特性，可以看到当输入信号频率超过 100Hz 后，C1 可以视为完全短路，此时交流信号的增益为 $G = -1$ (0db)



为了让放大器的输出以 $V_{CC}/2$ 为中心，我们考察反相端的 V_{ref} 对输出的贡献。

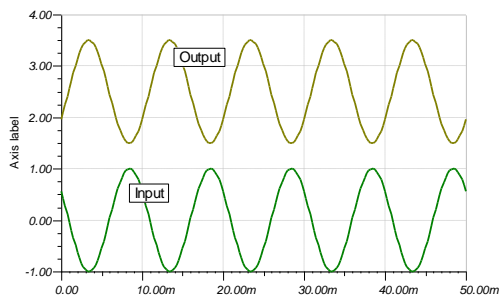
$$V_{out} = V_{ref} \left(\frac{R2}{Z1} + 1 \right) - \frac{R2}{R1} (V_{in} + V_{DC})$$

其中 $Z1$ 为 $C1$ 和 $R1$ 串联后的阻抗，因为 $C1$ 对直流电平有无穷大的阻抗，所以 $Z1$ 也趋

于无穷大， V_{DC} 直流无法通过 $C1$ ，上式可以简化为：

$$V_{out} = V_{ref} - \frac{R2}{R1} V_{in}$$

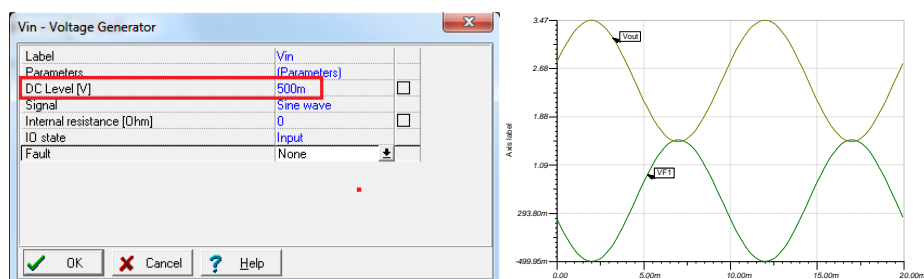
取 $V_{ref} = 2.5V$ ，得到如下图的输入输出结果：



采用交流耦合时，无论 V_{in} 中是否带有直流分量 V_{DC} ，交流耦合放大器会阻止 V_{DC} ，而只放大交流信号，如下式所示：

$$V_{out} = V_{ref} - \frac{R2}{R1} V_{in}$$

比如我们在 TINA 仿真中设定 $V_{in} = 0.5V + V_{AC}$ ，可以得到如下的输入输出结果：



可以看到虽然 $VF1$ 信号 (input) 的直流分量增加，由于 $C1$ 的 AC 耦合，不影响输出的直流。

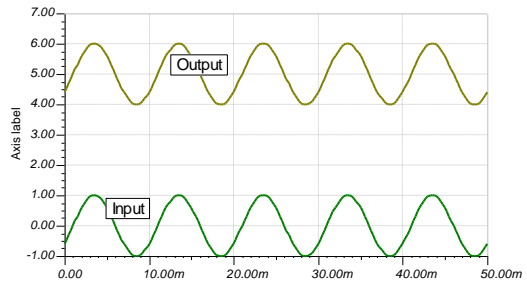
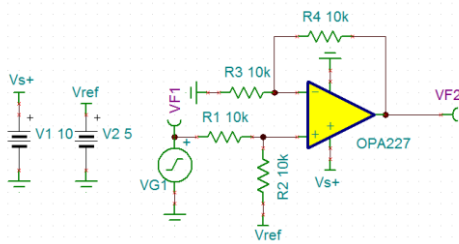
4.3 其他一些基本的单电源供电电路

我们以 OPA227 为例，来介绍其他一些常见的单电源供电的基本电路。OPA227 是一款高精度、低噪声的运算放大器，其失调电压低至 $5\mu V$ ，输入电压噪声小于 $90nVp-p$ ，供电电压范围也非常宽： $\pm 2.5V$ 至 $\pm 18V$ 。此外，在设计单电源供电的电路中一定要考虑到其轨到轨特性的影响，尽量保证输出电压动态范围能够达到最大。

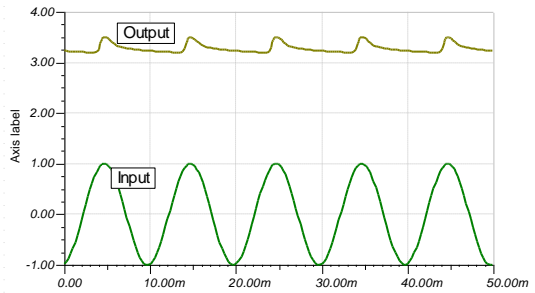
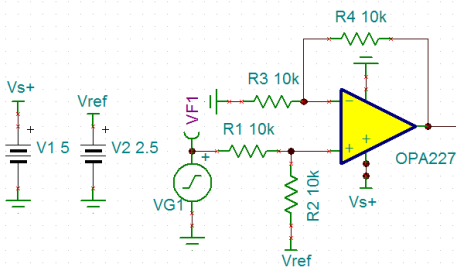
(1) 同相放大器，直流耦合

如下图所示电路，电源供电电压为 $10V$ ，同相输入端输入信号为 $\pm 1V$ ，参考电压 $V_{ref} = V_s/2$ ，根据叠加定理： $V_{out} = V_{in} + V_{ref}$ 。通过加入直流偏置，使得输出电压在以 $+5V$

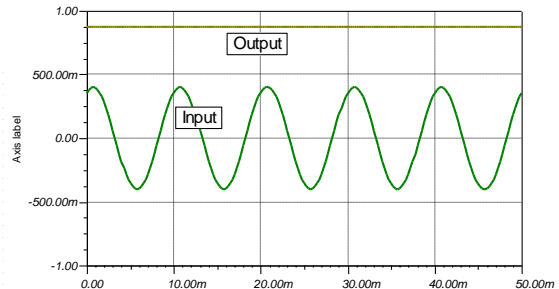
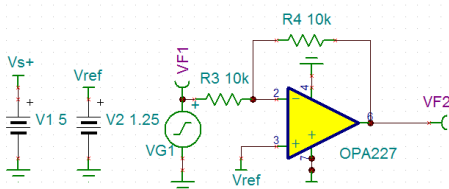
为中心处，能达到最大的动态范围。



但是上图电路的使用过程中需要考虑到 OPA227 的轨到轨特性，OPA227 不具有输入和输出的轨到轨特性。如果我们将上图中的 Vs 换成+5V，Vref 仍然为 Vs/2，按照理论分析，输出 $V_{out} = (\pm 1V) + 2.5V$ ，但是我们仿真的实际结果却会出现信号的失真，如下图所示。由于 OPA227 不具有轨到轨输出特性，根据数据手册可知，OPA227 输出电压范围(V+)-2 至(V-)+2 之间，对于下图的电路，其输出电压范围为 2V-3V，而理论的 V_{out} 范围为 1.5V-3.5V，超出了电压输出范围，从而造成了输出的失真。



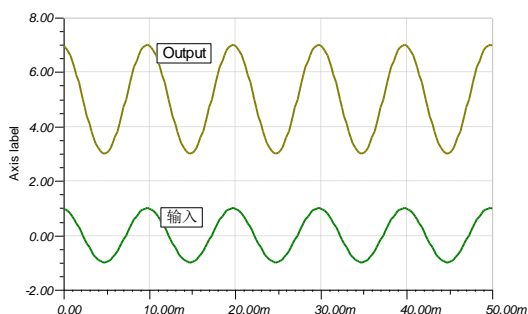
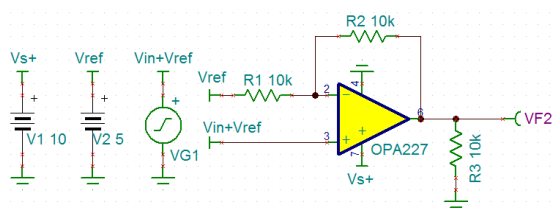
刚才考虑到的是轨到轨输出特性，下面我们将上图的电路图进行修改，参考电压为 1.25V，反相输入信号为 $\pm 400mV$ 的正弦信号，得到下图所示的电路图，按照理论计算， $V_{out} = 2 * V_{ref} - V_{in} = 2.5V - (\pm 0.5V)$ ，在其输出电压范围 2V-3V 范围内，但是经过仿真我们看到图 4.10 输出一个直流电平。OPA227 也不具备轨到轨输入特性，查阅 OPA227 的数据手册，其输入电压范围：(V- + 2) 至 (V+ - 2)，这就要求同相和反相端的输入电压也在 2V-3V 范围内，我们在反相端提供的 $\pm 400mV$ 的电压不能满足这一要求，从而导致了放大器设计的失败。



下面我们将上图的放大器两个输入端电压稍微改变一下，得到如下图所示的另外一种同相放大器。根据叠加定理：

$$V_{out} = 2*(V_{in} + V_{ref}) - V_{ref} = 2*V_{in} + V_{ref}$$

通过在同相和反相端都加入直流偏置，输出信号获得一个 $V_{s+}/2$ 的直流偏置，从而达到保证输出的最佳动态范围。

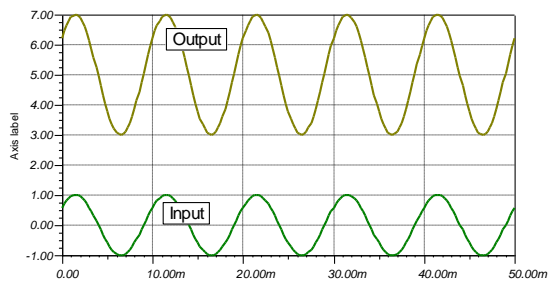
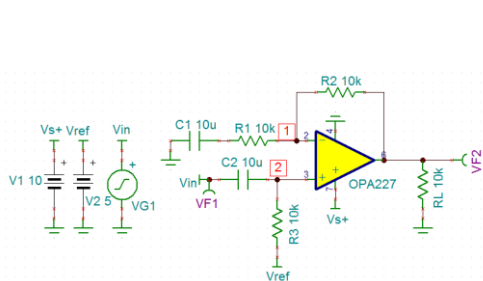


(2) 同相放大器，交流耦合

如下图所示，为交流耦合型单电源供电同相放大器结构。隔离电容 $C1$ ，使得反馈环路只放大 V_{in} 的交流信号，对 V_{ref} 只有跟随作用，不对其进行放大，这样参考电压 V_{ref} 就与电路的闭环增益无关。隔离电容 $C2$ ，使得下图 2 点的参考电位不会随着 V_{in} 的输入变化而变化。根据叠加定理：

$$V_{out} = V_{ref} + 2 * V_{in}$$

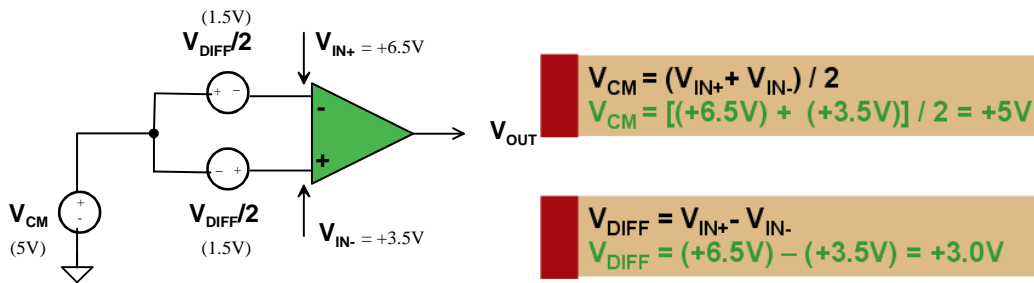
在上面的介绍中我们知道，OPA227 不是轨到轨输入的运放，因此对输入端的电压是有限制的，峰值为 1V 的正弦波无法直接加到运放的同相端和反相端。因此通过在同相端加入 $V_{s+}/2$ 的参考电压，使得同相端输入电压达到输入电压范围；又根据放大器负反馈情况下，下图中 1 点和 2 点电压相等，使得同相端输入电压也能达到输入电压范围。



第五章 各种差动放大器解析

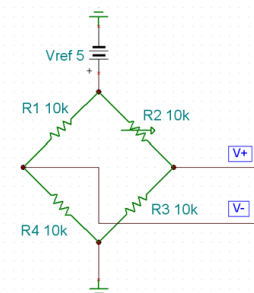
5.1 差分放大器基本概念

在工业系统中，许多传感器采用差分输出的方式来获得更好的噪声免疫力。在这些传感器的输出中包含了共模信号和差模信号：



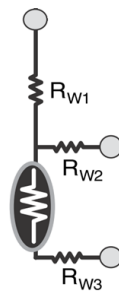
如上图，我们定义共模信号为放大器的同相和反相输入端含有的相同信号，这里的共模信号（Common Mode Voltage） $V_{CM}=5V$ ；我们定义差模信号为放大器的同相和反相输入端含有的不同信号，这里的差模信号（Differential Mode Voltage） $V_{DM}=3V$ 。对于绝大多数系统而言，共模信号是不含有信息的，引入它的主要目的就是为了提高信号的抗噪能力，比如差分信号在传输过程中耦合的噪声都以共模信号的形式出现，在接收端信号相减后即可消除；而差模信号则是真正含有信息的信号，我们在 PLC 系统的接收端需要做的就是抑制共模信号，提取和放大差模信号给 ADC 采集所用。最为典型的几种差分输出的传感器就是电阻电桥、RTD 测温电阻和电流并联检测器。

- Bridge Sensor



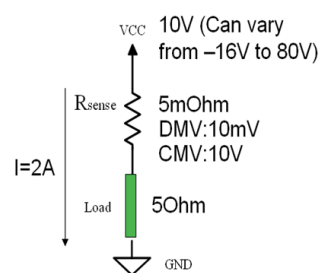
- Voltage/Current Excitation
- Moderate CMV
- Tiny DMV
- High Output Impedance

- RTD



- Current Excitation
- Tiny $\Delta V/^\circ C$ due to Tiny $\Delta \Omega/^\circ C$ ($0.00385\Omega/\Omega/^\circ C$)

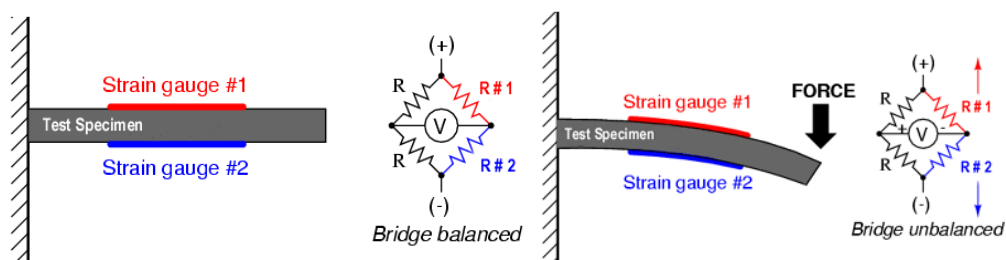
- Current Sensing



- Current Excitation
- High CMV (even higher than Amp's Power Rail)
- Small DMV

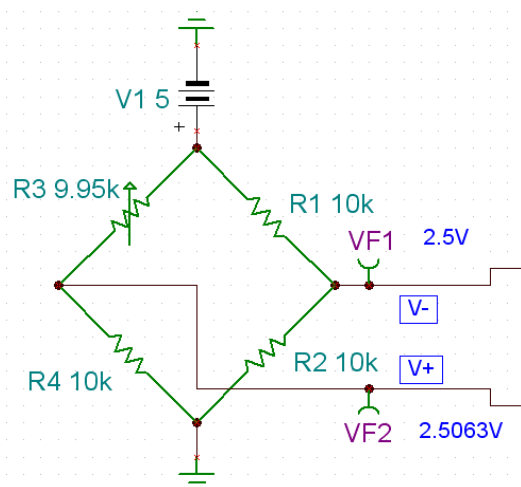
5.2 差分放大器

电阻电桥可以用电流源驱动，也可以用电压源驱动，其工作实质是由于外力作用，导致电桥臂上的一个或几个电阻阻值发生变化，从而破坏电桥的平衡，输出差模信号。通过调理和转换差模的信号的大小，即可以获得电阻变化的信息，从而再换算出外力的大小。如下面这个压力测试仪，上下两个应变片在外力作用下弯曲：一个被拉长，值以 $+\epsilon$ 的比例变大；一个被压短，阻值以 $-\epsilon$ 的比例变小。

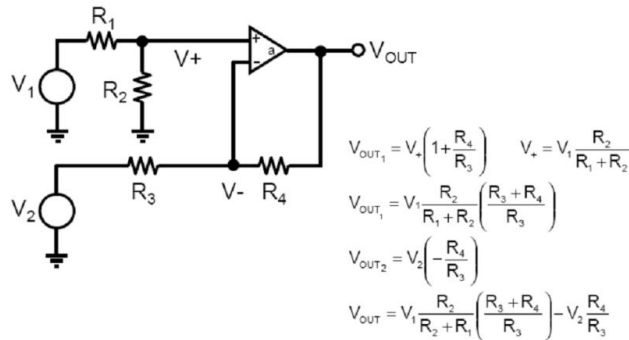


注：未受外力作用时，电桥平衡（左）；受到外力时阻值改变，电桥不再平衡（右）

这里我们用最简单的单电阻变化的电桥为例，说明信号调理过程中的挑战：



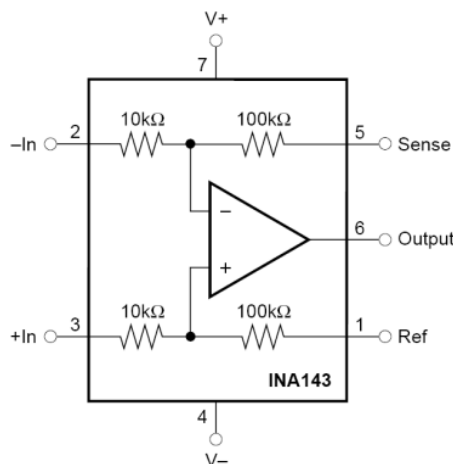
压力引起的电桥臂上应变片的形变实际上是非常的小，一个压力传感器的满量程差分输出通常都在 20mV 以下，而共模电压则通常在 2.5V 以上。如果直接对信号放大，共模信号会引起电路饱和。因此，首先我们需要进行共模抑制，提取出差模信号。如上图，共模信号为 2.5V，差模信号为 6.3mV，我们只需将 $V+$ 减去 $V-$ 即可，自然而然的，我们想到了运放的一个基本电路，减法器：



When $R_2=R_1=R_4=R_3 \Rightarrow V_{out} = (V_1 - V_2) \times (R_4/R_3)$

所以，我们可以用运算放大器和外部电阻网络自己搭建一个差动放大器，但是这样的话，电路的共模抑制比（CMRR，定义为差模的信号放大倍数比上共模信号的放大倍数）是被外部电阻网络所限制。假如 R_1, R_2, R_3, R_4 中仅有一只电阻有 0.1% 的误差，导入上面的公式可以得到 CMRR 将下降到 66dB；若误差为 1%，CMRR 将下降到 46dB。那么，我们在通用电子市场上里通常能买到的最精密的电阻为多少误差呢？1%，而我们在学校里经常抓来使用的电阻常常只有 5% 的甚至更差的精度，这将使我们的共模抑制比更加“惨不忍睹”。上面的例子里， $V_{CM} = 2.5V$ ，若 $V_{DM} = 20mV$ ，60dB 的 CMRR 将使 $V_{CM} = 2.5V$ 减小到 1/1000，此时 V_{CM} 仍将有 2.5mV，这相当于有用差模信号的 10%，对我们的测量结果有相当大的影响，因此我们需要更高的 CMRR。

TI 推出的集成型差动放大器将电阻网络放在运放内部（如下图为 INA143 的简化结构），通过激光微调的方式使得电阻网络的匹配达到非常高的水平——使得差动放大器的 CMRR 在直流处轻易达到 80dB 以上，有的产品在直流处能接近 100dB。同时，由于 4 只电阻都在运放内部被激光微调，他们的温度漂移也一致，从而在很宽的温度范围内获得一致的 CMRR 性能。



集成差动放大器除了 CMRR 高的优点外，还有一些其他的优点，以 INA143 为例：

1) 增益配置可选，比如 10 倍（2，3 脚为输入）或 1/10 倍（5，1 脚为输入）

2) 差动放大器可以接收大大高于供电电压的输入共模电压，如供电为 $\pm 6V$ 电源供电时，增益为 1/10 时，可以承受 $\pm 55V$ 的输入共模电压而不被损坏。这是因为虽然器件的共模电压很高，但是被内部电阻网络分压后，最终进入运放同相和反相端的电压还是会在允许的共模电压内。

3) 由于内部电阻网络匹配度高，可代替外部电阻网络，从而使得差动放大器成为增益误差非常小的放大器。可配置为加法器，同相/反相放大器，精密电流源等，请参考 INA143，INA133 的器件手册的第 9 页和第 10 页。

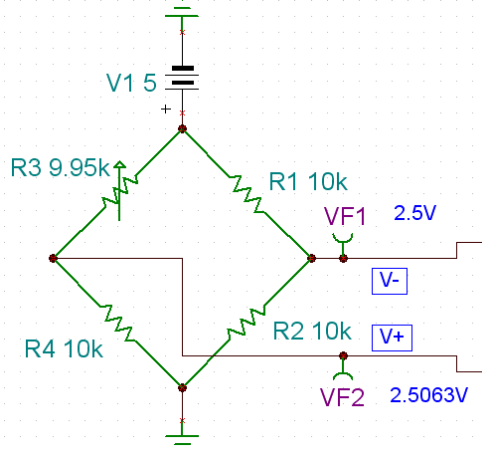
4) 差动放大器是仪表放大器的重要组成部分，如在 99 年的测量放大器一题中，虽然不允许使用仪表放大器成品，但是可以以差动放大器为核心，组建 CMRR 相当好的测量放大器。

我们推荐使用的 TI 差动放大器有：

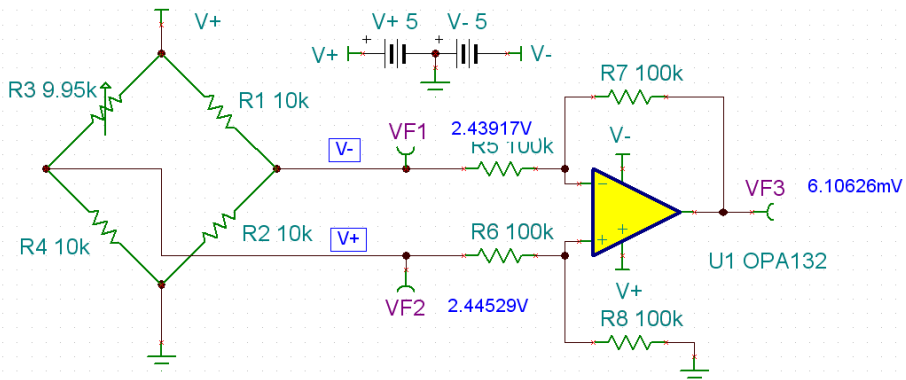
器件	电源电压 (+/-电源轨之差) (V)	带宽 (MHz)	V_{IO} (μV) (max)	CMRR @ DC (dB) (min)	其他特点	价格 (美元) (单位:片)	封装
INA133UA	4.5-36	1.5	450	80	单位增益	1.15	SOIC
INA2133UA	双通道版本的 INA133，高速精密差动放大器					1.8	SOIC
INA143UA	4.5-36	0.15	250	86	增益=0.1 或 10	1.05	SOIC
INA2143UA	双通道版本的 INA143					1.7	SOIC
INA157UA	8-36	4	500	86	增益=0.5 或 2	1.05	SOIC
INA117KU	10 to 36	0.2	1000	86	$\pm 200V$ CMV Range	2.7	SOIC
INA137PA	8-36	4	1000	74	Audio, High Slew Rate	1.05	DIP
INA2137PA	双通道版本的 INA137，音频差动线路接收器, 增益=2 或 1/2					1.7	DIP

5.3 仪表放大器

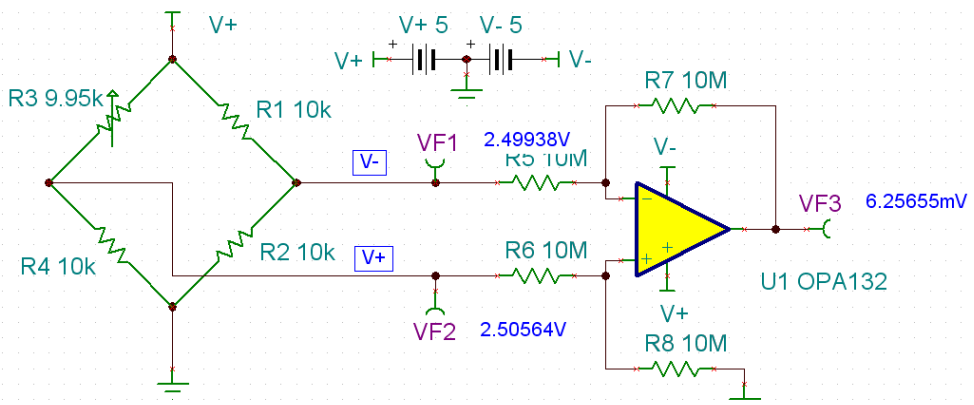
然而，差动放大器也有其天生的弱点：由于电阻网络内置，使得其输入阻抗大大降低，比如当 INA143 的 3，2 脚作为为输入时，其输入阻抗降低到 10K 欧姆，这对高源阻抗的应用相当不利，因为过低的运放输入阻抗会称为信号源的负载，而且源阻抗的不匹配会造成差动放大器的电阻网络不再精密匹配，从而导致 CMRR 降低。我们用 TINA-TI 来仿真：



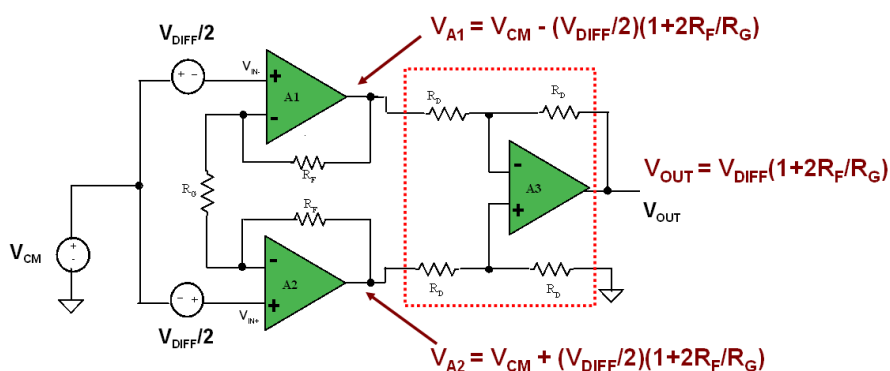
不接入差动放大器时，输出正确；



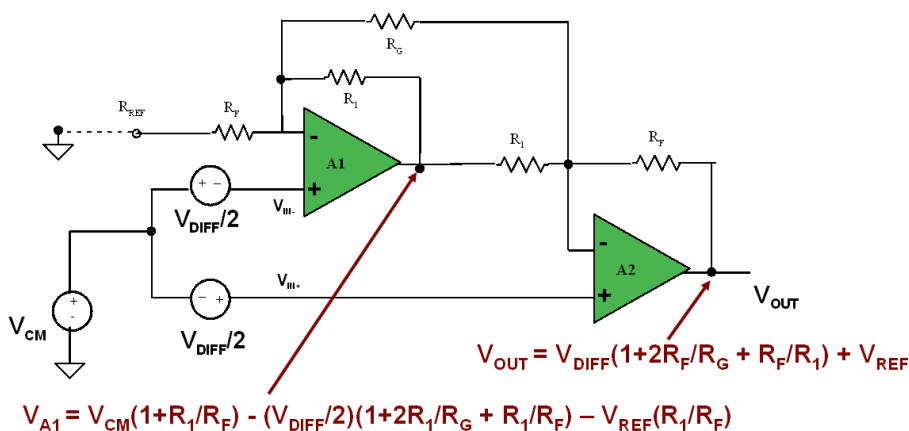
接入差动放大器（我们使用 OPA132 加上外部电阻网络来模拟一个增益为 1 的差动放大器）后，由于差动放大器较低的输入阻抗，反而成为了电桥输出的负载，电桥输出电压不再准确，最后的差模信号离了期望的 6.3mV 也有相当大的误差。我们将电阻网络的电阻值增大 100 倍到 10M 欧姆，可以获得接近于 6.3mV 的差模输出结果：



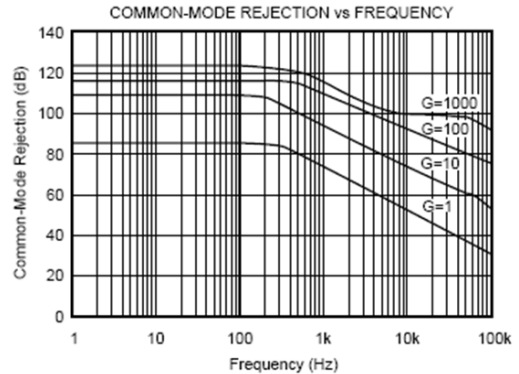
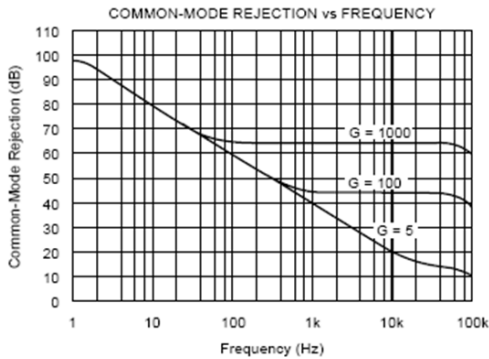
但是没有任何一家芯片厂商会制造电阻网络为 10M 欧姆的差动放大器，10M 欧姆的电阻占据了太大的芯片面积、带来非常大的热噪声、和偏置电流相乘后产生相当大的失调电压（所以这里用 FET 输入的 OPA132 为例，读者可以试用 OPA227 替换，即可发现 Bipolar 型放大器较大的偏置电流在 10M 欧姆电阻上带来的误差）、同时过大的反馈电阻非常容易造成运放不稳定（额外的 RC 极点被提前），因此对于惠斯通电阻桥这种源阻抗通常为 K 欧姆量级的应用中，差动放大器是不适合的。我们需要增加差动放大器的输入阻抗，于是我们在差动放大器的前面加入两个输入缓冲器作为第一级，并在第一级的外部通过 R_G 提供差分信号的增益（保持共模信号不变），在第二级（即差动放大器）提供第二次差分信号的增益，并抑制共模信号。这样差分信号可以被两级放大，因此仪表放大器的放大倍数可以相当大。同时，共模电压被抑制，由 CMRR 的定义，可以知道仪表放大器的 CMRR 可以比差动放大器更高，通常可以轻易超过 100dB，甚至达到 120dB。如下图，是对这种经典的三运放仪表放大器的推导（差动放大器为单位增益）：



除了三运放的仪表放大器，还有一种简化的两运放仪表放大器，它也能完成共模信号的抑制，并在直流处拥有和三运放仪表放大器相近的性能，当然，省略一个运放使得它拥有更低的成本，它每一级间的推导结果如下图所示：



两运放仪表放大器虽然价格低廉，并在直流处拥有同样优良的共模抑制比，但是由于输入引脚的信号路径不平衡（一个输入直接进入 A2，一个经过 A1 后才进入 A2），导致在频率稍高时 CMRR 急剧恶化。而三运放的仪表放大器可以提供最好的输入信号平衡，从而在频率稍高时（几百到数 kHz）也能达到极佳的 CMRR，如下图所示：

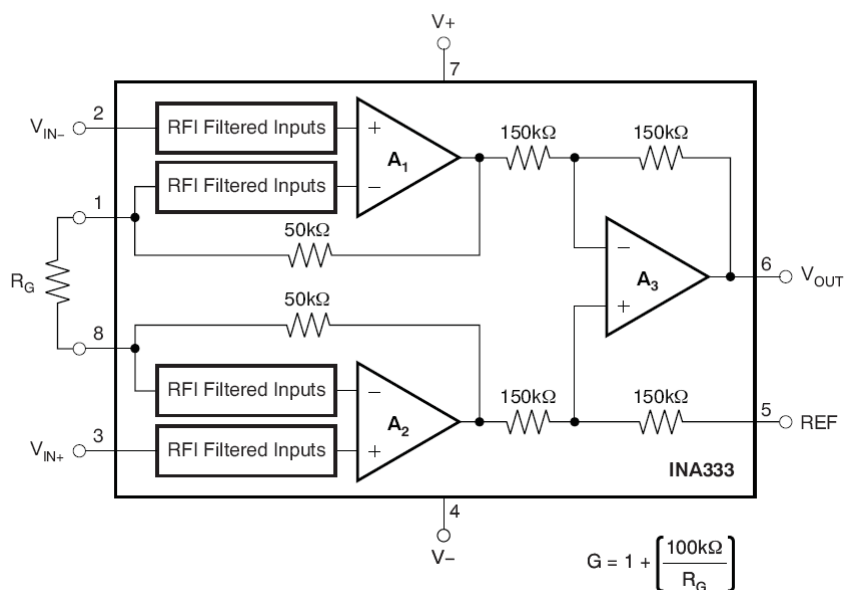


仪表放大器的 CMRR 随频率升高而降低的曲线

推荐使用的 TI 公司的仪表放大器有：

器件	电源电压 (V)	Gain	CMRR @ DC (dB) (min)	带宽 (kHz) G=100	V _{IO} (uV) (max)	其他特点	价格 (美元) (单位:片)	封装
INA128PA	4.5-36	1-10K	120	200	60		3.05	DIP
INA2128UA	双通道版本的 INA128						4.9	SOIC
INA118P	2.7-36	1-10K	107	70	55		4.8	DIP
INA331AID GKT	2.7-5.5	5-1K	90	2000	500	R-R OUT	1.25	MSOP
INA2331AIP WT	双通道版本的 INA331						1.95	TSSOP
INA333AID GKT	1.8-5.5	1-1K	100	4	25	R-R I/O, 自归零	2	MSOP

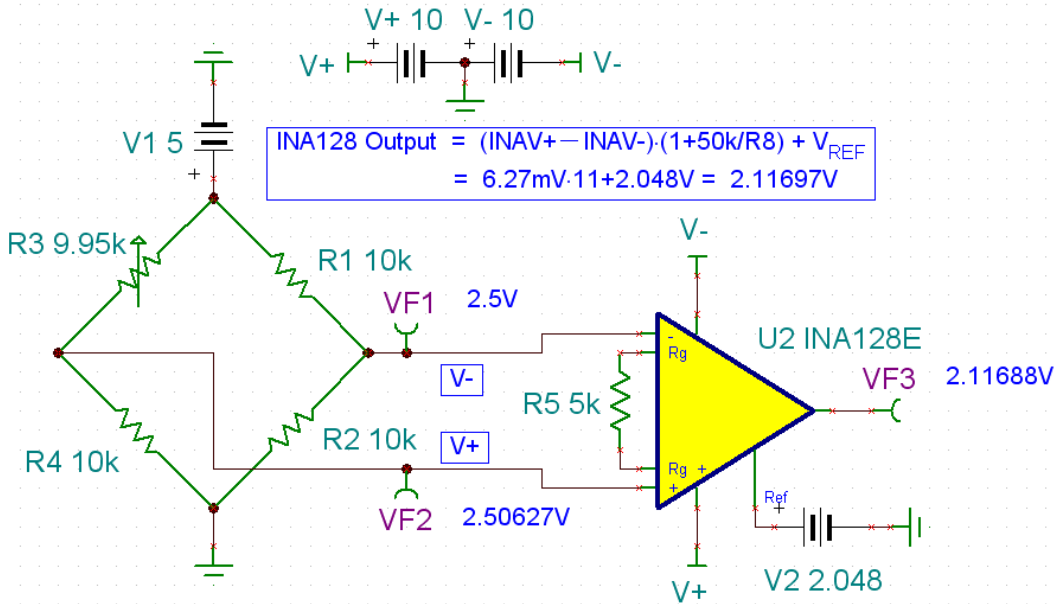
与差动放大器一样，仪表放大器也有其显著的优缺点，优点在于其输入阻抗非常高，共模抑制比非常好，适合用在信号源阻抗较高的需要抑制共模信号的场合，比如惠斯通桥，人体信号处理（在医疗信号处理中的模拟信号前端调理中，总是可以看到非常多的仪表放大器）。除此之外，TI 通过先进的模拟技术及工艺赋予了其仪表放大器一些新的特点，以 INA333 为例：



首先，INA333 是一个自归零的仪表放大器，和前面提到的运算放大器的自归零技术一样，INA333 通过比如斩波稳定等方法使其输入失调电压（最大 25 μV ）及其漂移（0.1 $\mu\text{V}/\text{oC}$ ）非常的低；第二，INA333 是一个轨到轨输入输出的放大器；第三，内建的射频干扰滤波器可以有效减少空中电磁波对仪表放大器输入级的影响（手机信号，FM 电台信号无时无刻不存在在我们周围，特别是当输入走线或导线较长时，会产生天线效应将射频信号引入到 INA333 的输入级。虽然这些高频干扰由于 INA333 带宽的限制不会以高频信号的形式达到输出端，但它们会被运放输入级整流形成直流噪声，对于需要放大微弱信号的仪表放大器来说应该尽量消除这种噪声）；最后，REF 引脚可以使输出含有一个固定的直流偏置，如 2.5V，方便后端运放或 ADC 电路的设计，同样地，使用一个低阻抗电压源驱动它！

仪表放大器的缺点在于其不够灵活，使用方法单一，同时由于信号直接接入缓冲运放的输入端，导致输入共模信号的范围较窄，即使具有轨到轨输入的特点，也只能达到供电电源电压附近。

设计差分放大器和仪表放大器时，可以利用他们的 REF 脚，通过在其上添加一个电压可以用来调整差分放大器的输出直流偏置。如下图所示：



如上图，INA128 的输入 = $V_{DM} * Gain + V_{REF}$ ，我们假设后端是一颗量程为 4.096V 的 ADC，因此我们通过 V_{REF} 脚将 INA128 的输出的直流偏置设置在 2.048V 上，这样当 R3 变大或变小时，INA128 无论是输出负还是正，最终都会在 2.048V 上下摆动，这样能获得最大的动态范围。但请务必小心的是，需使用一个低输出阻抗的电压源（比如通过运放缓冲）驱动 V_{REF} 脚，否则容易造成电阻网络的不匹配从而影响 CMRR，这一点非常重要！

现在，我们定量来计算一下并给出完整的运放链路。这里我们利用电阻电桥来测量一个未知电阻的阻值，假设这个电阻的变化范围为 9.9k 到 10.1k 欧姆，电桥输出的差模信号为 12.56mV 到 -12.44mV：

期望的精度为 0.1 欧姆，即需要 2000 个读数

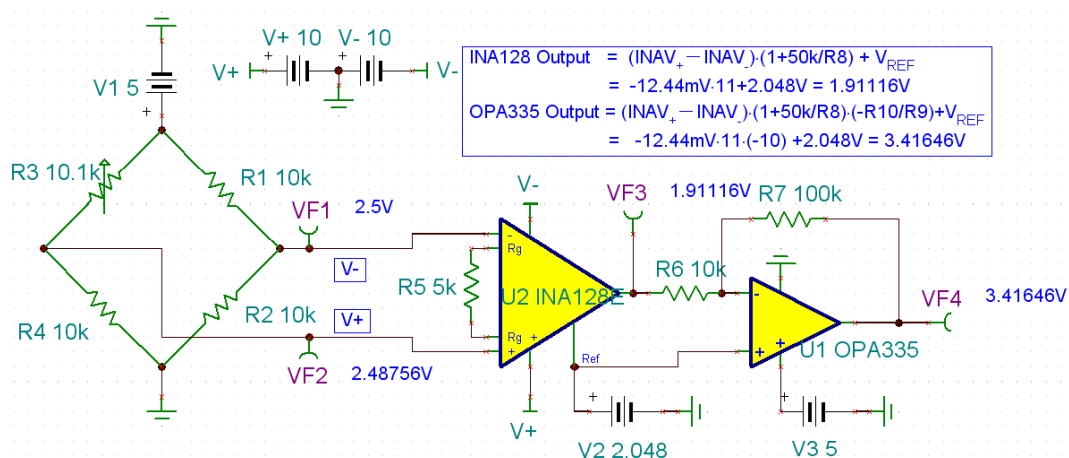
即在 25mV 的范围内需要 2000 个读数，即每个读数为 12.5uV

一个 12 位 4.096V 量程输入的 ADC 的最小分辨率，即 $1LSB = 1mV \gg 12.5uV$ 。在电桥 25mV 的满量程差模输出中只能得到 25 个读数，远不能满足要求。

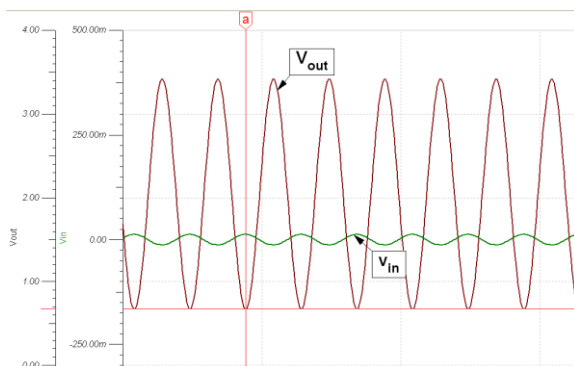
因此，我们可以把信号放大 110 倍，得到 -1.3684V 到 +1.3816V 的模拟电压，这时 1LSB 为 1mV 的 12 位 ADC 就可以获得 2750 个读书，满足设计要求。

接下来，在系统设计中，控制系统噪声（包括器件噪声，辐射噪声和传导噪声等）的峰值小于 1mV，从而确保 2750 个读数都是可靠的。

在前面，我们利用 INA128 完成了 11 倍的信号放大，下面我们再接一只自归零的 CMOS 运放 OPA335 来完成 10 倍的放大工作（减少 INA128 的失调误差影响）：

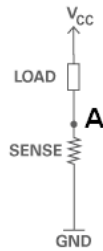


得到当 $R3=10.1\text{k}$ 时的最终输出为 3.41646V ，减去固定直流偏置 2.048V 得到 1.3684V ，和我们开始计算的结果 -1.3684 一致。之所以没有了负号，是因为经过了配置成反相放大器的 OPA335 电路。另请注意我们是如何通过在 OPA335 的同相端加入 2.048V 来完成单电源供电运放的直流偏置设置的（同相端采用和反相端一致的直流偏置，设置为 OPA335 的共模电压，从而可以仅放大反相和同相端端的差模信号）。我们下面使用一个幅度为 12.56mV 到 -12.44mV 的正弦波来模拟输入电阻的变化，得到最终 OPA335 的输出波形如下：

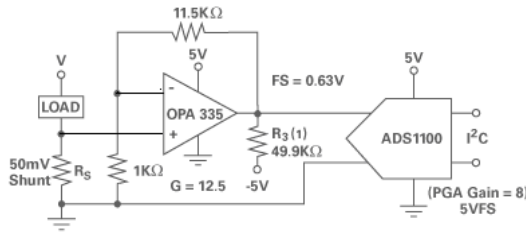


5.4 电流检测放大器

电流并联检测，就是通过测量置于电流路径上的电阻上的压降来监视电流的电路（尽管存在着其它技术，例如磁相关技术，但这里的讨论仅限于并联电阻电流测量）。并联电阻测量电流的方法主要有两种，高侧和低侧。低侧测量方法直接简单，它通过在 A 点处测量电流经过置于负载和地之间的电阻时所产生的压降来检测电流，如下图：

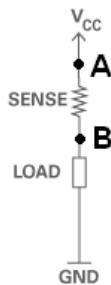


低侧电流测量的特点就是直接简便，只需一个运算放大器便可完成测量，且非常准确：



但其在接地路径上加入了阻值，这非常不利，因为流入地平面的电流将在感应电阻上产生电压，这个电压将以地平面噪声的形式出现在系统的所有地节点上。由于数字电路在 0, 1 间切换，导致电流将是动态的，这将在地平面上形成高频噪声，影响模拟部分的精度甚至引起数字部分的误动作。所以若能接受地平面的噪声，低侧电流测量是最简单最好的方法。若不能接受，我们可以选择高侧电流测量。

高侧电流测量技术通过测量 A 点和 B 点间电流经过置于电源和负载间的电阻时所产生的压降来测量电流，如下图：

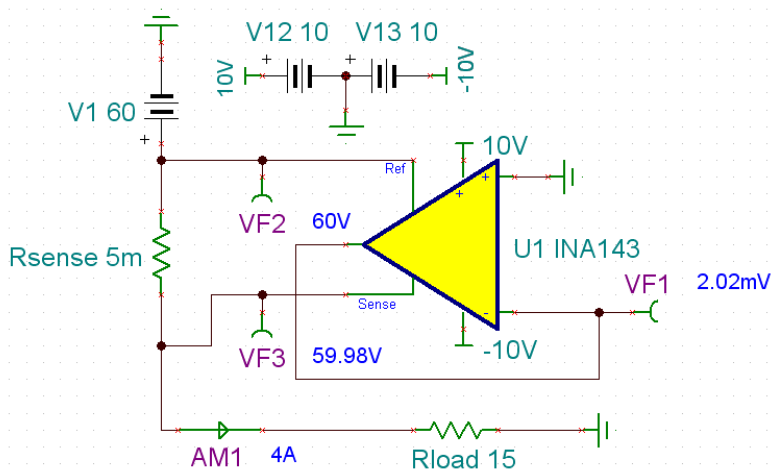


高侧电流检测器的优势和低侧相比非常明显，它直接连接至电源，并且可以检测所有的下行故障以及触发适当的更正措施，并且不会产生额外的接地干扰。但它对信号调理提出了更高的要求，因为一般我们选择 10m 欧以下的电阻做为感应电阻，这样在感应电阻上不会产生大的压降，从而减少对后端系统的影响同时减少无用功率消耗，当这样的话，在 AB 间会有一个 mV 级的差模电压，同时在 AB 点处存在等于 VCC 的共模电压。所以我们需要非常好的共模抑制比和能接受非常高且经常变动的共模电压（经常超出放大器所使用的电源轨的限制）。备选的有差动放大器和电流检测放大器，差动放大器通过衰减输入信号并相减来实现高

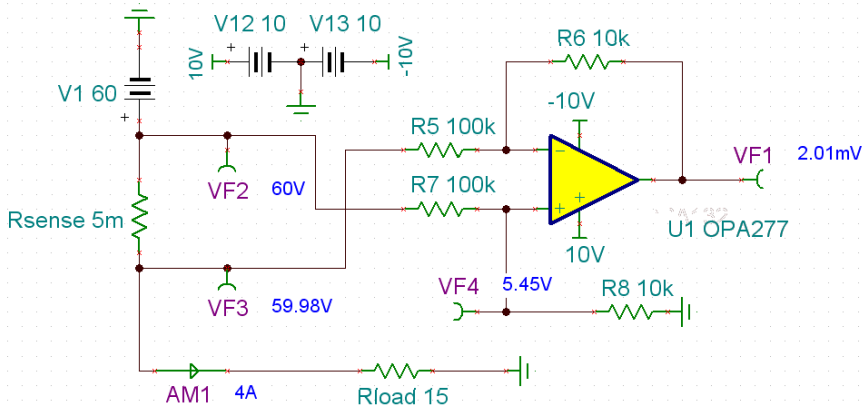
共模信号的抑制，而电流检测放大器通过高耐压的晶体管输入级和电阻将电压转化为电流，进行电流的相减，再通过第二级放大并转化为电压信号(或不转化)再输出。因此电流检测放大器通常还拥有较大的带宽和响应速度，两者的优劣列表简述如下：

特点	电流检测放大器	差动放大器
速度	快，可测量瞬时电流	慢，适合测量平均电流
输入 CMRR (DC)	高， >100dB	80dB
输入 CMRR (PWM)	80dB	80dB
静态时输入级漏电流	低	由于输入级分压电阻网络的原因，“漏电流”大
外部滤波器	输入级之后	输入级前或后均可
输入超出范围	可能损坏输入级晶体管，危害大	分压电阻网络在输入级晶体管前，危害小

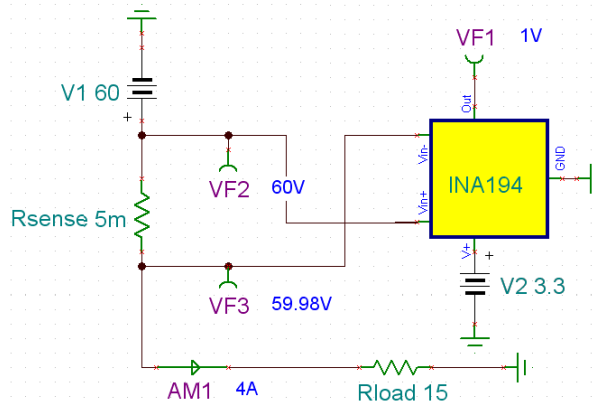
下面我们假设 VCC 为 60V，负载为 15 欧姆，这样电流大小为 4A。我们选用 5m 欧的并联测流电阻，用 INA143 和 INA194 来分别做电流检测。



如上图，±10V 供电，配置成 0.1 倍增益的 INA143 的确可以实现 60V 高共模电压下的电流检测。60V 的共模输入电压被其内部的电阻网络分压后，实际进入运放输入级晶体管上的共模电压落在了供电电源轨内，但同时有用差模信号也被衰减了 10 倍，从 5m 欧电阻器两端的 20mV 衰减到最终输出的 2mV，以至于运放自身的 20uV 失调电压现在看上去都这么刺眼。让我们拆开 INA143，给出更直观的等效电路如下：



这里可以看到 VF4 即为真正进入运放输入级晶体管的共模电压，落在了电源电压轨内。若使用 INA194 来调理同样的测流电路，TINA 仿真结果如下：



INA194 电流检测电路

非常让人振奋的结果，3.3V 单电源供电的 INA194 成功抑制了 60V 的共模电压，并将 5m 欧并联测流电阻上的 20mV 差模放大了 50 倍，得到了精确的 1V 输出结果！

推荐使用的 TI 电流检测放大器和功率检测器：

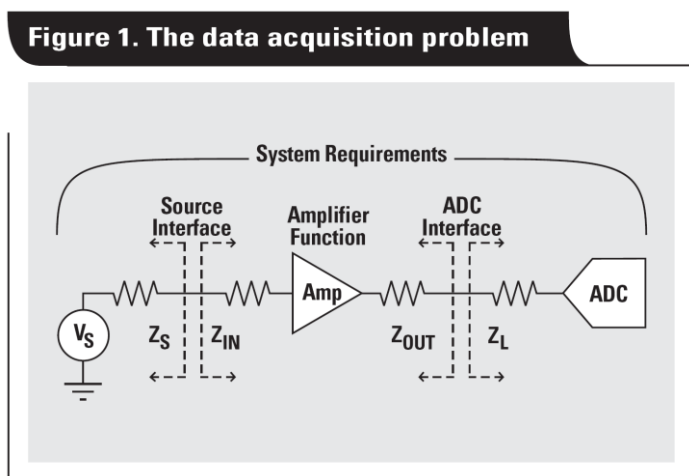
器件	电源电压 (V)	Gain	CMRR @ DC (dB) (min)	输入共模电压范围	其他特点	价格 (美元) (单位:片)	封装
INA200AID	2.7-18	20	100	-16 到 80V	内建比较器	0.9	SOIC
INA194AIDBVT	2.7-18	50	100	-16 到 80V		0.8	SOT23
INA213AIDCKT	2.7-16	50	100	-0.3 到 26V	双向电流检测，零温漂	0.75	SC70
INA209AIPW	3-5.5	程控	100	0 到 26V	内建 ADC，完成电流，电压和功率测量功能	3.5	TSSOP

上表中的 INA209 是一个数模混合器件，内建 ADC 和乘加器，可测量电流，电压和功率并将结果保持在寄存器中，通过 I2C 接口读取。同时内部有数字比较器（看门狗），一旦寄存器中的值超过预定阈值，INA209 就会输出电平跳变以触发控制系统的保护程序。

5.5 全差分运算放大器

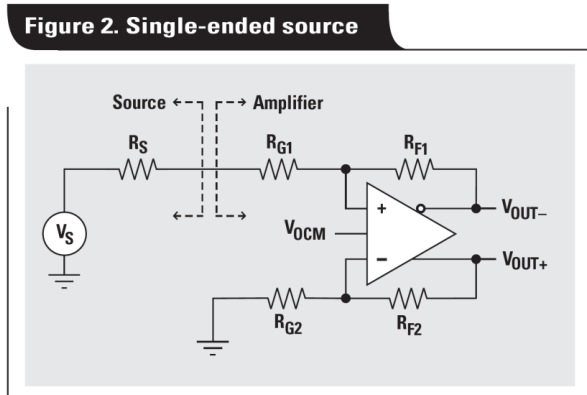
TI 公司的 THS45xx 全差分运算放大器系列具有高带宽、低失真以及低噪声的特点，非常适合于运用在 12 位或者 14 位的数据转换器中。

如下图所示，数据采集系统可以分成 4 个部分：整个系统的指标需求、信号源接口、放大器的功能以及 ADC 接口。必须要采用合适的放大器功能去实现 ADC 与信号源之间的接口以达到系统的需求。



A. 信号源与放大器的接口

让我们考虑单端信号源，使用全差分放大器来实现单端到差分的转换。放大器的输入阻抗是放大器设计中最重要的一点，差分运算放大器也是如此。



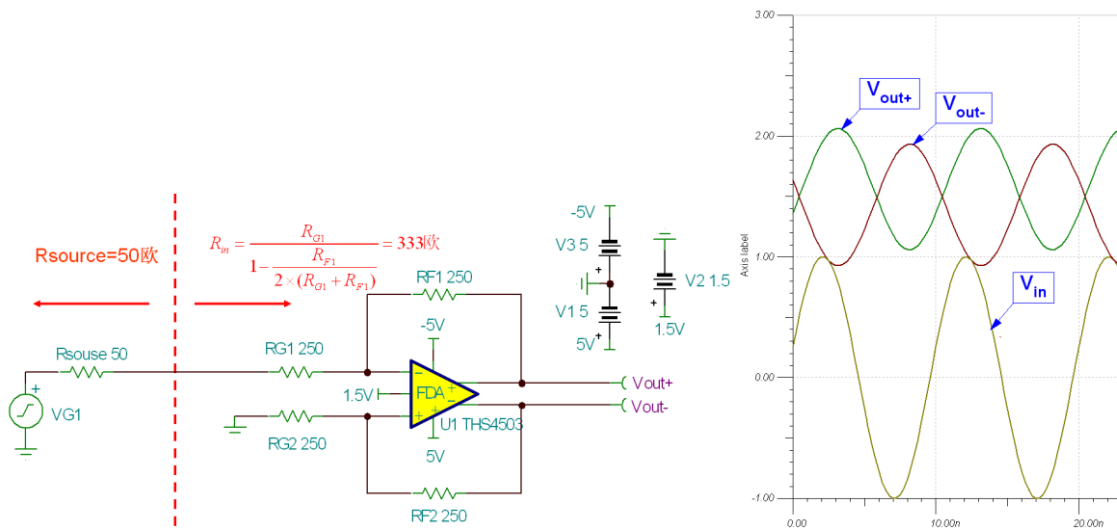
我们将以这个电路为基础，将一个输入±1V 的 100MHz 正弦波，转换为满足 ADS5500 输入的差分信号。查阅 ADS5500 的数据手册，在输入部分有这样的描述：

ANALOG INPUT			
Differential input range	2.3		V _{PP}
V _{CM} Input common-mode voltage ⁽¹⁾	1.45	1.55	1.65
	V		

给模拟输入留出一些净空，我们的设计目标即为一个差模电压为 2V_{pp}，共模电压为 1.5V V_{CM} 的差分信号对。

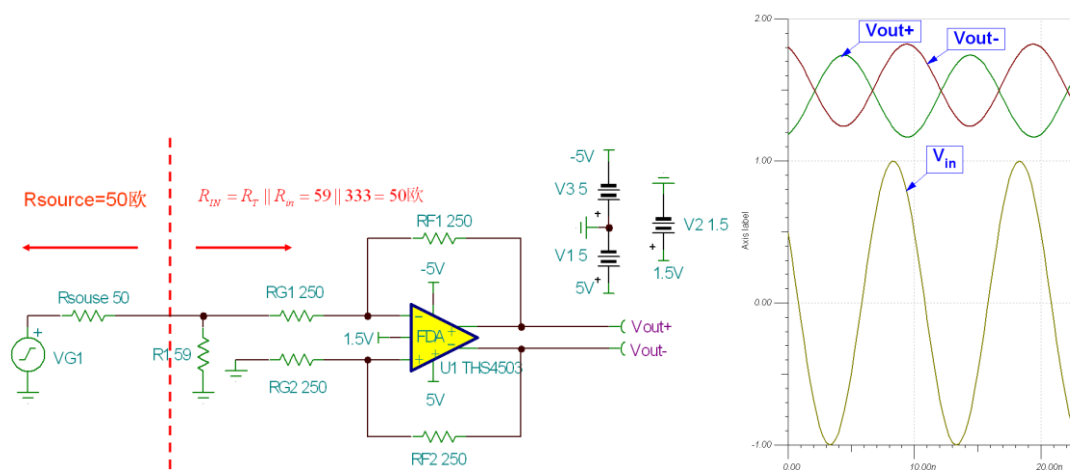
平衡与增益

与差动放大器（INA）一样，全差分放大器的电阻网络的平衡也非常重要，当稍微复杂的是，在中频采样中，信号路径上的阻抗匹配是非常重要的。常用的信号源的输出阻抗为 50 欧姆，如下图所示：

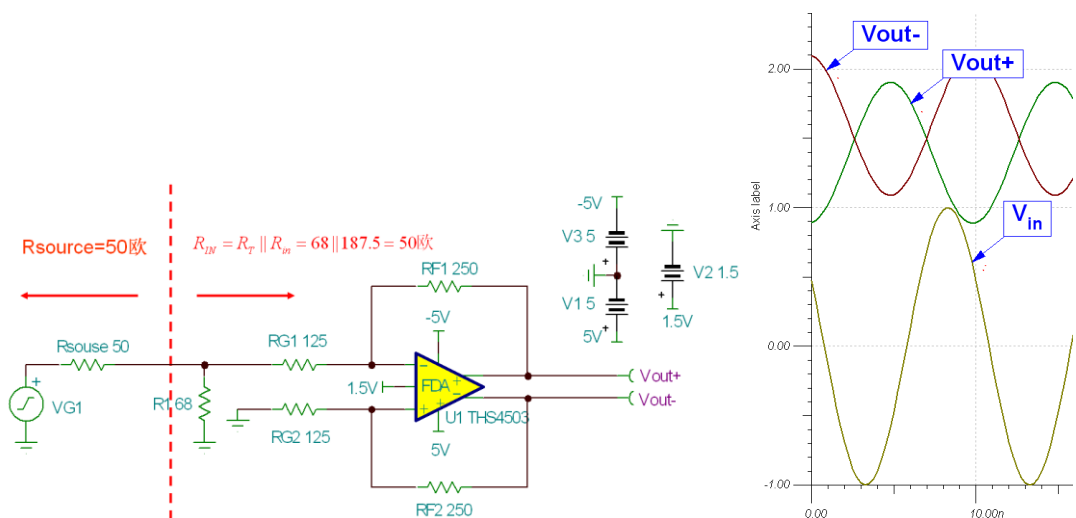


上图左的问题在于忽略了阻抗匹配（信号源的输出阻抗为 50 欧姆，要求运放的输入阻抗也为 50 欧姆，从而避免信号的反射），同时在全差分运放的单端转差分操作中忘记了这个 50 欧姆的源阻抗，反相输入端的 $R_G = R_{G1} + R_{source}$ ，破坏了原来 R_{G1} 和 R_{G2} 相等的关系，结果得到了上图（右）中的不匹配的输出结果。

让我们首先解决阻抗匹配的问题，再想办法保持全差分放大器的平衡。首先，计算出上图中差分放大器的输入阻抗 R_{in} 等于： $R_{in} = R_{G1} / (1 - K / (2 * (1 + K)))$ ， K 为放大器的增益，这里的 $K = R_{F1} / R_{G1} = 1$ ，得到 $R_{in} = 333$ 欧姆。为了使 R_{source} 和 R_{in} 能够匹配。我们可以放置一个 R_T 和 R_{in} 并联，使得新的输入阻抗： $R_{IN} = R_T || R_{in} = 50$ 欧，反推得到 $R_T = 59$ 欧姆：



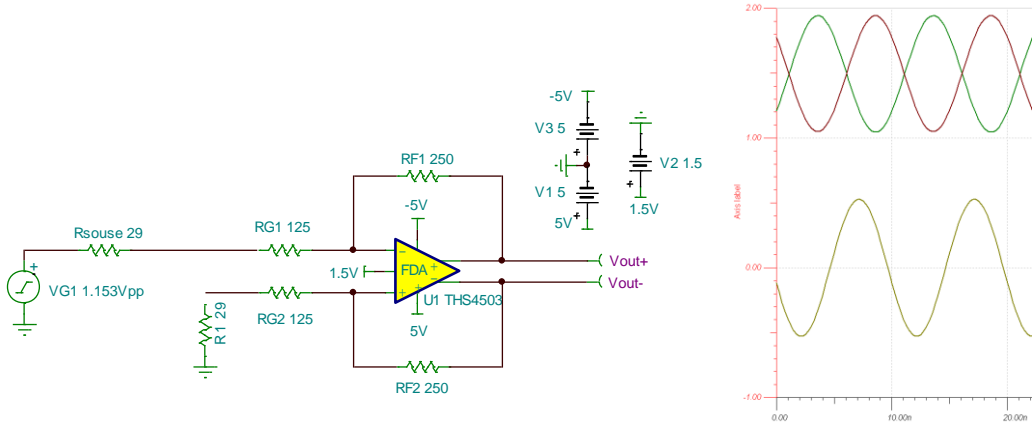
通过放置 R_T ，我们解决了阻抗匹配的问题，但是我们由于信号源的输出阻抗和运放的输入阻抗的分压作用，输出信号的幅度降低了一半。于是，我们降低 R_{G1} 为原来的一半即 125 欧姆，重复上面的设计过程：



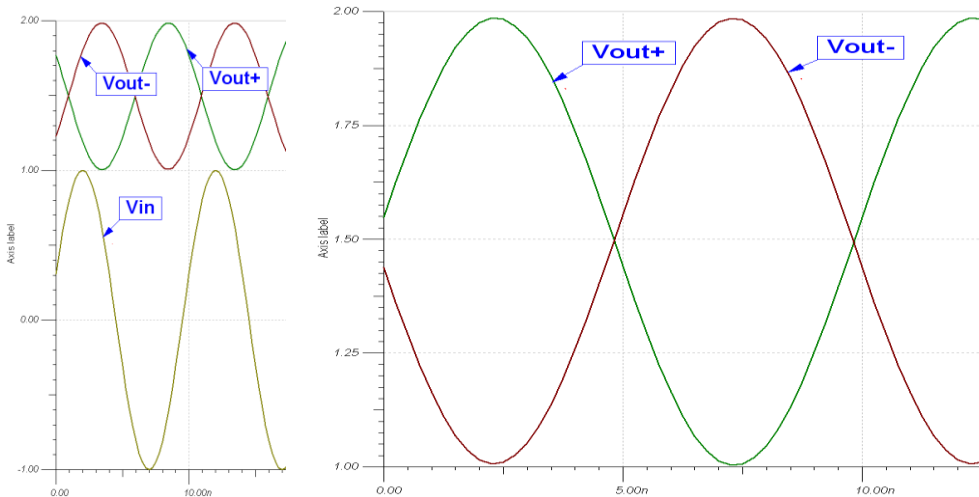
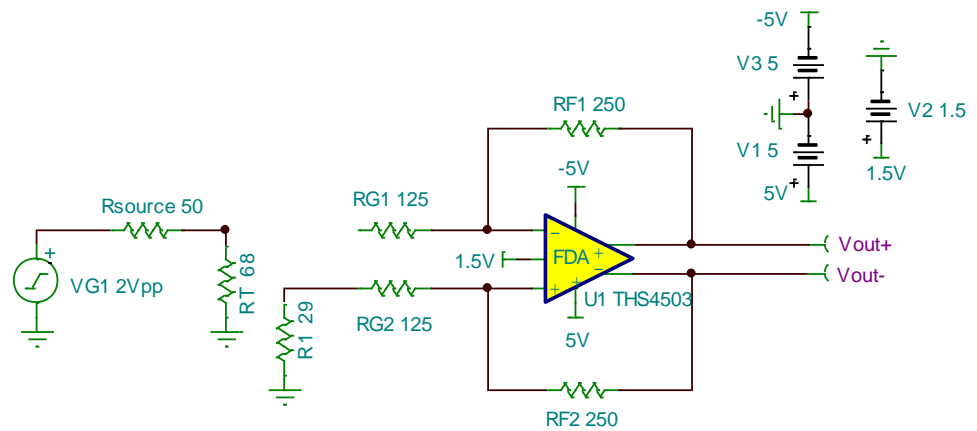
更改 $R_{G1}=125$ 欧姆，设置 $R_T=68$ 欧后，THS4503 的输入阻抗为 50 欧姆，衰减两倍和放大两倍抵消后，信号的幅度恢复了差模 2Vpp。但是差分信号仍然没有平衡，我们需要对 R_{source} 和 R_T 进行戴维南等效电路分析，得出一个等效电路：



于是，我们在 RG2 端也串入一个 29 欧到地的电阻，就可以获得平衡的输出：



上图为等效电路，实际的最终电路如下：



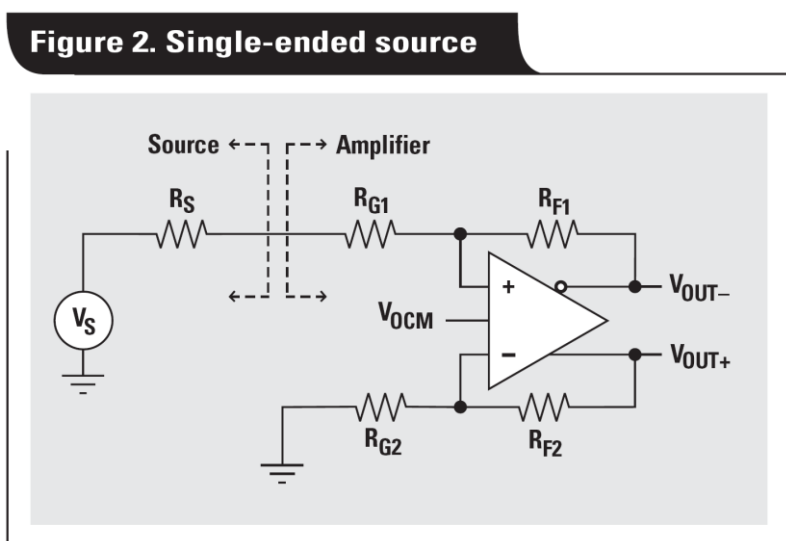
至此，我们成功将单端输入的 $\pm 1V$ ， $100MHz$ 正弦波转化为了 $2V_{pp}$ 差模信号， $1.5V$ 共模信号的差分对。值得强调的是， $1.5V$ 共模信号的设置是由 THS4503 的 V_{OCM} 的引脚输入 $1.5V$ 直流电平来提供的，这个 $1.5V$ 的直流电平在实际设计中由 ADS5500 的 V_{CM} 引脚输出来提供，这个直流电平不包含任何有用的信息，但是为差分信号满足 ADS5500 的输入范围提供了参考共模电压，注意 ADS5500 的这个输出电压范围在 $1.45V$ 到 $1.65V$ 间，这其实是无关紧要的，我们这里仅以 $1.5V$ 为例子。在后面我们会详述 THS4503 的 V_{OCM} 引脚。

输入共模电压

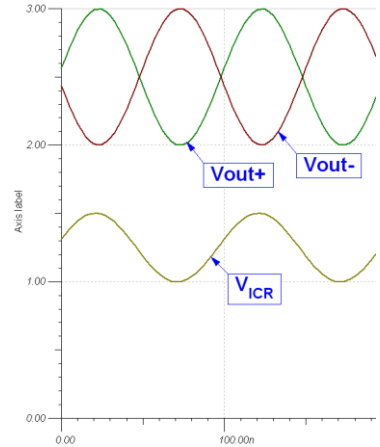
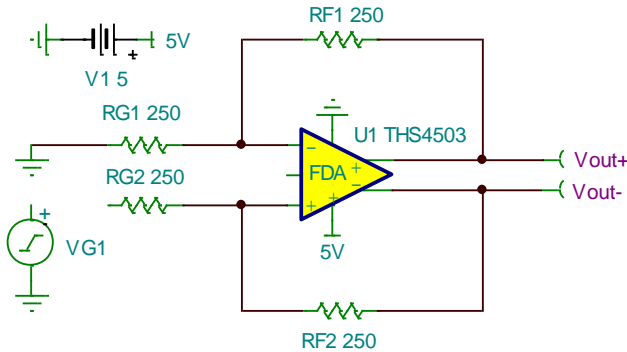
不能够超过运算放大器的输入共模电压 (V_{ICR}) 的范围。假设运算放大器工作在线性区域，同相和反相输入管脚间的压降只有若干毫伏；因此通过确定某一输入管脚上电压就可确定共模电压的大小。运算放大器反相输入管脚上的电压等于：

$$V_{IN-} = V_{OUT+} \times \frac{R_{G2}}{R_{G2} + R_{F2}} = V_{ICR} \quad (5-1)$$

为了确定运算放大器的 V_{ICR} ，反相输入管脚的电压可以通过 V_{OUT+} 的极限值来估算。当放大器工作在单电源模式下并且需要提供高增益的时候，输入共模电压的范围会更明显地影响放大器的性能。



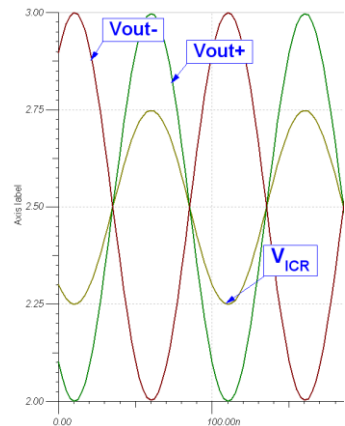
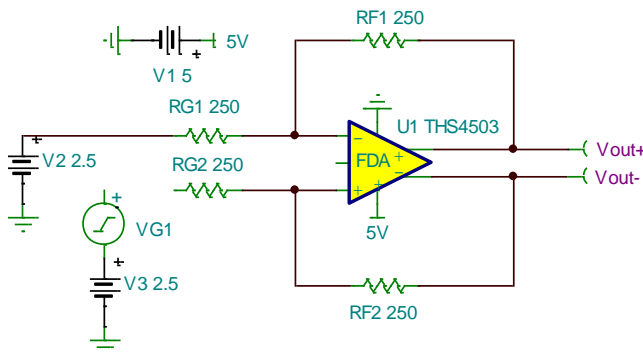
例如，假设 THS4503 采用如上图配置，工作在 $+5V$ 单电源下，输入信号 $\pm 1V$ ， $10MHz$ 正弦波， $V_{OCM}=+2.5V$ （当 V_{OCM} 悬空时， V_{OCM} 的电压即为电源轨的中点），差分输出电压等于 $V_{OD} = 2V_{pp}$ ，则 V_{OUT+} 在 $2V$ 到 $3V$ 间摆动，仿真如下：



一个放大器的增益等于 1 (即 $RF/RG=1$, 代入式 4.1, 得到 $V_{IN-} = V_{ICR}$ 均从 1V 到 1.5V), 此时的共模输入电压范围 V_{ICR} 从 1V 到 1.5V。THS4503 在 5V 供电时的输入共模电压为:

PARAMETER	TEST CONDITIONS	THS4502 AND THS4503				
		TYP	OVER TEMPERATURE			MIN/ TYP/ MAX
		25°C	25°C	0°C to 70°C	-40°C to 85°C	
INPUT						
Common-mode input range		1 / 4	1.3 / 3.7	1.6 / 3.4	1.6 / 3.4	V Min

THS4503 在 5V 单电源供电时的输入共模范围的典型值为 1V 到 4V, 这里计算得到的 1V 到 1.5V 的输入共模电压范围正好满足要求。实际上, THS4503 的最优输入共模范围被设计为电源轨的 1/2 处, 若输入信号的共模电压为 $(V_{EE}+V_{CC})/2$ 时, 可以得到最好的动态范围。例如, 上图中, 我们的 THS4503 的单端输入信号是以 V_{EE} (这里为地电平) 为参考的 ($\pm 1V$ 输入), 而 THS4503 在 5V 单电源供电时的最佳共模信号为 2.5V。因此, 如果输入信号以 2.5V 为直流偏置, 那么我们可以采用下面的电路来进行放大:

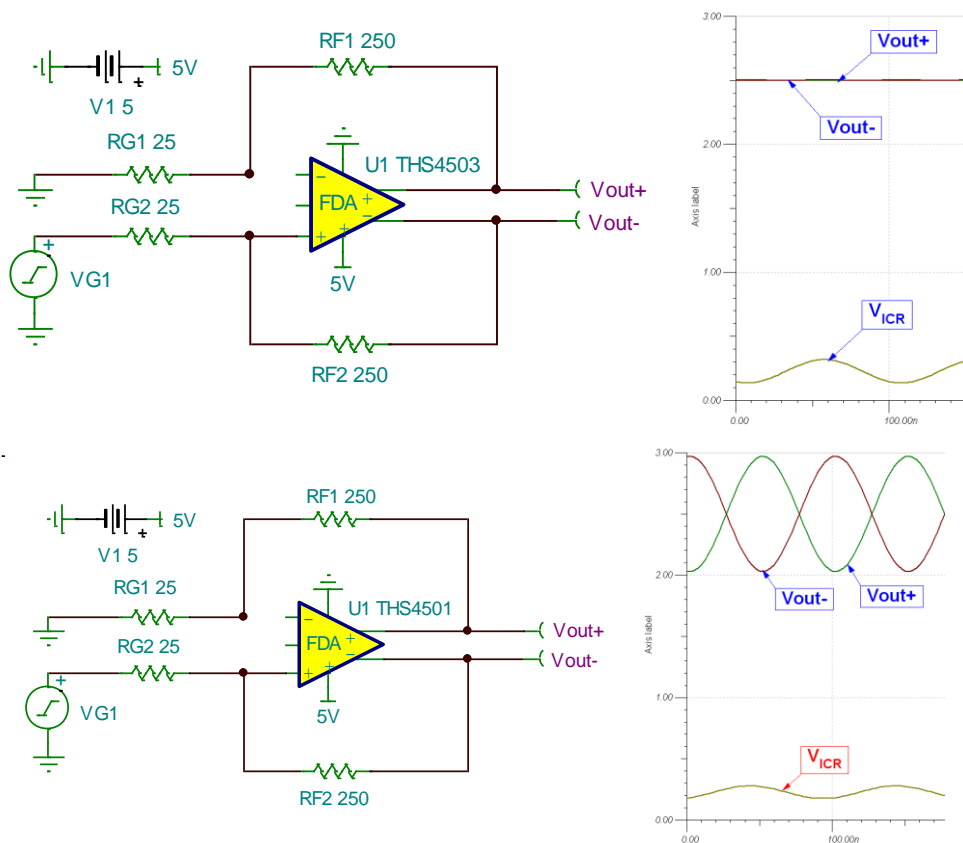


如上面的仿真结果， V_{ICR} 以 2.5V 为直流电平，从而在其允许的范围（1V 到 4V 间）可以获得最大的动态范围。因此，若输入信号以 $(V_{EE}+V_{CC})/2$ 为参考，应该选择 THS4503；如果输入信号以 V_{EE} 为参考，我们可以选择 THS4501，其输入共模电压范围如下：

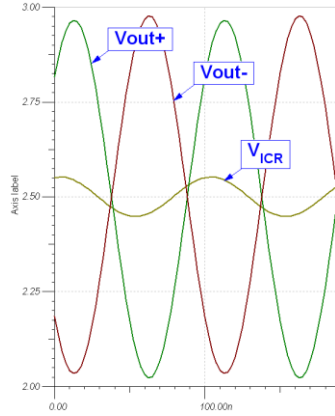
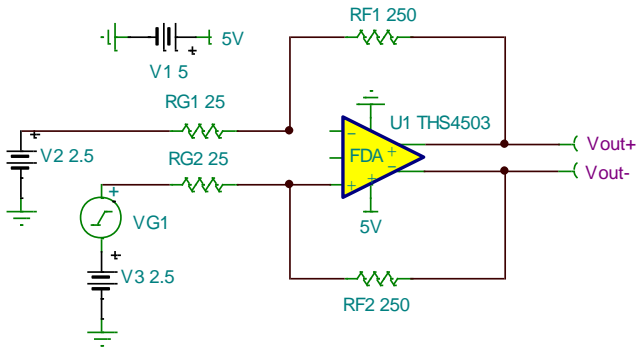
PARAMETER	TEST CONDITIONS	THS4502 AND THS4503					MIN/ TYP/ MAX
		TYP	OVER TEMPERATURE				
		25°C	25°C	0°C to 70°C	-40°C to 85°C	UNITS	
INPUT							
Common-mode input range		-0.7/2.6	-0.4/2.3	-0.1/2	-0.1/2	V	Min

THS4501 的应用在下面这个例子中得到体现：

降低输入信号的幅度为 $\pm 0.1V$ ，设定放大器的增益等于 10（即 $R_F/R_G=10$ ，代入式 4.1，得到 $V_{IN-} = V_{ICR}$ 均从 0.18V 到 0.27V），此时的共模输入电压范围 V_{ICR} 从 0.18 到 0.27V，非常接近电源的最小值，对于 THS4503 来说，已经无法实现放大，而对于 THS4501 来说，却仍然可以正常工作：



通过修改电路，让 THS4503 的输入信号以 2.5V 为参考，我们也可以用 THS4503 得到期望的结果，如下图：



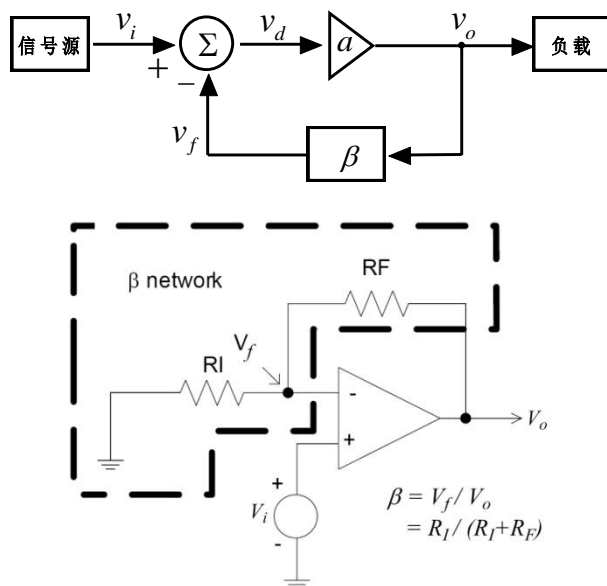
第六章 放大器的稳定性

负反馈电路在运算放大器的应用中起着非常重要的作用，它可以改善运放的许多特性，比如稳定增益，减小失真，扩展频带，阻抗变换等。但是任何事情都有两面性，同样地，负反馈的引入也有可能使得运放电路不稳定。不稳定轻则可能带来时域上的过冲，而最坏情况就是振荡，即输出中产生预料之外的持续振幅和频率信号。当不期望的振荡发生时，通常会给电路带来许多负面影响：一个最明显的例子是，当恒压源通过运放缓冲后送到 ADC 的参考电压端，如果运放发生振荡，会给整个电路的测量结果带来完全不可靠的数据。

本章中主要分析了电压反馈型运算放大器不稳定的原因；给出了使用波特图来分析运放稳定性的方法；最后结合 TINA-TI SPICE 仿真软件，通过一个实例介绍了分析和解决运算放大器稳定性问题的方法。关于本章使用的断开环路获得环路增益曲线的方法的更多信息可以参考 TI 公司线性产品应用经理 Tim Green 先生所撰写的《Operational Amplifier Stability》一文。

6.1 运算放大器为什么会不稳定？

要分析和解决运放的稳定性问题，首先要清楚为什么运算放大器会不稳定。我们还是先从负反馈电路谈起，以同相放大器的方框图为例来推导反馈系统的一系列方程，如下图所示。同时为更形象地描述运算放大器中的负反馈，绘制一个与负反馈电路等效的同相放大器，注意 β 等系数在两图中的对应关系。



在这个负反馈电路中，有三个重要的部件：

一个增益模块，其增益为 a ，他接受差值信号 v_d ，并产生输出信号 v_o ，即 $v_o = av_d$ 。当这个增益模块为一运算放大器时， a 就是该运放的开环增益 A_{ol} 。

一个反馈网络，产生一个反馈信号： $v_f = \beta v_o$ ，式子中的 β 为该反馈网络的增益，称为该网络的反馈系数。

一个求和点 Σ ，它产生差值信号： $v_d = v_i - v_f$ 。这就是负反馈的得来：我们总是将 v_o 的一部分，即 v_f ，回馈给输入端，然后从 v_i 中减去它以形成一个减小了的信号 v_d 。如果换成相加，则成为正反馈。

令该电路的闭环增益为 A_{cl} ，从上面的分析可推出：

$$A_{cl} = v_o / v_i = \frac{a}{1 + a\beta} = \frac{A_{ol}}{1 + A_{ol}\beta}$$

其中 $A_{ol}\beta$ 非常重要，我们称之为环路增益。从上式看出，一个系统稳定与否主要取决于环路增益 $A_{ol}\beta$ 随频率变换的方式。因为现实中的 $A_{ol}\beta$ 是复数，所以它有幅度和相角。比如，当 $A_{ol}\beta$ 在某频率处的相角为 -180° ，这时 $A_{ol}\beta$ 为一负的实数，此时若 $|A_{ol}\beta| = 1$ ，即 $1 + A_{ol}\beta = 0$ ，闭环增益趋于无穷大！这时任何轻微的输入扰动都会在输出引起剧烈的反应，由于此时负反馈变成了正反馈，反馈会引起更剧烈的输出，这样振荡就出现了。

判断稳定性时，我们经常是采用临界状态来分析，比如检查当 $A_{ol}\beta$ 的相角为 -180° 时 $|A_{ol}\beta|$ 的值；或是检查当 $|A_{ol}\beta| = 1$ 时相角的大小。

当 $A_{ol}\beta$ 的相角为 -180° 时：

若 $|A_{ol}\beta| < 1$ ：此时 $0 < 1 + A_{ol}\beta < 1$ ，正反馈信号逐渐衰减，暂时改变输出，会产生过冲等，但不会振荡；

若 $|A_{ol}\beta| \geq 1$ ：上面分析了 $|A_{ol}\beta| = 1$ 时会出现振荡；当 $|A_{ol}\beta| > 1$ ，由于运算放大器内部限幅的缘故，会最终导致 $|A_{ol}\beta| = 1$ ，而继续振荡。因此在 $|A_{ol}\beta| \geq 1$ 的任何时候都要避免反馈环路的相移达到或超过 180° 。

或是当 $|A_{ol}\beta| = 1$ 时：

若 $A_{ol}\beta$ 的相移 $< 180^\circ$ ，视相位余量的大小，也许会非常稳定，也许会产生过冲等，但不会振荡；

若 $A_{ol}\beta$ 的相移 $\geq 180^\circ$ ，会振荡；

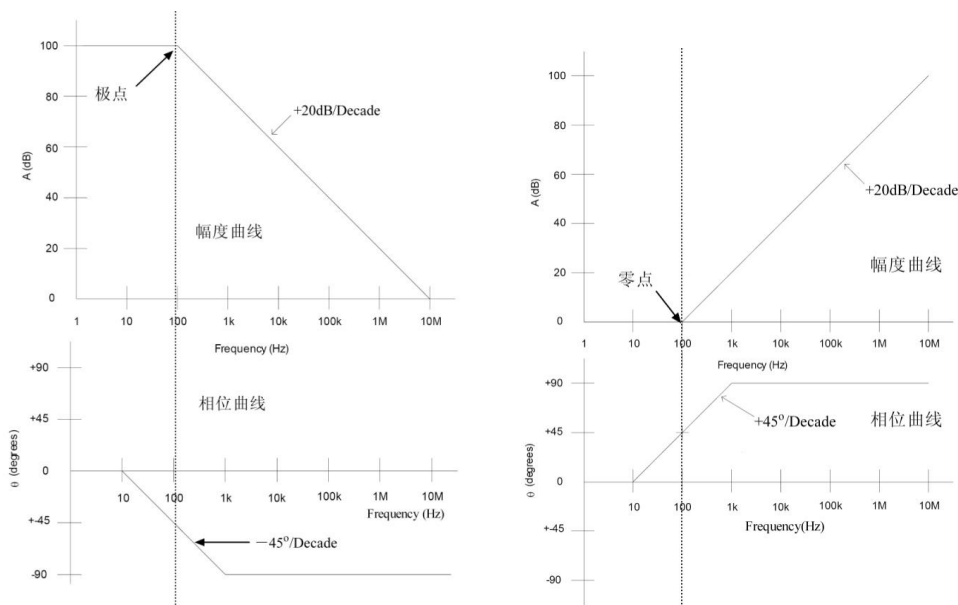
实际应用中，我们更多地使用 $|A_{ol}\beta| = 1$ 这个临界条件来分析运放的稳定性，这是因为相位提供的信息更加丰富。

为更形象地说明上面两点结论，下面我们以图示的方法来给出进一步的解释。

6.2 分析运算放大器的工具：波特图

由于包含乘法和除法操作，分析反馈电路的数学分析很复杂，为此，H. W. Bode 发明了一种快捷而精确的反馈放大器分析方法，利用图形技术简化了分析，这种方法简称为波特图法。波特公式是一个对数公式，形式 $20\text{Log}(F(t))=20\text{Log}(|F(t)|)+\text{相角}$ 。由于是对数操作，原先公式里的乘法和除法变成了加法和减法，并且是图形化的，从而降低了运算复杂度，并给了设计人员关于电路性能的直观表示。

在波特图中，幅度曲线的频率响应是电压增益改变与频率改变的关系。这种关系可用波特图上一条以分贝 (dB) 来表示的电压增益比频率 (Hz) 的曲线来描述。波特幅度图被绘成一种半对数曲线：x 轴为采用对数刻度的频率 (Hz)、y 轴则为以 dB 为单位的“线性刻度”电压增益，y 轴最好是采用方便的每主格 20dB。波特图的另一半则是相位曲线（相移比频率），并被描绘成以“度”来表示的相移比频率关系。波特图相位曲线亦被绘成一种半对数曲线：x 轴为采用对数刻度的频率 (Hz)、y 轴为采用线性刻度的相移（度），y 轴最好是采用方便的每主格 45 刻度。单个极点和单个零点的波特图如下图所示：



结合上图总结波特图中的术语和特性如下：

1. 幅度改变率 (Roll off Rate): 幅度曲线中幅度改变的速率，一般用 dB/decade 为单位。为正 (+) 值时表示上升，为负 (-) 时表示下降。
2. 相位改变率: 相位曲线中相位改变的速率，一般用 $^{\circ}/\text{decade}$ 为单位。为正 (+) 值时表示上升，为负 (-) 时表示下降。
3. Decade: 十倍频，频率按 $\times 10$ 的速度增加，如 10KHz 到 100KHz 为一个 Decade。常与

其他单位配合用来表示某个量在 10 倍频程中改变的大小。

4. 极点：传递函数分母上的转折点称为极点。以上图为例，单个极点响应在波特图（幅度或增益曲线）上具有按 -20dB/decade 斜率下降的特点。与图中的理想曲线不一样的是，在现实中，极点位置在增益等于直流增益减去 3dB 的地方，该处对应的频率即为转折频率。在相位曲线上，极点在转折频率上具有 -45° 的相移。相位在转折频率的两边以 $-45^\circ/\text{decade}$ 的斜率变化为 0° 和 -90° 。请注意极点是如何影响直到高于和低于极点频率 10 倍频程处的相移的。单极点电路可以用简单的 RC 低通滤波器表示。

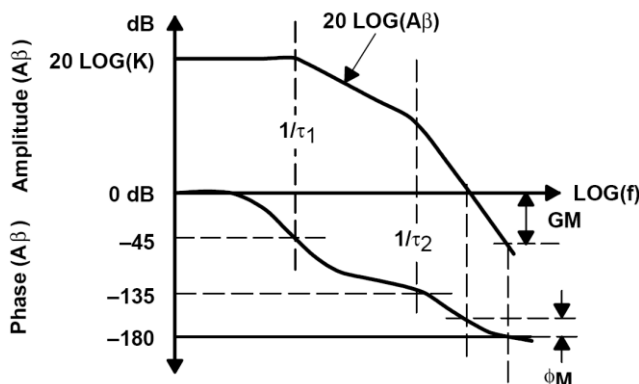
5. 零点：和极点对应地，传递函数分子上的转折点称为零点。以下图右图为例，单个零点响应在波特图（幅度或增益曲线）上具有按 $+20\text{dB/decade}$ 斜率上升的特点。与图中的理想曲线不一样的是，在现实中，零点位置在增益等于直流增益加上 3dB 的地方，该处对应的频率即为转折频率。在相位曲线上，极点在转折频率上具有 -45° 的相移。相位在转折频率的两边以 $+45^\circ/\text{decade}$ 的斜率变化为 0° 和 $+90^\circ$ 。请注意零点是如何影响直到高于和低于零点频率 10 倍频程处的相移的。单零点电路可以用简单的 RC 高通滤波器表示。

到这里为止，我们已经复习了什么是波特图以及波特图中的一些重要概念。现在，我们来看一看如何用这个工具来帮助我们分析运算放大器的稳定性。

首先，从 6.1 节中我们看到，负反馈电路中环路增益 $A_{ol}\beta$ 决定着电路的稳定性，当 $A_{ol}\beta = -1 = |1| \angle 180^\circ$ 时，系统出现振荡现象。所以判断稳定性的最基本方法就是检查当 $|A_{ol}\beta| = 1$ 时，相移是否小于 180° ？

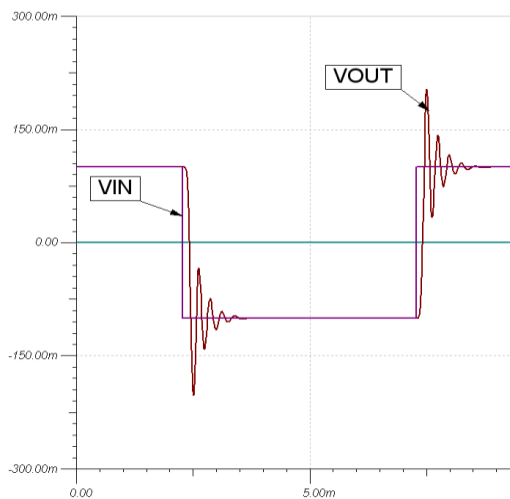
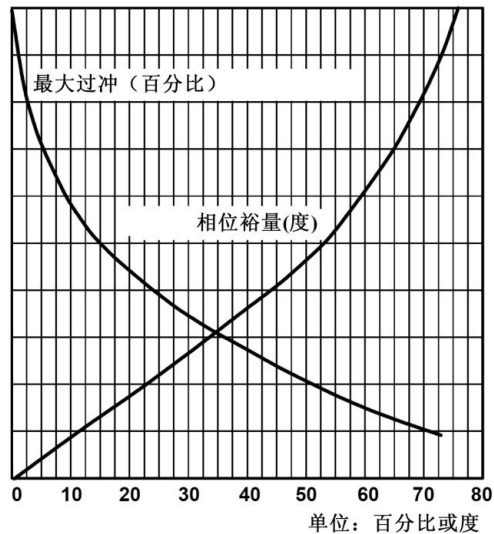
下面我们介绍如何从波特图中获取这个信息，例如，一个系统的 $A_{ol}\beta$ 具有如式 6.1 的传递函数，这是一个双极点函数，比如 A_{ol} 贡献一个低频极点， β 贡献一个高频极点或两个极点都由 A_{ol} 贡献。

$$A_{ol}\beta = \frac{(K)}{(1 + \tau_1(s))(1 + \tau_2(s))} \tag{6-1}$$



上图是式 6.1 对应的波特图。其中 K 是直流电压增益， $A_{ol}\beta$ 的幅度曲线开始于 $20\text{Log}(K)$ 。由于传递函数存在两个极点 $\omega = \omega_1 = 1/\tau_1$ ， $\omega = \omega_2 = 1/\tau_2$ ，每个极点都带来 -20dB/decade 的斜率和 90° （上下两个 decade 共同贡献）的相移。由于是两个极点，这个传递函数也被称为双斜度函数。我们前面讲到，一个极点只能累计 90° 相移，所以当只有一个斜度（ -20dB/decade ）的传递函数穿过 0dB 处，不能形成振荡；而两个斜度（ -40dB/decade ）却有可能累积 180 度相移。因此，含有两个或两个以上极点的传递函数可能形成振荡。如上图所示，当曲线以 -40dB/decade 的斜率穿过 0dB 处时，已暗示了电路有可能是 不稳定甚至是振荡的，这取决于累积的相移。上图定义了两个与稳定性相关的术语，相位余量 ϕ_M 和增益余量 G_M 。相位余量 ϕ_M 是指开环增益曲线穿过 0dB 处时，实际相移和 180 度的差值。增益余量 G_M 是指当相移达到 180 度时， $|A_{ol}\beta|$ 与 0dB 轴的差值，为使电路稳定，这个差值必须是负数（ dB 为单位）以保证 $0 < |A_{ol}\beta| < 1$ 。在这两者中，相位余量较多地被用来判断稳定性，因为相位对于稳定性来说更为重要。

在上图中，相位余量大概为 20° 是正值，因此电路不会出现振荡。但是，这不是一个好电路呢？实际上，设计人员很可能不希望只有 20° 的相位余量，因为这样的系统的过冲和振铃将会很严重。

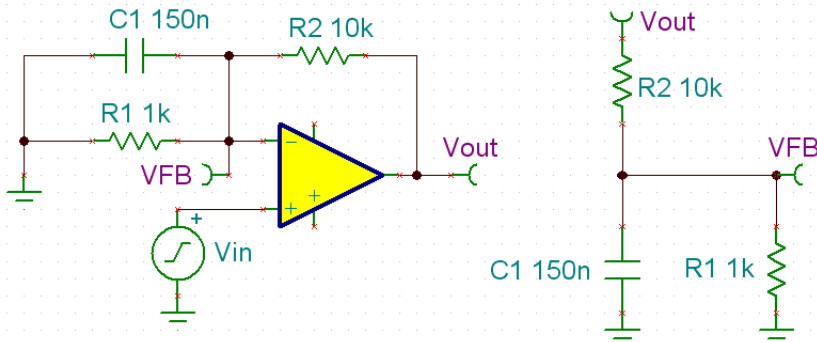


如上图中的左图，我们看到当相位余量为 20 度时，系统在时域上的过冲（或超调）将达到 55% 。我们使用 100Hz ， 200mVpp 的方波信号来激励运放，得到仿真结果如图 6.5 的右图。如此大的过冲和较长的稳定时间说明这不能算作一个好的设计，我们需要更多的相位余量。另外，现实的板卡上由于负载电容、引脚和走线上的寄生电容的影响，可能在实际测试中减少我们原本设计得充裕的相位余量，因此，在原理设计中确保有至少 45 度的相位余量是

一个很好的设计习惯。

现在我们以至少 45 度的相位余量作为我们的设计目标。注意到第二个极点会在其上十倍频就开始影响（增加）环路增益的相移，因此在幅度曲线上第二个极点出现（斜率增加为 -40dB/decade ）时，我们就只剩下 45 度的相位余量（此时相移为 135 度）。所以实际设计时我们常常将“不稳定”的判据提升到一个更苛刻的要求：即当 $|A_{ol}\beta|$ 在穿越 0dB 横轴（ $|A_{ol}\beta|=1$ ）时， $A_{ol}\beta$ 至少有 45 度的相位余量，或者说 $|A_{ol}\beta|$ 与 0dB 横轴的闭合速度（即 $|A_{ol}\beta|$ 的斜率）不能大于或等于 -40dB/decade 。

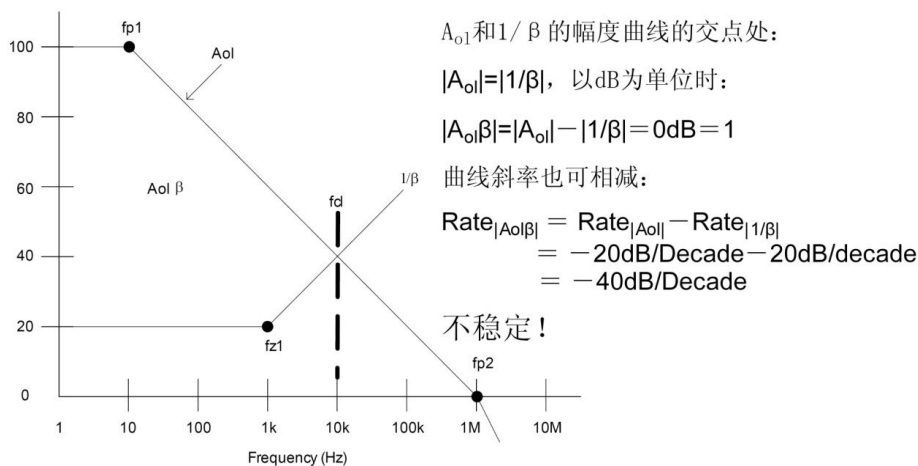
我们下面几节的讨论将主要使用 $|A_{ol}\beta|$ 与 0dB 横轴的闭合速度作为判据来判断系统的稳定性。实际仿真中，我们其实并不把 $A_{ol}\beta$ 作为一个整体来仿真，而是分别作出 A_{ol} 和 β 的曲线，然后观察出 $A_{ol}\beta$ 的特点。这是因为 A_{ol} 和 β 可能都含有极点或零点从而导致很难判断出 $A_{ol}\beta$ 曲线上的极点或零点究竟来自谁。特别是在需要补偿的时候，我们必须非常清楚 A_{ol} 和 β 曲线各自的特点，从而在 A_{ol} 或 β 中添加所需要的零点或极点



上图是一个反馈回路中含有极点的例子，从右边简化的 β 网络来看，当低频时， $C1$ 开路，电路为放大倍数为 11 倍（约 21dB）的同相放大器。当频率高到一定程度时， $C1$ 开始发挥作用， $R1$ 逐渐被短路， $1/\beta$ 将趋于无穷大，很显然，这种放大倍数趋于无限大的电路是不稳定的。下面我们在波特图上验证电路的稳定性，首先通过一阶分析确定 β 中的极点，这个极点由 $R2||R1$ 与 $C1$ 决定，即

$$f_p = \frac{1}{2\pi(R_1 \parallel R_2)C_1} = 1.167\text{KHz} \approx 1\text{KHz}$$

我们画出 A_{ol} 和 β 的幅度曲线大致如下图：



先看 A_{ol} 的幅度曲线。例子中的运放是一颗内部补偿型电压反馈运算放大器。之所以要有内部补偿，是为了让出厂的运放在单位增益带宽内只含有一个极点，从而拥有单位增益稳定的特点（单位增益即指 $\beta=1$ 或 0dB ，如同相跟随器）。运放的生产厂商，如 TI，通常会采用主极点补偿方式在极低频处引入一个极点， $fp1$ ，使 A_{ol} 幅度曲线在高频极点出现之前或出现时就与 0dB 轴（即 $\beta=1$ 时的 $|\beta|$ 和 $|1/\beta|$ 曲线）闭合。这样通过牺牲带宽和速度的方式换来单位增益稳定。本例中，由于 A_{ol} 的第二个极点出现在单位增益带宽处，所以只要 β 在单位增益带宽前不出现极点（ $A_{ol}\beta$ 就不会在单位增益带宽前有第二个极点），这个电路就会稳定。

接下来分析 β 的幅度曲线。从上图中看到，我们没有使用 β ，却使用了 $1/\beta$ ，这是因为当 $|A_{ol}\beta|=1$ ，有 $|A_{ol}| = |1/\beta|$ ，这样在幅度曲线上我们看到 $|A_{ol}|$ 与 $|1/\beta|$ 相交的那一点， f_{cl} ，即有 $|A_{ol}\beta|=1$ 。刚才我们分析出在 B 网络中含有一个 1KHz 左右的极点，但在上图中，我们看到 $|1/\beta|$ 曲线上却是一个 1KHz 左右的零点 $fz1$ 。这是因为 $1/\beta$ 是 β 的倒数，那么 β 中的极点就成为 $1/\beta$ 中的零点，同样的，而 β 曲线中的零点就成为 $1/\beta$ 中的极点。图 6.7 中， $1/\beta$ 中的这个零点使得 $|1/\beta|$ 曲线在 f_{z1} 后以 20dB/decade 的斜率上升，并最终与 -20dB/decade 斜率的 $|A_{ol}|$ 相交于 f_{cl} 。这时通过计算在 f_{cl} 处 $|A_{ol}|$ 与 $|1/\beta|$ 的闭合速度之差来间接获得 $|A_{ol}\beta|$ 与 0dB 轴的闭合速度：

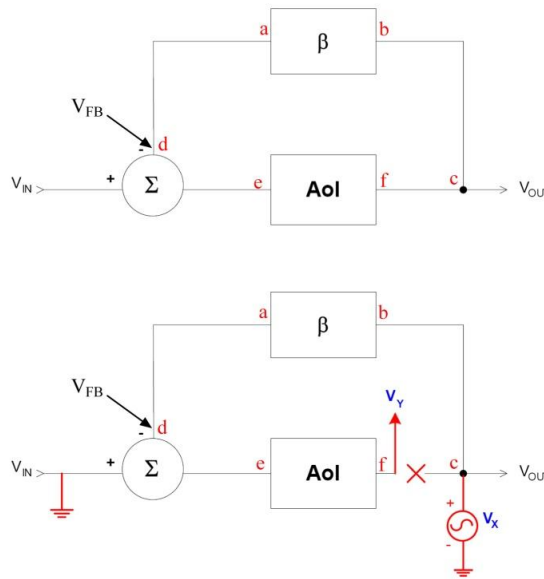
$$\text{Rate}_{|A_{ol}\beta|} = \text{Rate}_{|A_{ol}|} - \text{Rate}_{|1/\beta|} = -20\text{dB/decade} - 20\text{dB/decade} = -40\text{dB/decade}$$

根据我们“苛刻”的判据，可得到电路不稳定的结论。

6.3 断开交流反馈环路以获得 A_{ol} 和 $1/\beta$ 的波特图的方法

前面两节我们主要分析了什么是运放的稳定性，什么是实际设计中更为“苛刻”的稳定性判据，什么是波特图以及如何使用波特图来判断运放的稳定性。那么我们如何得到我们自己设计中的 A_{ol} 和 $1/\beta$ 曲线呢？本节我们将介绍一种断开交流反馈环路来获得 A_{ol} 和 $1/\beta$ 的

波特图的方法。



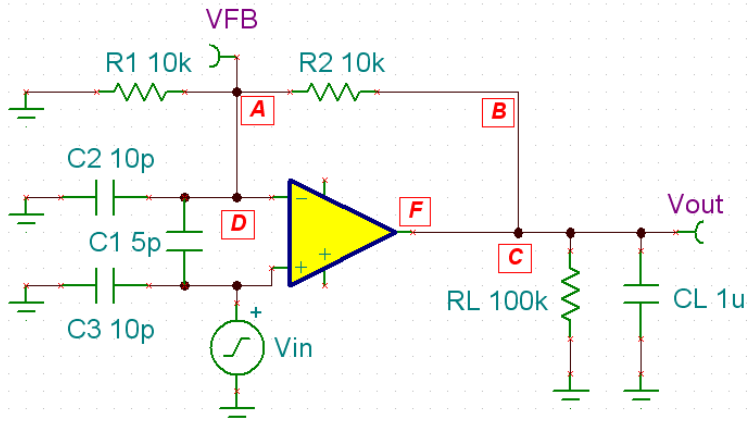
如上图，以同相放大器的框图为例，为了计算电路的 A_{ol} 和 $1/\beta$ ，我们将输入电压接地（输入电流开路），并将交流环路在 f 点和 c 点间断开，在 c 点注入一个交流信号 V_X （不在 f 点注入是因为要让交流信号最终进入运放的输入端），则 A_{ol} 、 $1/\beta$ 和 $A_{ol}\beta$ 的计算方式如下：

$$\begin{aligned} \because V_X \beta &= V_{FB}, \\ \therefore 1/\beta &= V_X / V_{FB} \quad (\text{重要}) \\ \because V_{FB} A_{ol} &= V_Y, \\ \therefore A_{ol} &= V_Y / V_{FB} \quad (\text{重要}) \\ \therefore A_{ol} \beta &= V_Y / V_X \end{aligned}$$

这样，我们通过仿真，得到 V_{FB} 、 V_Y 和 V_X ，就可以得到相应的 A_{ol} 和 $1/\beta$ 的幅度和相位曲线。然后通过观察 $|A_{ol}|$ 与 $|1/\beta|$ 的闭合速度来判断运放的稳定性。

为什么是在 f 点和 c 点间断开环路，而不是在其他几点间呢？实际上，环路断开的技术并没有特定要求在某两点间断开，在上图中，除了 de 段在现实中是在运放内部我们没办法去断开之外， ad 、 bc 和 fc 段都是可以的。具体选择哪一段，取决于应用中运放的哪一部分对 A_{ol} 和 $1/\beta$ 的影响更大。比如，寄生电容常常会使 $A_{ol}\beta$ 曲线上出现额外的零点或极点。对于实际的运放电路来说，有两种我们设计之外的电容需要小心对付。一种是负载电容，比如用运放驱动长电缆时，电缆上的可能达到 μF 级的容性负载很可能使运放的 $A_{ol}\beta$ 在 $|A_{ol}\beta|=1$ 前出现额外的极点，从而导致运放的输出出现巨大的过冲甚至振荡。另一种是运放引脚上的寄生电容，比如双列直插封装的输入引脚上通常会有 pF 至 nF 级的寄生电容，当运放为高速运

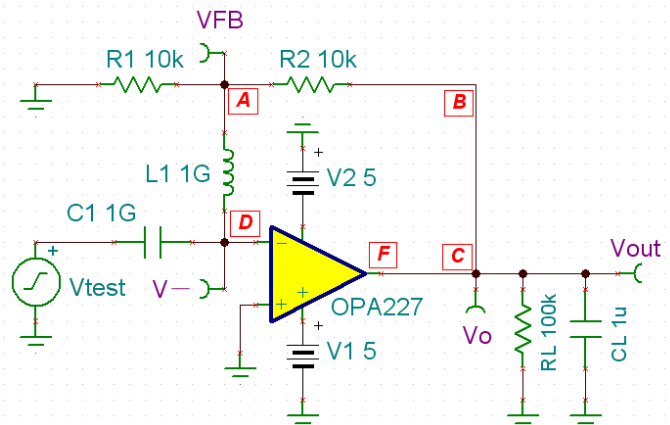
放时，其单位增益带宽一般较高，即使是 pF 级的寄生电容和百欧级的电阻组合有时也能在 $|Aol\beta|=1$ 前之前在 $Aol\beta$ 中引入额外极点，从而引起运放不稳定。所以我们看到特别是在高速的运放芯片中，已经看不到双列直插的封装，而是封装越小，引脚越短越好（减少寄生电容和电感）。



如上图，我们在运放电路中画出输入寄生电容 C_1, C_2 和 C_3 ，画出负载电容 C_L （略去输出引脚上的寄生电容因为 C_L 远大于它）：

1. 如果我们关注的是负载电容，可以在 A 点和 D 点间断开环路，保留运放的输出电阻和 C_L 组合对电路的影响；
2. 如果关注的是输入寄生电容，可以在 F 点和 C 点间断开环路，保留输入电阻、反馈电阻和输入寄生电容组合对电路的影响；
3. 如果同时关注负载电容和输入寄生电容，可以在 B 点和 C 点间断开环路。

对带宽 20MHz 以下的运放来说，只要对芯片封装和 PCB 布线稍加注意，输入寄生电容通常不会占稳定性问题的主导因素。所以下面的例子将在 A 点和 D 点间断开环路，并略去输入寄生电容：



如图，为确定输出负载电容对运放稳定性的影响，我们在运放的输入处断开反馈环路。由于运放的稳定性测试是交流测试，因此，断开交流信号的路径采用在回路中插入大电感 L1（高频开路）来实现。同时该电感也提供了直流信号的通路（低频短路），因为即使我们是做交流分析，也必须先确定运放的直流工作点。插入测试信号源 Vtest 通过 C1 做交流耦合（低频开路，高频短路）后进入运放的反相输入引脚，之所以是在电感 L1 的下面插入 Vtest，是为了使交流信号能按运放的工作路径流动，即从输入到输出。这样：

$$1/\beta = V_o / V_{FB}$$

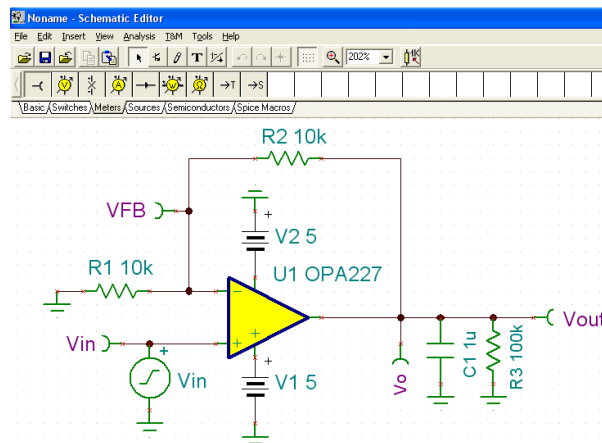
$$A_{ol} = V_o / V_-$$

下一节我们将以 OPA227 为例，根据上面所描述的方法，介绍在驱动大的容性负载时，如何利用 TINA-TI 进行稳定性分析和补偿。

6.4 使用 TINA-TI 判断运放的稳定性

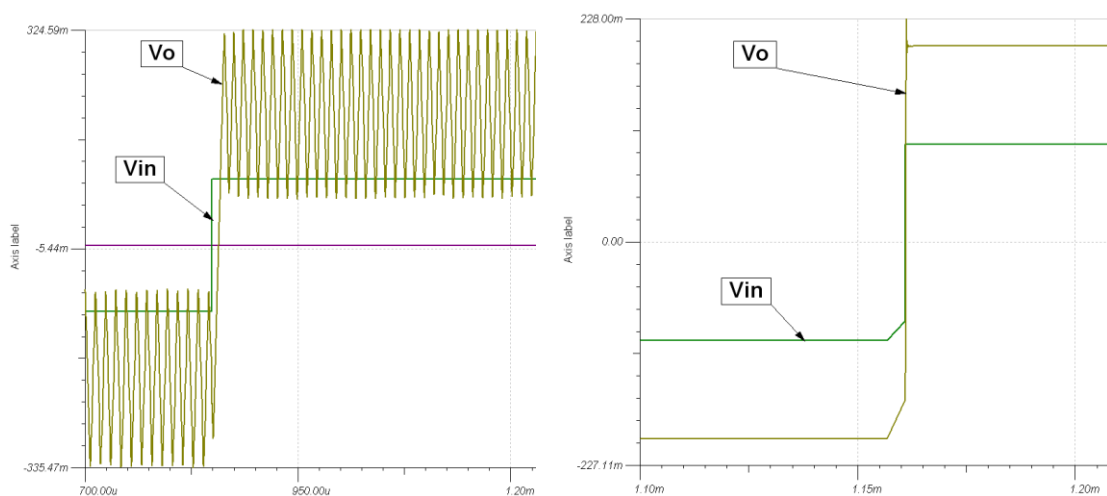
TINA-TI，是 TI 公司和 DesignSoft 公司联合推出的专门为 TI 器件进行 SPICE 仿真的软件，它基于 SPICE 模型，是一款科学而且功能强大的电路仿真软件。TI 公司在其网上免费提供这个软件，并专门为几乎所有的 TI 运算放大器，部分特殊功能放大器和一些开关电源芯片制作了 TINA 的器件模型，这样用户将不再需要自己从 SPICE 模型转换为 TINA 模型，节约了大量的时间。同时，TINA-TI 中还内建了大量的例子，包括 TI 大部分运放的测试电路及一些常用的模拟电路。

仿真 6.3 节中电路的第一步，就是在 TINA 中建立 OPA227 驱动容性负载的电路，这个步骤比较简单，首先在 TINA 的微模型库（Spice Macro）中找到 OPA227；在标准器件库(Basic)中找到电容，电阻，电感，电源，地和信号源，放置后修改器件的参数；最后在仪表（meters）中找到电压测试点加入电路：



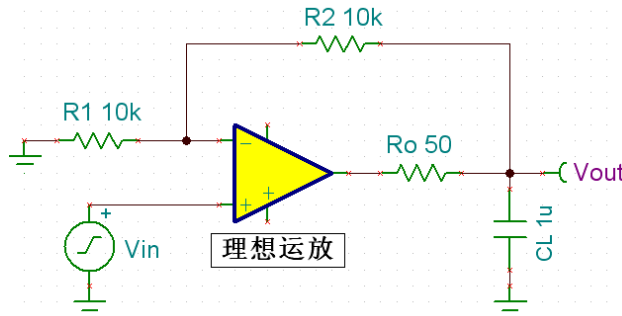
建立好的驱动容性负载的同相输入放大器的原理图如上图，这是一个放大倍数为 2 的同相放大电路， $\beta=0.5$ ， $1/\beta=2$ 。当然，如果这个电路是稳定的，那是最好不过的事情。那么如何从时域上直观地判断运放电路的稳定性如何？需要我们按 6.2 节中那样断开环路分析 A_{ol} 和 $1/\beta$ 吗？

实际上如果仅是为了直观观察运放的稳定性如何，没有必要分析 A_{ol} 和 $1/\beta$ 。无论是在仿真阶段还是现实电路，最简单有效的方法就是用一个远小于运放电路带宽的小信号方波作为输入来激励运放电路，通过观察运放输出的过冲大小，稳定时间长短或振荡与否来方便地获得稳定性的第一手资料。比如，我们设置 V_{in} 为一个 500Hz，200mVPP 的方波，在 TINA 内建的示波器（T&M 中的 Oscilloscope）或交流瞬态测试中（Analysis 中的 Transient）观察时域波形：



从图左边看到，OPA227 的输出已经不再像输入那样是一个完美的方波，相反，它振荡得非常厉害。不带容性负载时，如图右边，虽然也有一些过冲，但是运放能很快稳定下来，不会对后面的数据采集电路有影响。那么为什么一个输出负载电容会对我们的运放电路带来如此大的影响？

这需要理解运放的一个参数：开环输出电阻。我们学习运放的时候都是从理想运放开始的，而现实中的运放总是有很多不尽如人意的地方，比如开环输出电阻不为 0，实际运放的输出级可以看着是一个理想运放和开环输出电阻的串联，如下图：

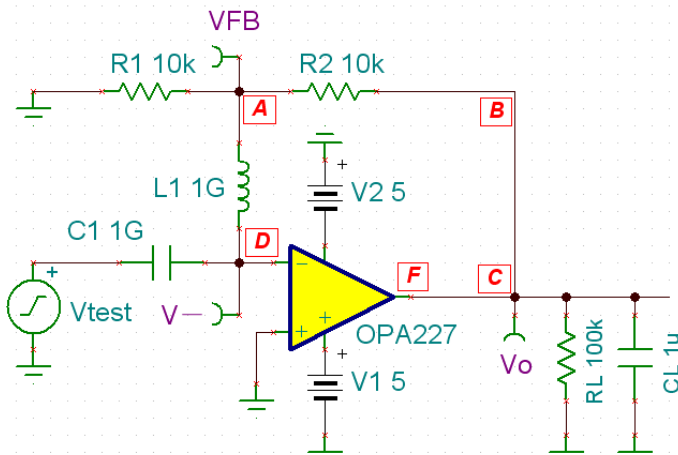


这个开环输出电阻 R_o 会与 C_L 作用，在 A_{ol} 曲线中形成第二个极点。因为 OPA227 是高性能双极性运放，其开环输出电阻较小，如果 C_L 是 pF 级，这个极点会出现在运放的单位增益带宽外，不会造成问题；但如果 C_L 较大，如 nF 到 μF 级，这个极点可能会在 $|A_{ol}\beta|=1$ 前出现，导致 $|A_{ol}|$ 的下降速率增加到 -40dB/decade ，若不加以补偿， $|A_{ol}|$ 和 $|1/\beta|$ 的闭合速度将会大于 -40dB/decade ，运放电路将不稳定！也就是说， A_{ol} 上的这个额外极点将可能使 $A_{ol}\beta$ 在 $|A_{ol}\beta|=1$ 前出现额外的相移，使得相位余量不足而引起过冲甚至振荡。

TINA-TI 中使用的 OPA227 SPICE 模型的开环输出电阻大约为 20 欧姆，推算出开环增益 A_{ol} 曲线中的这个额外极点大致在：

$$f_p = \frac{1}{2\pi R_o C_L} = \frac{1}{2\pi \times 20 \times 10^{-6}} \approx 8\text{KHz}$$

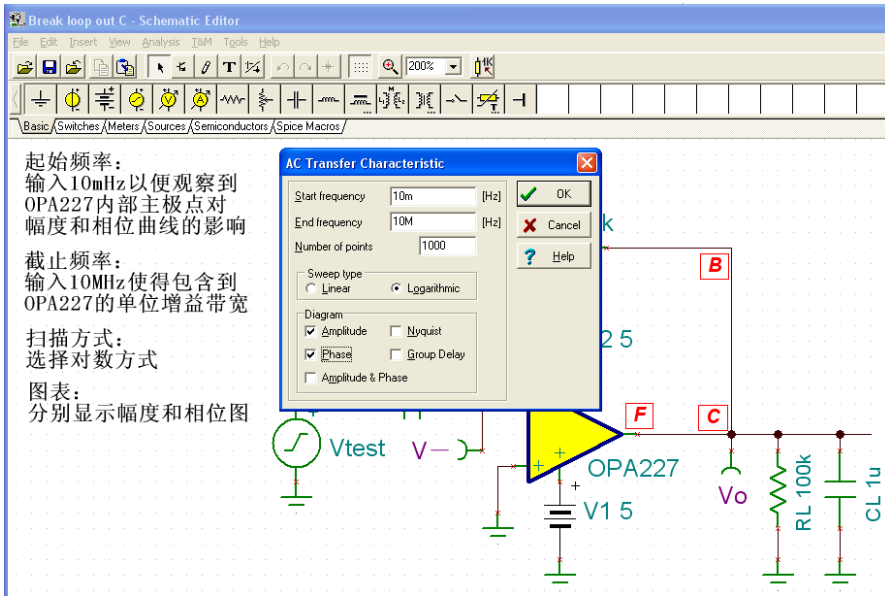
这个极点的位置远小于 OPA227 的单位增益带宽 8MHz，极易引起运放的不稳定。接下来，我们通过 TINA-TI 来分析这个电路，看看仿真结果和我们推出的极点位置是否一致。按 6.3 节的方法，我们去掉同相端的输入信号，并将同相端接地；在 A 点和 D 点间使用电感 L1 断开交流环路，并通过 C1 引入交流测试信号 V_{test} 到反相输入端。如下图



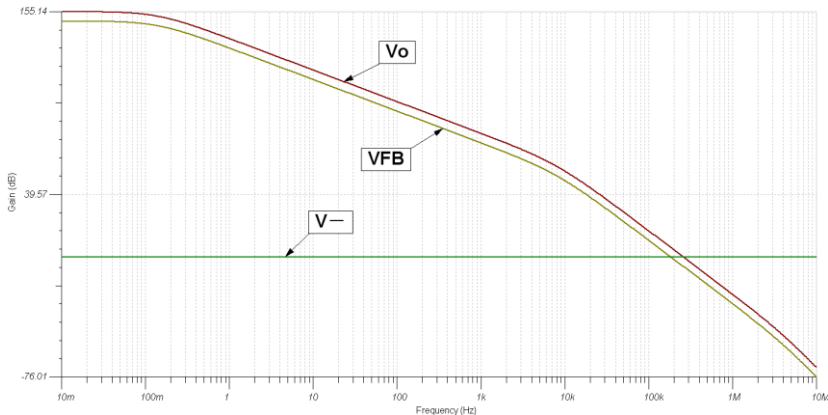
在 6.3 节中我们分析得到:

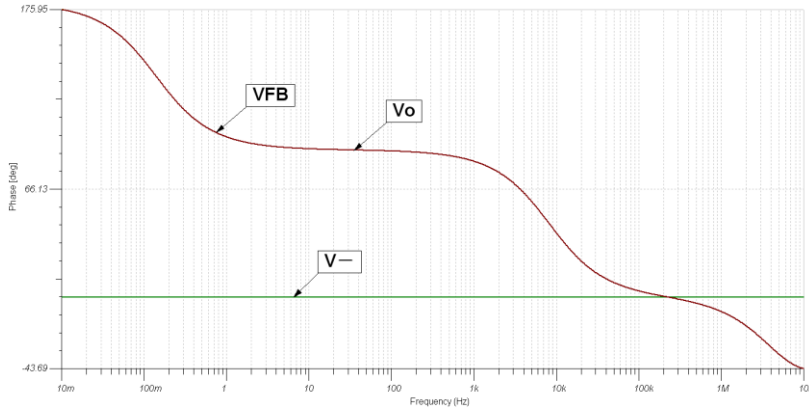
$$1/\beta = V_o / V_{FB} \quad A_{ol} = V_o / V_-$$

因此, 为获取 A_{ol} 和 $1/\beta$, 我们首先使用 TINA-TI 的交流分析功能获取 V_o , V_{FB} 和 V_- 的曲线, 然后进行后处理 (Post Processing)。首先, 在 TINA-TI 中选择交流测试 (AC Analysis) 中的交流传输特性 (AC Transfer Characteristic), 然后设定参数:



如上图, 首先确定需要被分析的起始和截止频率, 比如这里选择 10mHz 为起点是为了看到运放内部在 140mHz 左右的主极点; 选择 10MHz 为终点是因为 OPA227 的单位增益带宽为 8MHz; 为更清楚地看到每 10 倍频增益和相位的变化, 扫描方式选择为对数; 这里我们分别给出幅度和相位图, 这样每个图会大一些, 便于阅读。

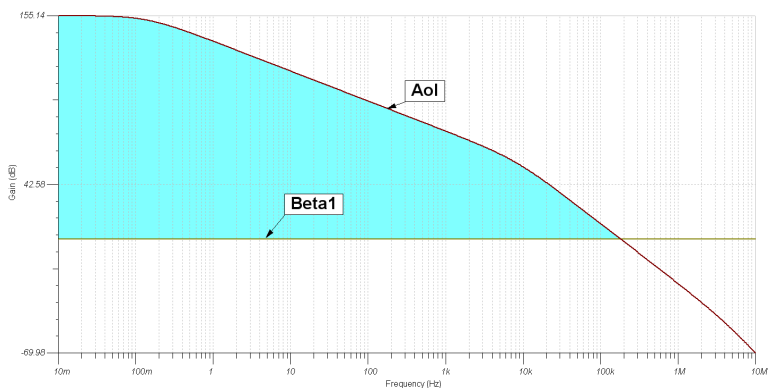




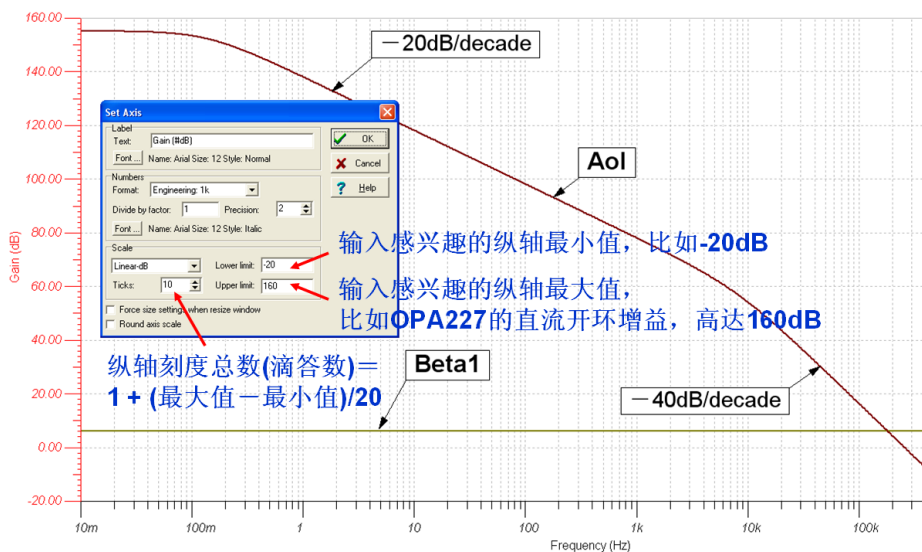
在上图中，我们没有看到想要的 A_{ol} 和 $1/\beta$ 曲线，也没有看到 -20dB/decade 的斜率或每十倍频程 45° 的相移。因此，我们需要按照式并进行一些“后处理”来获得 A_{ol} 和 $1/\beta$ 的幅度曲线，并对于纵轴刻度重新定标使斜率更加清晰。

The screenshot shows the TINA-TI software interface. The main window displays a plot of Gain [dB] vs Frequency [Hz]. A red circle highlights the 'Postprocessing' dialog box, which is used to select curves for post-processing. The dialog box has a 'Available curves' list containing V-, VFB, and Vo. The 'Curves to insert' list contains Beta1. The 'Line Edit' window shows the function name 'Beta1' and the expression 'Vo(s)/VFB(s)'. Chinese annotations provide instructions: '点击Add Curves, 激活后处理功能' (Click Add Curves, activate post-processing function), '根据需要选择待处理的信号类型' (Select the signal type to be processed according to need), '在可用曲线中选择Vo和VFB, 运算符选择除法"/"。点击此两按钮, 分别输入被处理信号和运算符' (Select Vo and VFB in the available curves, choose the division operator "/". Click these two buttons, respectively input the signal to be processed and the operator), '点击More, 显示运算和创建信号功能' (Click More, display calculation and signal creation functions), and '给信号取名Beta1并创建之' (Name the signal Beta1 and create it).

TINA-TI 提供强大的后处理功能，利用此功能，可以通过已有的曲线获得隐藏的信息。如下图，介绍了如何利用式 $1/\beta = V_o/V_{FB}$ 获得 $1/\beta$ 的幅度曲线。注意由于函数名不能含有“/”符号，这里使用 **Beta1** 代替 $1/\beta$ ！同样的方法，利用式 $A_{ol} = V_o/V_-$ 可获得 A_{ol} 的幅度曲线：

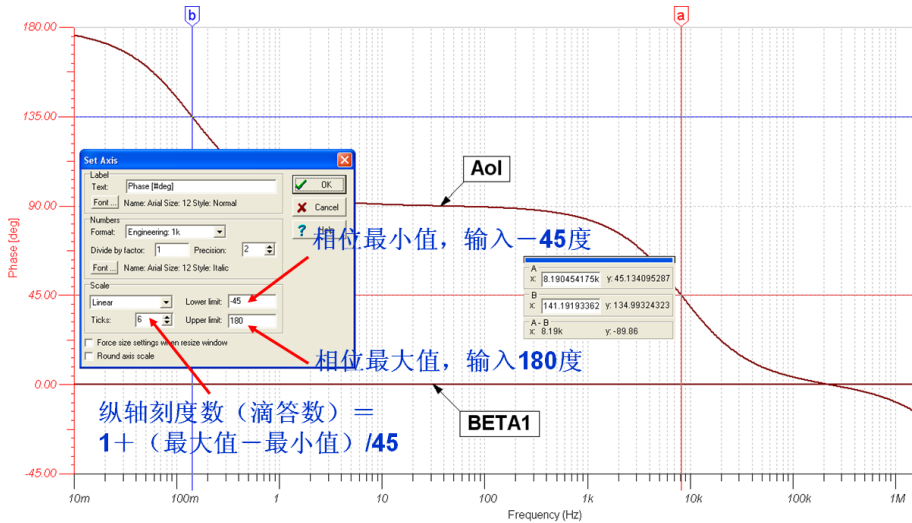


在上图中我们看到了 A_{ol} 和 $1/\beta$ 的幅度曲线，阴影部分即为 $|A_{ol}\beta| = |A_{ol}| - |1/\beta|$ （当以 dB 为单位时，除法运算即为相减）。由于上面介绍过电路的反馈系数 β 为纯阻性的 $R_1/(R_1 + R_2) = 0.5$ ，不含有极点或零点，这样 $1/\beta$ 的幅度曲线就为 6dB 处（或 2 倍， $\beta = 0.5$ 的倒数）一条直线。同时，也注意到 $|A_{ol}|$ 在极低频率（约 140mHz）处由于内部主极点补偿的缘故开始以固定速率下降，在开环增益和负载电容产生的第二个极点处开始加速下降。但是没有呈现出明显的 -20dB/decade 和 -40dB/decade 的速率。这需要对幅度轴进行重新定标。



如上图，对幅度轴重定标的方法为输入感兴趣的幅度轴最大值和最小值（最好取 20dB 的倍数，因为我们感兴趣的斜率以 -20dB/decade 为倍数）；从而确定幅度轴的刻度数（滴答数） $= 1 + (\text{最大值} - \text{最小值}) / 20 = 10$ 。幅度轴重定标后，在图 6.20 中我们清晰看到， $1/\beta$ 为 6dB 处的一条直线。对于 A_{ol} ，在第二个极点出现之前，其幅度曲线的确是以 -20dB/decade 的斜率下降，比如 10Hz—100Hz 这个 10 倍频区间，幅度增益的确从约 118dB 下降到约 98dB。

在 10K 左右的位置出现了第二个极点， A_{o1} 的幅度曲线开始以 -40dB/decade 的斜率下降，比如 $10\text{KHz}-100\text{KHz}$ 这个 10 倍频区间，幅度增益从约 54dB 下降到约 14dB 。但是我们从幅度图上，我们难以看出第二个极点是否出现在我们推出的 8KHz 处。这时我们可以参考的相位曲线。同样地，我们采用后处理技术，获得 A_{o1} 和 $1/\beta$ 的相位曲线。



后处理法获得 A_{o1} 和 $1/\beta$ 的相位曲线的方法和图 6.18 一致，不再赘述。这里介绍对相位轴重新定标的方法，使得每十倍频程 45 度的相移更加清晰。我们提到过当 $A_{o1}\beta$ 的相移为 180 度时为一个关键的判断点，因此，相位轴（体现相位余量）的最大值为 180 度，最小值可取为 -45 度，以观察有相移有没有达到或超过 180 度。对应的，纵轴的刻度数（滴答数） = $1 + (\text{最大值} - \text{最小值}) / 45 = 6$ 。重定标后的相位曲线如图 6.21，极点在其上下十倍频程带来的 45 度相移非常清晰。

从图 6.20 中我们读出 $|A_{o1}|$ 和 $|1/\beta|$ 的闭合速度为 -40dB/decade ，我们可以肯定这个电路是不稳定的。现在我们利用图 6.21 给出的相位信息进行一些验证。首先看 $1/\beta$ 的相位曲线，由于 $1/\beta$ 是纯阻性的，所以它相移为 0，一条相移为 0 度的直线。 $A_{o1}\beta$ 的相移将由 A_{o1} 贡献，从图 6.21 的 b 标尺中我们看到在 140mHz 左右，相位余量为 135 度，即相移了 45 度，这是由 140mHz 处的主极点在其前十倍频贡献的，同样，该主极点后十倍频也贡献了 45 度相移，在 1.5Hz 左右相移将达到 90 度。这样，主极点一共贡献了 90 度的相移。从 a 标尺读出在 8.2KHz 处，相移达到了 135 度（纵轴体现的相位余量即为 45 度），这就表明在 8.2KHz 处有一个高频极点，这和我们前面分析出的极点位置非常接近（误差由计算式中近似估算的开环输出电阻值带来）！该高频极点在 8.2KHz 的前十倍频贡献了 45 度相移，在 8.2KHz 的后十倍频还将贡献另外 45 度相移，这样在 82KHz 左右相移将接近 180 度。而从图 6.20 看到，在 180KHz 以下， $|A_{o1}\beta|$ 都是大于 1 的，这样 180 度的相移很容易引起电路振荡，而且，它也的

确振荡了！

振荡，让我们的电路没有办法正常工作，因此我们需要对电路进行修改，或称为补偿。最终的目的就是让 $|A_{ol}|$ 和 $|1/\beta|$ 的闭合速度减少到 -20dB/decade ，这样就主要有三种方法：

1. 在 $|A_{ol}|$ 和 $|1/\beta|$ 闭合前让 $|A_{ol}|$ 的斜率从 -40dB/decade 减缓到 -20dB/decade ，这需要在 $|A_{ol}|$ 中增加零点。

2. 让 $|1/\beta|$ 与速率为 -20dB/decade 的 $|A_{ol}|$ 相交。这需要大量提升 $|1/\beta|$ （减少 β ，即增加运放的闭环增益）

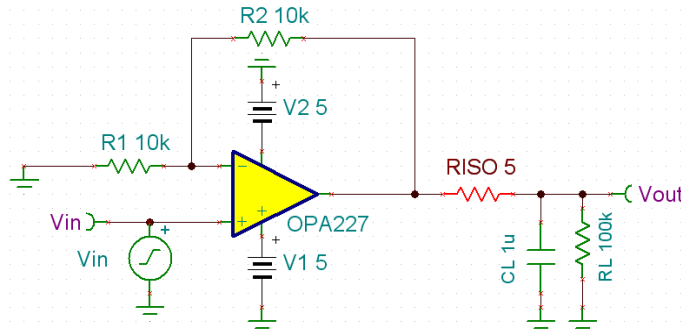
3. 让 $|1/\beta|$ 以 -20dB/decade 的速率下降，与 -40dB/decade 的 $|A_{ol}|$ 相交，使得 $|A_{ol}\beta|$ 的闭合速率依然为 $-20\text{dB/decade} = -40\text{dB/decade} - (-20\text{dB/decade})$ ，这需要在 $1/\beta$ 中引入极点（ β 中引入零点）。

从上面三种方法看来，方法 2 看来是最简单的方法，因为它不需要在电路中加入电容，只需要提高反馈电阻的值，使得 $|1/\beta|$ 增大到一定程度即可。定义 $1/\beta$ 为噪声增益，当现实情况允许使用提高噪声增益的方法补偿电路的时候，这将是最好的方法。但在本例中，从图 6.20 看到，如果仅采用方法 2，那么需要将 $|1/\beta|$ 提高到 $60\text{dB} - 80\text{dB}$ ，这在实际应用中并不现实。同样，如果仅采用方法 3， $|A_{ol}|$ 与 $|1/\beta|$ 的交点将出现在 $|A_{ol}|$ 相当小甚至是负数的地方，而当 $|A_{ol}|$ 越小，即 $|A_{ol}|$ 曲线越往下走， A_{ol} 的相移就越大，甚至有可能落入第三个极点的前十倍频程中去，导致 A_{ol} 的相移更大，这样有可能使得我们在 β 中故意添加的这个零点带来的向上的相移不足以抵消 A_{ol} 向下的相移，最后相位余量依然不足。所以，我们常将方法 2 和方法 3 结合起来使用，一方面增加噪声增益，同时一方面在 $1/\beta$ 中添加合适的零点，使得 $|A_{ol}|$ 与 $|1/\beta|$ 的闭合速度为 -20dB/decade 。

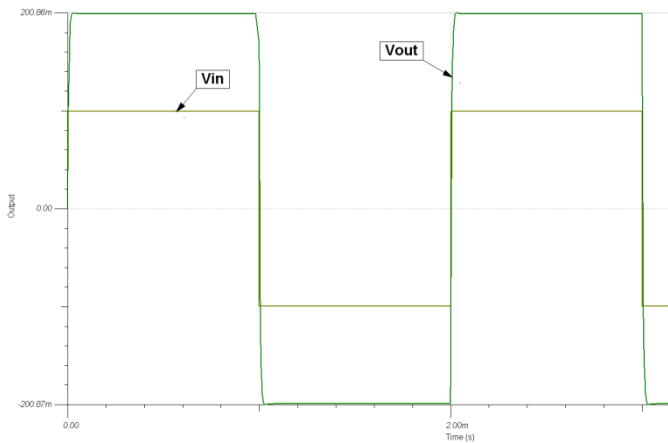
下面两节中，我们将通过修改 A_{ol} 和修改 $1/\beta$ 这两种方法来介绍如何补偿驱动大容量负载的运算放大器。

6.5 修改 A_{ol} 的补偿方法：添加 RISO

上一节中提到过，为使 $|A_{ol}|$ 的下降速度从 -40dB/decade 减少到 -20dB/decade ，我们需要在 $|A_{ol}|$ 中增加零点。在许多运放的数据手册中，关于驱动容性负载时，都会建议在运放的环路外放置一个 RISO 再与负载电容相连，如下图：



加入 RISO 会给我们的电路带来什么样的影响呢？我们先看看新电路的时域瞬态响应。我们在 TINA-TI 中设置输入信号源 Vin 为 200mVpp, 500Hz 的小信号方波，分析得到的时域响应如下图：



从上图我们惊喜地看到，激烈的振荡消失了，甚至连过冲都不见踪影！这是因为 RISO 加入后， A_{ol} 发生了两点变化：

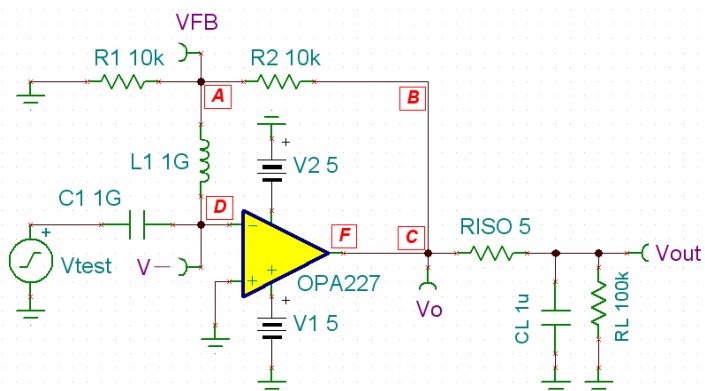
- 1、生成了一个新的零点 f_{z1} ，位置由 RISO 与 CL 决定：

$$f_{z1} = \frac{1}{2\pi R_{ISO} C_L} = \frac{1}{2\pi \times 5 \times 10^{-6}} \approx 31.83 \text{ KHz}$$

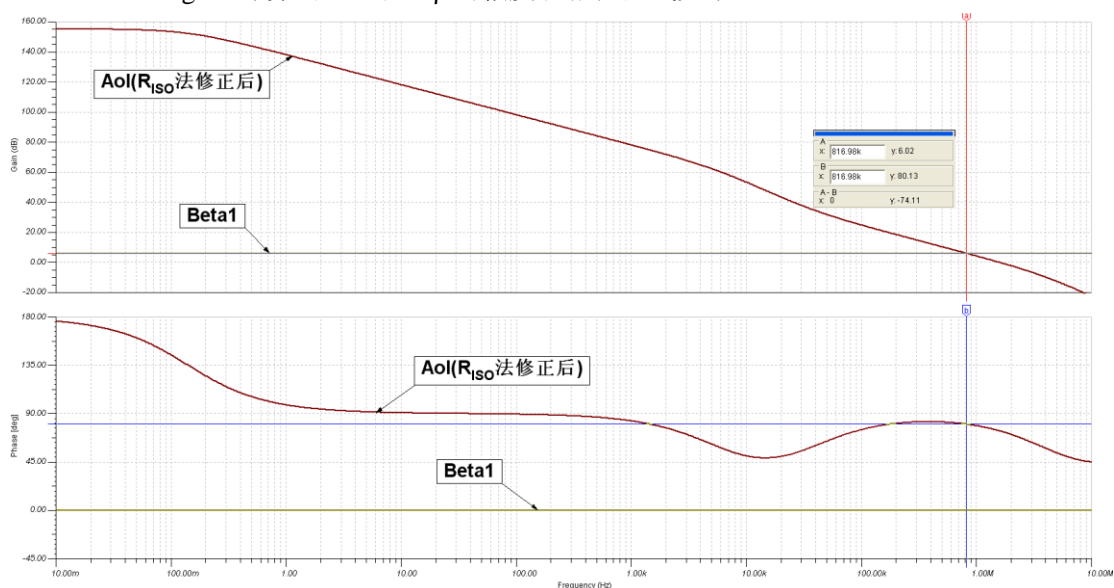
- 2、 R_o 与 CL 引起的极点 f_{p2} 位置发生了小小改变，现在由 R_o 与 RISO 串联后与 CL 决定：

$$f_{p2} = \frac{1}{2\pi (R_{ISO} + R_o) C_L} = \frac{1}{2\pi \times 25 \times 10^{-6}} \approx 6.37 \text{ KHz}$$

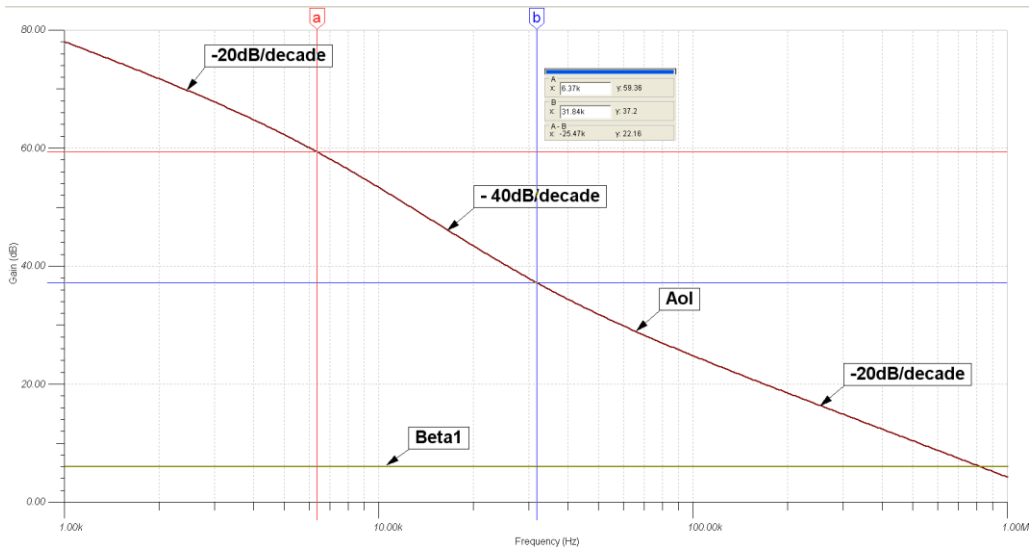
当然，让运放不再振荡的最主要原因是来自于新的零点 f_{z1} 的加入，为观察 A_{ol} 的幅度和相位因为 f_{z1} 而发生的变化，我们断开反馈环路，用 TINA-TI 进行分析：



和 6.4 节里描述的方法一样，我们先获取 V_O 、 V_{FB} 和 V_- 的曲线，然后进行后处理 (Post Processing)，计算出 A_{ol} 和 $1/\beta$ 的幅度和相位曲线如下：



对比前图，我们清晰地看到，无论是在幅度还是相位曲线中 $1/\beta$ 都没有被改变。在图 6.26 的相位曲线中，经过我们的补偿， A_{ol} 在 32KHz 处的零点在其前十倍频程的相移作用使得 A_{ol} 的相位余量从零点前的持续下降变为开始上升，最终在 $|A_{ol}|$ 和 $|1/\beta|$ 相交时， $A_{ol}\beta$ 的相位余量有 80 度之多。这样好的相位余量不仅消除了振荡，过冲和振铃也被很好地抑制了。为了更清晰地看到幅度曲线上的斜率变化，我们放大 1KHz 到 1MHz 间的 $|A_{ol}|$ 和 $|1/\beta|$ 的幅度曲线，得到下图：

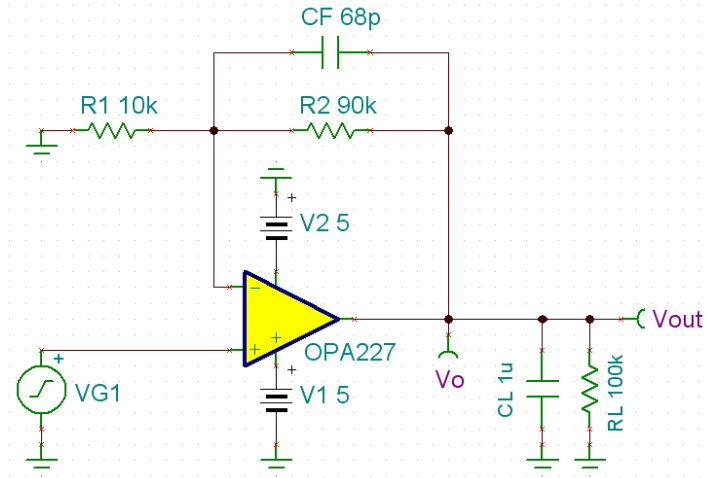


从上图我们可以看到，a 标尺处（6.37KHz）的极点使得 $|A_{ol}|$ 的下降率加速到-40dB/decade（注意观察 10KHz 和 20KHz 间，幅度增益下降的快慢，记住-12dB/octave = -40dB/decade），而 b 标尺处（31.84KHz）的零点使得 $|A_{ol}|$ 的下降率又恢复到-20dB/decade（注意观察 100KHz 和 200KHz 间，幅度增益下降的快慢，记住-6dB/octave = -20dB/decade），并最终与 $|1/\beta|$ 以-20dB/decade 的闭合速度相交。这样，通过我们前面的判据也可以得到电路是稳定的这个结论。

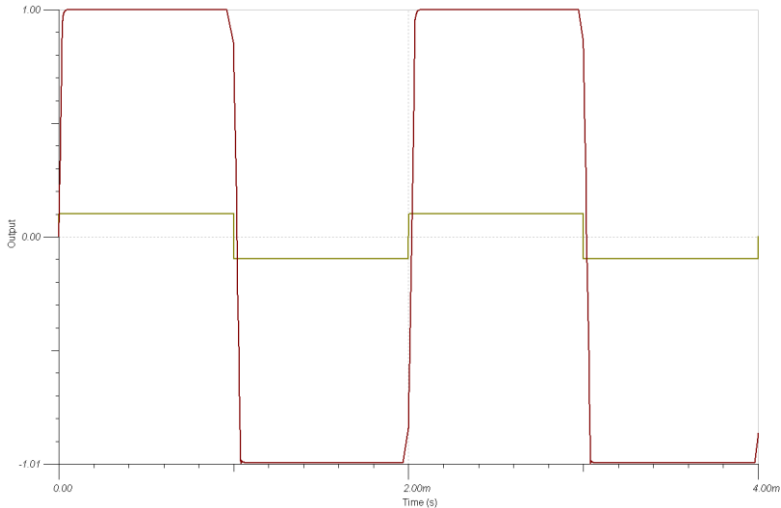
从上面的分析和验证看到，RISO 的加入很好地补偿了振荡的电路。同时我们应注意到 RISO 和 RL 会组成一个分压网络，当 RL 远大于 5 欧时，这不是问题。但如果 RL 较小，那么在后端处理中就要把这个分压效应考虑进去。同时，RISO 和 CL 在环路外的极点会进一步限制运放电路（Vin 到 Vout）的带宽。应该说，所有应用补偿而获得稳定性的方法都是通过牺牲带宽和速度来达到的。如同下一节我们将看到的一样。

6.6 修改 $1/\beta$ 的补偿方法：增大噪声增益和添加 CF

上一节中，我们添加 RISO 对运放电路进行补偿是通过修改 A_{ol} 曲线来达到的。请记住我们的最终目的就是让 $|A_{ol}|$ 和 $|1/\beta|$ 的闭合速度减少到-20dB/decade。所以同样的，我们可以通过修改 $1/\beta$ 来实现这一目标。增大噪声增益（ $1/\beta$ ）和添加 CF 就是这么一种常用的方法。如后图，我们保持 R1 不变，增大 R2 到 9 倍的 R1（使同相放大倍数为 10， $\beta=0.1$ ， $1/\beta=10$ 即 20dB），同时添加与 R2 并联的 68pF 电容 CF：

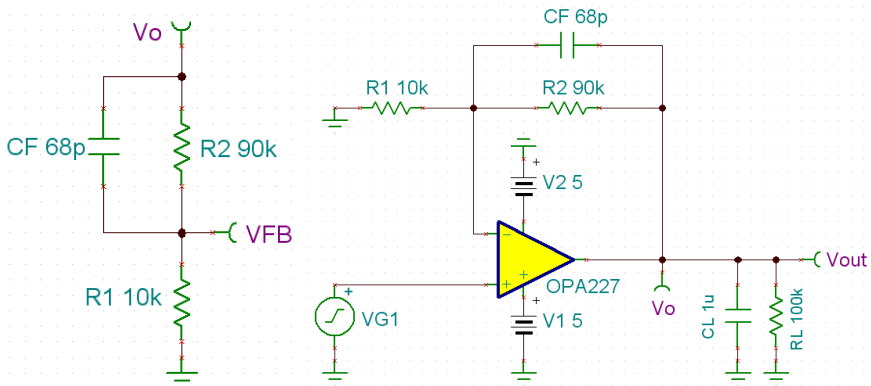


补偿后，电路的时域瞬态响应如下图：



因为同相放大倍数为 10，所以当我们设置输入信号源 V_{in} 为 200mV_{pp} ， 500Hz 的小信号方波，输出为 2V_{pp} 的方波。同时我们看到运放的时域响应不再有振荡，只是在低电平跳变处有非常小的过冲，而且稳定时间也非常短。可以说电路非常稳定，符合我们的要求。

要了解为什么运放电路会变得稳定，我们先看看反馈系数 β 在补偿后的简化网络：



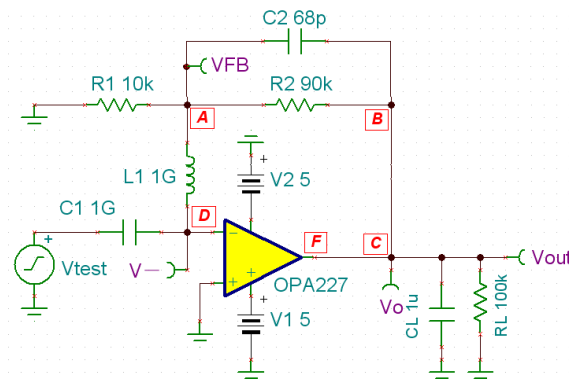
如上图，补偿电容 CF 为 β 引入了一个零点和一个极点。因为 $R_2 > R_2 \parallel R_1$ ，零点通常发生在极点之前。当 VO 输入低频信号时，CF 开路， $\beta = R_1 / (R_1 + R_2) = 1/10$ ，即运放电路是一放大倍数为 10 倍 (20dB) 的同相放大器。当频率逐渐升高，CF 开始发挥作用，R2 逐渐被 CF 短路。当 R2 被完全短路时， $\beta = R_1 / (R_1 + 0) = 1$ ，运放为一单位增益跟随器。CF 开始发挥作用的那一点出现在 R2 与 CF 形成的零点处，即 β 中的零点位置在：

$$f_z = \frac{1}{2\pi \times R_2 \times C_F} = \frac{1}{2\pi \times 90 \times 10^3 \times 68 \times 10^{-12}} = 26 \text{ KHz}$$

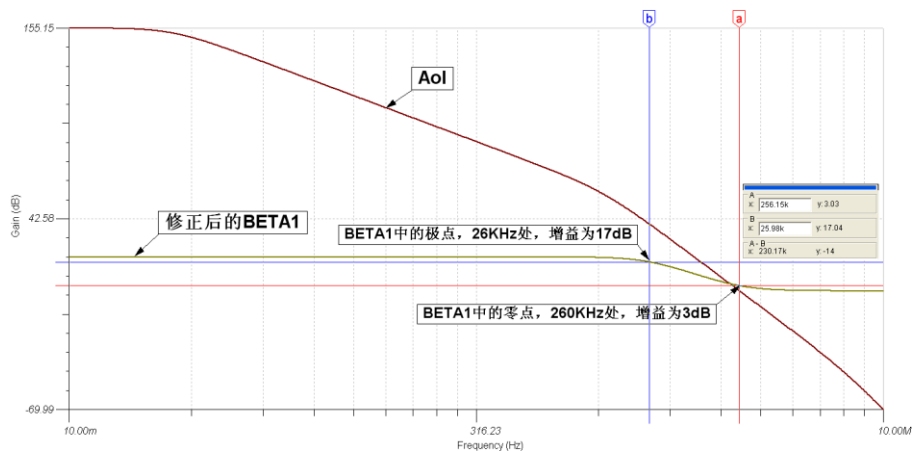
β 中的极点出现在：

$$f_p = \frac{1}{2\pi \times (R_1 \parallel R_2) \times C_F} = \frac{1}{2\pi \times 9 \times 10^3 \times 68 \times 10^{-12}} = 260 \text{ KHz}$$

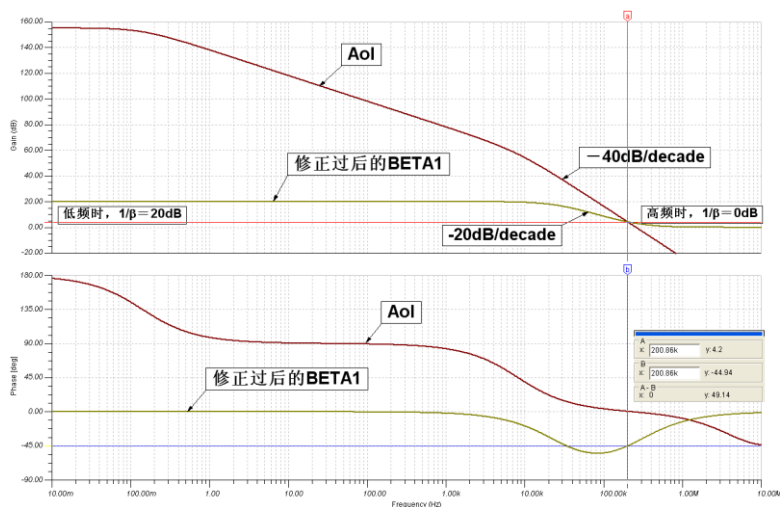
这样 $1/\beta$ 将有一个 26KHz 的极点和 260KHz 的零点。为验证上面的一阶分析并研究补偿后的 A_{ol} ， $1/\beta$ 的幅度和相位曲线，我们断开环路并在 TINA-TI 中建立仿真电路：



和 6.4 节里描述的方法一样，我们先获取 VO，VFB 和 V- 的曲线，然后进行后处理 (Post Processing)，可以计算出 A_{ol} 和 $1/\beta$ 的幅度和相位曲线。



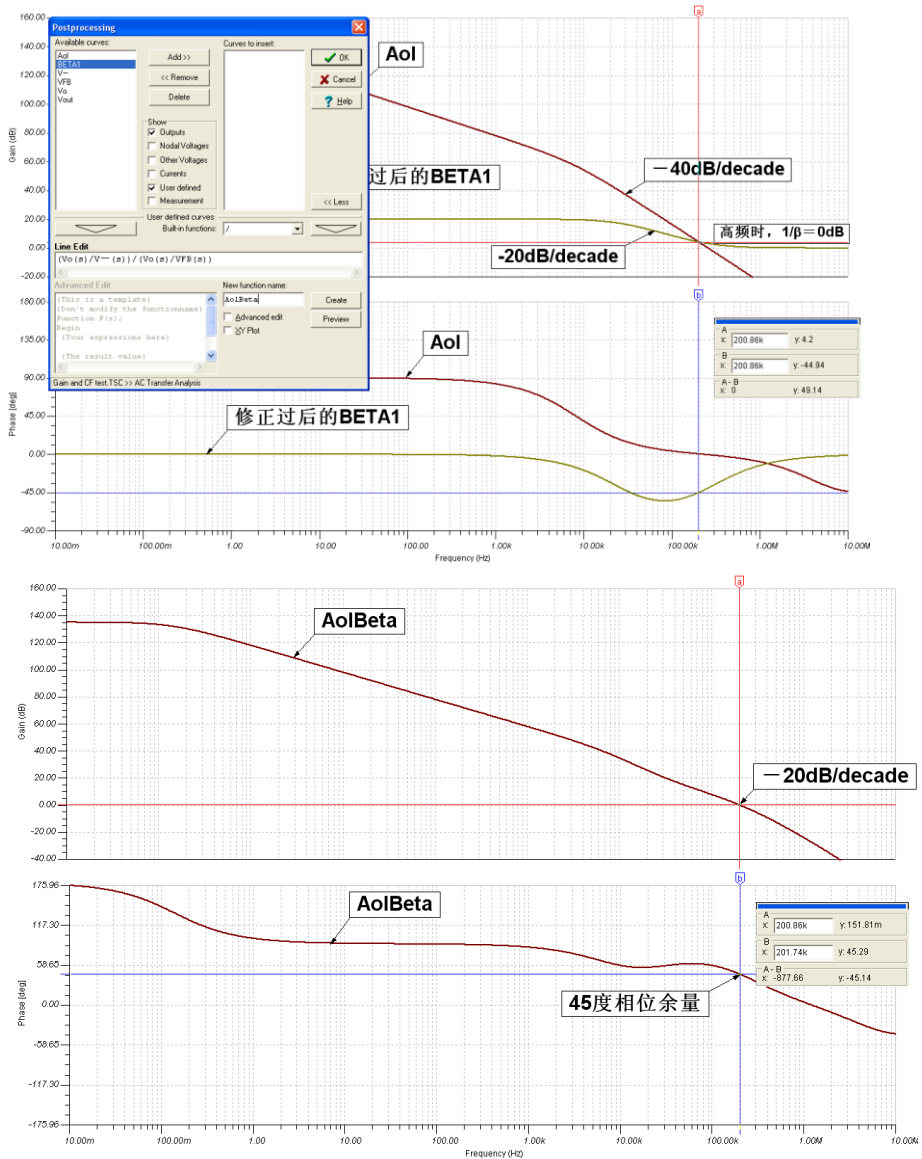
首先我们验证下我们关于 $1/\beta$ 中的极点和零点的一阶分析。如上图，我们可以清晰地看到，在 $|1/\beta|$ 曲线中，极点出现在 $20\text{dB} - 3\text{dB} = 17\text{dB}$ 的地方，即 26KHz ，使得 $|1/\beta|$ 以 -20dB/decade 的速度下降；零点出现在 $0\text{dB} + 3\text{dB} = 3\text{dB}$ 的地方，即 260KHz ，这时 $R2$ 被完全短路，运放进入单位增益放大状态。下面给出补偿后 A_{ol} 和 $1/\beta$ 的幅度和相位曲线用以分析相应的稳定性信息。



先根据上图观察得到的 A_{ol} 和 $1/\beta$ 的幅度曲线，和前图对比可以看到我们没有改变 $|A_{ol}|$ 。对于 $|1/\beta|$ ，和我们一阶分析得到的结果一样，低频时 $|1/\beta|$ 为 20dB ，直到 26KHz 处的极点出现， $|1/\beta|$ 开始以 -20dB/decade 的速率下降，并最终与斜率为 -40dB/decade 的 $|A_{ol}|$ 相交，这样可以计算得到 $|A_{ol}\beta|$ 与 0dB 轴的闭合速度为 -20dB/decade ，根据我们前面的判据，这个电路是稳定的。而在高频处， $R2$ 被短路，运放电路成为单位增益跟随器， $|\beta| = |1/\beta| = 0\text{dB}$ 。

再看 A_{ol} 和 $1/\beta$ 的相位曲线，在 $|A_{ol}\beta| = 0\text{dB} = 1$ 处， A_{ol} 的相移为 180 度（图中读出从 180 度到 0 度）， $1/\beta$ 的相移为 45 度（图中读出从 0 度到 -45 度），这样 $A_{ol}\beta$ 总的相移为二者相减，即 135 度，这样相位余量将有 45 度。符合我们的稳定性判据。为了更清晰地看到

Aolβ 曲线，我们对上图再进行一次后处理，让 Aol 和 1/β 再进行一次除法运算，如下图；



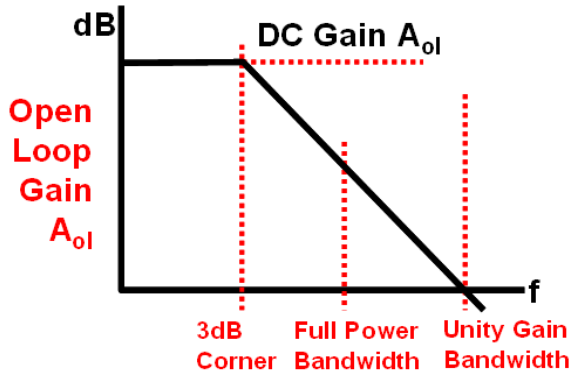
在上图中，我们清晰地看到了 Aolβ 的幅度和相位曲线，包括在 |Aolβ| = 0dB = 1 时，|Aolβ| 与 0dB 轴的 -20dB/decade 的闭合速度（观察 100KHz 到 200KHz 的增益变化量，记住 -6dB/octave = -20dB/decade），以及 |Aolβ| = 0dB = 1 时，Aolβ 拥有的 45 度的相位余量，这都说明了运放电路是稳定的。

至此，我们已经从原理和实际电路中充分认识到了运算放大器的稳定性，以及如何利用 TINA-TI 分析和解决容性负载导致的运算放大器不稳定问题。在深刻理解了运放为什么会不稳定之后，再有针对性地对 Aol 或 1/β 进行补偿会变得事半功倍。

第七章 高速放大器的选型

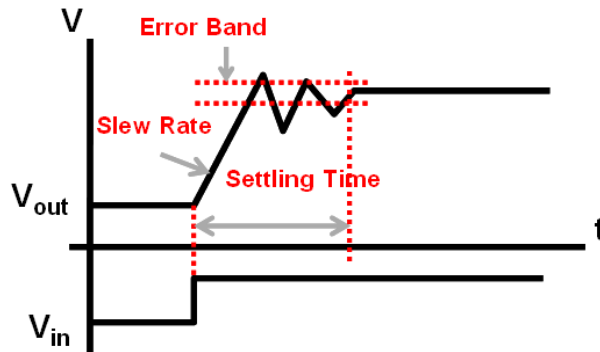
7.1 高速放大器的关键指标

高速放大器有两个重要指标，带宽和压摆率，带宽决定了小信号通路时放大器的速度，而压摆率主要决定在大信号通路时放大器的速度：



带宽：根据不同的条件，有一些不同的带宽定义：

- -3dB 带宽：主极点带来的-20dB/decade 的下降率使得 DC 增益降低 3dB 时的带宽；
- 全功率带宽：运放满程输出时能达到的最大带宽，此带宽与压摆率密切相关；
- 单位增益带宽：当开环增益降为 1 时的带宽，此指标是以小信号通路来衡量，对电压反馈放大器来说，通常等于其增益带宽积（对精密放大器准确，对高速放大器，由于寄生电容的影响，单位增益带宽常常大于其增益带宽积）。



压摆率：是衡量大信号通路时，运放的输出能否及时响应快速变化输入信号的指标，可以用该指标来计算运放的全功率带宽： $\text{Bandwidth} = \text{SR} / (2 \times \pi \times V_{pp})$;

建立时间：当输入信号快速变化时，比如当多通道选通输入，有可能产生阶跃信号，这时，运放能在多长的时间使输出稳定到指定的误差范围内在信号采集中是一个非常重要的指标。

THD+N 和运放的位数：通常，我们都很少听见说运放是多少位的，但是在 OPA300 的页面上写到 OPA300 是一个 16 位精度的运算放大器，但这个 16 位精度不是指它的直流精度，而是指其交流特性，类似于通过频谱分析推算 ADC 的有效位数（ENOB）。计算方式如下：先找到 OPA300 的 THD+N 指标：0.0008%（频率为 1KHz，3V_{pp} 信号，单位增益，5V 供电）。按照 THD+N 的定义：所有谐波和噪声能量之和与基波能量之比，得知其是 SINAD 的倒数，那么 $SINAD = 125000 = 100dB$ ， $ENOB = (SINAD - 1.76) / 6.02 = 16.3$ 位，非常适合驱动 16 位的 ADC 做交流信号采集。同时，OPA300 在 150nS 内能稳定到理想输出信号的 16 位精度的误差范围内，这也是它被称作 16 位精度运放的另一个重要原因。

回顾和改编 2009 年电子设计竞赛的 C 题，宽带直流放大器，通过分析这个题目来解释各种高速放大器的异同，从而帮助大家做出正确的选型。这里我们直接以发挥部分的要求为设计指标。

- **题目：宽带直流放大器**
- **要求：**

- 输入阻抗大于 1M Ohm;
- 输入信号：正弦波, 10MHz, $\leq 10mV_{RMS}$
- 增益：0dB - 60dB, 步进尽可能小
- 输出信号：10V_{RMS}, 负载为 50 欧姆
- 肉眼观察无明显失真
- 增加一个自动增益控制模块使得：4.5V_{pp} \leq V_{out} \leq 5.5V_{pp}

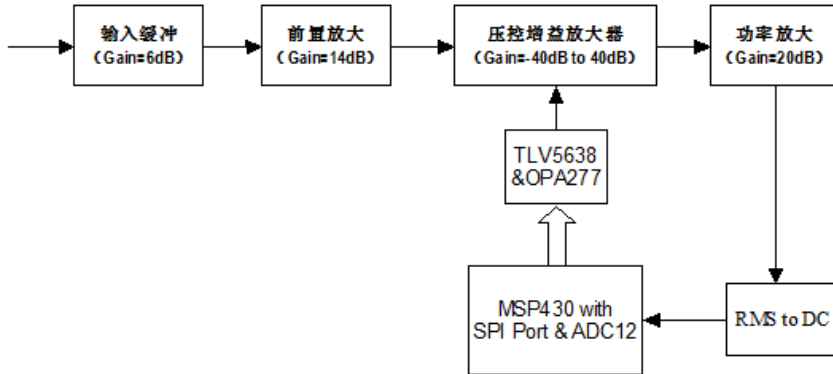
这个题目是一个典型的偏考察运放知识的例子，如何正确地对运放选型是非常重要的，这个题目中的设计要点在于：

- 输入阻抗大于 1M Ohm;（选择高输入阻抗的宽带放大器）
- 输入信号：正弦波, 10MHz, $\leq 10mV_{RMS}$;
- 增益：0dB - 60dB, 步进尽可能小;（选择灵活的增益可变宽带放大器）
- 输出信号：10V_{RMS}, 负载为 50 欧姆（高压摆率和高输出功率）
- 肉眼观察无明显失真
- 增加一个自动增益控制功能：4.5V_{pp} \leq V_{out} \leq 5.5V_{pp}（闭环控制）

从上面的描述可以看出，主要的设计要点在于：输入阻抗，大带宽且高压摆

率，增益调节方便，高输出功率和数字反馈控制五个方面。通过一一解决上面的 5 个问题，我们将讨论什么是 Bipolar 和 FET 输入的高速放大器；什么是电压反馈放大器和电流反馈放大器；什么是电压控制增益可调放大器；使用高速缓冲器简化功率驱动设计以及如何做数字 AGC。

这个题目的思路其实很清楚，就是输入缓冲+宽带压控增益放大+宽带功率驱动，运放部分的流程图如下所示：



7.2 Bipolar & FET 输入的高速放大器

首先是第一个问题，要求输入阻抗 $>1\text{M}$ 欧姆，这个要求对于精密放大器来说，通常不是问题，但是在高速放大器中，为了降低输入寄生电容对带宽的影响，输入阻抗被降低了，这需要在器件选型上动脑筋。前面我们提到过大多数高速放大器的输入级是 Bipolar 工艺的，它能实现极好的带宽和压摆率，低噪声，和优秀的频域响应，但是和精密型的 Bipolar 放大器一样，它的输入阻抗和 FET 型相比，相对偏低，高速型的 Bipolar 放大器的差分输入阻抗一般在数十欧姆或数百 K 欧姆。因此，为了达到发挥要求中的输入阻抗大于 1M 欧姆，需要选择 FET 型输入的高速放大器，FET 型输入的高速放大器解决了输入阻抗的问题。但其噪声系数和 Bipolar 相比较差一些。

在示波器等测量仪器中，为保证时域信号幅度的准确，通常要求在相当宽的带宽内都能保证高输入阻抗，这时应选择 FET 型输入的放大器。不过，在高速模拟信号调理的过程中， 50 欧姆的阻抗匹配用得最多，此时可选择噪声性能更好的 Bipolar 放大器。因此除了在输入级有阻抗要求（或等效地说，对输入偏置电流有要求的场合，如高速 I/V 转换的跨阻放大器）的场合外，我们较少在高速信号调理中使用 FET 放大器。在上面的题目中，为达到发挥部分关于输入阻抗的要求，我们应该选择一颗 FET 输入的放大器。

推荐使用的 TI 的电压反馈型 FET 高速放大器有（Bipolar 产品见下一节）：

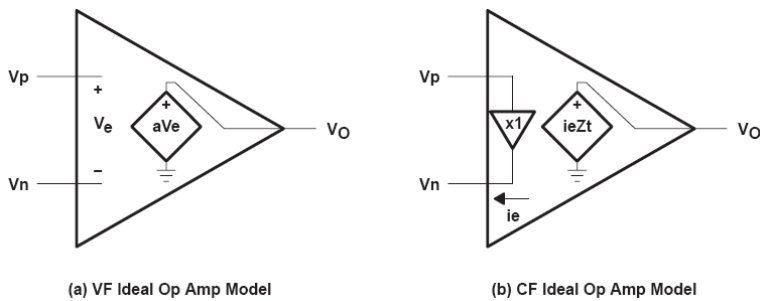
器件	简介	每整包所含芯片数	价格 (美元) (单位:片)	封装
OPA656U	最大 10V 供电, 500MHz, 290V/uS, 单位增益稳定, FET 输入放大器	75	4.5	SOIC
OPA657U	最大 12V 供电, 1600MHz, 700V/uS, 增益大于 7 稳定, FET 输入放大器	75	5.05	SOIC
THS4631D	最大 30V 供电, 500MHz, 1000V/uS, 单位增益稳定, FET 输入放大器	75	3.55	SOIC

注意: OPA 高速产品和 THS 高速产品的主要区别是: OPA 通常只能 10V 以下供电, 而 THS 系列拥有更宽的供电电压范围 (可至 36V)。

7.3 电压反馈、电流反馈和去补偿型高速放大器

7.3.1 什么是电压反馈, 什么是电流反馈?

在理解电压反馈运放的工作模型时, 理想电压反馈模型是一个很有效工具。下图左图所示为理想电压反馈模型, 而右图所示则为理想电流反馈模型。



对于电压反馈运放, 有:

$$V_o = a \times V_e \tag{7-1}$$

其中, $V_e = V_p - V_n$, 称为误差电压, a 为放大器的开环电压增益。

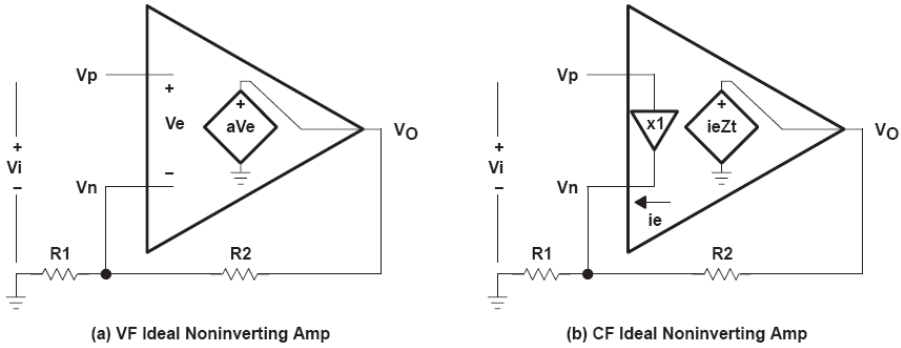
对于电流反馈运放, 有:

$$V_o = i_e \times Z_t \tag{7-2}$$

其中, i_e 称为误差电流, Z_t 称为运算放大器开环跨导增益。如果一个放大器的输出是电压, 并且这个电压和输入电流有关, 那么这个运放就被称为跨导倒数放大器, 因为其转移函数等于一个阻抗, 即 $V_o / i_e = Z_t$ 。

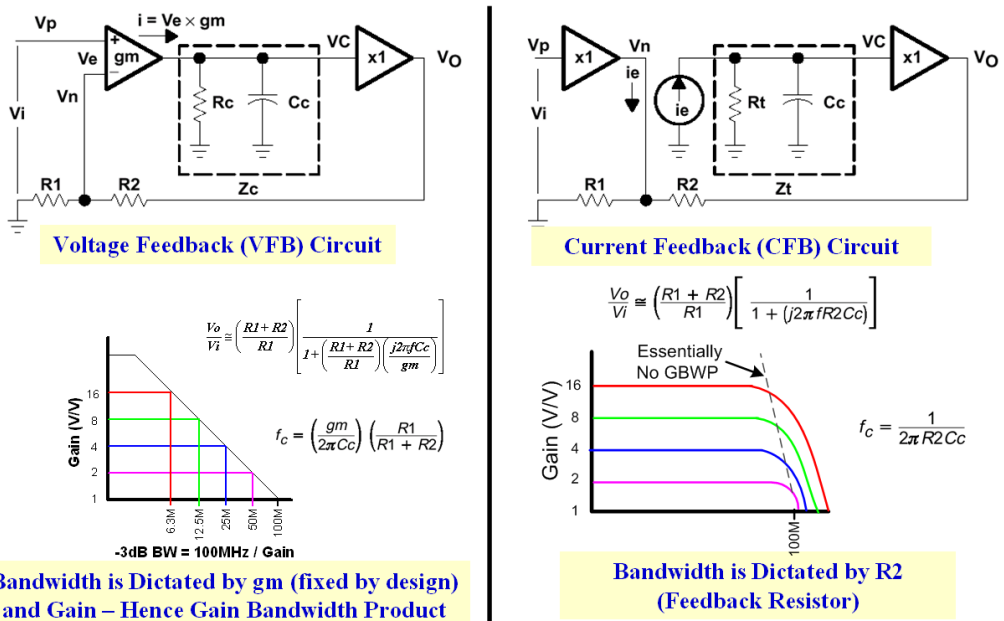
在理想模型中引入负反馈, 如上图所示, 就变成了同相放大器。对于电压反馈运放而言,

当引入负反馈时，那么负反馈最终会使误差电压为零。同样，在电流反馈运放中采用负反馈时，负反馈最终会使误差电流为0，这也是电流反馈这个术语的由来。



7.3.2 电压反馈放大器和电流反馈放大器的区别：带宽 vs 增益

电压反馈放大器和电流反馈放大器与频率相关的反馈模型如下图所示（具体推导过程请参考应用笔记 SLVA051）：



具体而言，如上图，两种放大器的开环增益分别为 a(f)和 Z(f)，都是和频率相关的，且都限制了工作的带宽。对于电压反馈运放而言，其在正常工作的频带内：

$$\frac{V_o}{V_i} \cong \left(\frac{R1 + R2}{R1} \right) \left[\frac{1}{1 + \left(\frac{R1 + R2}{R1} \right) \left(\frac{j2\pi f C_c}{g_m} \right)} \right], \quad f_c = \left(\frac{g_m}{2\pi C_c} \right) \left(\frac{R1}{R1 + R2} \right),$$

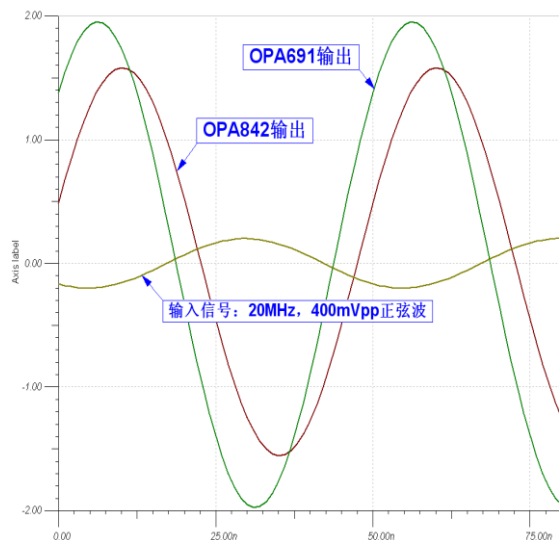
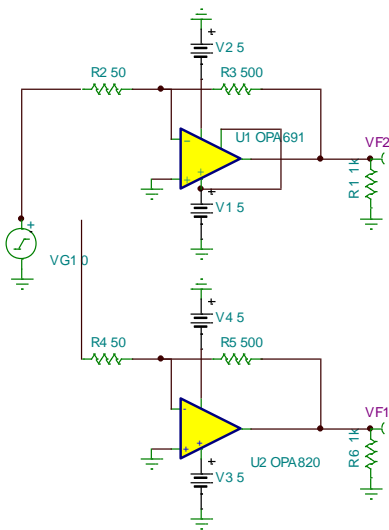
$$\text{即: } f_c \left(\frac{R1 + R2}{R1} \right) = \left(\frac{gm}{2\pi C_c} \right) = \text{常数}$$

可以看出电压反馈型放大器的-3dB 带宽位置 f_c 受 $(R1+R2)/R1$ 和 gm 共同决定，这就是所谓的增益带宽积的概念，噪声增益增大，带宽成比例下降。同时，运放的稳定性由输入阻抗 $R1$ 和反馈阻抗 $R2$ 共同决定。

而对电流反馈放大器而言：

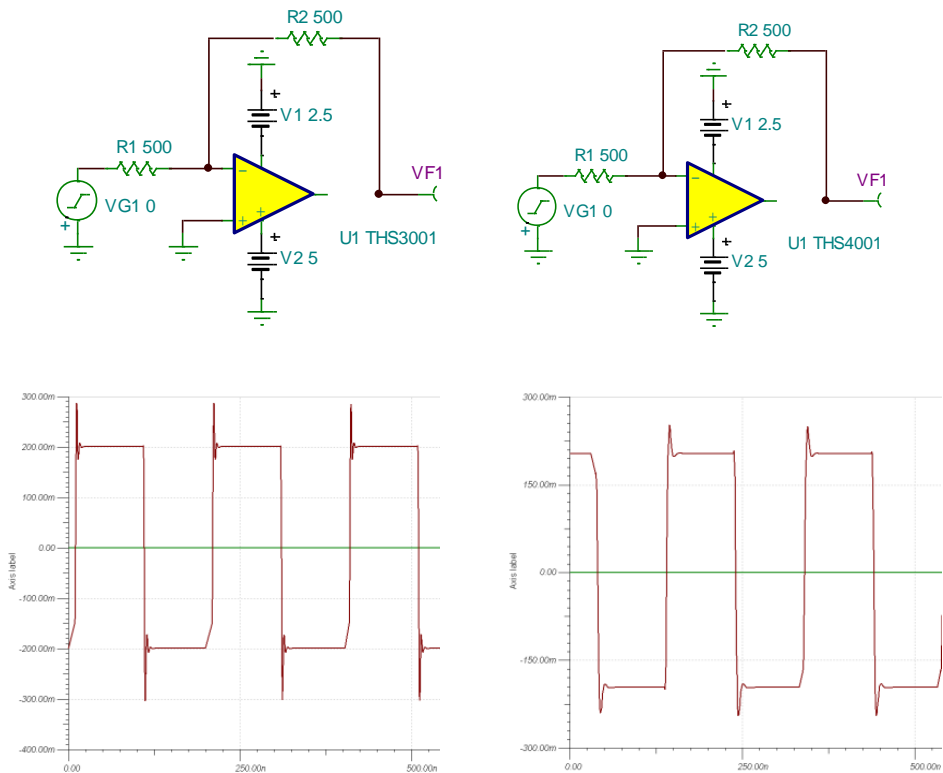
$$\frac{V_o}{V_i} \cong \left(\frac{R1 + R2}{R1} \right) \left[\frac{1}{1 + (j2\pi f R2 C_c)} \right], \quad f_c = \frac{1}{2\pi R2 C_c}$$

从上式看出，电流反馈运放的增益和带宽是相互独立的，其-3dB 带宽位置仅受 $R2$ 的影响，可以通过设定 $R2$ 的值得到不同的带宽。再设定电阻 $R1$ 得到不同的增益。同时，其稳定性也仅受反馈阻抗 $R2$ 决定，要想维持电路的稳定， $R2$ 必须大于一个最小值；与之对应，对于给定的相移范围，有一个最大的工作带宽。基于上述原因，如果将一个缓冲放大器的输出短接到负反馈的输入时，电路就会振荡。而且，在作积分器和低通滤波器应用时，应该慎重考虑负反馈中的电容。如下是使用 OPA691（单位增益为 280MHz）和 OPA842（增益带宽积为 200MHz）来对一个 20MHz，±200mV 输入的正弦波进行 10 倍的反相放大，这时 OPA842 的带宽已经显现出不足，不能输出 ±2V 的正弦波了。而电流反馈型的 OPA691 在这样大倍数的放大下仍然游刃有余。

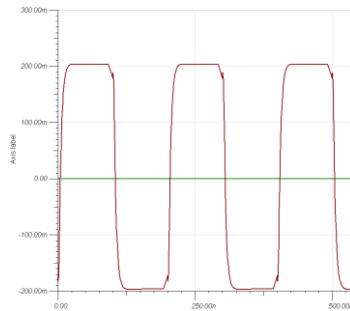
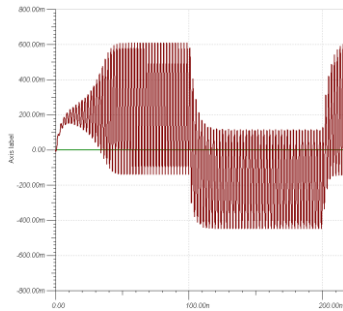
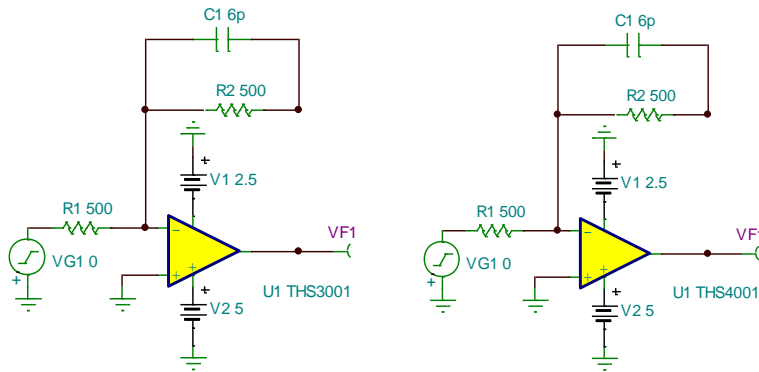


7.3.3 电压反馈放大器和电流反馈放大器的区别：反馈电阻的取值

正如前文所述，电流反馈放大器的反馈电阻应根据数据手册在一个特定的范围内选取。而电压反馈放大器的反馈电阻阻值的选取相对而言宽松一些，放大器的驱动能力限制了电阻的最小值，而整体电路的噪声又限制了电阻的最大值。需要留意的是电容的阻抗随着频率的升高而降低，因此在电流反馈放大器的反馈回路中应谨慎使用纯电容性回路，一些在电压反馈型放大器中应用广泛的电路在电流反馈放大器中可能会导致振荡。比如在电压反馈型放大器中我们常会在反馈电阻 R_F 上并联一只电容 C_F 来限制运放的带宽从而减少运放的宽带噪声（ C_F 也常常可以帮助电压反馈型运放电路稳定），这在电压反馈放大器中会有很好的效果，但是如果运用在电流反馈放大器上，则十有八九会使你的电路振荡起来。如下面的例子，我们用 THS3001 和 THS4001 分别来反相放大一个 5MHz 的方波：

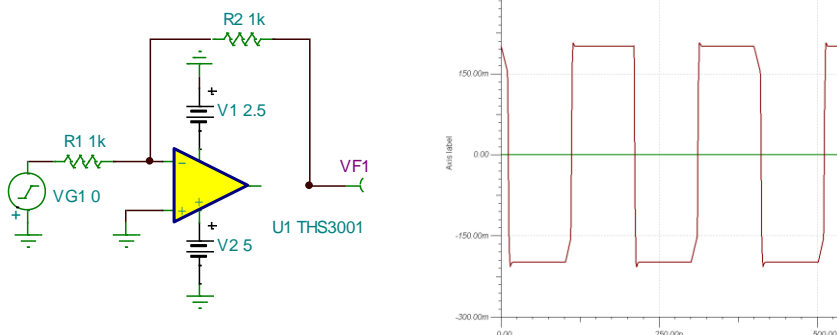


THS3001 和 THS4001 都不约而同的出现了一些过冲，如果你经常设计精密放大器电路，你肯定能想到在 R_F 上放置一个并联小电容 C_F 来改善这种过冲，这个小电容能增强电压反馈运放的稳定性，但是会限制其带宽（请记住任何增强的稳定性都是以带宽的牺牲作为代价的）。我们对 THS3001 和 THS4001 都施以同样的补偿方法，让我们看看补偿的结果：

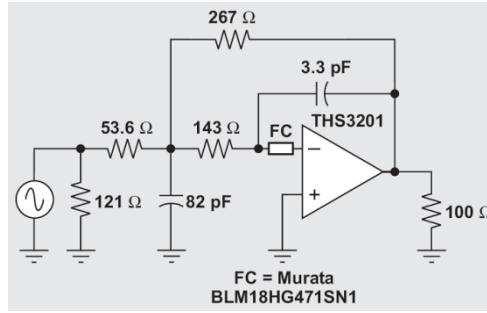


电压反馈放大器 THS4001 在 CF 的帮助下工作得非常好，但是电流反馈放大器在 CF 的作用下却无可救药的振荡起来。这是由于电容具有“隔直流通交流”的特性，电容容抗会随着信号频率的增高而减小，当信号频率高到一定程度后，反馈电容近似一根导线，将导致电路振荡。

那么如何改善 THS3001 的过冲呢？很简单，增大 RF 即可：



如上图 THS3001 在增大 RF 到 1k 欧姆后，输出了非常完美的方波。因此，对于 MFB 型滤波器，由于其反馈回路中的纯电容支路，也不推荐在电流反馈放大器中使用，但是如果你确实需要这一种有源滤波器，可以考虑下面这种方法：

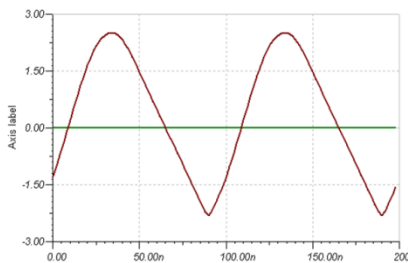
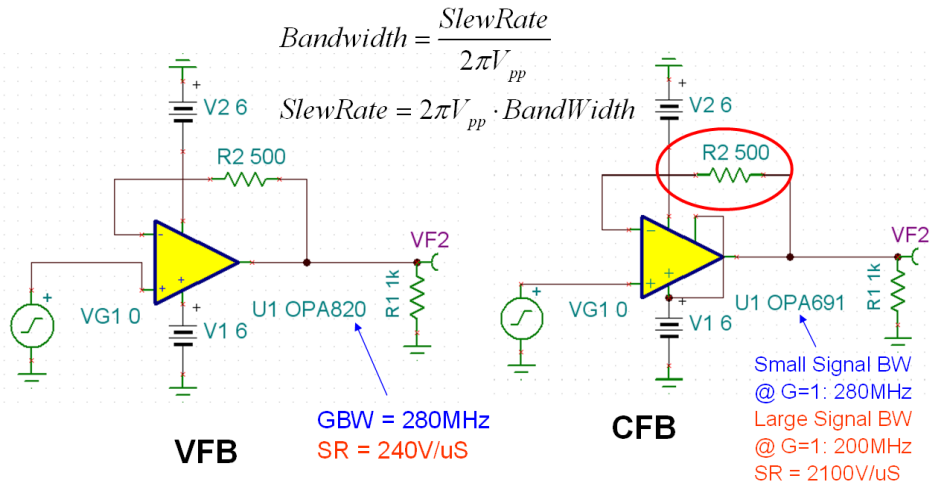


如上图，FC 是一颗磁珠，其在高频下将呈现出电阻的特性，当然，你也可以使用电阻来代替 FC，具体的技术详情请参考 TI 应用笔记 SLYT081。

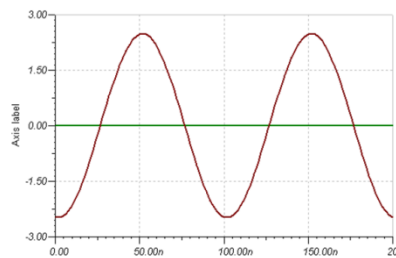
7.3.4 电压反馈放大器和电流反馈放大器的区别：压摆率

当信号幅度较大时，压摆率常常比带宽更占据主导地位，比如下面这个例子，同样用单位增益为 280MHz 的放大器来缓冲 10MHz，5Vpp 的信号，电流反馈放大器能轻松完成工作，而电压反馈放大器的输出将呈现三角波，这是压摆率不足的典型表现：

Buffer for a 10MHz Sinewave with 5Vpp Amplitude => SR needs 300V/uS



VFB



CFB

通常来说，电压反馈放大器的压摆率一般在 500V/uS 以下，相对于电流反馈放大器拥有的数千 V/uS 的压摆率来说，在放大大幅度信号时要非常小心。但是，绝不能以压摆率的大小来区分电压反馈和电流反馈放大器，TI 推出的一些特殊结构的电压反馈放大器就兼顾了高压摆率的特点，比如 OPA690，其压摆率高达 1800V/uS！

7.3.5 何时选用电压反馈放大器，何时选用电流反馈放大器？

A. 在低速精密信号调理中，基本上看不到电流反馈放大器的身影，因为其直流精度远不如精密电压反馈放大器。

B. 在高速信号调理中，应考虑设计中所需要的压摆率和增益带宽积；一般来说，电压反馈放大器在 10MHz 以下、低增益和小信号条件下会拥有更好的直流精度和失真性能；而电流反馈放大器在 10MHz 以上、高增益和大信号调理中会表现出更好的带宽和失真度。在高速信号调理中，当下面两种情况任意出现一种时，你就需要考虑一下选择电流反馈放大器：1、噪声增益大于 4；2、信号频率大于 10MHz。

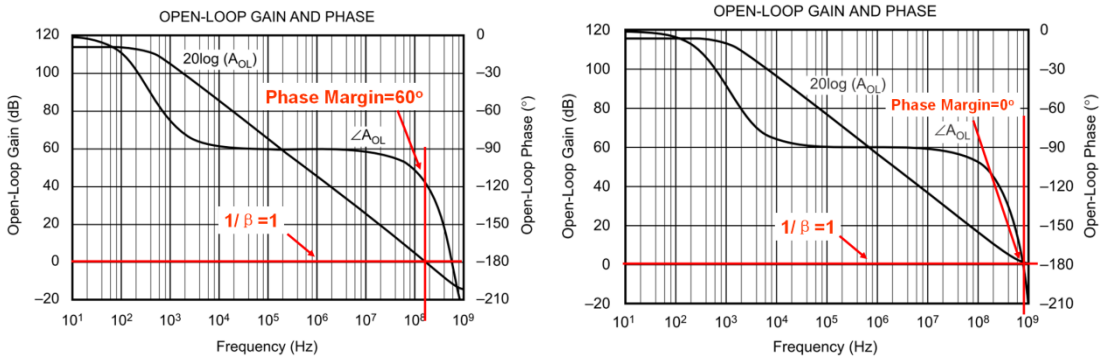
7.3.6 去补偿 (Decompensate) 电压反馈放大器

在高速放大器家族中，除了电流反馈放大器和常规的电压反馈放大器，TI 还推出两种非常规的高速电压反馈放大器，一种是拥有高压摆率的电压反馈放大器，如 OPA690；另一种是去补偿的电压反馈放大器如 OP842/843/846/847 家族，和 THS4011/4021 等：

型号	供电电压范围	增益带宽积	稳定噪声增益	带宽	压摆率 (V/uS)
OPA842	±6V	200MHz (G>5 时准确)	Unit Gain Stable	20MHz @ (G=10) 350MHz @ (G=1)	400
OPA843	±6V	800MHz (G>10 时准确)	3	80MHz @ (G=10) 500MHz @ (G=3)	1000
OPA846	±6V	1750MHz (G>40 时准确)	7	110MHz @ (G=20) 500MHz @ (G=7)	625
OPA847	±6V	3900MHz (G>50 时准确)	12	350MHz @ (G=20) 600MHz @ (G=12)	950
THS4011	±16V	200MHz	Unit Gain Stable	290MHz @ (G=1) 20MHz @ (G=10)	400
THS4021	±16V	1600MHz	10	350MHz @ (G=10) 80MHz @ (G=20)	470

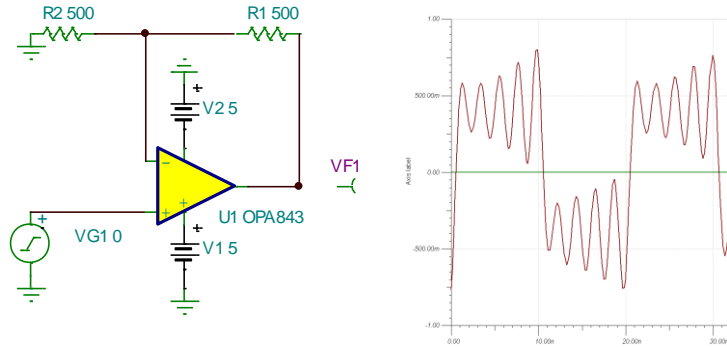
上表中，对于增益带宽积这个指标来说，宽带放大器中只在相对高增益下才有效，这时由于在封装过程中引入高速放大器反相输入端的寄生电容使得在低增益下实际表现比设计时

更宽。这个寄生电容过大时会引起放大器振荡，请牢记稳定性是以牺牲带宽为代价，而牺牲稳定性能换来更大的带宽。接下来让我们解释一下什么是去补偿放大器，首先，让我们对比一下 OPA842 和 OPA843 的开环增益图：

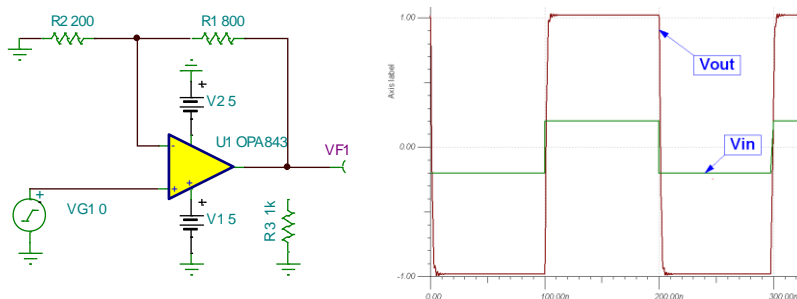
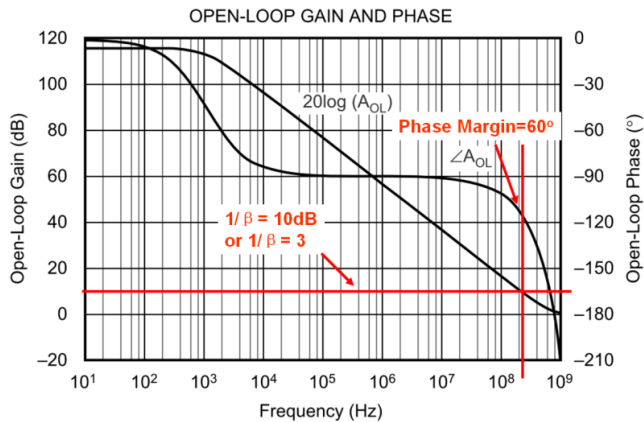


先看 OPA842 的开环增益曲线，因为决定放大器系统稳定性的是环路增益 ($A_{ol}\beta$)，我们需要自行添加噪声增益曲线。为了考察在单位增益下放大器的稳定性，我们添加了幅度增益等于 1 的噪声增益曲线（即 $1/\beta=1$ ，图中红色的横线），与 0dB 轴重合。当噪声增益曲线与开环增益的幅度曲线相交时， $|A_{ol}\beta|$ 等于 0dB ($A_{ol}=1/\beta$, 即 $|A_{ol}\beta|=1$)，此时环路增益的相移为 120 度（因为设定的噪声增益为纯阻性，不会在环路增益曲线中引入零/极点，所以环路增益的相位曲线和 A_{ol} 的相位曲线重合），相位余量为 60 度。是一个稳定的系统。另外，我们还可以观察到 OPA842 的主极点大概在 200Hz，为方便计算，取此时的 $|A_{ol}|$ 为 120dB。在主极点后 $|A_{ol}|$ 将按照 -20dB/decade 的下降率下降，下降到 $|A_{ol}|$ 为 0dB 时需要 $120/20=6\text{decade}$ ，一个 decade 是 10 倍频程，这样可以推出理论的单位增益带宽为 $106\times 200\text{Hz}$ 即 200MHz。和图中给出的一致。

同样地，我们在 OPA843 的开环增益图中添加增益为 1 的噪声增益曲线，在 $|A_{ol}\beta|=1$ 处，环路增益的相移为 180 度，相位余量为 0，是不稳定的。之所以造成 OPA843 在单位增益下不稳定的原因是 OPA843 的主极点出现在 1KHz 左右，导致 OPA843 单位增益时的带宽为 1GHz，观察 OPA843 开环增益的相位曲线，第二个极点的位置在 500MHz 左右（相移为 145 度时），这个极点带来的 90 度相移最终导致了在单位增益时 OPA843 的不稳定。回过头来再看 OPA842 的开环增益的相位曲线，可以发现第二个极点在 400MHz 左右，出现在单位增益 200MHz 之后，所以不会导致系统不稳定。下面我们用 TINA-TI 来看看 OPA843 在噪声增益为 2 时，其输出振荡得非常厉害：



使不稳定的 OPA843 变得稳定的方法有很多，比如改变主极点的位置，在 $1/\beta$ 中加入极点来抵消 A_{ol} 上第二个极点的相移（如添加 CF），等等。而最简单的方法就是提高运放的噪声增益，如下图，我们提高 $1/\beta$ 到 3 倍或约 10dB 时， $|A_{ol}\beta|=0\text{dB}$ 处的相位余量就可以达到 60 度，从而获得一个不振荡的系统；而当 $1/\beta$ 到 5 倍时，相位余量达到 80 度，系统更加稳定。所以，OPA843 被描述为一只增益大于 3 时稳定，而推荐噪声增益大于 5 的高速放大器。



另外，在为 OPA842 挑选反馈电阻 R_F （上图中的 R_1 ），增益设定电阻 R_G （上图中的 R_2 ）的时候，虽然电压反馈放大器的电阻选择范围较电流反馈放大器轻松，但是在高速放大器中，必须同时考虑功耗、 R_F 上并联寄生电容对带宽的影响以及 $R_F||R_G$ 与输入寄生电容 C_{in} 作用下

的影响。首先考虑功耗，为了使反馈电阻从运放输出吸取尽量小的电流，从而保证运放的失真表现，反馈电阻 R_F 应该大于 200 欧姆；其次，1k 欧姆的 R_F 应上大约有 0.2pF 的并联寄生电容，这个寄生效应已经开始影响运放的带宽，因此要控制 R_F 应的阻值小于 1k 欧姆；最后，由于 $R_F \parallel R_G$ 后和运放反相输入端的寄生电容 C_{in} （芯片内部约 1pF，PCB 上控制在 1pF 之内，共 2pF）作用会在 $1/\beta$ 中产生一个零点从而产生附加相移，因此保证 $R_F \parallel R_G$ 小于 200 欧姆会使这个附加的零点在 400MHz 以上，这样对我们的环路稳定性影响最小。因此，我们可以先设定 R_G 为 200 欧姆，再根据增益挑选 R_F ，当计算出的 R_F 超过 1k 欧姆的时候，再降低 R_G 的阻值。

推荐使用的 TI 信号调理和后级驱动的高速放大器有：

器件	电源电压 (+/-电源轨之差) (V)	小信号 带宽 (Gain=2) (MHz)	压摆率 (V/uS)	其他	价格 (美元) (单位:片)	封装
OPA300AID	2.7-5.5	80	80	CMOS, VFB	1.6	SOIC
OPA355UA	2.7-5.5	100	360	CMOS, VFB	0.8	SOIC
OPA3355UA	3 通道的 OPA355				1.8	SOIC
OPA820ID	5-12	240	240	VFB	0.9	SOIC
OPA2822U	6-12	200	170	双通道, VFB	1.35	SOIC
OPA842ID	10-12	200	400	VFB, 单位增益稳定	1.55	SOIC
OPA843ID	10-12	260 (G=5)	1000	VFB, 最小稳定增益: 3	1.6	SOIC
OPA690ID	4.5-12	220	1800	VFB, 新结构高压摆率	1.35	SOIC
OPA890ID	3-12	115	500	VFB, 低功耗, $I_Q=1.1mA$	0.75	SOIC
OPA2890ID	双通道 OPA889				1.2	SOIC
THS4031ID	10-30	100	100	VFB	2.35	SOIC
THS4011ID	10-30	290 (G=1)	310	VFB	1.95	SOIC
THS4032ID	双通道 THS4031				3.35	SOIC
THS4012ID	双通道 THS4011				3.05	SOIC
THS4271D	5-15	390	1000	VFB	2.25	SOIC
OPA684ID	9-12	170	820	CFB	1.35	SOIC
OPA2684ID	双通道 OPA2684, CFB, 低功耗, $I_Q=1.7 mA$				2.1	SOIC
OPA691ID	5-12	225	2100	CFB	1.45	SOIC
OPA2691ID	双通道 OPA691				2.3	SOIC
OPA695ID	5-12	850	4300	CFB	1.35	SOIC
OPA2695ID	双通道 OPA695				2.7	SOIC
OPA694ID	7-12	690	1700	CFB	1.25	SOIC
THS3001ID	9-32	385	6500	CFB	4.1	SOIC
THS3001HVIDGN	9-36	385	6500	CFB, 输出电流 $\pm 20mA$	7.6	SOIC
THS3091D	10-30	210	7300	CFB, 输出电流 $\pm 250mA$	3.3	SOIC
THS3201D	6.6-15	850	10500	CFB, 输出电流 $\pm 100mA$	2.1	SOIC

注意：OPA 高速产品和 THS 高速产品的主要区别是：OPA 通常只能 10V 以下供电，而 THS 系列拥有更宽的供电电压范围（可至 36V）

根据电压反馈和电流反馈放大器各自的特点，在题目中的前置放大部分，信号的幅度较小，我们可以选择±5V 供电的电压反馈放大器 OPA842 来进行 14dB 的固定增益放大；在功率级的 20dB 放大中，我们必须选择±18V 供电的电流反馈放大器 THS3001HV 来实现大电压的高速信号输出。

7.4 可控增益放大器的应用

现在，我们开始考虑如何实现增益步进可调的问题，当然最笨的办法是，采用多个电流反馈放大器级联，用电阻网络选通的方式来实现增益可调，想想也知道，这个办法太复杂，而且不容易稳定。可能大家已经想到了精密放大器里的程控增益放大器，如果能用这种方法控制，岂不简单。但很可惜，程控增益放大器的本质决定其带宽和压摆率远远不够 10MHz 放大如此多倍的要求，这里，我们可以使用另一种增益可变放大器：压控增益放大器，它就是专门为宽带高速模拟信号放大而专门设计的。

AD603 是前几年在高校中用得最为广泛的压控增益放大器，但是其缺点是在于：

1. 增益和带宽关系不确定，需要通过外部硬件电路确定，如下图，导致不够灵活；

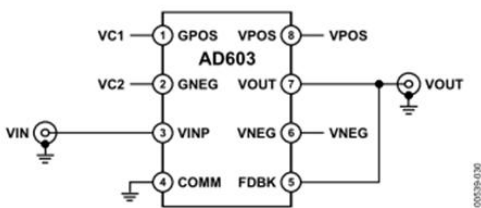


Figure 30. -10 dB to +30 dB; 90 MHz Bandwidth

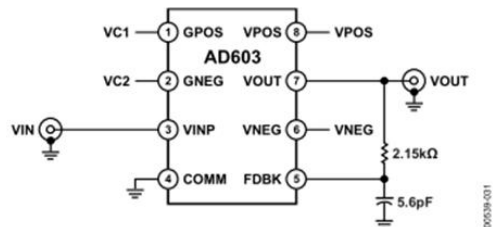


Figure 31. 0 dB to 40 dB; 30 MHz Bandwidth

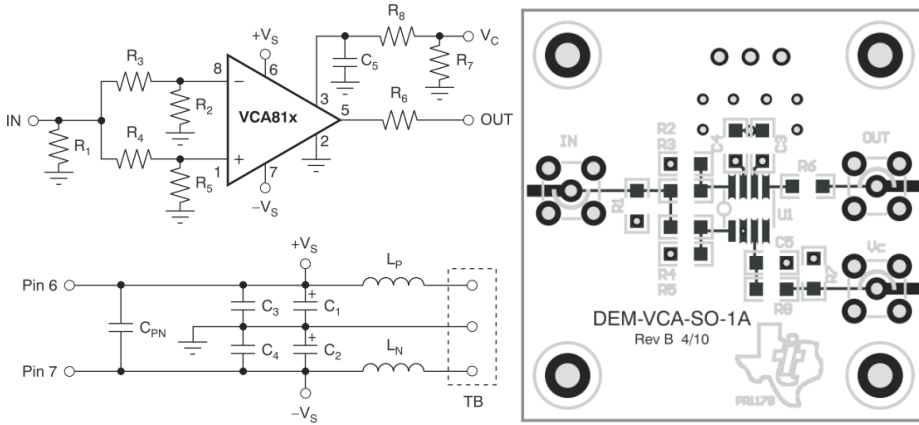
2. 增益范围仅为 40dB，为完成题目中要求的 0—60dB 可调的要求，需要两片级联，增加了系统的复杂度；

3. 这里题目为宽带直流放大器，强调了直流精度，而在测试中，也确实输入了直流电平进行放大输出；AD603 的输出失调电压为±30mV，在末级再进行放大 10 倍，带来的直流误差较大，需要做调零处理。

从去年开始，TI 的 VCA810、VCA820 和 VCA822 开始崭露头角，特别是 VCA810，它在±40dB 的增益可调范围内拥有 35MHz 的恒定带宽（包括小信号带宽和全功率带宽），仅需一片 VCA810 就能满足题目的需要。同时它的典型输出失调电压仅为±4mV，带来的失调误差小了 10 倍。

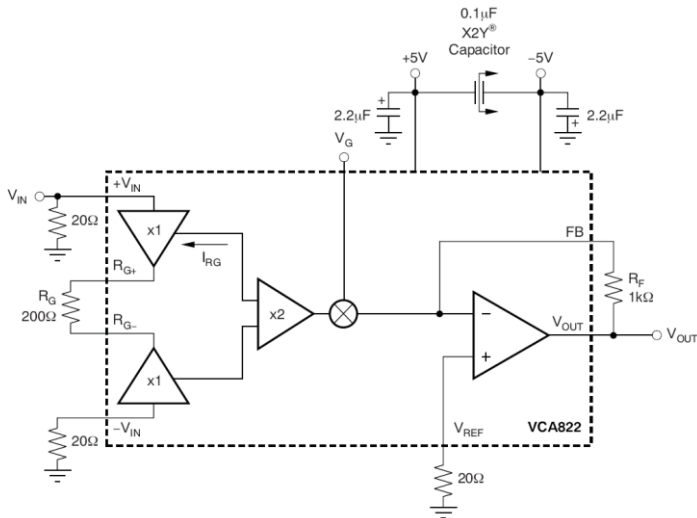
VCA810 的应用电路非常简单，除去电源，地和直接接地的反相输入端，它只需考虑三个引脚的布局布线。同相输入、输出和电压控制端都可以采取短而直的线直连，无需任何附加电路，如下图是 VCA810 EVM 板的图纸，可以通过选择焊接 R3 或 R4 来选择是反相输入

还是同相输入，通过 R_1, R_2, R_5, R_7 可以实现输入阻抗匹配：



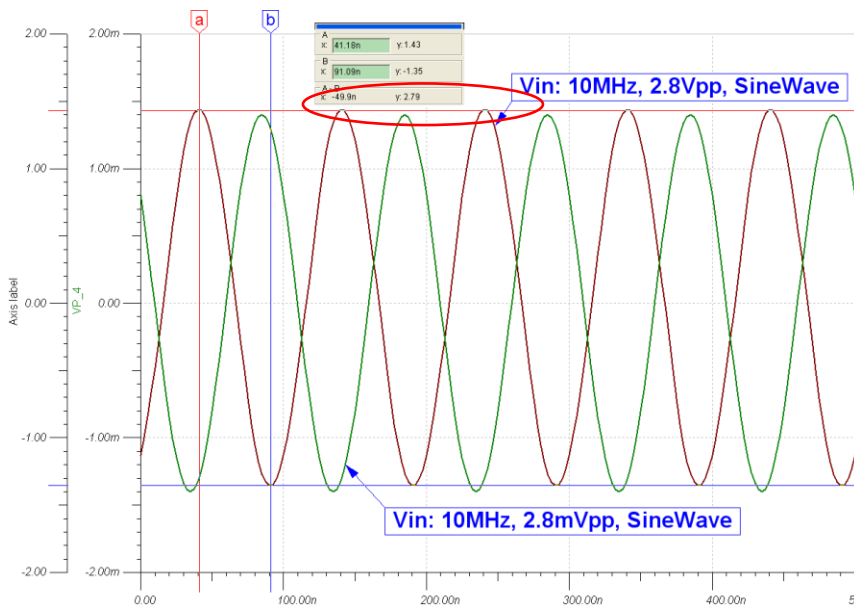
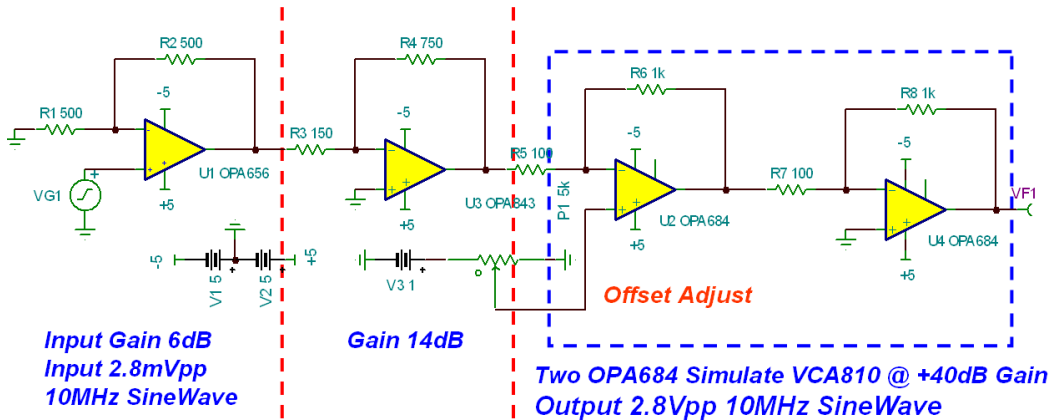
同时，VCA810的控制电压 VC 端也拥有 25MHz 的带宽，因此可以将 VCA810 用作模拟乘法器、自动增益控制器、压控滤波器等。为了让 VCA810 正常工作，对 VC 端的滤波是非常必要的，因为控制电压的范围为 -2V 到 0V，导致增益的变化范围为 +40dB 到 -40dB，特别是在恒定电压输入给 VC 端时，mV 级的纹波就可能使 VCA810 工作不正常。除此之外，应小心避免 VCA810 的输出饱和，在 $\pm 5V$ 供电下，VCA810 的典型输出幅度为 $\pm 1.8V_{pp}$ 。

除了 VCA810，如果你需要更宽的带宽，VCA820 和 VCA822 是一对 150MHz 带宽的压控增益放大器，他们在 $G=10$ 时的小信号带宽为 150MHz，当 $G=10$ ， $5V_{pp}$ 全功率输出时，仍然能有 137MHz 的带宽，性能非常突出（更宽的还有 VCA821 和 VCA824，320MHz 的全功率带宽）。两者的区别在于 VCA820 是以 dB 为单位进行调节，而 VCA822 是以倍数进行调节的。以 VCA822 为例，当其最大增益设置为 10 倍时，控制电压为 1V 时，VCA822 的放大倍数为 10，控制电压为 -1V，放大倍数为 0.1，即为 -20dB 到 20dB 的放大范围。一个典型应用电路为：



应用 VCA822 最需要注意的两个地方是：

1. 不能让 R_G 上的电流 I_{RG} 超过 $\pm 2.6\text{mA}$ (或 5.2mA_{pp})， $I_{RG} = V_{out} / (\text{设计最大放大倍数} \times R_G)$ ；详情请参考 VCA822 的数据手册第 24 页。
2. 输入信号的动态范围， V_{IN+} 的最大输入不能超过 1.6V ，最小输入不能小于 -2.1V ，同时 $I_{RG} = V_{IN(pp)} / R_G$ 必须小于 5.2mA ，即若要满程输入， R_G 必须大于 $700\ \Omega$ ，如果选择小于该值的 R_G ，一定要注意输入信号的范围已经被减小。
3. 至此，除了功率推动级，我们的信号调理部分的解决方案已经得出，我们的增益分配如下：

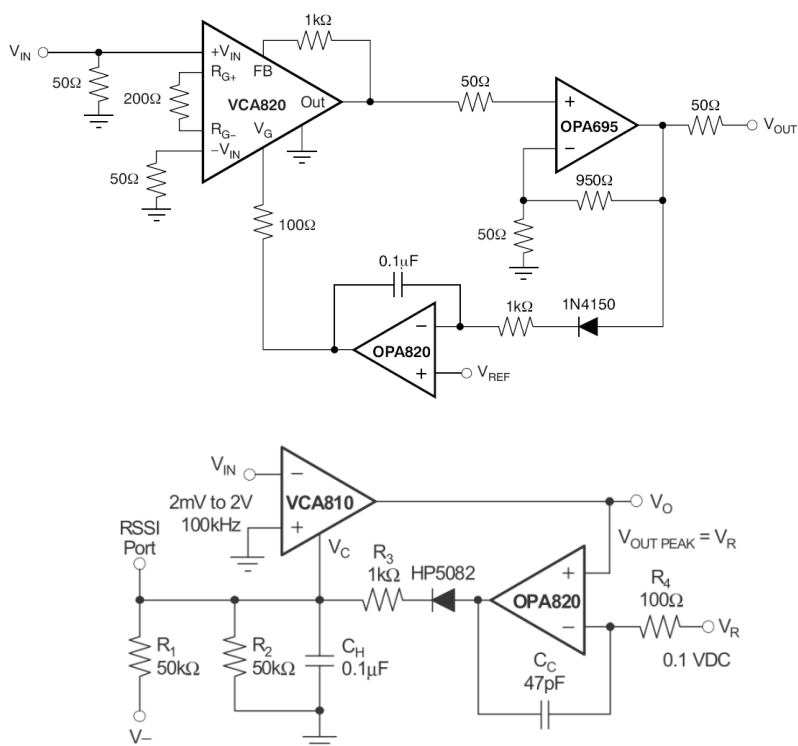


这里我们从 2.8mV_{pp} 的输入中得到了 2.8V_{pp} 的输出信号（注意两个信号对应的 Y 轴刻

度不同), 即将 1mVRMS 的输入信号放大了 1000 倍 (60dB)。当然, 如果是 28mVpp (10mVRMS) 输入, 我们只需将 VCA810 的增益设置为 10 倍 (20dB) 即可。接下来, 我们将在功率级将这 2.8Vpp 的信号放大 10 倍, 并推到 50 欧姆的负载上去。推荐使用的宽带压控增益放大器有:

器件	简介	价格 (美元) (单位:片)	封装
VCA810ID	可调增益 $\pm 40\text{dB}$, CONSTANT BANDWIDTH vs GAIN: 35MHz	6.8	SOIC
VCA820ID	可调增益 $\pm 20\text{dB}$, Linear in dB, CONSTANT BANDWIDTH: 150MHz	3.45	SOIC
VCA822ID	可调增益 $\pm 20\text{dB}$, Linear in V/V, CONSTANT BANDWIDTH: 150MHz	3.45	SOIC

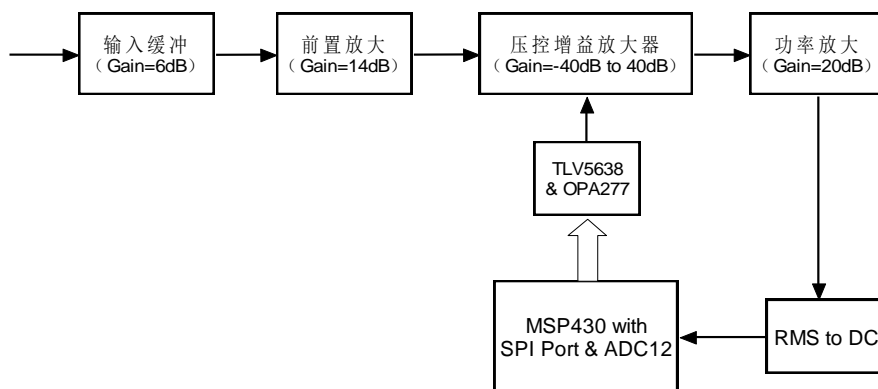
实现自动增益控制, 即 AGC, 可采用模拟反馈或数字反馈。VCA810、VCA820 配合外部宽带放大器都很容易实现模拟 AGC:



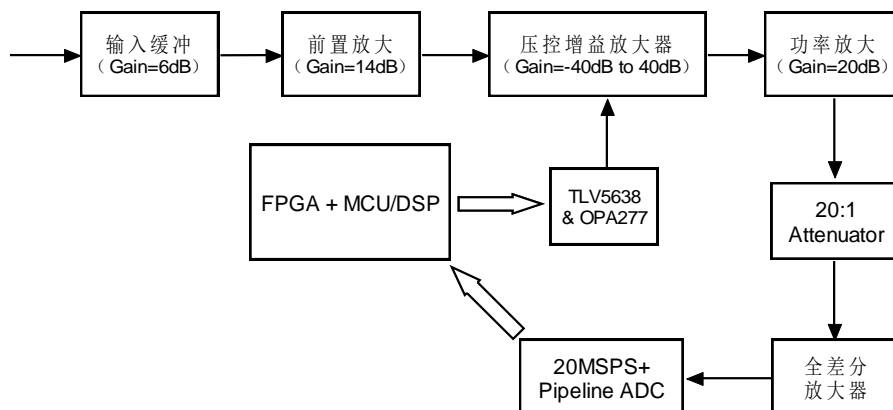
数字 AGC, 即将模拟输出信号的幅度信息通过 MSP430 内建的 12 位 ADC 转化为数字信号, 经 MSP430 处理后, 再由 MSP430 的内部 DAC (或内建 SPI 口控制外部 DAC) 来调整 VCA8xx 的放大倍数。如何获得 10MHz 模拟信号的幅度信息也有两种方法:

1、通过 RMS to DC 芯片, 将 10MHz 模拟输出的有效值转化为直流信号, 再通过

MSP430 内置的 12 位精度的 ADC 采集直流电平，得到输出信号的幅度信息；然后由 MSP430 通过集成的 SPI 口刷新双路 DAC TLV5638，从而控制 VCA8xx 的增益：



2、通过 ADC 直接采集模拟输出信号，当然可以用低速采集多次，利用等效采样的方法恢复模拟信号，但最直接最痛快的方法就是利用 20MSPS 以上采样率的高速直接对 10MHz 的正弦波进行过采样，在少数采样后就能得到需要的信息：



如上图，我们先通过一个衰减器将模拟信号降低到 ADC 的满量程输入范围内，然后通过全差分放大器进行单端到差分的转换，缓冲并滤波后送给流水线型高速数据转换器（20MSPS+）进行实时转换和计算。

7.5 高速放大器的布局布线

7.5.1 什么时候需要高速印制电路板？

当所需处理的信号频率在 MHz 范围内，那些在处理低频信号时可以忽略的影响将会变得非常显著。THS 系列高速运算放大器的带宽远远超过了 50 MHz，因此在这个频率范围内设计 PCB 时，必须考虑高频时电磁波所产生的影响。元器件的选择、接地、电源旁路、信号

路径的布线、线路终端匹配、寄生电容与电感等因素都需要仔细的考虑。遵循 PCB 设计的标准可以发挥 THS 系列高速运算放大器的最高性能。以下这组设计准则可以帮助研发工程师快速设计高效的高速运算放大器电路板。

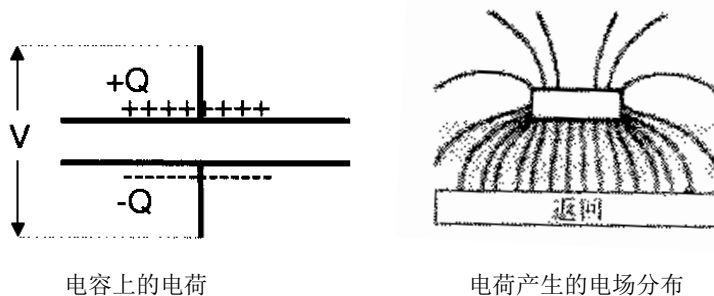
7.5.2 信号完整性基础

信号完整性是一门研究信号正确传输的学科，信号完整性在高速 PCB 设计中更为重要，它涉及到电路的分析、仿真和设计，涉及的范围很广泛，本节介绍一些信号完整性的基础知识，目的是起到抛砖引玉的作用。理解了信号完整性知识对 PCB 的设计会起到很好的指导作用。

实际电路板上的导线，由于 PCB 面积和层数限制，会有寄生电容和电感存在。这些寄生参数会跟电路中变化的电流、电压作用，从而产生信号完整性问题。

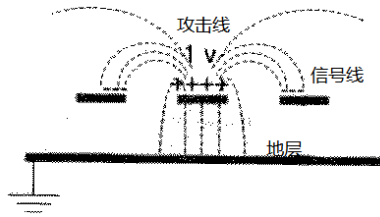
(1) 电路板上的寄生电容

提到寄生电容，不少工程师因为它的原因导致信号链的传输质量下降，设计精密的电路无法完成应有的功能。寄生电容也是电容，电容是由两个导体构成的，任意两个导体之间都有一定的电容。电荷静止时 $C = \frac{Q}{V}$ ，电荷运动时 $I = \frac{\Delta Q}{\Delta t} = C \frac{dV}{dt}$ 。

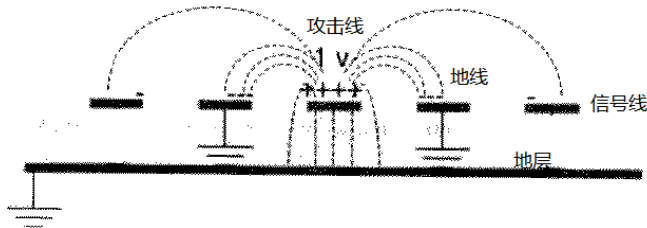


当电路板上存在这种几何结构时，就会产生寄生电容。正负电荷在极板间就会有电场产生，如右图所示。反之，如果外界存在电场，也会在导体上产生电荷分布。

PCB 上导体的跟地层间就形成这种结构，从横截面上看就是上图的样子（导线、介质和地层）。当导体中的电流变化的时候，相当于 Q 的大小或者极型发生变化，这样产生的电场的大小和极型也会随之变化。这时当一个平静的导线进入到这个变化的电场时，它的上面就会产生变化的 Q ，变化的 Q 就产生电流，这样这个平静的导线就被干扰了。同样两个相邻导线都有电流时则相互干扰。这种影响随间隔距离的增加而减小。

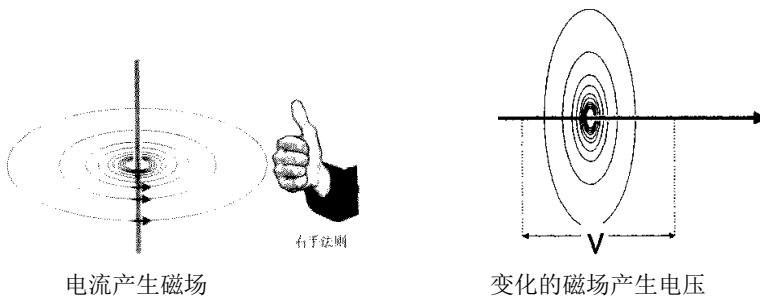


了解了寄生电容以及串扰产生的原因，就可以找到方法改善。1、将导线的电场约束在一定空间内。2、导线之间保持安全距离。3、导线上无用的插座、分支线、测试点等相当于增加电容极板面积的金属去掉。例如电场约束的一个方法，在两个信号线之间添加地线，电场被地线约束，伸向外部的就减少了，如下图：



(2) 电路板上的电感

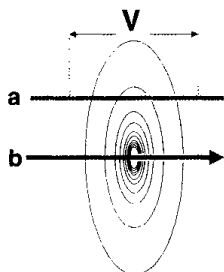
跟寄生电容一样，寄生电感也来源于基本的物理规律。一段导线当有电流流过时，在导线周围将产生同心的环形磁力线。磁力线的密度跟电流成正比。 $L = \frac{N}{I}$ ，N 表示磁力线的大小单位是韦伯 (Wb)，I 表示电流。当 N 变化时，就会在导线上产生电压， $V = \frac{\Delta N}{\Delta t} = L \frac{di}{dt}$ 。



电流产生磁场

变化的磁场产生电压

所以有几何长度的导线都存在寄生电感，当 B 导线中流过电流，就会在周围产生磁场。当流过的电流变化时，就产生变化的磁场。这时 A 导线进入这个变化的磁场，就会在 A 导线上产生电压，电压驱动电子运动成为电流，干扰就进入了 A 导线。如下图所示。这种影响随间隔距离的增加而减小。



了解了寄生电感以及其产生串扰的原因，就可以找到方法改善。1、将导线的磁场约束在一定空间内。2、导线之间保持安全距离。3、使导线截面积增大减小电流密度从而减小磁场的强度。例如磁场约束的一个方法，在导线旁边添加回流用的导线（地导线），两个导线的电流相等方向相反，磁场相互抵消，相当于被约束，伸向外部的就减少了（例如双绞线），如下左图

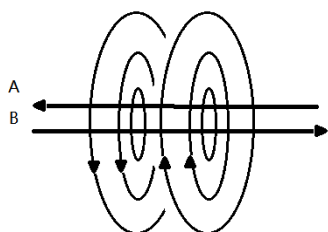


图 A 和 B 导线越靠近磁场抵消越多

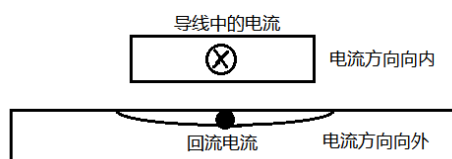
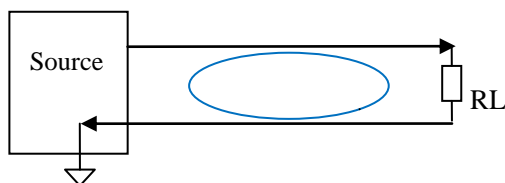


图 导线和地层回流越磁场抵消

降低寄生电感的另一个方法：当增加导线的截面积时，相当于多个导线并联成面，电感并联会减小电感量，并且在导线下方增加地层提供回流路径抵消磁场，引起的干扰和寄生电感随之减小。如图所示。这个方法在供电用导线中经常使用。

(3) 回流路径代替“地”这个词

从上面寄生电容和电感的分析可以看到，一个共有的特点：导线走的越长，其上的寄生电容和寄生电感越大，其向外辐射或者吸收辐射的能力越强（电磁场是双向的）。一个信号从芯片中流出，经过导线、负载然后回流到芯片的地，这就形成一个回路，包围了一定的面积，如下图。变化的电磁场进入这个回路就会在回路中产生变化的电流，反之回路中变化的电流也会从这个回路辐射出变化的电磁场。



导线走的越长，在没有保护的情况下其包围的回路面积越大，导线本身的能量越容易从

这个回路向外辐射，外部的能量也更容易通过这个环路进入导线中。缩小回路的面积，就可以约束寄生电容、电感的电磁场。所以正确设计“回流路径”可以很好的改善干扰问题。“地”这个词在电路中也是电流的回流路径，但是这个描述较为笼统，不能描述各电路单元的电流走向，不能保证来自各单元电路的回流不会产生干扰。所以用回流路径更为严谨，并且时刻提醒工程师要明确电流走向，优化电路。需要明确一条，电流总是沿着最小阻抗路径走。这条基本原理对设计回流路径至关重要。

总结：在一个好的工程师脑子里，不需要记忆信号完整性的繁琐公式，只需要明确导线周围的电场磁场如何分布，影响这些场的因素有哪些。一个导线进入另一个导线的电磁场必然会受到干扰，工程师要做的就是根据所学的知识，利用影响场分布的因素，在有限的资源下把这种干扰降低到最小，使之不会产生信号完整性问题，这样的电路就是好电路，可以信赖的电路。

7.5.3 正确的高速 PCB 设计指南

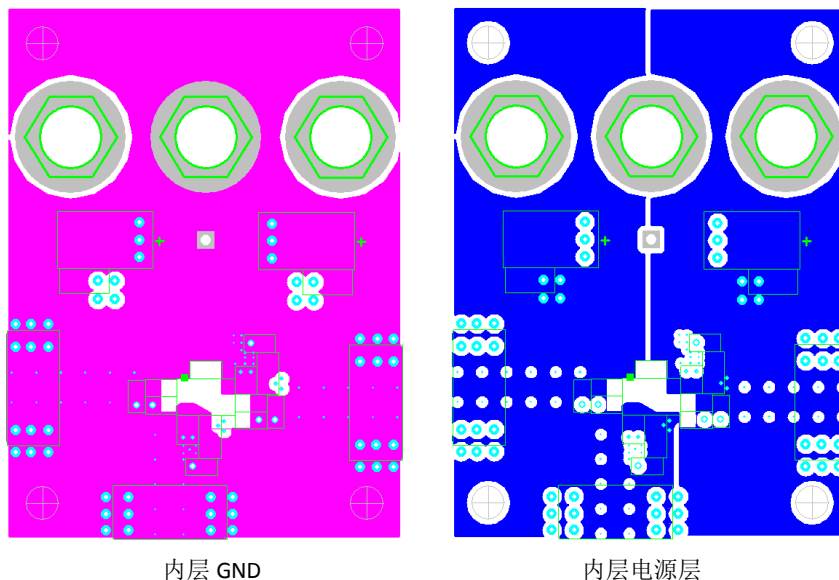
上节简要介绍了信号完整性的一些基本知识，本节结合 THS4304 实例来详细分析高速放大器 PCB 的设计方法。分析中会用到信号完整性的一些知识，读者可以参考上一节或者查找信号完整性的相关书籍。

先看一下 THS4304 的基本功能，THS4304 是电压反馈型（VFB）低电压供电运放，单位增益带宽可达 3G，10 欧负载上可以输出 50mA 电流，特别适合 5V 供电的高速应用。THS4304 的电路设计具有高速 PCB 设计的典型性，下面分几个要点一一进行分析。

1)、多层 PCB 叠层设计

要想获得一个高性能的高速 PCB，需要多层 PCB 分别完成信号、电源、GND 布线，成本不允许的话至少需要一个双层 PCB。如下表，是 THS4304 的叠层顺序，其 GND 层是一个连续式的大面积接地层，从而可以为回流电流（镜像电流）提供一个低阻抗的接地路径。相对应地，电源的布线应设计成一个与接地层相邻的大面积连续的一层。由此而形成的分布电容能够确保为电源电压提供一个低阻抗。

叠层	功能
表层信号层	完成元件的放置和信号线
中间层 GND	给表层信号层提供回流路径，并保证信号线阻抗连续
中间电源层	跟中间层 GND 紧密相邻，为芯片提供低阻抗电源通路
底层 GND	跟中间 GND 层功能一样（多层 PCB 叠层为偶数）



如上图，THS4304 的电源层分割为两块大铜皮，左边提供 $-VS$ 供电，右边提供 $+VS$ 供电。紧密相邻的内层 GND 是一块连续的铜皮，宽大的铜皮大大减小了寄生电感，并且跟电源层形成的分布电容能够确保为电源提供一个低阻抗供电路径。

2)、电路板上多单元电路的供电

如果在一块 PCB 上组合了几个功能模块，那么应该在这块 PCB 上分隔出单独的功能单元。当需要在同一块 PCB 上处理模拟和数字信号时，这一点显得尤为重要。模拟电路在 PCB 上的位置放置不正确以及在 PCB 上的模拟区域走数字信号线是一个常见的错误。每一个单独的功能单元都应该有各自的电源，如下图所示。采用一个扼流圈（如磁珠）构造的星形电源电压分布供应系统可以使得各个功能模块间更好的去耦合。

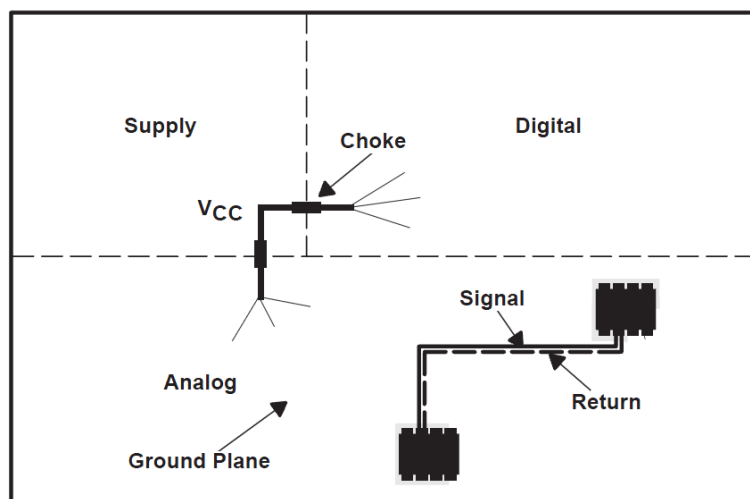
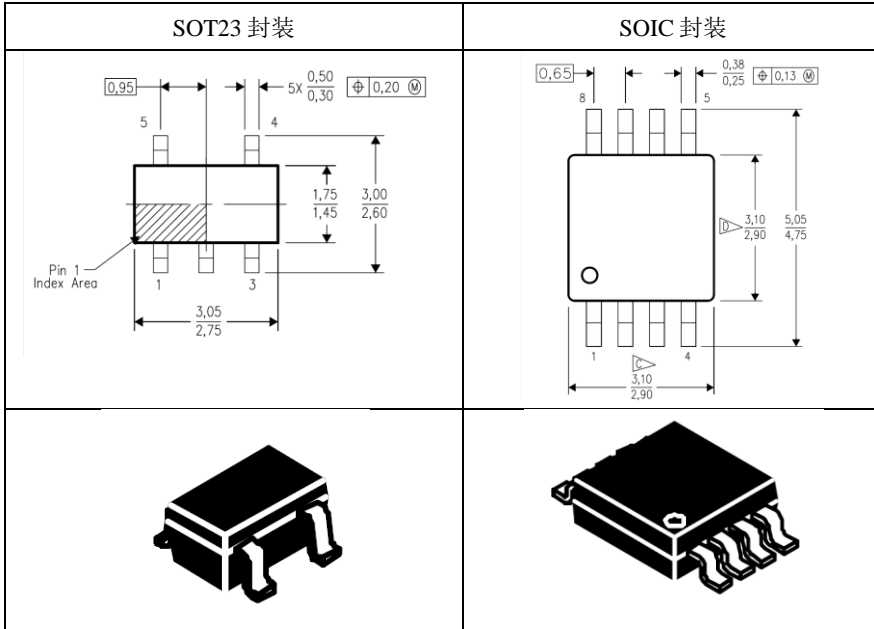


Figure 1. PCB With Proper Arrangement

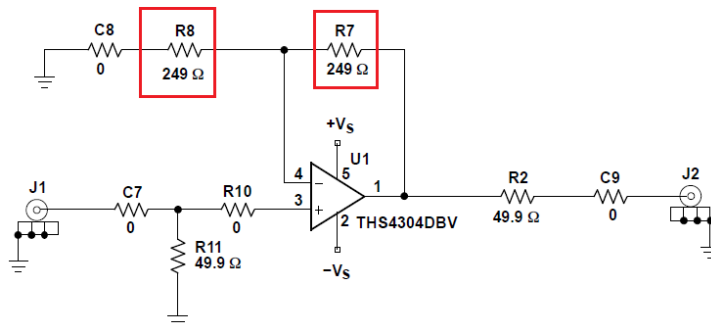
3)、采用小封装降低寄生参数

在高频时，每个元件引线都如同一个电感。设计高速 PCB 时，电感的感应系数越低越好。表面组装器件（SMD）是满足这个要求的理想选择。表面贴封装技术不但可以确保极低的引线电感感应系数，而且只占用 PCB 上极小的空间。小而紧凑的 PCB 有助于减少寄生电容和寄生电感的值。高速 PCB 设计中不建议采用带有引线的元件和插口。下图是 THS4304 提供的 SMD 封装，采用了业界流行的 SOT23 和 SOIC 封装。



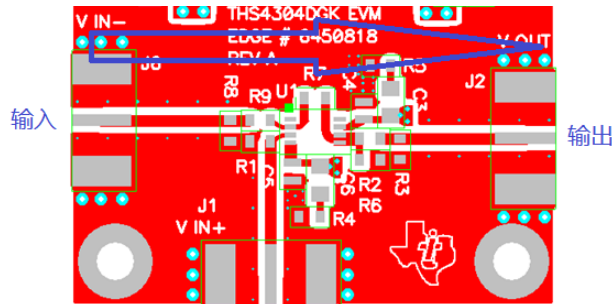
4)、在 RF 电路设计中要求使用低电阻阻值的元件

这样可将耦合干扰电压减至最小，而且可以防止由于信号的连线与寄生电容形成的低通滤波器的低截止频率导致的信号衰减。对于反馈电阻需要密切的注意。为了得到最佳的频率响应，相关的器件参数手册中给出了稳定时间以及建议的最小振铃反馈电阻的值。例如 THS4304 的反馈电阻使用了百欧姆级别电阻。不同芯片的反馈电阻在选择时还需要参考数据手册，按推荐值选择最好。



5)、使得信号处理能沿着一条线路进行

也就是说这个电路的输入和输出必需完全的分隔开，以此在电路中提供高的去耦合程度。如下图，THS4304 的布局中输入和输出之间的元器件沿着一条线放置。按照这个方式排列元器件，可以减少信号处理不同阶段的信号相互耦合。总的来说，PCB 设计必须紧凑，这样才能确保所有的 RF 环路都很小，因而减少 RF 的辐射与发射现象。



6)、保持供电路径的低阻抗

对于一个运算放大器来说，其理想的电源阻抗是很低的。在 PCB 上的实现中为了保证电源线路的低阻抗值，应该使得线路尽可能的宽，例如使用电源平面。另外，电源电压需要采用一个储能电容来抑制电源电流的快速大幅度变化产生的影响，从而保持电源电压的稳定。最大的电源电流取决于放大器的输出功率。大多数情况下，一个 6.8 uF 至 10 uF 的钽电容可以为 THS 系列高速运算放大器提供一个较好的输出功率值。

当选择电容时，确保它们有一个较小的等效电阻（ESR）和等效电感（ESL）是很重要的。下图是实际中电容的等效模型，可以看到电容中有 ESL 和 ESR，这些参数的存在使得电容在不同频率下表现的阻抗不一样。谐振频点处（右图凹陷尖顶处）阻抗最低，大于谐振频点时 ESL 占据主导，电容开始呈现感性。

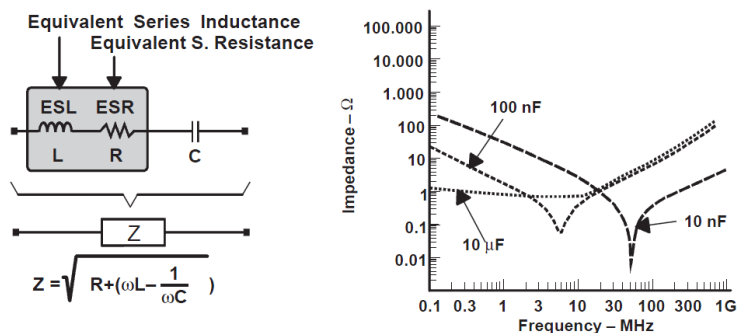
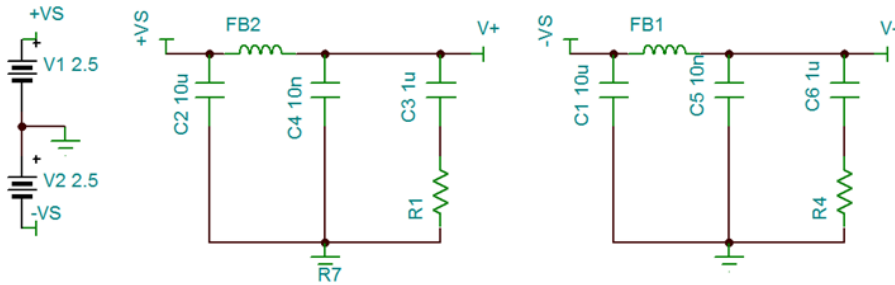


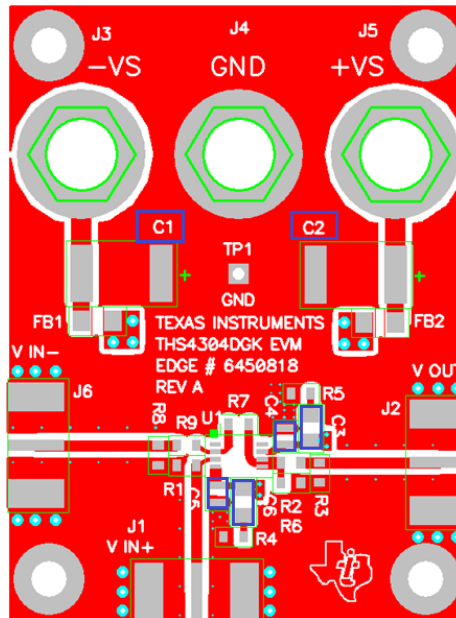
Figure 2. Impedance Behavior of a Real Capacitor

了解了电容的等效模型，当我们选择一个 10uF 的电容时，为了使 10uF 电容谐振频点以上区域都能呈现低阻抗，需要并联一个 100nF, 10nF 小电容。这是因为小电容的谐振频点更

高（如上图中右边曲线），跟 10uF 并联后可以使 10uF 的感性区间阻抗大大降低。THS4304 的供电也是采用了这个原理，下图是 THS4304 的供电，V₊和 V₋接芯片电源管脚，可以看到正电压供电上 C2、C4、C3 三个不同容值电容的搭配（负电源 C1、C5、C6 搭配）。不同之处是电路中使用了 FB1 和 FB2 磁珠将芯片电源管脚跟外部电源更好的隔离，并且使用了 R1 和 R4 使 RC 的低通滤波效果更好。



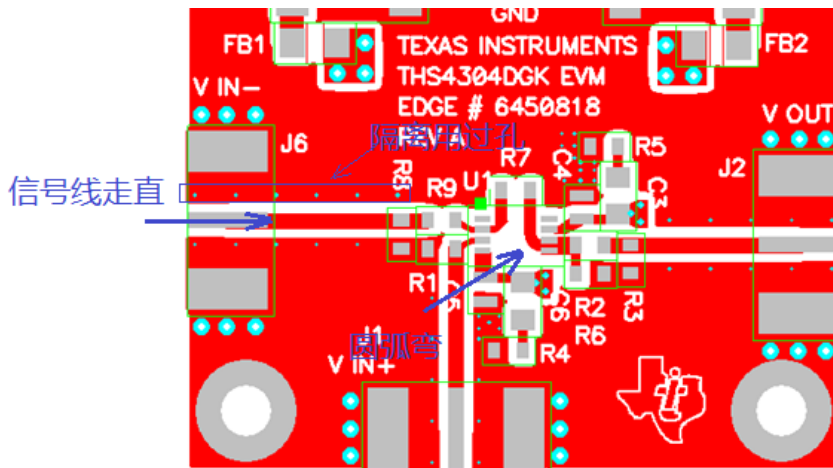
电源的低阻抗不仅跟滤波电容值有关，跟滤波电容的放置位置也是紧密联系的。这时因为 PCB 的走线会带来寄生电感，极大的影响了滤波电容的性能。下图是 THS4304 的滤波电容布局：



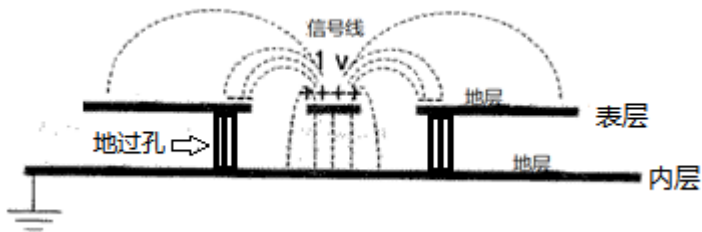
图中将滤波电容的位置标出，可以看到 C1 和 C2 离芯片远，C3、C4、C5、C6 离芯片近。这是因为 C1 和 C2 是大容值电容，负责给芯片补偿能量，工作在低频附近，所以对 PCB 走线的寄生电感不敏感。C3 和 C4 相比，C4 离芯片管脚更近，这是因为 C4 的容值更小，PCB 走线越短越能体现出 C4 在高频下的低阻抗特性（C5 和 C6 与此同理）。

7)、长度是信号走线设计的最重要准则

如下图是 THS4304 的信号线布线图，信号走线的长度越短、路径越直则性能越好，参看图中 V_{in} 和 V_{out} 的笔直走线。如果走线时不得不产生一个很大的角度的话，那么线路必须是弯成圆形的，或者这个角度至少为 45 度，这样才能确保走线的阻抗保持不变，参看图中标记的“圆弧弯角”。一个接地层可以使得每个信号走线的附近都有相应的返回路径。如果因为空间不够而必需使得信号线路互相平行，那么线与线之间至少要保持三倍于线宽的距离。采用在两条信号线路之间放置一条地线的方式可以提供更佳的去耦合性能。

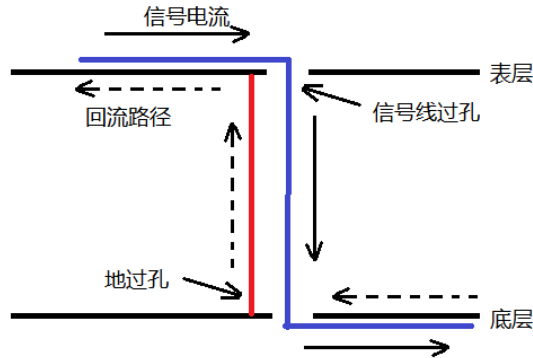


THS4304 的布线中使用了地过孔来提供更好的屏蔽性能（去耦合性能）。如下图，在信号两边添加地过孔后，通过表层地层、地过孔和内层地将信号线“包住”，大大减小了信号的辐射，同时减小了信号被干扰的程度（辐射信号的能力越强，接收干扰的能力也越强）。



8)、信号线上的过孔

若因空间不够而出现一个信号走线必需两层在 PCB 之间切换的情况，则必须使用一个连接或者通孔。由于在高频时这个通孔会给信号线路增加额外的阻抗，所以应该尽量减少通孔的数量。可以看到 THS4304 的信号线上没有过孔。当使用过孔时，需要在信号线的过孔旁边再添加一个 GND 过孔为其提供回流路径，如下图。



9)、避免共阻抗干扰

因为输入信号通常是用地线作为参考，所以它的接地路径可能会给信号注入噪声。如果一条接地路径被多个信号使用，这些信号之间会出现相互干扰的情况。下图中，输入和输出信号使用的是同一条地线。一个高的输出电流 (I_L) 会导致在传输线的阻抗上产生一个 V 的压降。根据欧姆定律，这会随着负载电流成比例地增加。这个压降作为放大器的一个附加输入信号，在高增益的情况下，可引发正反馈，从而使得放大器电路产生振荡。因此，电路的大电流部分最好不要和其它的部分共用地线。它们应该是在一个单点汇合。

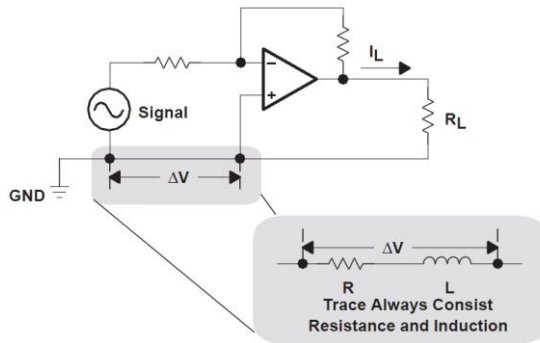
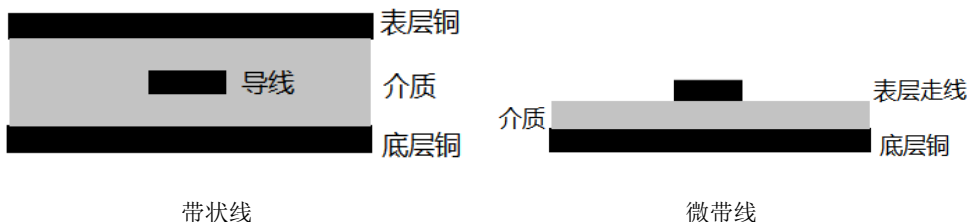


Figure 3. Sharing of Ground Lines

10)、控制走线的阻抗

当信号的波长跟 PCB 走线长度处于同一数量级时，就需要控制走线的阻抗了。长距离的连接应该采用带状线或者微带线传输线技术。这些线路应该根据应用所要求的特性阻抗来进行设计，导线的宽度，介质厚度决定其特性阻抗。



下图给出了导线宽度和传输线特性阻抗的关系。阻抗转换时如果匹配错误将会导致非常大的反射信号。这些反射将会附加在原始信号上，使其产生错误或者甚至完全将其消除。

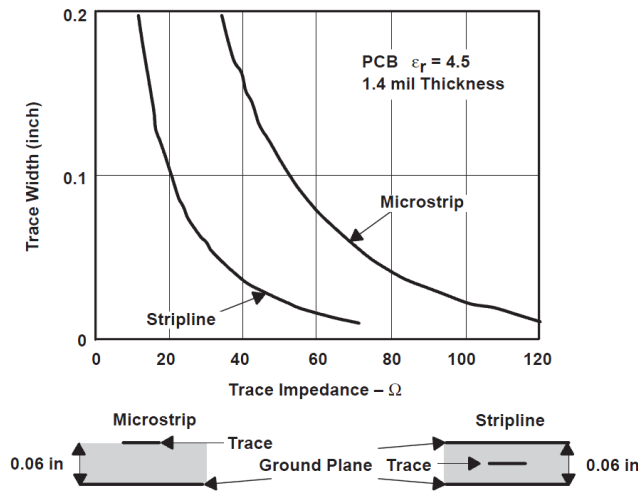
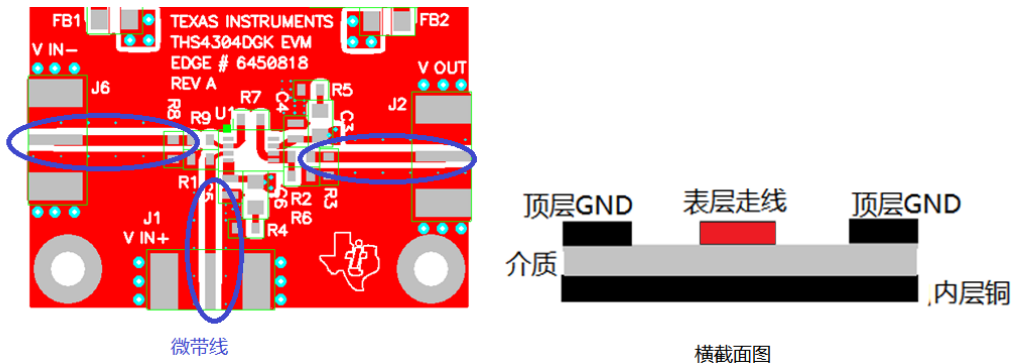


Figure 4. Trace Width on Standard PCB's

THS4304 的信号线使用了微带线的传输方法来控制阻抗，其参考层为内层 GND。如下图：



11)、输出电阻设计

如果在信号的传输中允许发生 6 dB 的衰减，通过在放大器的输出端口加入一个串联电阻以及在传输线末端目标设备的输入端口加入一个终端负载电阻，可以使传输线达到零反射。如下图所示，其中给出了终端电阻的不同取值。输出与串联电阻，输入与分流电阻，都必须等于传输线的特性阻抗。放大器输出端口的串联电阻隔离了输出端口的电容性负载。直接连接于放大器输出上的电容性负载会降低该设备的相位冗余度，从而导致高频振铃或震荡。因此，建议在放大器的输出端口串联一个电阻。如果不能够接受双端的衰减损耗，则只能在一个端口采用端接电阻。这种情况下，信号的质量会受到一定的损害。

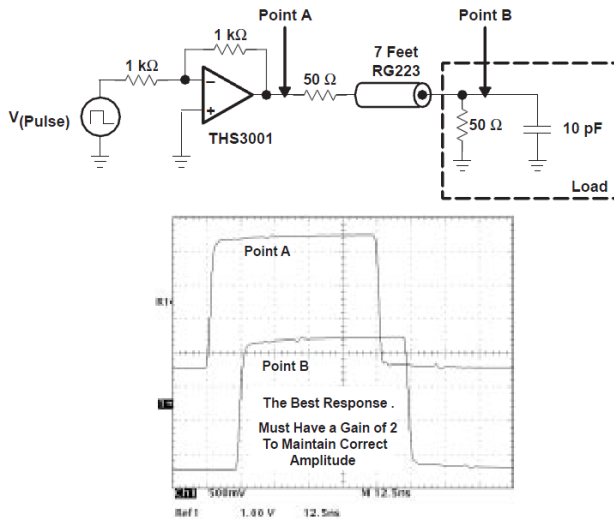
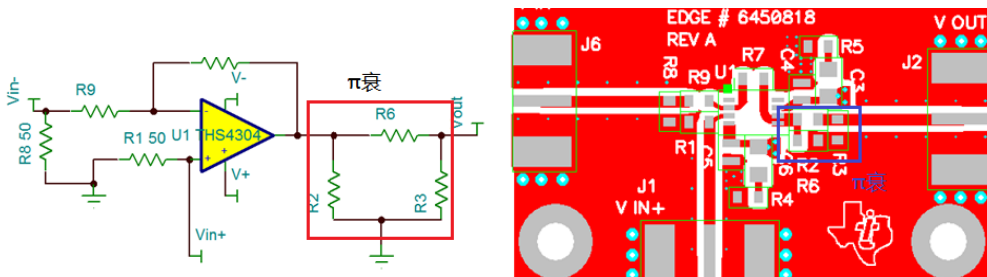


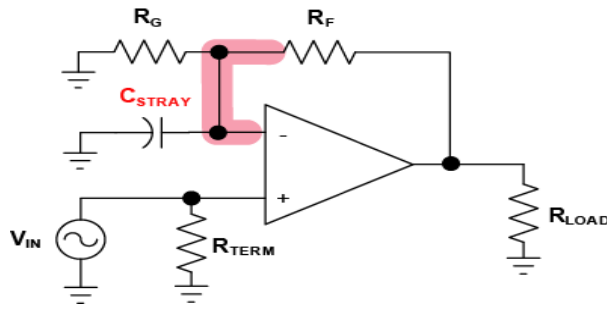
Figure 5. Correct Termination

THS4304 在输出端使用了 π 衰来调节阻抗和输出功率，并且可以防止不稳定的情况出现。 π 衰是由 3 个电阻构成，跟上述电阻匹配原理类似， π 衰的特点是：计算合适的电阻可以使从输入看进去，阻抗为 50 欧，从输出看进去阻抗也为 50 欧。由于 π 衰中的串联电阻，信号会按照设计的衰减量衰减。由于输入和输出都是 50 欧阻抗，所以由于外部线缆的不匹配造成的反射会被 π 衰吸收，不再次反射。如下图

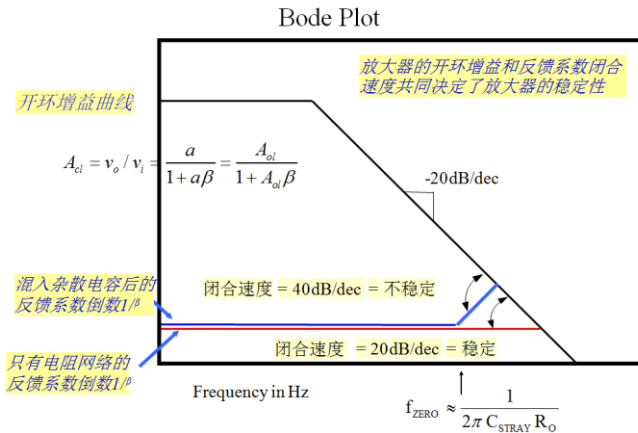


12)、减小输入和输出端口的寄生电容和电感

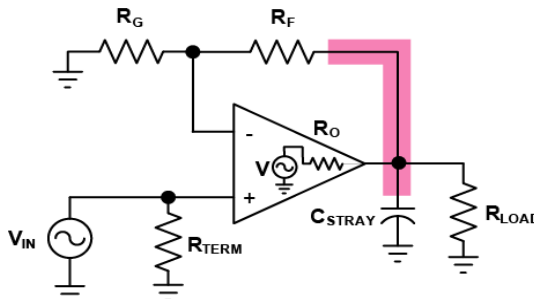
放大器的输出和输入端口对于寄生电容和电感非常敏感。下面用波特图的方法简要分析一下寄生电容对放大器稳定性的影响。寄生电容 C_{stray} 与 R_f 、 R_g 组成的反馈网络，容易带来放大器不稳定的问题，常常一个很小的 1pF 的杂散电容往往就使的放大器的稳定性大大下降，带来振荡的问题。如下图所示的同相放大电路，当应用的高频电路中时，在反相放大节点容易出现杂散电容 C_{stray} ，在高频电路中，由于频率很高， C_{stray} 将会产生作用， R_g 的右端相当于短路，这样同相放大器的“虚短”特性将被破坏。下面我们通过开环曲线的波特图来分析杂散电容 C_{stray} 对系统稳定性带来的影响。



我们在上一章放大器的稳定性分析中，通过分别分析开环增益曲线 A_{ol} 和 $1/\beta$ 曲线来分析放大电路的稳定性。如下图所示，因为当 $|A_{ol}\beta| = 1$ 时， $|A_{ol}| = |1/\beta|$ ，则 A_{ol} 和 $1/\beta$ 的交点处也就是 $|A_{ol}\beta| = 1$ 的频率点。在以 dB 为单位时， $|A_{ol}\beta| = |A_{ol}| - |1/\beta|$ ，如下图所示，如果当 $1/\beta$ ，在 A_{ol} 和 $1/\beta$ 交点之前，存在一个零点，也就是 β 存在一个极点，那么 $1/\beta$ 将会以 20dB/Dec 的速率上升，而 $|A_{ol}\beta|$ 将会以 $\text{Rate}|A_{ol}\beta| = \text{Rate}|A_{ol}| - \text{Rate}|1/\beta| = -20\text{dB/decade} - 20\text{dB/decade} = -40\text{dB/decade}$ 的闭合速度与 0 轴闭合，所以此时的放大器是不稳定的。

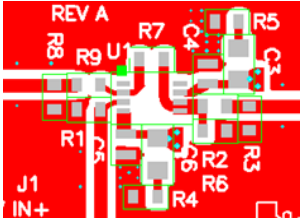
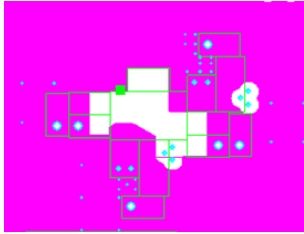
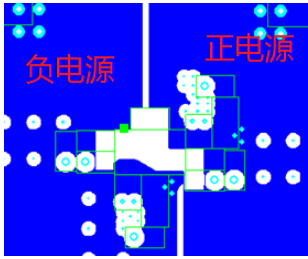
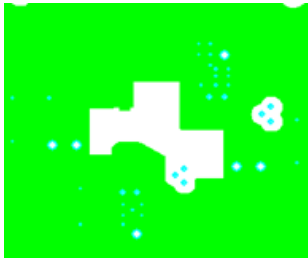


同时，放大器的输出端也会存在寄生电容，当信号频率很高时，寄生电容 C_{stray} 和 R_O 也会使得 $1/\beta$ 上存在零点， $f_{ZERO} \approx \frac{1}{2\pi C_{STRAY} R_O}$ ，根据上述分析可知，输出寄生电容也同样会使得放大器不稳定。



通过上面的分析，要确保放大器的稳定性，就要使寄生参数尽量小。PCB 布局布线时需要将连接在这些引脚上的元器件应该尽可能的靠近放大器，以尽可能的缩短信号的走线，从而减少寄生电容和电感。如果需要更进一步的减少寄生电容，可以移除相应管脚及连接信号线下的地线层和电源层。由于反相输入管脚对于寄生电容最为敏感（因为反馈路径连接在反向输入管脚），因此以上操作都应该在反相输入管脚进行。当放大器工作在反相模式时，因为反相引脚固定在某一偏置电压下，所以寄生电容带来的影响最小（反向放大器的反向端是虚地的，随信号的摆动幅度很小）。

下图是 THS4304 的 PCB，为了减小芯片端口的寄生参数，把地层和电源层挖空。并且外部元件都靠近芯片放置。挖空的范围需要注意，不是仅仅局限于芯片的正下方，外部元件跟芯片管脚相连的一端下方也被挖空。

	
<p>顶层，芯片周围不铺地，元件靠近芯片放置</p>	<p>内层 GND，芯片下方挖空</p>
	
<p>内层电源，芯片下方挖空</p>	<p>地层 GND，芯片下方挖空</p>

13)、芯片的散热

对于具有大驱动能力的高速放大器，在它的表面贴封装的底部安装一个特殊的 PowerPAD™ 装置可以改善器件的散热能力。如下图所示。在这个封装中，一个特殊的接触点直接在内部与芯片连接。为了进一步的提高散热能力，PowerPAD™ 的接触面应该直接与 PCB 的地线层相连。因此，PCB 的设计中应该包含一小块位于放大器封装管脚之间的铜片区域。这块铜片区域应该紧密地与地线层连接（通过若干通孔）。这样便形成了一个扩展面来促进热量向周围环境扩散。

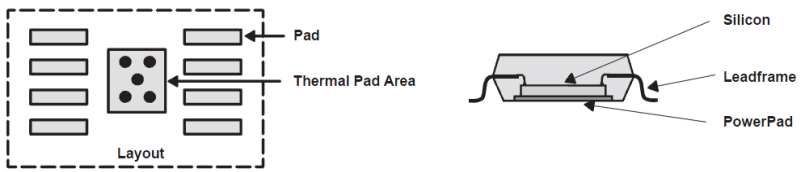
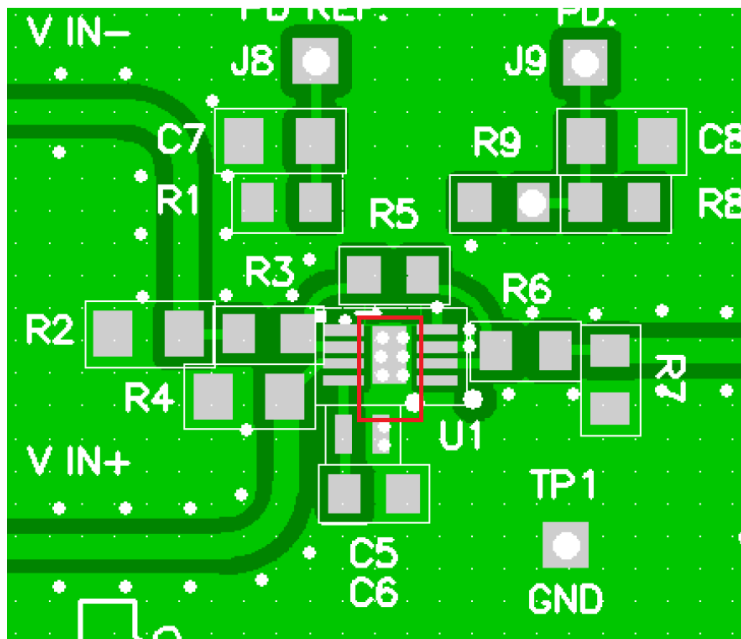


Figure 6. PowerPAD™ Improves Heat Sinking

例如 THS4275 的 PCB 布局，芯片下方的散热片跟顶层的铺地铜皮相连，并且通过多个地过孔跟内层的 GND 相连，增强散热能力。



第八章 有源滤波器设计

8.1 滤波器基本原理

运算放大器的一类应用就是用做有源滤波器，如何运用 TI 的各种运算放大器及其外围电路来构成 LPF, HPF, BPF 是一个模拟设计新手所要面对的巨大挑战，现在有了 WEBENCH-filter 的帮助，你只需要输入想要得到的滤波器参数，TI 会帮助你做出正确的选择，并计算出外围电路中繁多的 R, C 之值。

模拟滤波器在信号链的应用中一般用作抗混贴滤波器。设计模拟滤波器的时候关于通带和截止带设定会用到采样定理的知识。本节简要用图形的方法讲解一下采样定理，帮助同学们更好的回顾一下。

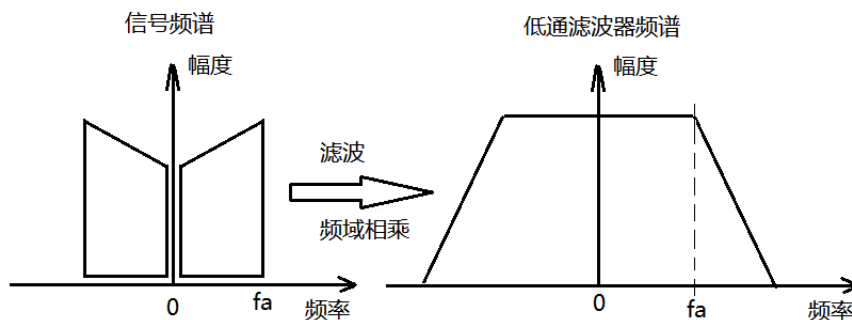
在时域中，信号经过滤波在采样是 $s(t)$ 和 $h(t)$ 卷积，然后再跟 $\delta(t)$ 相乘

$$s(t) \otimes h(t) \bullet \delta(t)$$

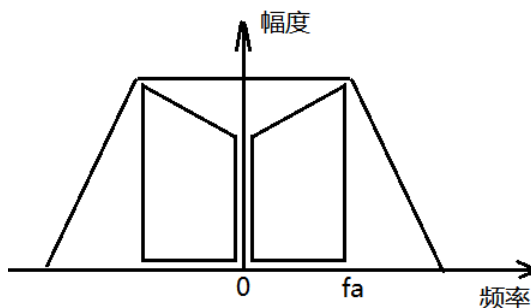
对应到频域，信号 $S(\omega)$ 和 $H(\omega)$ 相乘，然后再跟 $\delta(\omega)$ 卷积

$$S(\omega) \bullet H(\omega) \otimes \delta(\omega)$$

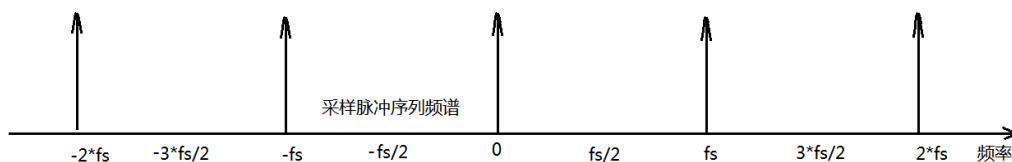
把频域的变化用下图来表示：



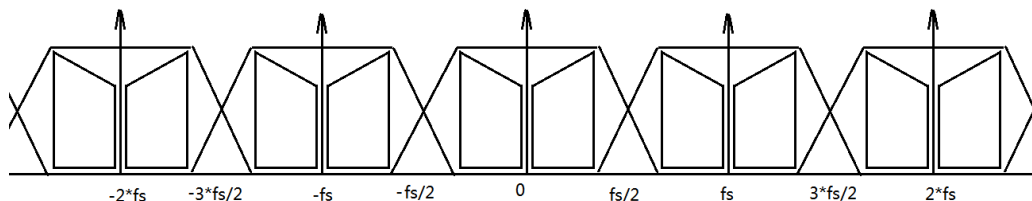
信号经过滤波器后的频域图如下：



采样函数 $\delta(t)$ 的频域图 $\delta(\omega)$ 如下:

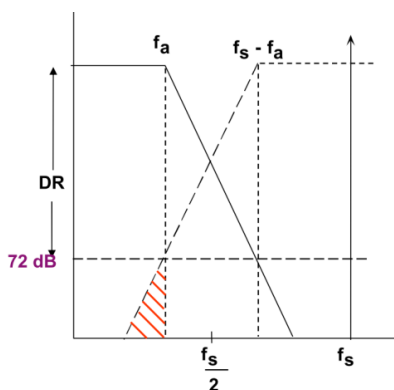


经过滤波的信号跟 $\delta(\omega)$ 卷积如下:



可以看到在频域轴上, 频谱周期延拓。在滤波器的过渡带内会产生频谱混叠, 只要混叠区域不干扰到有用信号频谱 (混叠区域幅度足够小或者避开有用信号区域) 就不会产生错误。根据频谱的对称性, 0 到 $fs/2$ 的区域被称为奈奎斯特域。由于实际中滤波器不能做到 0 过渡带, 所以采样率 fs 要大于信号带宽 fa 的数倍。回顾完信号采样定理, 我们来看一个具体的例子。

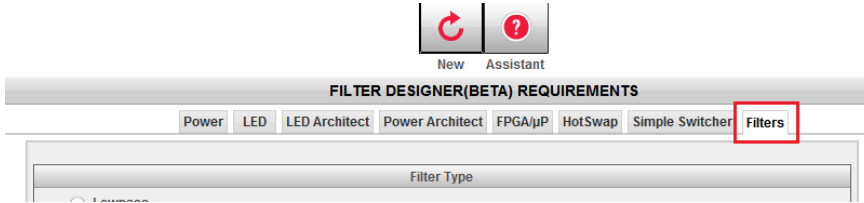
假设我们感兴趣信号的最高频率为 100Hz, 幅度为 0-4Vpp, 我们使用 2ksps 的采样率对信号采样, 期望达到 12 位的精度, 如下图:



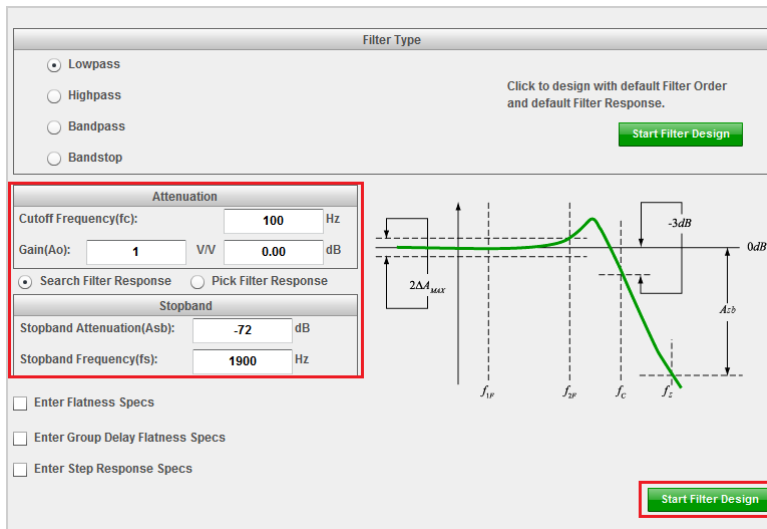
$F_a=100\text{H}$ 为我们感兴趣的最高频率, 我们设置它为低通滤波器的-3dB 截止频率。Fs 为采样率 2kHz, 根据奈奎斯特采样定律, 超过 $fs/2$ 的信号将混叠到 $0-fs/2$ 频段中, 其中 $fs-f_a$ 到 fs 间的频率成分将混叠回 $0-f_a$ 频段内, 为了保证 $0-f_a$ 频段内 12 位的精度, 即 72dB 的动态范围 ($72\text{db}=20*\log(2^{12})$ 计算 12 位 ADC 的动态范围), 高于 $fs-f_a$ 的频率分量都应该被低通滤波器限制在 -72dBc 以下 (将 ADC 的最大量程归一化后为 0db, 则 12bit ADC 能测量到的最小信号为 -72db, 要使混叠到带内的信号不干扰 ADC 采样, 则需要衰减到 -72db 以下)。所以我们的过渡带为 $fs-f_a=1.9\text{kHz}$, 阻带衰减量为 72dB。

8.2 Webench 和有源滤波器设计

让我们用 WEBENCH-filter 来完成这个设计:



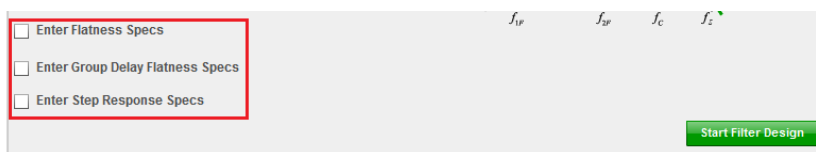
进入 ti 官网的 WEBENCH 设计中心，并打开 filter 设计页面后，我们得到如下的启动画面，软件自动进入设计流程，首先是选择滤波器类型和填写基本设计参数，这里选择低通滤波器:



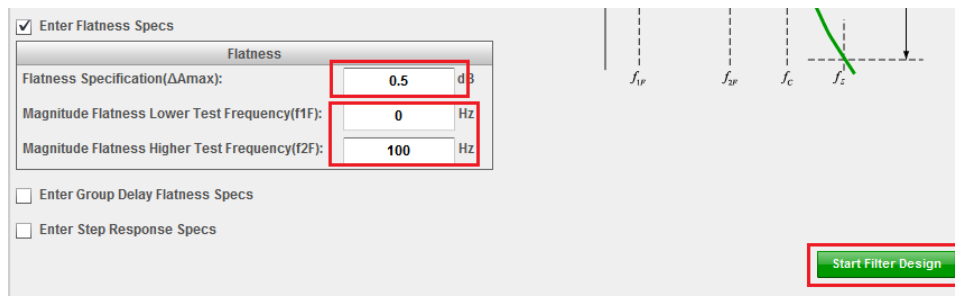
依次键入我们的设计参数，滤波器增益（设为 1）；截止频率（-3dB 截止频率=100Hz）；阻带频率（设为 1900Hz），阻带衰减（设为-72dB，该衰减量是满足 12 位精度范围而设定的）。各参数跟上图右边幅频曲线的对应关系为：

参数	图中标记
截止频率	f_c
阻带频率	f_s
阻带衰减	A_{sb}
平坦度（带内波动）	$2\Delta A_{MAX}$
平坦度范围起点频率	f_{1F}
平坦度范围终点频率	f_{2F}

关于平坦度，滤波器延时以及阶跃响应的设置在下方复选框中。



在这里选择平坦度设置



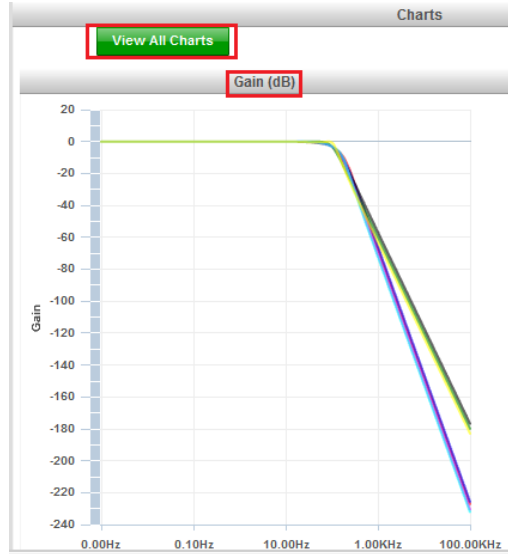
通带起伏（设为 0.5dB，扫频仪等应用中期望通带起伏越小越好；点频测量则要求较松）；注意设置平坦度的起止频点范围，然后开始滤波器设计，下图是设计界面：



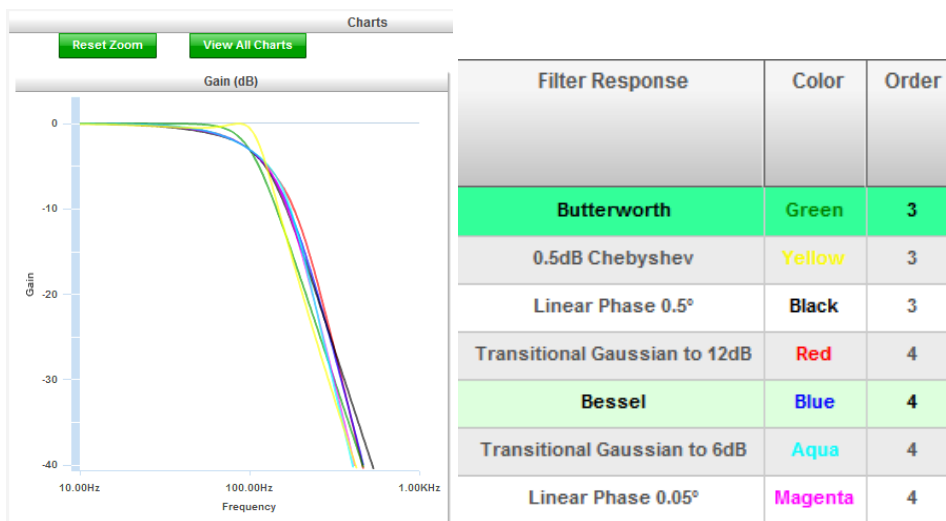
WEBENCH 为设计滤波器提供了最大的灵活性和方便性。设计界面中有 6 个组成部分。1 是设计优化，可以在阻带衰减、冲击响应和成本之间优化；2 是设计条件修改，可以在设计过程中随时修改设计条件；3 是方案筛选，可以推动滚动条对待选方案的性能进行筛选，例如阻带衰减值、阶数、波动和延时等；4 是方案可视化对比，将待选方案的延时、阻带衰减和阶数等参数显示在三维图中，图的坐标表示的参数可以在下拉菜单中选择；5 是待选方案，表格中有各方案的特性参数；6 是方案性能曲线对比，可以点击曲线进行放大，方便查看。

设计中首先选择滤波器频率响应的类型，常用的有 Bessel, Butterworth 和 Chebyshev,

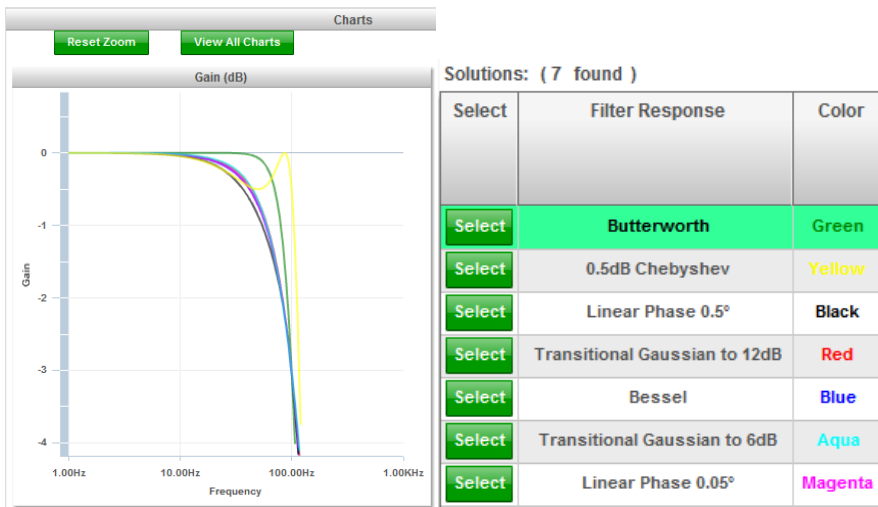
概括来说，Bessel 拥有最平坦的通带和最缓的截止速率；Chebyshev 拥有最陡的截止速率，但其通带起伏最大；而 Butterworth 的表现为两者的折中。点击设计界面中的“性能曲线”，观察幅频曲线（view all charts 可以重新查看所有图），如下图：



三种滤波器的-3dB 的截止频率均为 100Hz，下图放大了三种滤波器在经过通带截止频率 f_c 以后，在过渡带上的衰减速率上的差异；可以看到黄色曲线（Chebyshev）下降的最快，绿色曲线（Butterworth）下降速率居中。



在放大了 Y 轴后的图中可以观察到三种滤波器在通带起伏上的差异；可以看到黄色曲线（Chebyshev）的波动最大，绿色曲线（Butterworth）则较平坦，如下图。



这里我们选择 Butterworth 型滤波器，软件计算出需要 3 阶滤波器。

Solutions										
Select	Filter Response	Color	Order	Max Q	Att (dB)	Flatness (dB)	Passband Ripple (dB)	Group Delay (usec)	Group Delay Flatness (usec)	Settling Time (usec)
Select	Butterworth	Green	3	1	-76.72	3.010	0.016	3497.468	314.369	21548.
Select	0.5dB Chebyshev	Yellow	3	1.706	-79.61	0.499	0.499	5891.452	2827.031	32361.
Select	Linear Phase 0.5°	Black	3	0.95	-73.43	3.010	0.574	3183.258	142.889	13882.

点击“select”按钮后进入滤波器电路图设计，设计界面如下，包括 6 个部分。1 是设计优化，可以在电路对元件的敏感程度、成本和占用 PCB 面积之间进行优化；2 是器件的选择，支持选择不同型号的运放；3 是拓扑选择，可以选择 MFB 型或者 Sallen-key 型；4 是滤波器类型修改，可以在设计中重新选择滤波器的类型；5 是电路原理图，图中增益参考可以修改；6 是器件修改，可以改变电路图中的元件，方便设计优化调整。


The figure shows the 'FILTER DESIGNER (BETA) DESIGN SUMMARY' interface. It is divided into several sections:

- 1 优化设计 (Optimization):** Includes 'Lowest BOM Cost', 'Smallest Footprint', and 'Sensitivity' options.
- 2 器件选择 (Component Selection):** Shows 'Op-Amp' selection with 'Sallen Key' topology.
- 3 拓扑选择 (Topology Selection):** Shows 'Filter Topology Specifications' with 'Sallen Key' selected.
- 4 滤波器类型修改 (Filter Type Modification):** Shows 'Filter Design' with 'Butterworth' response and '3' order.
- 5 原理图 (Schematic):** Shows two circuit diagrams for a 3rd-order Butterworth filter. The first is a Sallen-Key topology with a gain of 1, and the second is a MFB topology with a gain of 1. Components include resistors R1, R2, R3 and capacitor C1.
- 6 器件修改 (Component Modification):** Shows two 'Bill of Materials' tables. The first table lists parts A1 (Texas Instruments TL082CM), C1 (Murata GRM219R71E106KA01L), and R1 (Vishay Dale CRCW05084K3774EA). The second table lists parts A1 (Texas Instruments TL082CM), C1 (Murata GRM219R71E106KA01L), C2 (Murata GRM155C80A474AC15D), R1 (Vishay Dale CRCW05084K3774EA), and R2 (Vishay Dale CRCW05081903F4EA).

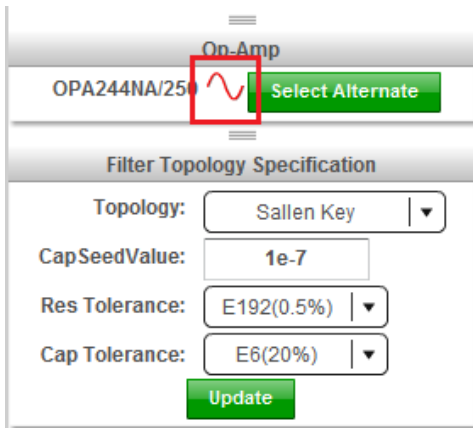
简单来说，多重反馈（MFB）型滤波器是反相滤波器，其 Q 值、截止频率等对元器件改变的敏感度较低，量产时有一定优势，缺点在于输入阻抗低，增益精度不够好；Sallen-Key 型滤波器是同相滤波器，其优点在于拥有高输入阻抗、增益设置与滤波器电阻电容元件无关，所以增益精度极高、且在单位增益时对元器件的敏感度较低。由于我们这里增益为 1，故选择 Sallen-Key 型。

需要注意的是，WEBENCH 中的放大器模型还较为有限，不是每个放大器都支持仿真，在选择器件上可以优先选择支持仿真的器件。例如点击“select alternate”打开备选列表后“simulation”中有“正弦波”的器件才支持仿真。

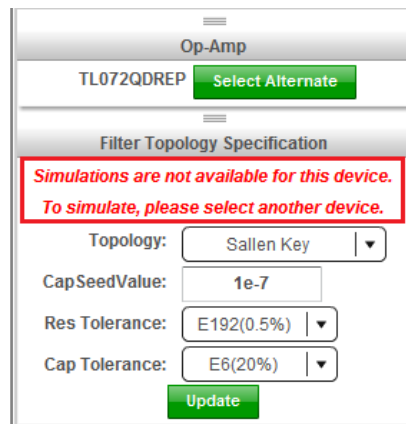
Solutions: (646 found) Show All OpAmps

Edit	Part Number	1k Price(US\$)	Footprint(m...)	Simulation	Chann...	VccMin(V)
Select	OPA244NA/250	0.60	22.5		1	2.6
Select	TL072QDREP	0.10	0.0		2	10
Select	TL064CNSR	0.18	0.0		4	4

选择支持仿真和不支持仿真的器件对比如下图，WEBENCH 会提示仿真不支持。

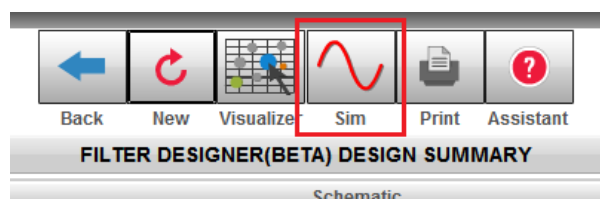


支持仿真的器件

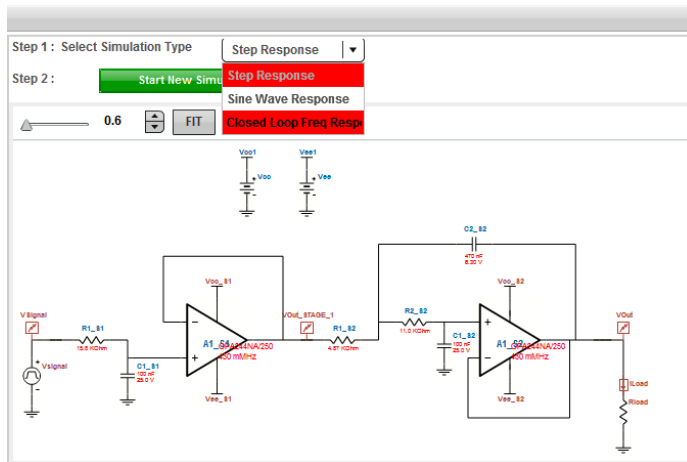


不支持仿真的器件

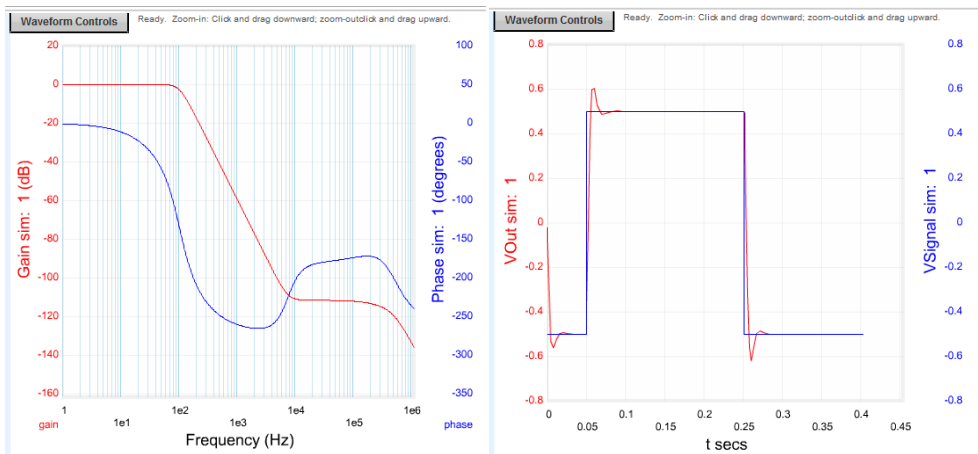
为了方便分析我们选择支持仿真的器件。选择好器件后，在界面最上方的控制栏中，点击“Sim”即可进入仿真界面



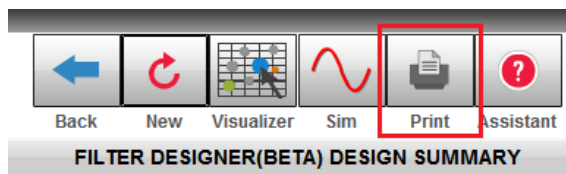
进入仿真界面后可以看到原理图和下拉菜单中支持的仿真项。有阶跃仿真，正弦波仿真和闭环频率响应。

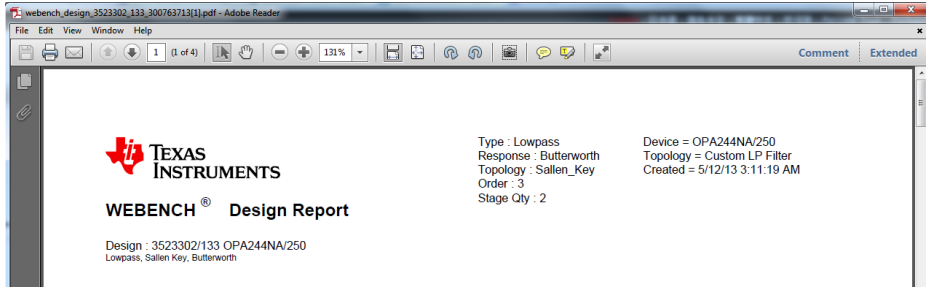


例如运行其中的闭环频率响应如下，可以清楚的看到 1.9KHz 以外的抑制在-72db 以下，满足设计要求。阶跃响应如右图，可以看到滤波器的过冲，根据过冲大小判断其稳定性。



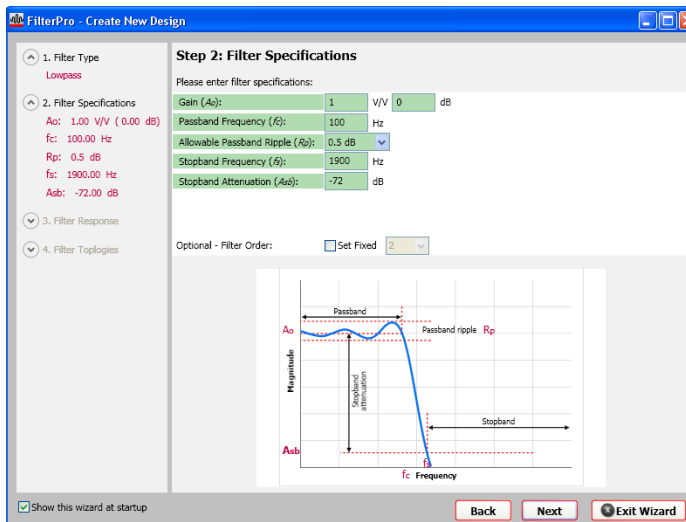
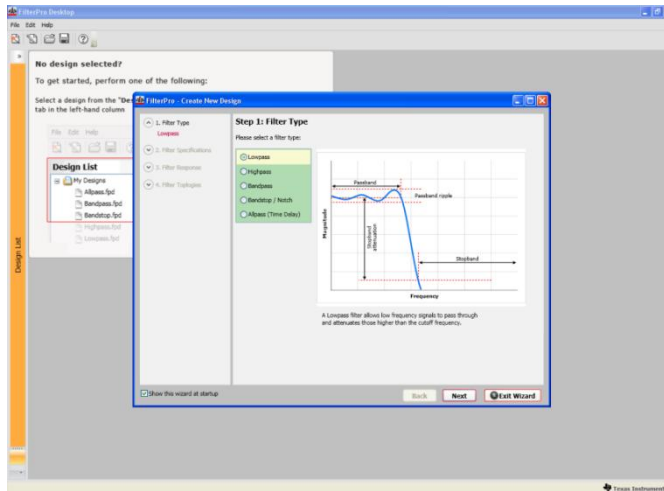
至此，滤波器经过了设计和验证。WEBENCH 不仅支持灵活的设计并且支持一些基本仿真，大大方便了用户的设计，提高了效率。在控制栏中选择“print”软件会给出 PDF 版本的设计文档。如下：



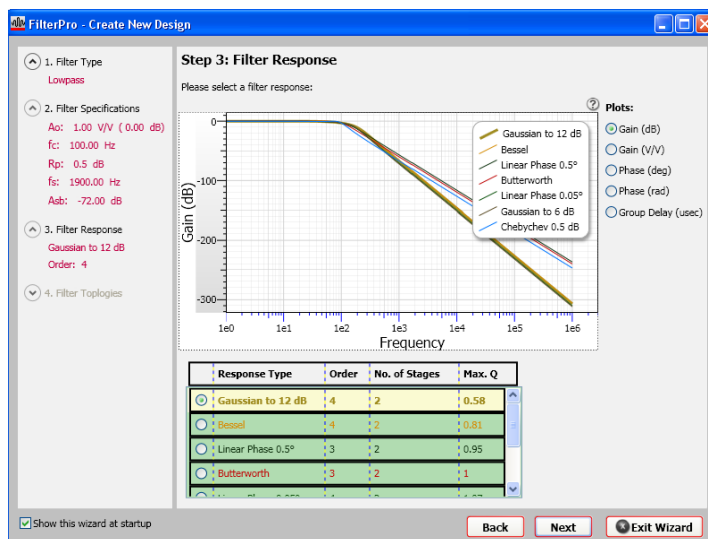


8.3 Filterpro 和有源滤波器设计

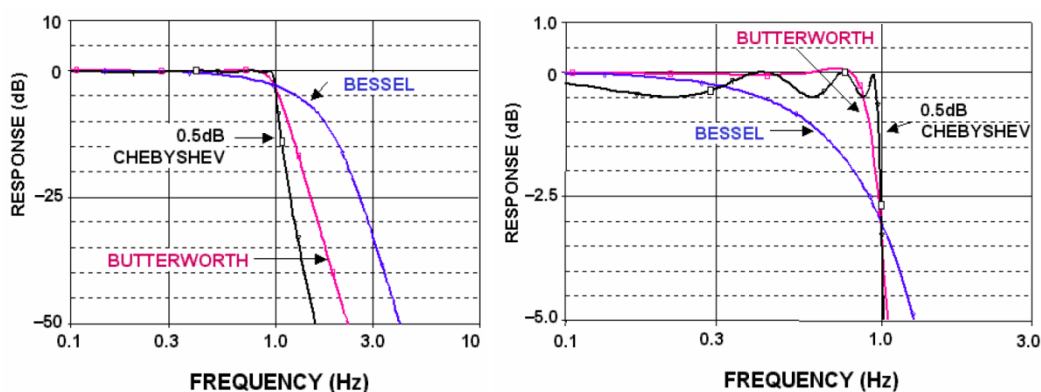
下面我们再利用 FilterPro 软件来进行有源滤波器设计。下载，安装并运行 FilterPro 后，我们得到如下的启动画面，软件自动进入设计流程，首先是选择滤波器类型，这里选择低通滤波器：



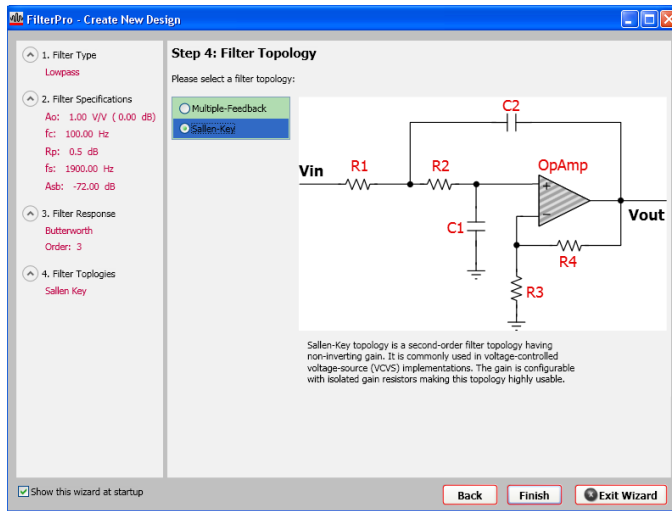
依次键入我们的设计参数，滤波器增益（设为 1）；通带频率（-3dB 截止频率=100Hz）；通带起伏（设为 0.5dB，扫频仪等应用中期望通带起伏越小越好；点频测量则要求较松）；阻带频率（设为 1900Hz），阻带衰减（设为-72dB），然后下一步：



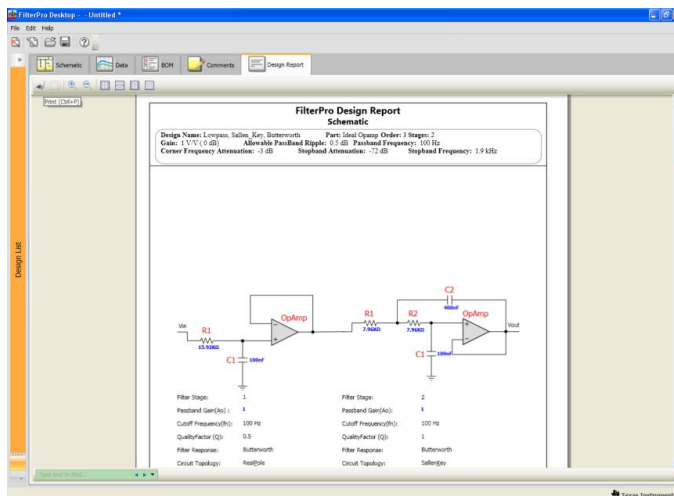
软件会要求你选择滤波器频率响应的类型，常用的有 Bessel，Butterworth 和 Chebychev，概括来说，Bessel 拥有最平坦的通带和最缓的截止速率；Chebychev 拥有最陡的截止速率，但其通带起伏最大；而 Butterworth 的表现为两者的折中。如下图，三种滤波器的 -3dB 的截止频率均为 1Hz，从左图看三种滤波器在截止速率上的差异；而在放大了 Y 轴的右图可以观察到三种滤波器在通带起伏上的差异：



这里我们选择 Butterworth 型滤波器，软件计算出需要 3 阶滤波器。下一步是选择滤波器的配置方式，MFB 型还是 Sallen-key？



简单来说，多重反馈（MFB）型滤波器是反相滤波器，其 Q 值、截止频率等对元器件改变的敏感度较低，量产时有一定优势，缺点在于输入阻抗低，增益精度不够好；Sallen-Key 型滤波器是同相滤波器，其优点在于拥有高输入阻抗、增益设置与滤波器电阻电容元件无关，所以增益精度极高、且在单位增益时对元器件的敏感度较低。由于我们这里增益为 1，故选择 Sallen-Key 型。至此，软件会给出最后的结果，给出一个设计结果，你可以导出这个设计结果为 pdf 格式，软件会分析滤波器的增益曲线，相位曲线和群延时。



8.4 运放的选择

这里的滤波器设计是以理想运算放大器来设计的，在实际中，我们还需要为我们的滤波器挑选一个合适的放大器。在挑选放大器时首要需关注其增益带宽积（GBP）、压摆率和直流精度。其中增益带宽积和压摆率需要进行一些计算：

增益带宽积:

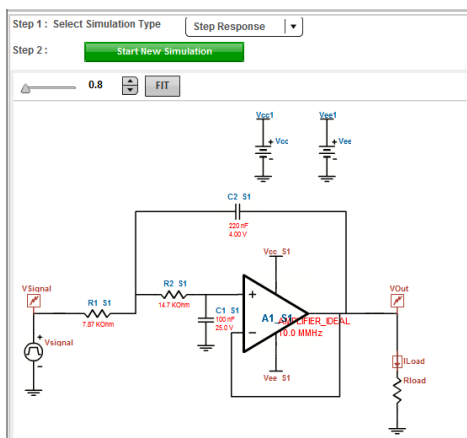
对于 MFB 结构: 运放的 GBP 最小为 $100 \times \text{Gain} \times f_c$ 。

对于 Sallen-key 结构: 当 $Q \leq 1$ 时, 运放 GBP 至少为 $100 \times \text{Gain} \times f_c$; 而高 Q 值的 Sallen-key 结构需要更高 GBP 的运放: 当 $Q > 1$ 时, 运放 GBP 至少为 $100 \times \text{Gain} \times Q^3 \times f_c$;

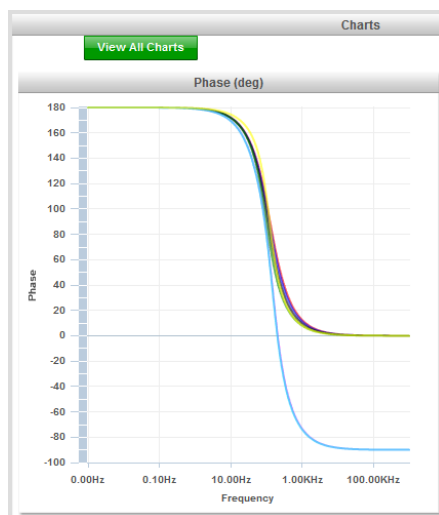
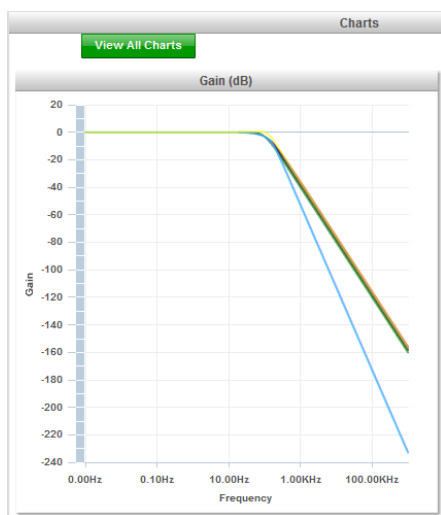
压摆率: $\text{SlewRate} > (2\pi \times V_{\text{OUTVP-P}} \times f_c)$

8.5 过采样简化模拟滤波器设计

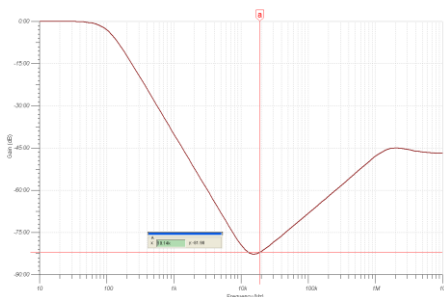
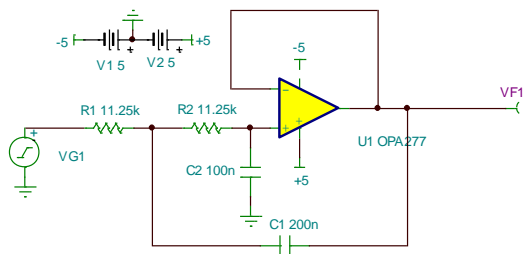
也许你会对三阶滤波器不满意, 多一个元件毕竟多一些成本。为解决这个问题, 我们可以提高采样率到 20kHz, 这样, 我们只需担心 19.9kHz 和 20kHz 之间的信号是否会混叠到 0—100Hz 间。这样, 设定阻带为 19.9K, 我们拥有了更宽的过渡带。使用 WEBENCH 重新设计后, 一个两阶滤波器就可以满足甚至超过我们的期望:



二阶滤波器的幅频响应和相频响应如下

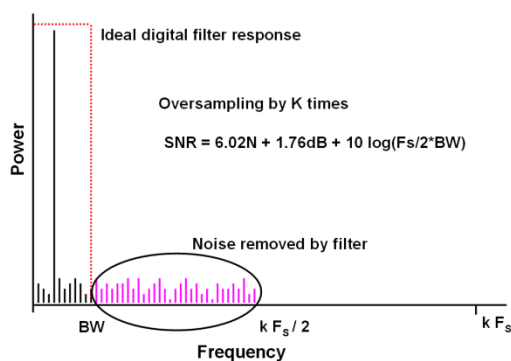
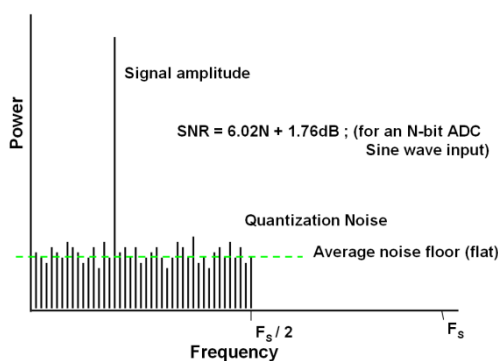


根据运放选择的方法（WEBENCH 也会给出相应的运放选择和运放选择建议），至少需要的带宽为 10kHz，压摆率仅需 0.024V/uS，一只普通的 uA741 就满足这些要求。但为了提高直流精度，我们选择 OPA277，其增益带宽积为 1MHz，压摆率为 0.8/uS，失调电压仅为 20uV。

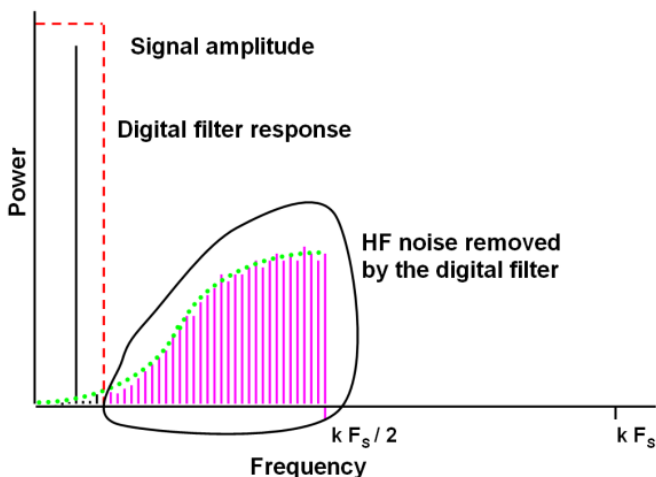


上面我们看到在 19kHz 处，衰减达到了 -80dB，非常好的结果，但是随后增益曲线开始上升，对更高频率处的抑制能力下降，这是 Sallen-Key 型滤波器特有的高频溃通现象，在附录中有对此现象的具体分析和解决方法。

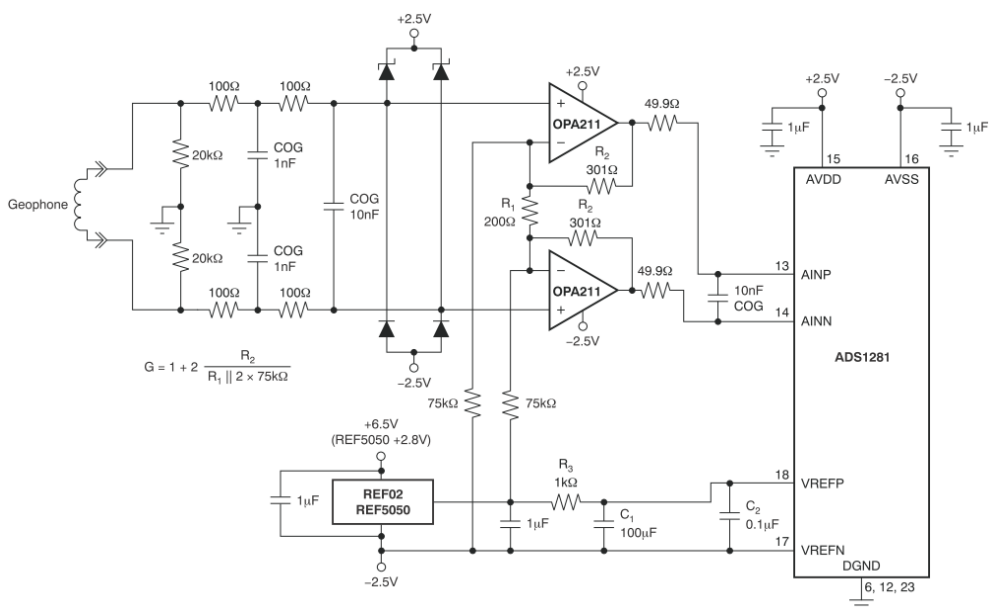
在采样率提高后，你首先需要考虑单片机的处理能力是否能跟上。其次，你需要考虑的问题是虽然通过提高采样率能简化模拟滤波器设计，并很好的抑制高于 $f_s/2$ 的噪声，但是 $f_a - f_s/2$ 内增加的噪声怎么办？不用担心，虽然 $f_a - f_s/2$ 这部分噪声增大了，但它们不会混叠到 $0 - f_a$ 中来，我们只需使用一个数字滤波器就可以完成噪声的滤除工作，同时高采样率还有助于把量化噪声分布到 $kf_s/2$ 上来，从而减少 $0 - f_a$ 中的噪声。所以有结论说每当采样率提高一倍，滤波器带内的信噪比就可以增加 3dB。



Delta-Sigma ADC 就是充分利用了这种过采样技术和数字滤波器，它还通过 Delta-Sigma 调制，把带内噪声推向高频处的方法进一步减小感兴趣的通带内的噪声。

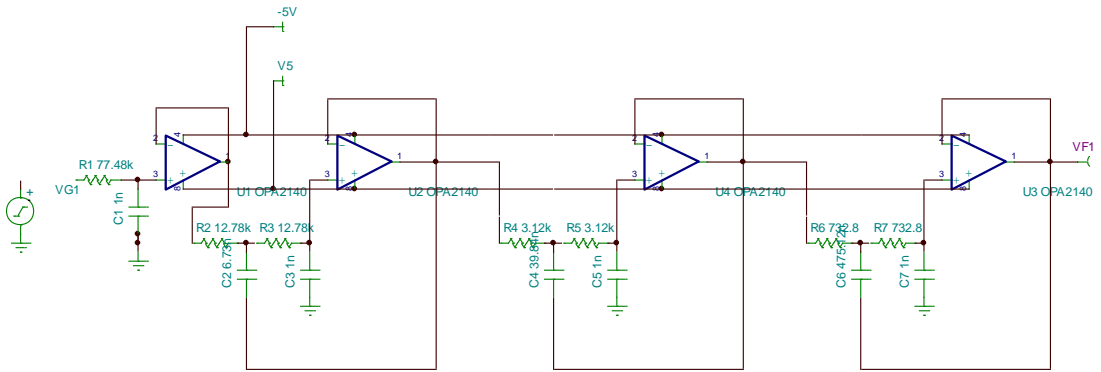


由于 Delta-Sigma ADC 常常用数 MHz 的采样率对数 Hz 的信号进行过采样，因此在模拟滤波器端，Delta-Sigma ADC 通常只需要一个简单的 RC 滤波器，这个 RC 滤波器可能会大大提高你的设计精度：

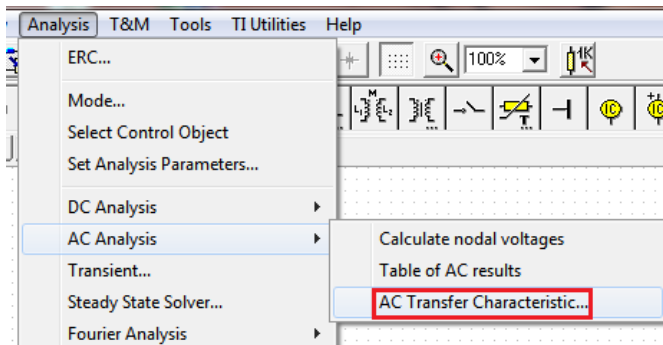


8.6 多阶滤波器如何增强过渡带的陡峭度

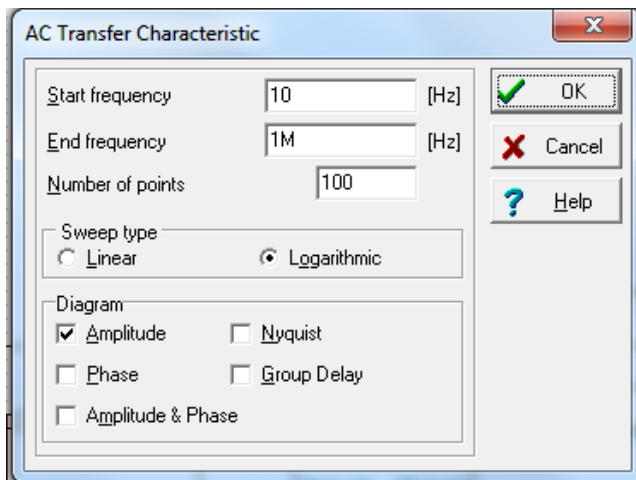
大家都有一个概念，就是滤波器阶数越多过渡带越陡峭。如果问这个作用的原理，估计多数人回答不出来。数学分析来解释太过冗长，这里用一个实际的例子，介绍一下多级滤波器增加过渡带陡峭度的原理。从这个例子中也可以看到一种分析问题的方法，以及 TINA-TI 仿真在模拟电路中的重要性。



在这个例子中，4 个运放组成了一个多阶的低通滤波器，它的结构很清晰，串联的 Sallen-Key 滤波器。使用 TINA-TI 中的 AC 分析来帮助我们发现其中的规律。

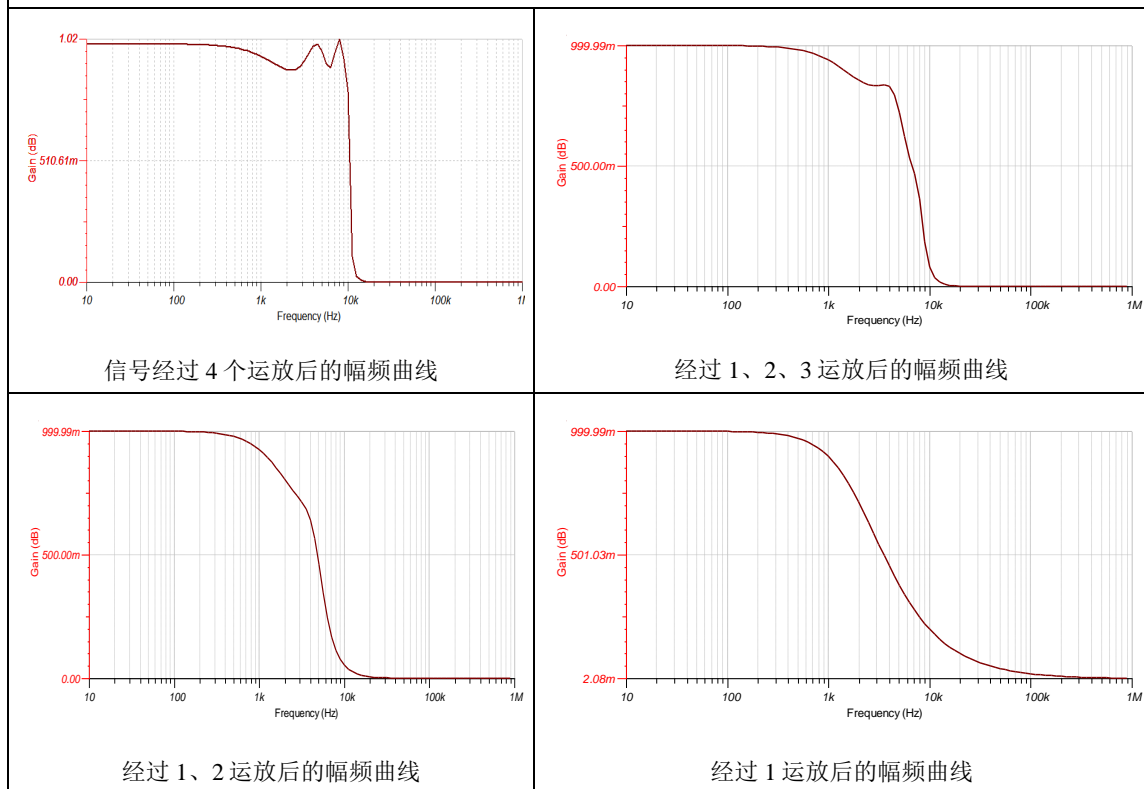


在“analysis”菜单中选择 AC 分析，打开 AC 分析对话框



选择从 10Hz 到 1MHz 的扫频，幅频曲线用 db 单位显示。信号经过 4 个运放后的幅频曲线如下：

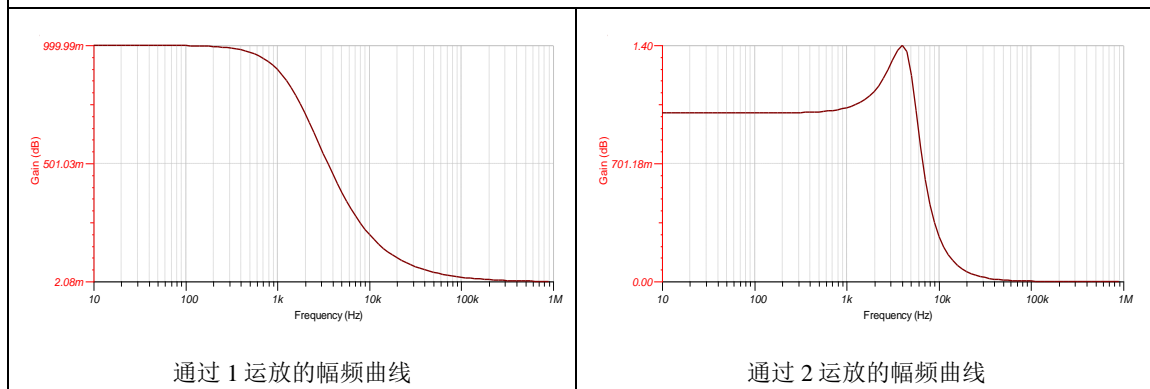
不同阶数的幅频曲线对比

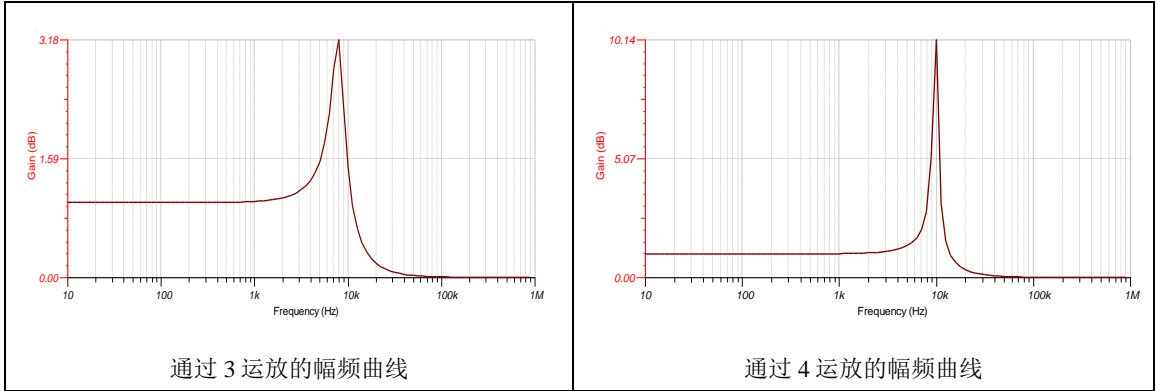


可以看到经过 4 个运放滤波的过渡带非常陡峭，几乎垂直。随着运放减少（阶数减少）过渡带变缓，最后就是 RC 一阶的过渡带效果。这个规律是我们以前所熟知的：滤波器阶数越多过渡带越陡峭。

从上面的仿真实验可以看到后级运放滤波器起到了对过渡带调整的作用。下面再通过仿真实验看后级运放是如何作用的。将滤波器各级拆开，使信号分别通过 1、2、3、4 运放的效果。

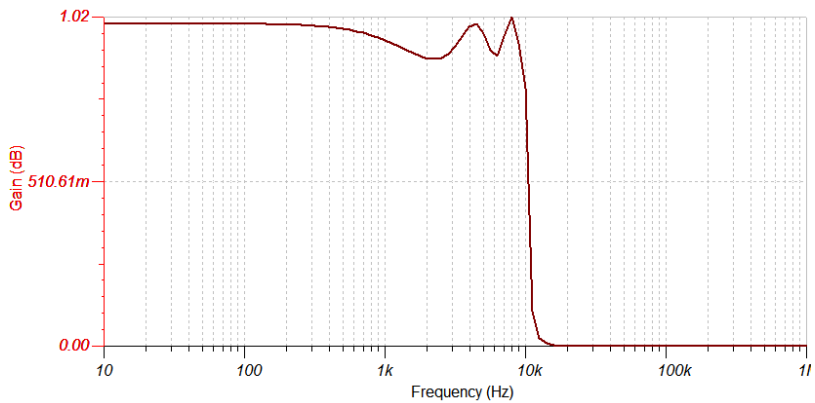
信号通过拆分后各级运放的对比





上表中是信号逐个通过运放的幅频曲线。先看曲线中平坦的部分，4幅图中平坦部分的增益都为1，这样4个运放串联后相当于频谱相乘，增益依旧为1。再看一下过渡带附近的部分，10KHz附近是滤波器的过渡带，可以看到2、3、4运放将过渡带的频率幅度逐渐抬高。这样1运放输出的平缓过渡带经过后面3个运放的逐步抬高后，在10KHz处就形成陡峭的边缘。

4个运放串联，相当于频谱相乘，将上面4幅图中对应频点相乘，就可以得到经过这个多阶滤波器的效果。可以看到带内的波动正是后级滤波器的“抬举”作用造成的。

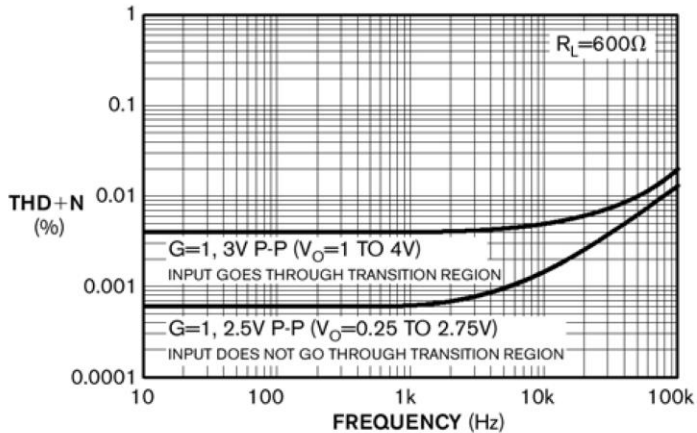


模拟设计小集锦

CMOS 运放的 THD+N

自从推出的市场后，单电源供电的 CMOS 运算放大器给单电源供电系统带来了很多便利。双电源供电运放的 THD+N（总谐波失真加噪声）值的主要影响因素是输入噪声和输出交越失真，而单电源运放的 THD+N 也是在运放的输入输出级产生，但是，输入级对单电源运放的 THD+N 的影响比较复杂。

有几种单电源供电运放的拓扑可以接受轨到轨的输入。在互补差分输入拓扑的运放中，当运放的输入接近负端电压时，PMOS 晶体管导通而 NMOS 关断。当运放的输入接近正端电压时，NMOS 晶体管导通而 PMOS 管关断。我们可以访问网址 www.edn.com/090423bb 来进一步了解这种拓扑的工作原理。



THD+N 值的比较

这种拓扑的运放（互补差分对输入的运放）在共模输入范围内的失调电压差别很大。当输入信号接近地端电压时，PMOS 晶体管的失调误差是主要的；而当输入信号接近正端电压时，NMOS 晶体管的失调误差是主要的；当输入信号的范围穿越两级差分对之间的区域时，两种晶体管都会导通，例如当共模电压输入在 400mV 左右时（依设计的不同而不同），PMOS 和 NMOS 晶体管都会导通。由于输入失调电压会随着输入信号的改变而改变，导致的交越失真会影响运放的 THD。如果你把互补差分对拓扑的运放使用在同相放大电路中，运放输入级的交越失真会影响运放的 THD+N 性能。例如，在图中，如果你避免输入信号跨越两种 MOS 管（比如可以用反相放大器结构，使放大器的共模输入固定在一个虚地上），THD+N 值是 0.0006%；而当你的 THD+N 测试中带有运放的输入交越失真的话，THD+N 性能下降为

0.004%。因此，你可以把运放配置于反相放大电路来避免这种交越失真。

另外一种主要的 THD+N 产生因素可能是运算放大器的输出级。单电源运放的输出级一般采用 AB 拓扑，当输出信号在轨到轨间变化时，输出级将产生类似于输入级的交越失真。通常来说，输出级的静态电流越高，其交越失真就越低。运放的输入噪声也是 THD+N 的因素之一，输入噪声越高，闭环增益越大都会使得运放的总体 THD+N 性能下降。

综上所述，当使用互补差分输入级的 CMOS 运放时，我们可以把运放配置为反相放大器并减少闭环增益来获得最好的 THD+N 性能。如果系统需要把运放配置在正相放大电路，选择带充电泵的单差分输入级运放（零交越失真运放）比较合适。

参考文献：

- [1] “OPA350, OPA2350, OPA4350 High-Speed, Single-Supply, Rail-to-Rail Operational Amplifiers, MicroAmplifier Series” Texas Instruments, January 2005, focus.ti.com/lit/ds/symlink/opa350.pdf.
- [2] “OPA363, OPA2363, OPA364, OPA2364, OPA4364, 1.8V, 7MHz, 90dB CMRR, Single-Supply, Rail-to-Rail I/O Operational Amplifier,” Texas Instruments, February 2003, focus.ti.com/lit/ds/symlink/opa363.pdf.

单电源运放的轨到轨输入

为高分辨率 Δ - Σ 或者 SAR（逐次逼近）转换器系统配套的基本模拟器件在要求轨到轨输入时候会感到运放的不足。简单的轨到轨运放在晶体管级设计中会扩展电源的供电范围来使得失真最小化。

单电源供电运放的流行始于 1970 年代，当时使用一个单级的差分输入使得共模输入电压的扩展到某一电源轨。之后，设计者增加了第二个，即互补的差分输入级，这样两级的形式在以牺牲一定的失真指标的前提下，可以完全达到轨到轨的共模输入范围。但这两种方法都不能为高精度系统提供合适的全共模范围输入的放大器。

最后，IC 设计者们借助其它器件的技术解决了这个问题。通过在电源端增加一个典型的充电泵（Charge Pump）将运放的单差分输入级升压到电源电压轨以上（如图 1）。运放设计者将充电泵的开关频率设置在运放带宽之外来保证开关噪声比运放的热噪声基底低。

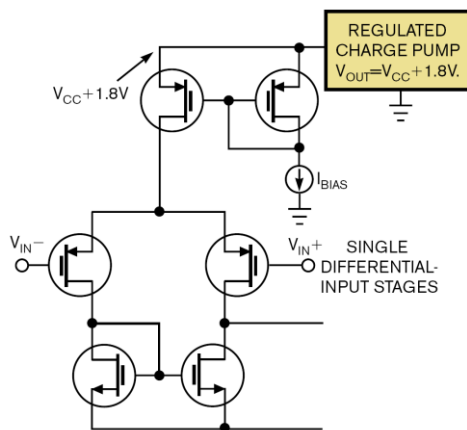


Figure 1 In this configuration, a charge pump pushes a single differential-input stage of the amplifier above the positive-power supply.

图 1 在这种配置中，电荷泵将单端差分输入级升压到电源正电源轨之上

这种带电荷泵的单差分输入级能给运放带来 20-30dB 的共模抑制比的提升。在运放用作缓冲器时，这个提升会带来积极的作用。你也将能获得成十倍下降的 THD（总谐波失真，THD 以 dBc 为单位，为负值，越小越好，所以这里的下降是指数值下降，性能是得到了提升）。所以，如果使用这种在输入级增加电荷泵的运放来驱动高精度 SAR 或者 Δ - Σ 转换器，系统的性能将会得到提升。

例如，一个 ADC 的输入被运放构成的缓冲器驱动，总的 THD 是 ADC 和运放各自 THD

的均方根和。即，系统的 THD 是：

$$THD_{SYSTEM} = 20 \log \sqrt{10^{(THD_{ADC}/10)} + 10^{(THD_{OPA}/10)}}$$

其中 $THD_{OPA} = 20 \log(THD_{OPA-\%})$ ， $THD_{OPA-\%}$ 是运放数据表中指出的 THD 指标，单位为百分比。

如果对一个使用互补输入级的运放，THD 为 0.004%（译者注：OPA 的 THD 为 $20 \log 0.00004 = -88 \text{dB}$ ），输入电压范围为 4V p-p，而 16 位的 SAR ADC 的 THD 指标为 -99dB，根据 THDSYSTEM 的计算公式，系统的 THD 为 -88dB，这里系统的整体 THD 被运放的 THD 拖累。因此，如果选用的运放的输入级使用了电荷泵，THD 提升为 0.0004%，系统的 THD 性能将提升到 -98dB。

单电源供电运放一直紧跟高分辨率转换器的步伐是因为工程师设计出不断创新的拓扑结构的放大器电路，例如带电荷泵的输入级。电荷泵是一个很好的弥补办法；工程师继续追求低电压供电下的信号完整性。

参考文献：

- [1] Baker, Bonnie, “Where did all the racket come from?” EDN, April 23, 2009, pg 18, www.edn.com/article/CA6651590.
- [2] “OPA365, OPA2365 2.2V, 50MHz, Low-Noise, Single-Supply Rail-to-Rail Operational Amplifiers,” Texas Instruments, June 2006, www.ti.com/opa365-ca.
- [3] “OPA333, OPA2333 1.8V, micro-Power CMOS Operational Amplifiers, Zero-Drift Series,” Texas Instruments, March 2006, www.ti.com/opa333-ca.

译者注：

请查阅 OPA365 的数据手册来获得更多的信息。OPA365 是 Zero-Cross Over（零交越失真）的运算放大器，交越失真是轨到轨输入放大器的一个长期难题，其产生原因正是由于在输入级使用了互补的差分输入级，当运放的输入接近负端电压时，PMOS 晶体管导通而 NMOS 关断；当运放的输入接近正端电压时，NMOS 晶体管导通而 PMOS 管关断。虽然这样能使输入即能达到正电源轨，又能达到负电源轨。但是两个差分输入级无法做到完全一致的失调电压，信号在跨越这两个输入级的交界区域时会发生失调电压的变化，从而导致一个信号时域波形上的毛刺（如图 2）；在频域上，这些毛刺就是高频的谐波，导致了 THD 性能的恶化（如图 3）。

Standard Two-Stage Input

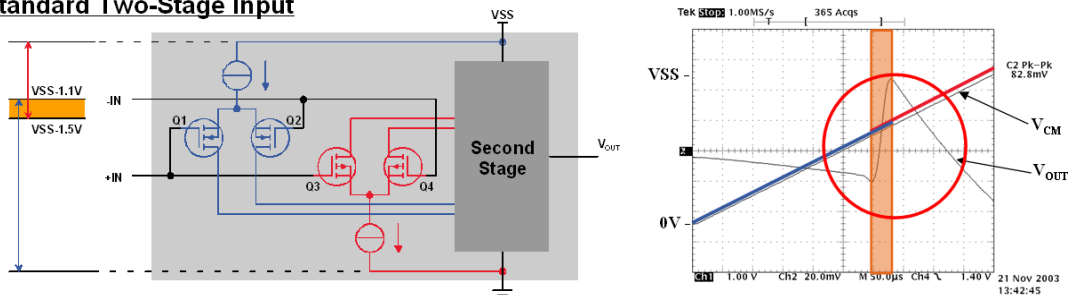


图2 互补结构的差分输入级的交越失真现象和其时域表现

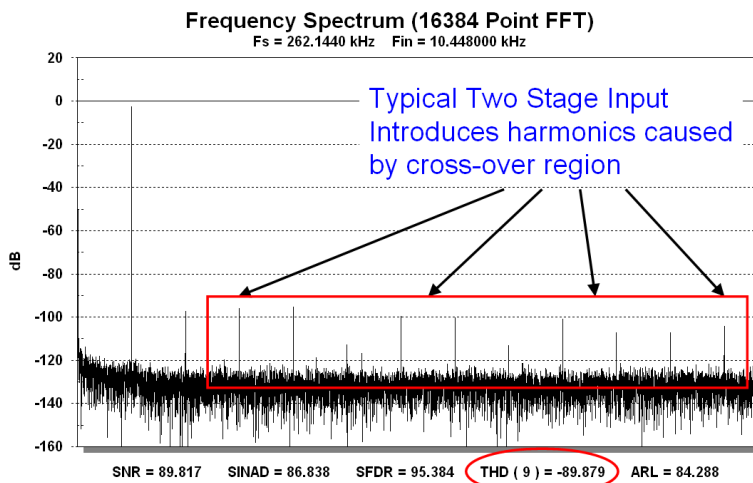


图3 交越失真的频域表现

在零交越失真的结构中，不再需要互补的差分输入级。而只需一个被充电泵升压的单差分输入级就可以完成轨到轨输入：该差分输入级设计采用 PMOS 从而保证能到达负电源轨，同时利用升压后超过运放自身供电电压的正电源电压，可以使得该差分输入级能达到运放的正电源电压，却还仍然留有足够的净空（相对于升压后的输入级供电电压）（如图 4）。

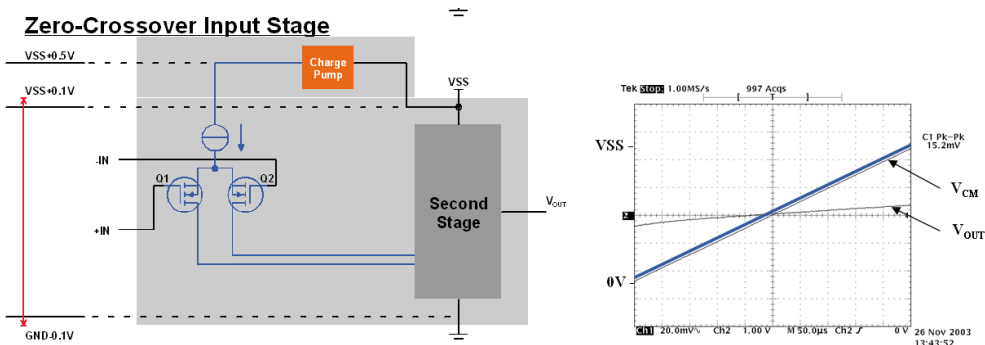


图4 内置充电泵的单级差分输入级在保证轨到轨输入的同时消除了交越失真

零交越失真的输入级不再在时域中引入毛刺，在频域上，可以得到更干净的频谱，从而使得 THD 大大下降（如图 5）。

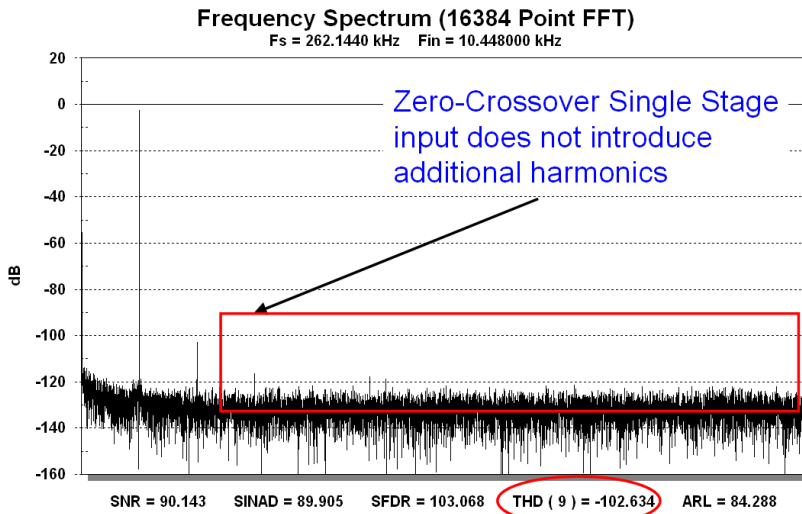


图 5 零交越失真的运放的输出频谱非常干净，从而获得非常好的 THD 指标

实际上，交越失真仅仅发生在输入跨越“不连续区域”的情形中，因此，你可以采用反相放大器配置方法，在同相输入端加入一个虚地来固定运放的共模输入电压（ V_{CM} ）在一个恒定的电平上，这样交流信号通过反相输入电阻（ $R1$ ）进入，反相输入段由于运放“虚断”的特点仍然保持在恒定电平上，这样就不会有“交越”现象的发生（如图 6）。这也是传统观念中反相放大器的失真优于同相放大器的可能原因之一。当然，这样做的缺点在于会导致信号反相，同时运放电路的输入阻抗降低，电路也较同相跟随器麻烦一点。

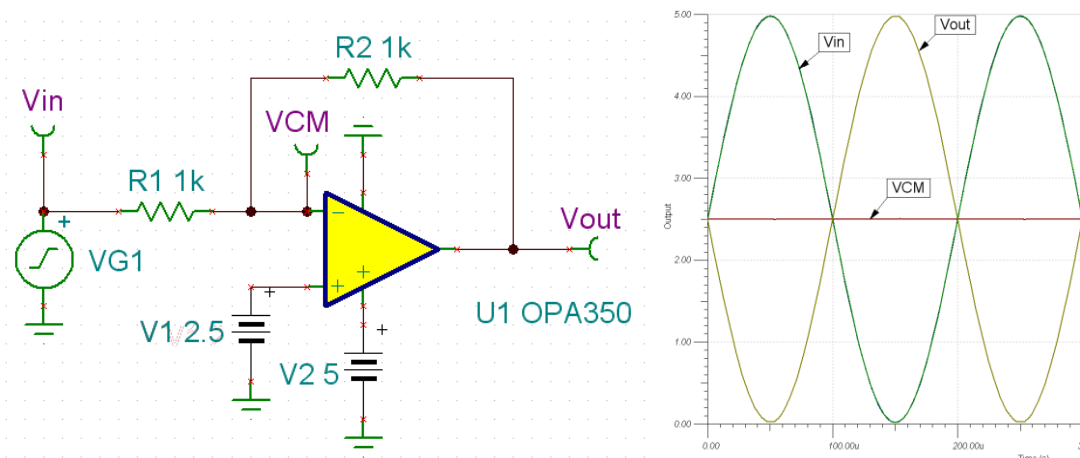


图 6 反相放大器配置方法消除交越失真

输出达不到轨到轨

单电源供电的放大器（译者注：CMOS型放大器专门为单电源供电设计，且基本都拥有轨到轨输出特性）在输出端实际上不能达到真正的轨到轨。在电源轨的附近，放大器工作在线性区。在线性运放中，单电源放大器的输出只能接近到每个电源轨的50到300mV附近（图1）。

单电源供电放大器的轨到轨输出广告给人一种误解。图1显示了当你驱动某单电源放大器的输出试图使之达到电源轨时，该放大器的输出特性。放大器的线性性在达到最大输出摆幅之前就开始下降了，而放大器的输出最终也达不到任何一极。

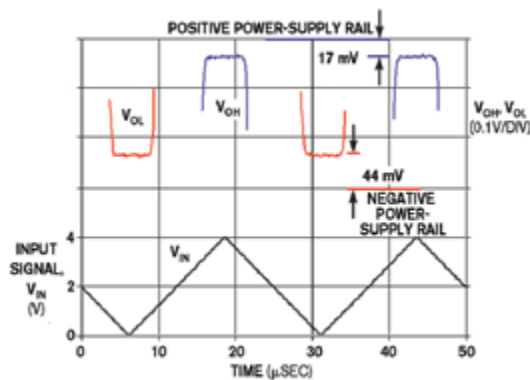


图1 下部的波形显示放大器的输入电压摆幅，增益为2V/V；

上半部分的波形显示放大后的输出电压幅度

直流开环增益的情况决定了运算放大器线性工作区的输出电压的范围。直流开环增益的定义是 $20\log(\Delta V_{out}/\Delta V_{os})$ ，这里 V_{out} 是输出电压， V_{os} 是输入失调电压。当你驱动运放输出高电平时， V_H 是在直流开环增益测量中输出端所使用的最大电压（译者注： A_{ol} 测试将确保小于 V_H 的输出不降低运放的 A_{ol} ）。 V_{OH} 是输出端相对于 V_{DD} 来说可以达到的绝对最高电压。同样的， V_L 是在直流开环增益测量中使用的最小输出电压（译者注： A_{ol} 测试将确保大于 V_L 的输出不降低运放的 A_{ol} ）， V_{OL} 是输出端能达到的绝对最低电压。 V_H 比 V_{OH} 要小， V_L 比 V_{OL} 要大。

从信号链这个层面来看，你可以看到当运算放大器驱动 ADC 时，运算放大器的输出在过分接近电源轨时候的局限性。图 2a 中的 FFT 图显示了放大器/ADC 组件在 5V 电压系统中对 1kHz 频率信号的响应。放大器的典型闭环带宽大约是 3MHz，压摆率为 2.3V/ μ s。放大器输出电压摆幅从 140mV 到 4.6V。在这个 5V 供电的系统中，信号和电源电压之间的最小距离是 140mV。这个放大器的绝对最小电压 V_{OL} 为 15mV，绝对最大电压 V_{OH} 为 $(V_{DD}-20mV)$ 。

图 2a 显示了非线性输出状态对单电源 CMOS 放大器的影响，这个影响表现为在 2, 3, 4kHz 等倍频上的失真。将放大器的输出电压减小到离开每个电源轨 272mV，我们得到了比较理想的结果：图 2b 中我们只看到 ADC 自身的失真。

本文描述的这些数据并不适用于每一颗 CMOS 型放大器，因此当采用单电源放大器时，请仔细阅读该器件的说明书。一些单极放大器带有输出级电荷泵使得输出电压可以很好的接近甚至超过电源电压的范围（译者注：一些轨到轨输入放大器也采用内置电荷泵使得输入电压可以达到或超过电源电压，比如 OPA365 的 VCM 可以超过每个电源轨 100mV）。在每个设计中，要阅读和参考芯片说明书以及开环增益的测试情况。

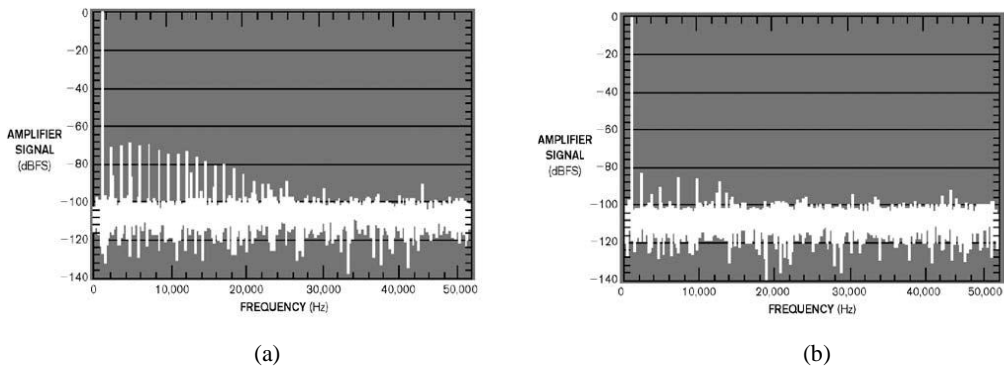


图 2 12 位 SAR ADC 的采样速度为 100ksps (a);

减小放大器的输出电压使得离开每个电源轨 272mV 将产生更好的结果 (b) .

译者注：

以 OPA335 为例，在其数据手册中我们可以观察得到 A_{ol} , V_H , V_{OH} , V_L , V_{OL} 等指标：

A_{ol} :

PARAMETER	CONDITION	OPA334AI, OPA335AI OPA2334AI, OPA2335AI			UNITS
		MIN	TYP	MAX	
OPEN-LOOP GAIN					
Open-Loop Voltage Gain, Over Temperature A_{OL}	$50mV < V_O < (V+) - 50mV$, $R_L = 100k\Omega$, $V_{CM} = V_S/2$	110	130		dB
Over Temperature	$100mV < V_O < (V+) - 100mV$, $R_L = 10k\Omega$, $V_{CM} = V_S/2$	110	130		dB

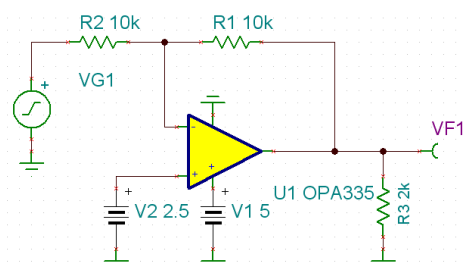
以负载 100k 欧姆为例，我们看到测试 A_{ol} 时当输出离开两个电源轨 50mV 将得到数据手册中保证的 A_{ol} 的指标，因此 V_{OH} 为 $V+ - 50mV$ ， V_{OL} 为 50mV；同时，这里我们可以清晰看到，当负载减小到 10k 欧姆，为确保 A_{ol} 不降低，输出电压的幅度范围相应减小。因此，负载的大小对于轨到轨输出和 A_{ol} 指标也非常重要。

OPA335 的数据手册中也给出了 V_H 和 V_L ：

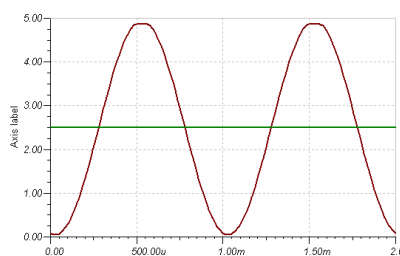
PARAMETER	CONDITION	OPA334AI, OPA335AI OPA2334AI, OPA2335AI			UNITS
		MIN	TYP	MAX	
OUTPUT Voltage Output Swing from Rail	$R_L = 10k\Omega$, Over Temperature $R_L = 100k\Omega$, Over Temperature		15	100	mV
Voltage Output Swing from Rail			1	50	mV

这里我们也看到了负载大小对轨到轨输出的绝对输出电压也有很大的影响，当发现运放的输出范围达不到数据手册上的指标时，可以检查是不是负载太小。这里在 100k 欧姆负载下，OPA335 典型的 V_H 为 $(V_{DD} - 1mV)$ 和 V_L 为 $1mV$ 。

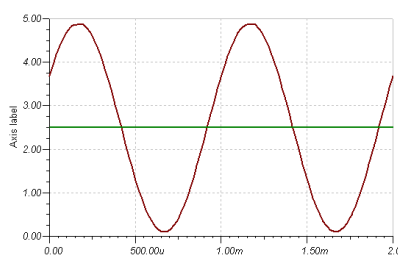
下面我们通过 TINA-TI 给出一个例子来说明 OPA335 的轨到轨输出特性，为了让失真更清晰，我们降低 OPA335 的负载到 2k 欧姆，尝试让 OPA335 输出 4.9Vpp 和 4.8Vpp 的 1kHz 正弦波。电路如下：



时域波形对比：

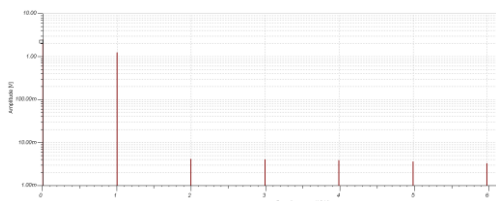


4.9Vpp

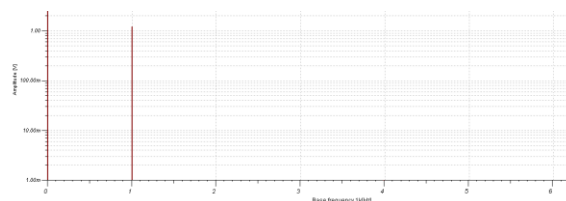


4.8Vpp

仔细观察时域波形，可以发现 4.9Vpp 的波形已经削顶，为了观察时域失真带来的频域谐波，我们对输出波形进行傅立叶分析，得到两种条件下的频域波形：



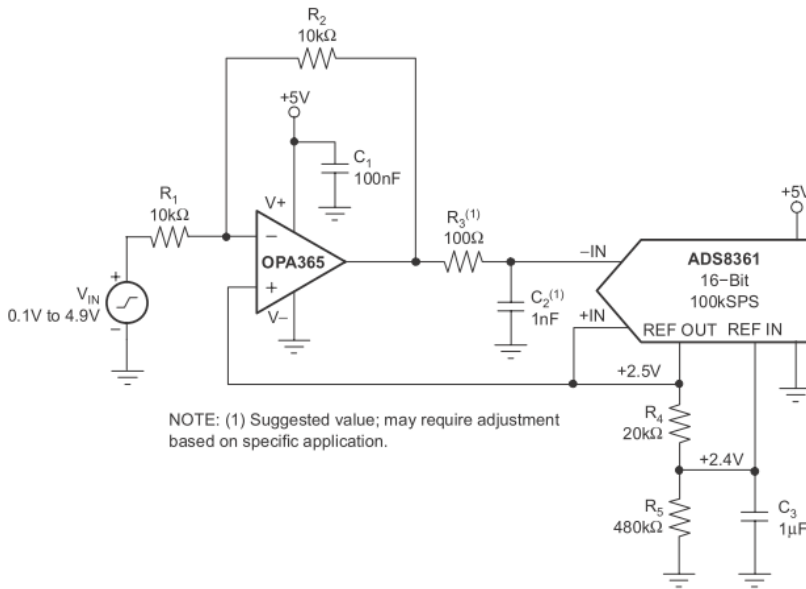
4.9Vpp



4.8Vpp

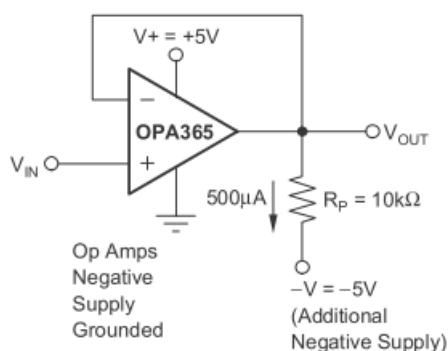
4.9V_{pp} 输出时的大量高次谐波告诉我们此时运放的输出级已经难以胜任高精度场合的要求。因此为了获得最好的失真度和直流精度，在 2K 欧姆的负载条件下应该尽量使输出远离每个电源轨 100mV 以上。

在单电源供电系统中，运放的这种非理想的“轨到轨输出特性”会缩小宝贵的动态范围，特别是在驱动 5V 满量程输入的 ADC 时，4.8V_{pp} 输入会浪费 ADC 的有效位数，此时我们可以采用减小 ADC 参考电压的方法使 ADC 的满量程输入范围相应的减小，从而与 4.8V_{pp} 的运放输出匹配：



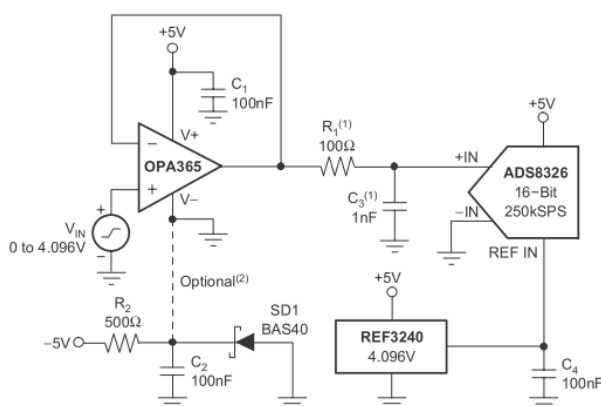
如上图，ADS8361 的内部 2.5V VREF 输出给 ADS8361 和 OPA365 的同相端用来提供单电源系统工作时需要的虚地；同时这个 VREF 被 R4 和 R5 分压成 2.4V 后提供给 ADS8361 的参考电平输入，这样 ADS8361 的满量程输入范围将是 4.8V，以 2.5V 为虚地，这正好与 OPA365 的输出信号（以 2.5V 为直流电平的 4.8V_{pp} 正弦波）相匹配。

另外一个关于运放输出的小技巧是如何使单电源运放的输出完全到达地电平（在负载较轻时，CMOS 运放的输出可以非常接近地电平，但也到不了 0V；在负载变重时，无失真输出范围将离地电平越来越远），这在某些应用场合非常关键。一种方法是对于一些特定的运放（根据数据手册而定，比如 OPA365，OPA335 等），可以在输出端通过一个电阻微弱下拉到负电平，这种方法虽然可以使输出到达低电平甚至超过几个 mV，但是在地电平附近可能会有 A_{ol} 和带宽降低的现象，从而导致瞬态响应和直流特性变差：



关于这一方法的更多信息，如 R_P 值的选取，请查阅 OPA365, OPA335 的数据手册；

另一种方法是给运放提供双电源供电，值得注意的是 CMOS 型放大器的电压范围较小，必须注意总的供电电压不能超过器件要求。可以使用一个小的负电压代替地电平做为运放的一个电源轨，这里可以利用锗二极管的 0.3V 导通电压来实现：



NOTES: (1) Suggested value; may require adjustment based on specific application.
 (2) Single-supply applications lose a small number of ADC codes near ground due to op amp output swing limitation. If a negative power supply is available, this simple circuit creates a $-0.3V$ supply to allow output swing to true ground potential.

如上图，Option(2)指明的是可以使用 $-5V$ 和地在锗二极管上产生的 $-0.3V$ 代替地电平来给 OPA365 的负电源轨供电，此时 OPA365 的供电电压一共是 $5V - (-0.3V) = 5.3V$ ，仍然在 OPA365 允许的 $5.5V$ 供电范围之内。用这种方法，OPA365 将在 $0V$ 输出时提供更好的直流和交流特性，因为此时 OPA365 的输出 MOS 管将工作在正常状态下。

放大器的输入偏置电流

你是否曾经花了很多的时间为你的电路来挑选运算放大器，却发现手册上给出的输入失调电压范围是不对的？你是否发现在你的应用电路中失调电压甚至是所给参数的 10 倍还要多？你是否拿这个芯片去做芯片分析？或者你重新找了另一个放大器？另外一种方法，我建议你试着通过检查放大器的数据手册来解释这个失调误差。

如果你的放大器作为一个关键器件被用在诸如跨导放大器、模拟滤波器、采样保持电路、电容变换器等在放大器周围存在高阻抗器件的电路，你可能会发现放大器的输入偏置电流通过电阻在电路中产生了一个失调电压误差。

在双极放大器的时代，输入偏置电流是一个精确的描述术语，并且现在仍然是。一个双极性放大器的输入偏置电流就即是在放大器输入端的 NPN 或者 PNP 二极管的基极电流。双极性放大器的输入偏置电流从低电压供电器件的几个纳安 (nA) 一直到高电压供电器件的几百个纳安 (nA)。

当你讨论 JFET 或 CMOS 输入放大器的时候，输入偏置电流这个术语就失去了它的意义，对于这样的放大器，从放大器输入引脚输入或流出的电流实际上是输入 ESD（静电放电保护）单元产生的漏电流，如图 1 所示。一个对这个电流误差更准确的描述就是输入漏电流。JFET 或 CMOS 放大器的输入漏电流在 25°C 时可以小于 1pA，这个指标与共模电压以及放大器供电电压是没有关系的。为了进行 ESD 保护，几乎所有的放大器都有 ESD 单元，但是你却不会在一个双极性的放大器中发现 ESD 泄露电流。ESD 单元产生的皮安 (pA) 级的漏电流淹没在放大器自身的输入偏置电流中。

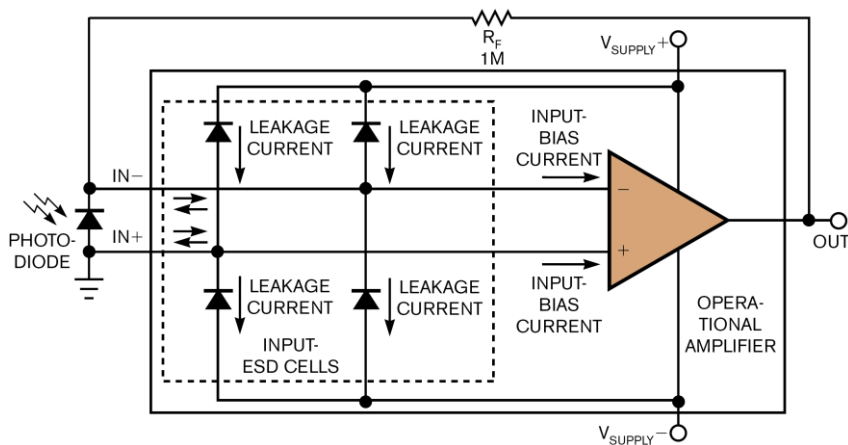


图 1 输入偏置电流或者漏电流在 R_F 上产生了一个失调电压

输入偏置电流以及输入漏电流随着温度的改变而改变，且随着运算放大器的种类的不同

而不同。双极性输入运算放大器的输入偏置电流相当稳定，但是 JFET 以及 CMOS 输入运算放大器不同：因为漏电流是反偏的 ESD 二极管产生的，即每 10°C 的温度上升将增加大约两倍的输入漏电流。

为了保证 JFET 和 CMOS 放大器的超低输入漏电流，你必须理解在皮安 (pA) 电流级别 PCB (印制电路板) 的影响。例如很少数量的灰尘、油或水分子就可能增加漏电流 (译者注：这些杂质减少了电源和地之间的绝缘阻抗，从而使漏电流增加)。好的方面在于如果你特别的认真仔细，设计出 1pA 级别性能的 PCB 是有可能的。

你能够减少或者最小化输入偏置电流或者输入漏电流影响的最有效办法就是检查你的电路配置。在你检查电路的过程中，检查每个节点的电压特性并且确保你熟悉电路中所有电流通路的影响。

Sallen-Key 低通滤波器的高频馈通现象

当设计一个模拟低通抗混叠滤波器时，你会期望它的幅度增益在滤波器的转折频率后一直持续的下降。在大多数时候下，这种想法是对的，但是对于经典的 Sallen-Key 低通滤波器就不一定对了。Sallen-Key 滤波器的确可以衰减转折频率和某个频点（当然这个频点比转折频率更高）间的信号，但在该高频点后，滤波器的幅度增益开始随着频率的增加而增加。

图 1 说明了三个采用单电源供电放大器的 Sallen-Key 低通滤波器。在上面的三条曲线中刻画了每个放大器的开环增益，其响应曲线穿过 0dB 点。在这个测试中，三个放大器的开环增益为 1000V/V，即 60dB。在图中，运算放大器 A,B,C 的带宽分别为 38MHz，2MHz 和 300 kHz。

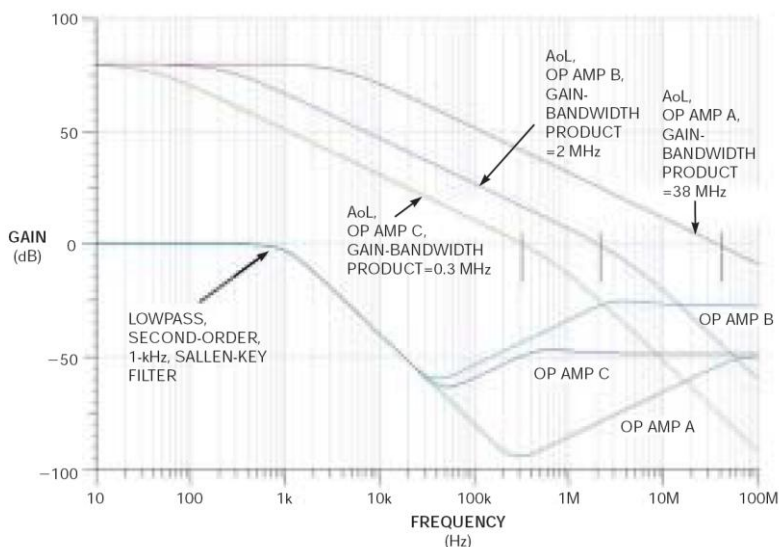


图 1 三个二阶巴特沃斯低通滤波器的频率响应以及每个放大器的开环增益响应。这三个滤波器都是 Sallen-Key 结构。放大器开环增益曲线的最高处在 60dB，滤波器的曲线从 0dB 开始。

这个图中反映的第二组曲线是每个放大器组成的二阶 Sallen-Key 低通滤波器的频域响应。这些滤波器采用的是巴特沃斯设计，当然，采用何种滤波器近似并不会影响或者更正下面我们看到的这些预料之外的行为。首先，数据显示低通滤波器的频域响应在 1KHz 转折频率的后 10 余倍频程都工作得和预期的一样：在转折频率之后，三个滤波器的响应显示出一个 -40dB/decade 的斜率。二阶低通滤波器应该产生这种响应。然后，在某个频率点，滤波器增益开始以 20dB/decade 的斜率增加。每个放大器在哪个频率点开始转向正的斜率是和于放大器的输出阻抗有关（请参考译者注）：随着频率的升高，放大器的开环增益下降，它的闭环输出

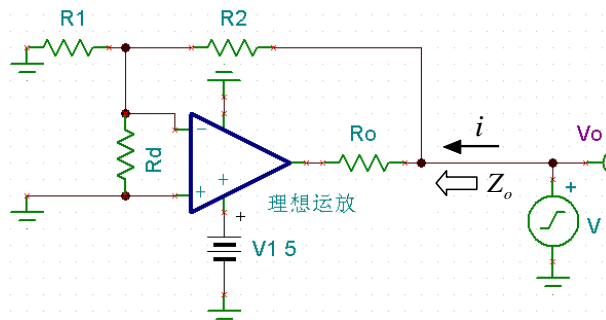
阻抗开始增加。最终，当运算放大器的开环增益穿过 0dB 时，该滤波器的响应曲线变得平坦。滤波器的响应在这个交叉点开始变得平坦并不是一个巧合，因为超过这个频率点时，放大器的开环增益降到 0dB 以下。

如果你使用的是 Sallen-Key 低通滤波器，这种现象不可避免。你可以采用在有源滤波器的后面接无源 RC 低通滤波器的方法来削弱 Sallen-Key 滤波器在高频处的这种增益曲线上扬的趋势。这样做的一个问题是，后接的滤波器可能会影响原来滤波器的相位响应（负载电容 C 导致额外的相移，引起相位余量减小），这可能导致时域上的振铃现象。而且，这样会增加一级电路并且导致整个电路的输出阻抗变大。

另行选择滤波器拓扑可以解决这个问题而不用添加 RC 滤波器。当反向放大器可以接受的话，你可以使用 MFB（多重反馈）滤波器拓扑，这样不会有高频情况下增益响应的反转问题（高频馈通）并且对输入级电路的共模电压要求更低。

译者注：

为什么开环增益降低导致的输出阻抗增加会让 sallen-key 型低通滤波器出现高频段衰减不足，即高频馈通现象？让我们先复习一下现实放大器的开环阻抗 R_o 和闭环输出阻抗 Z_o ：

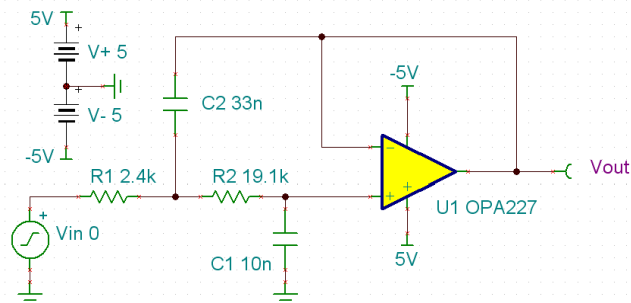


如上图：实际运放的开环输出阻抗可以看成是一只理想运放串联一只 R_o （在 100MHz 以下，我们通常可以认为运放的开环/闭环输出阻抗是纯阻性的），从教科书上我们都可以查到运放的闭环输出阻抗 Z_o 为：

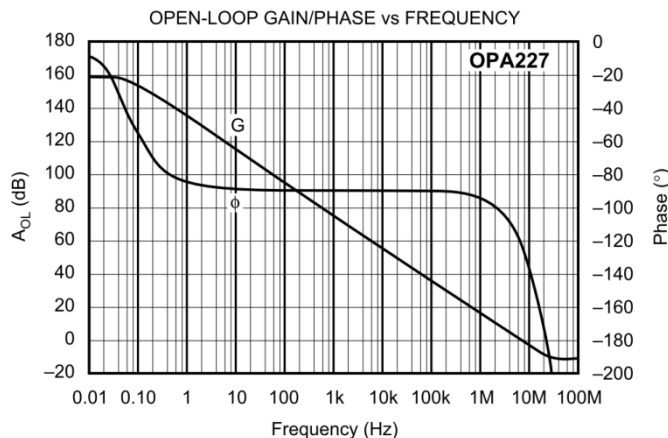
$$Z_o \approx \frac{R_o}{1 + A_{ol}\beta}$$

这里 A_{ol} 为运放的开环增益， β 是反馈系数， $A_{ol}\beta$ 则被称为环路增益，是运放电路的一个非常关键的要素。这里我们看到运放的闭环输出阻抗 Z_o 反比于 $A_{ol}\beta$ ，随着 $A_{ol}\beta$ 的减小而增大。

接下来，让我们带着这个闭环输出阻抗来重新审视一个两阶，Bessel 响应的 sallen-key 型低通滤波器：



如上图所示，Sallen-Key 型滤波器的反馈回路一般都是纯阻性的，这里配置成单位增益， $\beta=1$ ，这样， $Z_o=RO/(1+A_{ol})$ 。OPA227 的开环增益曲线如下图：



即 OPA227 的开环增益在 DC 到约 100mHz 间为平坦的 160dB，这时 Z_o 趋近于 0。在主极点 140mHz 后，OPA227 的开环增益以 -20dB/decade 的速率下降，相反地闭环输出阻抗将以 20dB/decade 的速度变大，当 OPA227 的开环增益在 8MHz 处降为 0 时， Z_o 将等于 OPA227 的开环输出阻抗 R_o ，大概是 20 欧姆左右。

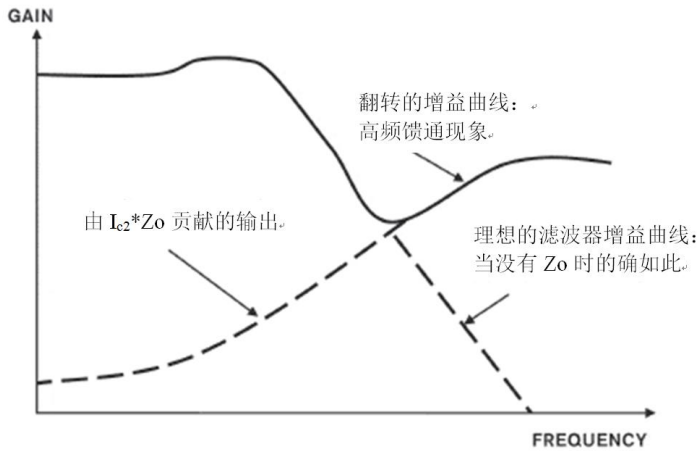
再回过头来观察 Sallen-Key 型滤波器的拓扑，实际上有两条路径产生了 V_{out} ，一条是忽略了输出阻抗的运放的输出，它主宰了前半部分“正常”的增益曲线；另一条是流过 R_1 和 C_2 的电流注入到运放闭环输出阻抗 Z_o 上的结果，它主宰了“上扬”的后半部分增益曲线。从几个典型阶段来分析：

1. 在直流时， C_2 开路，没有电流流过， Z_o 也非常小， V_{out} 由运放正向输出直接产生；
2. 当频率逐渐升高， C_2 的阻抗逐渐降低，流过 C_2 的电流也逐渐加大，同时 Z_o 也随着开环增益的降低而增加，此时流过 Z_o 的电流将产生较小的 V_{out} ，还不能主宰增益曲线。因此在 1 和 2 情况中增益曲线还跟着正常的滤波器响应滚降，或者说电流将选择更加容易通过的路径（运放）来到达输出端；在这个过程中，当频率到达滤波器的转折频率时， C_2 被交流

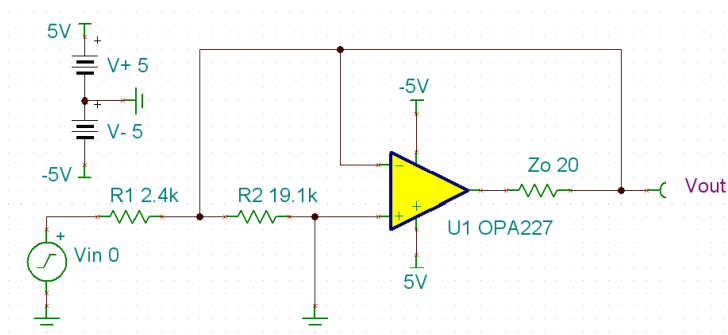
短路，流过 Z_o 的电流将等于 V_{in}/R_1 。

3. 当频率继续升高， Z_o 会持续增加，当其上的电压等于运放正向输出电压；此时开始， Z_o 上的电压将占据主导地位，因为运放的增益持续降低，信号难以通过运放，将选择更容易到达输出端的路径；此时开始，增益曲线的斜率将跟随 Z_o 增加的斜率；

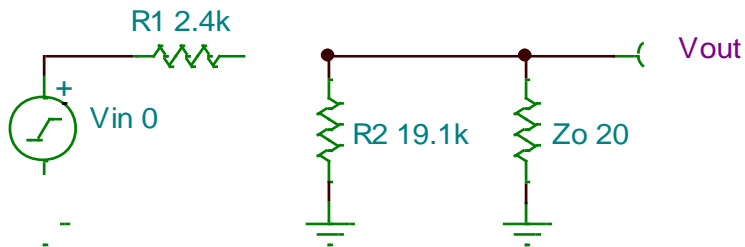
4. 直到运放的开环增益降为 0 的频率开始， Z_o 保持恒定，其上的电压也就将保持恒定：



我们可以用等效电路来推导上面的结论，假设到某一频点（转折频率附近），导致 C_1, C_2 都交流短路，电路可以近似简化为：



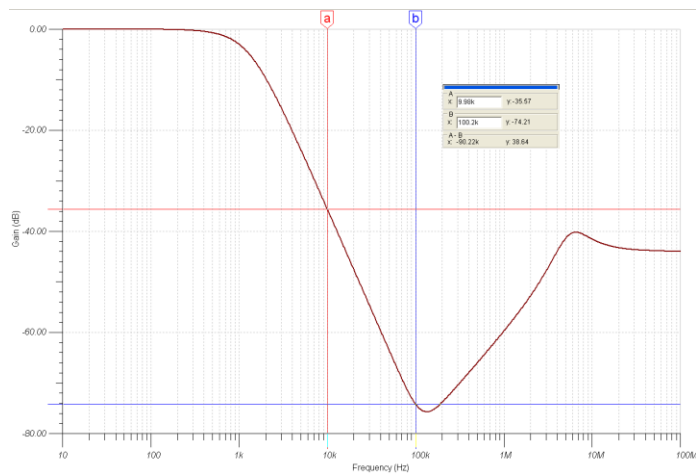
电路可以进一步简化：



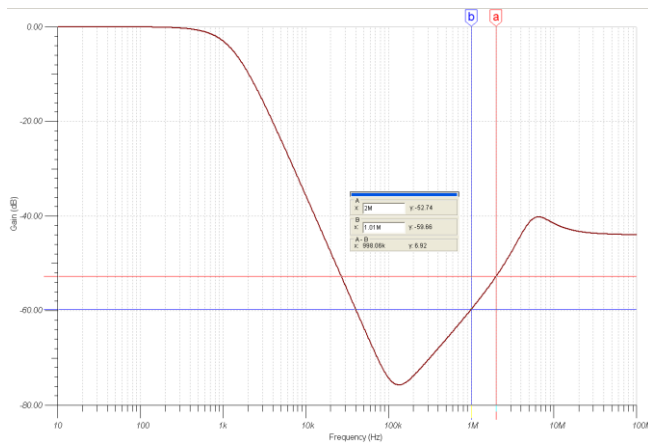
可以得到
$$\frac{V_{out}}{V_{in}} = \frac{1}{\frac{R1}{R2} + \frac{R1}{Z_o} + 1}$$

OPA227 做为高性能运放，其开环输出阻抗 R_o 为 20 欧姆，所以 Z_o 最大也就是 20 欧姆，远小于 $R1$ ，因此可以简化得到
$$\frac{V_{out}}{V_{in}} = \frac{Z_o}{R1}$$
。

这里 $R1$ 为常数，2.4K，所以我们推断闭环增益曲线将跟随 Z_o 的 20dB/decade 斜率上升而上升，并在运放的开环增益降为 0 时，闭环增益将等于 $ZO/R1$ 。下面，我们在 TINA-TI 中仿真这个电路来验证一下：



如上图，在 C1,C2 短路前，滤波器的闭环增益曲线的确以 -40dB/decade 的速度下降；



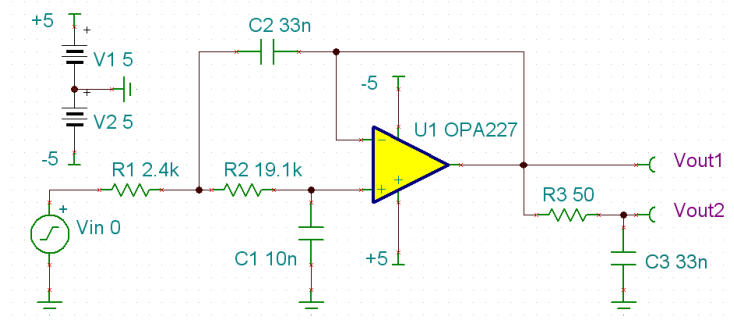
上图中，C1,C2 短路后，滤波器的闭环增益也的确随着 Z_o 的上升斜率 20dB/decade (6dB/Octave) 开始上升，直到 8MHz 附近，OPA227 开环增益降为 0dB， $Z_o=20$ 欧姆，此

时, $V_{out}/V_{in}=20/2.4K=0.008 \approx 40\text{dB}$ 。仿真曲线和我们的推论非常吻合!

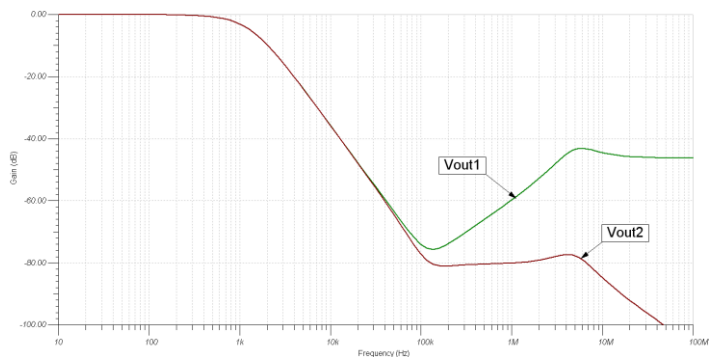
解决 Sallen-Key 滤波器高频馈通的三个常用方法:

1. 如果可能, 选择 FET 或者 CMOS 型放大器做为有源滤波器, 他们拥有 pA 级的输入偏置电流, 这使得我们可以将 R1 和 R2 增大 10 倍 (也不会带来严重的失调电压), C1 和 C2 减小 10 倍。增大 R1, 可以大大减少流过 Z_o 的电流; 减小 C, 可以节约尺寸和成本。

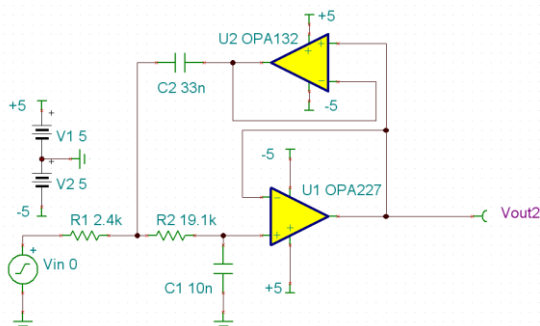
2. 在滤波器后再加一个 RC 滤波器抑制高频:

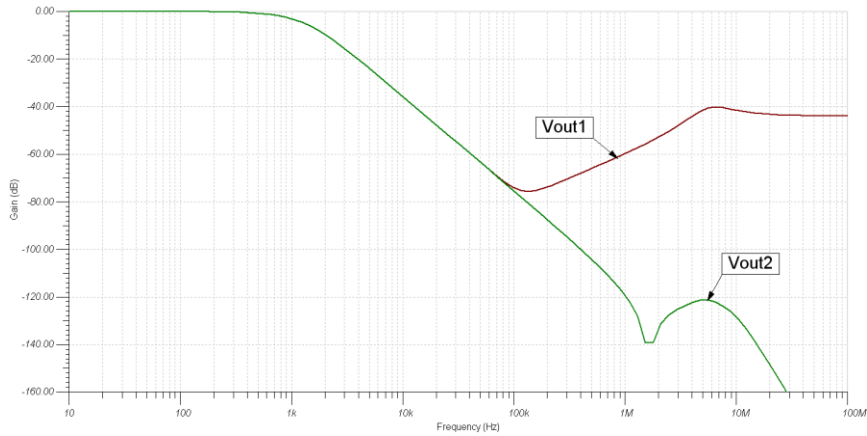


分别观察 Vout1 和 Vout2 的响应:



1. 在 C2 和 Z_o 间添加一个缓冲器隔离, 使得 C2 上的电流不再流入 Z_o :





需要注意的是为了减少运放偏置电流对系统频率响应的影响，隔离 C2 和 Zo 的运放应该选择 FET 或 CMOS 输入的放大器。在加入隔离运放后，我们看到系统较第二种方法将拥有更好的滤波器响应。

第二部分 数据转换器篇

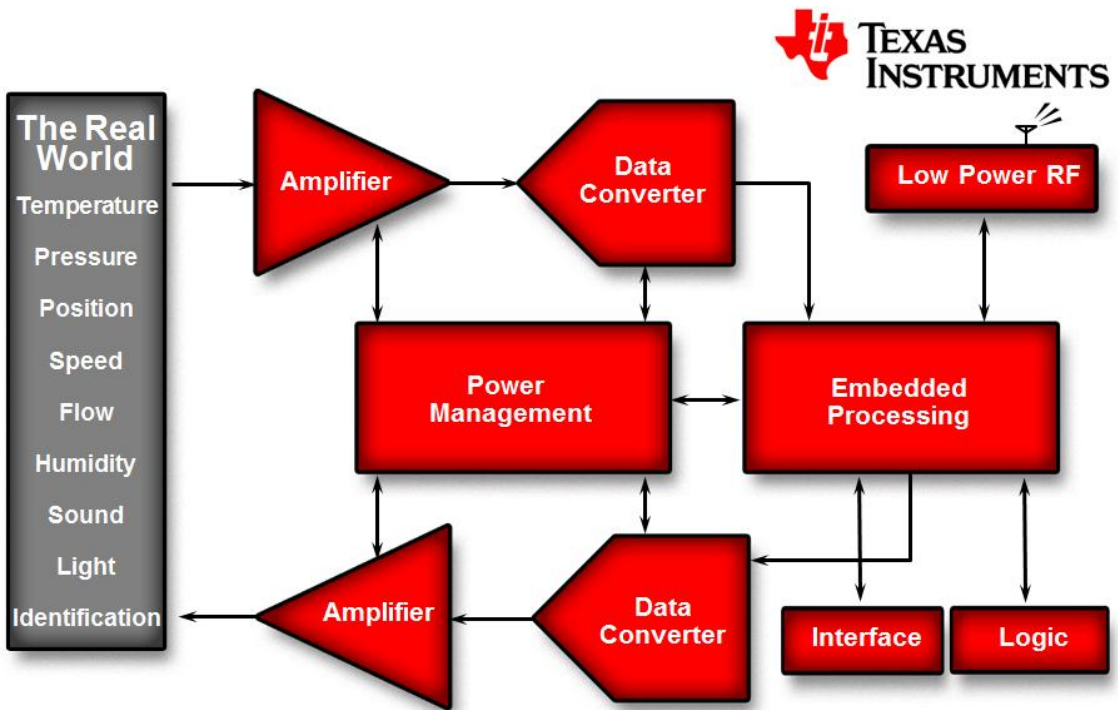


图 1 数据转换器在电路系统中的位置

数据转换器在整个电路系统设计中占据着十分重要的位置。如图 1 所示展示了现实世界和电子电路之前的交互，我们所感受到的是各种模拟量，例如温度，压力，湿度等等，而处理器需要对数字量进行处理，那这中间不可或缺的就是模/数转换器，Analog-Data Converter，也就是 ADC；当处理器对数字信号进行处理后，其结果如何以模拟量的形式反馈到现实世界中呢？这时数/模转换器，Data-Analog Converter，也就是 DAC 则实现了将数字信号转换为可以被感受的模拟信号。从上面的描述中可以看出数据转换器，无论是 ADC 还是 DAC 在整个电路系统中扮演着桥梁的作用，贯通了模拟世界和数字世界，将冰冷的 0 和 1 数字量与丰富多彩的模拟量连接起来，从而实现了与现实生活的改变。

第一章 ADC

1.1 ADC 基本原理(比较器和 Flash 型 ADC)

ADC，顾名思义，实现的是将连续的模拟信号转换为时间离散，幅度离散的数字化信号，从而可以被数字信号处理器或微控制器使用。

为了帮助大家理解，我们举一个最简单的 1bit ADC，也就是我们常见的比较器，做为例子。

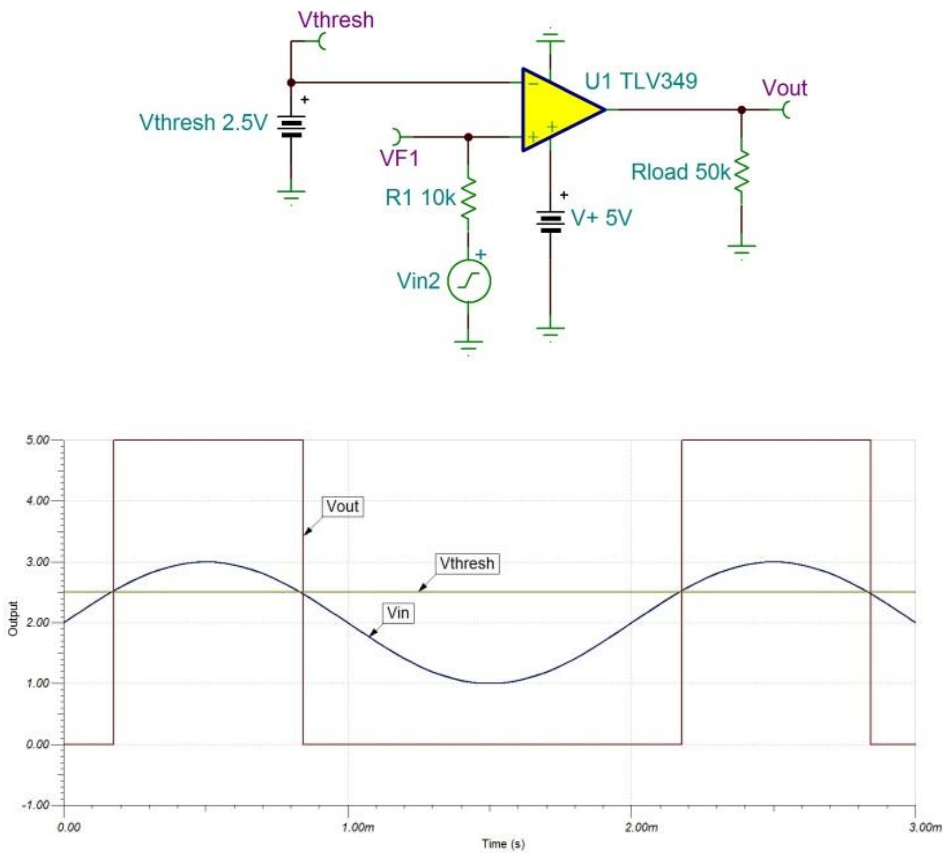
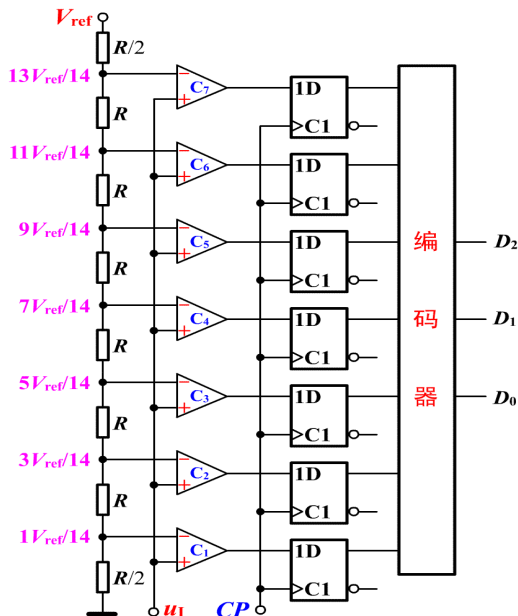


图 1-1 1bit ADC

从图 1-1 中我们看到，比较器成功的以 Vthresh 为阈值，把所有高于 Vthresh 的电压都量化为 1，把所有低于 Vthresh 的信号都量化为 0。这就是最简单的 1bit ADC，能输出 1 位数字信号。

从这个最简单的 1 位 ADC 拓展开来，我们很容易得到一个 N 位的 ADC。图 1-2 是一个 3 位 ADC 为例，8 个电阻将参电压分成 8 个等级，其中 7 个等级的电压分别作为 7 个比较器的比较电平。输入的模拟电压经采样保持后与这些比较电平进行比较，当高于比较器的比较电平时，比较器输出为 1，当低于比较器的比较电平时，比较器输出为 0。比较器的输出状态由 D 触发器存储，并送给编码器，经过编码器编码得到数字输出量。3 位数字输出量表示 2^3 种不同的转换结果。



输入模拟信号	比较器输出							数字输出		
	C_7	C_6	C_5	C_4	C_3	C_2	C_1	D_2	D_1	D_0
$0 < u_1 < V_{REF}/14$	0	0	0	0	0	0	0	0	0	0
$V_{REF}/14 < u_1 < 3 V_{REF}/14$	0	0	0	0	0	0	1	0	0	1
$3 V_{REF}/14 < u_1 < 5 V_{REF}/14$	0	0	0	0	0	1	1	0	1	0
$5 V_{REF}/14 < u_1 < 7 V_{REF}/14$	0	0	0	0	1	1	1	0	1	1
$7 V_{REF}/14 < u_1 < 9 V_{REF}/14$	0	0	0	1	1	1	1	1	0	0
$9 V_{REF}/14 < u_1 < 11 V_{REF}/14$	0	0	1	1	1	1	1	1	0	1
$11 V_{REF}/14 < u_1 < 13 V_{REF}/14$	0	1	1	1	1	1	1	1	1	0
$13 V_{REF}/14 < u_1 < V_{REF}/14$	1	1	1	1	1	1	1	1	1	1

图 1-2 由比较器构成的 3bit ADC

图 1-2 所示的 ADC 结构即为 Flash ADC，也称并行 ADC 的基本结构。Flash ADC 是目前转换速度最快的 ADC。对于 n 位输出二进制码，Flash ADC 需要 $2^n - 1$ 个比较器。显然，随着

位数的增加，所需比较器数量将迅速增加。受到众多比较器之间存在大量的匹配误差的影响，加之电路成本和功耗的限制，Flash 型 ADC 的分辨率很难做到 10 位以上，Flash 型 ADC 的分辨率一般为 6-8 位，适用于速度要求很高，而对时域分辨率要求较低场合，比如示波器等仪器中。

1.2 ADC 的基本分类

在上一节中，我们介绍了 ADC 的基本结构，并引出了 Flash 型的 ADC。实际上，根据不同的转换方式，ADC 可以分为许多类型，分别适用于不同的使用环境。除并行 ADC（Flash 型）之外，现代常用的 ADC 包括：逐次逼近型（SAR 型）、流水线型（Pipeline 型）、插值结构和折叠插值型、 Σ - Δ 型等。

表 1.1 列出了几种常用类型 ADC 的特点，在后续章节中我们将详细介绍各种 ADC 的结构和原理，通常来说，在同样的结构下，ADC 的分辨率越高，转换速度就越低。

表 1.1 常见 ADC 对比

转换器结构	转换速度	分辨率	转换器类型
Flash 型	$\leq 10\text{GSPS}$	$\leq 10\text{-bit}$	瞬时值转换型——转换对象是模拟信号在采样时刻或前几个采样时刻的抽样值，即瞬时值
SAR 型 ADS7xxx, ADS8xxx	$\leq 16\text{-bit}$ $\leq 18\text{-bit}$	$\leq 4\text{MSPS}$ $\leq 1.25\text{MSPS}$	
Pipeline 型 ADS7xxx, ADS8xxx ADS6xxx,	$\leq 200\text{MSPS}$ $\leq 250\text{MSPS}$ $\leq 1000\text{MSPS}$	$\leq 16\text{-bit}$ $\leq 14\text{-bit}$ $\leq 12\text{-bit}$	
折叠插值型 ADC12Dxxxx, ADC10Dxxxx, ADC08Dxxx	$\leq 5\text{GSPS}$	$\leq 12\text{-bit}$	
Σ - Δ 型 ADS11xx, ADS12xx	$\leq 4\text{kSPS}$ $\leq 4\text{MSPS}$ $\leq 10\text{MSPS}$	$\leq 31\text{-bit}$ $\leq 24\text{-bit}$ $\leq 16\text{-bit}$	平均值转换型——转换对象是模拟信号在一段时间内的平均值

1.3 量化误差与分辨率

ADC 转换包括采样、保持、量化、编码 4 个步骤。其中，量化是指将信号的连续取值近似为有限多个离散值的过程。我们会发现量化的过程存在一个天生的缺陷，那就是离散的数字信号无法完整的对应每一个连续的模拟电压。以最简单的 1bit ADC（即比较器）为例，1.1 节讲解了它的工作原理，即把所有高于阈值的电压都量化为 1，把所有低于阈值的信号都量化为 0。假设阈值为 2.5V，那么所有高于 2.5V 的电压都会被量化为 1，ADC 无法分辨 3V 和

3.3V 的区别；同理低于阈值时也有类似情况。

多个 bit 的 ADC 也有同样的问题。图 1-3 表示理想 3bit ADC 的转换结果，从图中可以看出转换结果为 8 个数字量，每个数字量分别对应一个模拟电平，我们将最低位数字量所对应的模拟电平称为称为最小有效位（Least Significant Bit，简称 LSB），即图 1-3 中横轴的一小格。图中的虚线代表输入模拟量，实线代表量化之后的数字量所对应的模拟值，二者之间有一定误差，这个误差就叫做量化误差。我们以横轴最左边一格为例，输入 $\leq 1/2$ LSB 时输出为 000b， $1/2$ LSB $<$ 输入 ≤ 1 LSB 时输出为 001b，而实际输入范围是 0-1 LSB，ADC 无法分辨在 0 - $1/2$ LSB，或是 $1/2$ LSB - 1 LSB 之间的输入。在最坏情况下，实际输入和量化之后的值之间有 $1/2$ LSB 的误差。也就是说 ADC 的量化误差为 $\pm 1/2$ LSB。

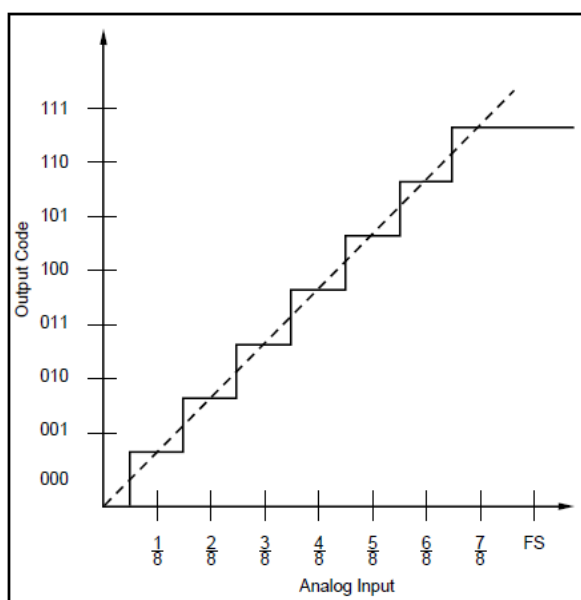


图 1-3 理想 3bit ADC

上面所述的 LSB 是 ADC 中一个重要的基本概念。还有两个概念也十分重要：满量程输入范围和分辨率。我们再看图 3，最小的数字量 000b 对应的模拟量为 0，最大的数字量 111b 对应的模拟量为满量程输入。最大输入和最小输入之间的差，称为满量程输入范围（Full Scale Input Range，简称 FS），FS 就是输入的模拟量的范围。而输出数字量的位数就是 ADC 的分辨率（Resolution），在这里就是 3 bit。

对比 1 bit ADC 和 3 bit ADC 不难发现，在满量程一定的情况下，ADC 的位数越高，量化误差越小。量化误差 e_q 和 ADC 位数 N 之间有如下关系：

$$e_q = \frac{1}{2} \text{LSB} = 0.5 \times \frac{\text{FS}}{2^N}$$

量化误差可以看成是一种噪声作用，称为量化噪声，量化噪声将叠加到理想输出上。量化噪声为白噪声，即噪声的随机变量在输出二进制码之间分布的平均值为 0，则其噪声功率计算如下：

$$e_q^{\text{rms}} = \int_{-\frac{1}{2}\text{LSB}}^{\frac{1}{2}\text{LSB}} \left(\frac{e_q^2}{\text{LSB}} \right) de = \frac{\text{LSB}^2}{12}$$

由此，我们看到当 ADC 的满量程输入和位数一定的情况下，将确定 ADC 的最小分辨率，从而确定了量化噪声功率。下图是从频域上看到的量化噪声功率的分布情况：

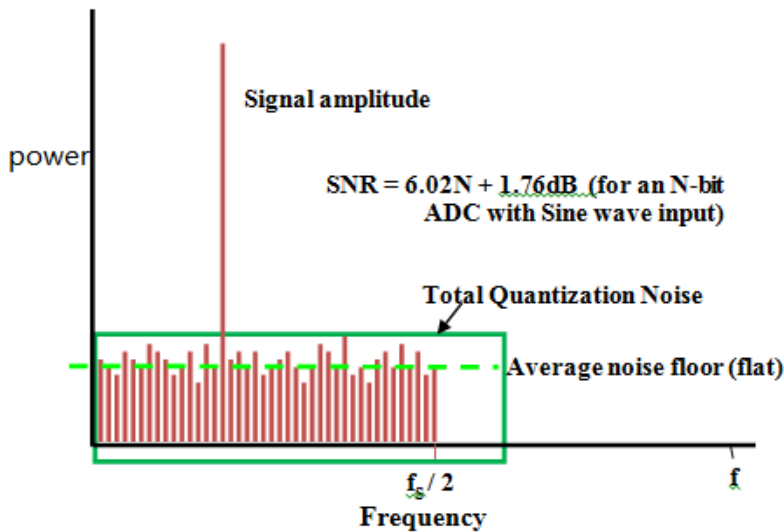


图 1-4 量化噪声在频域的分布情况

从图 1-4 中可以看到，量化噪声均匀的分布在从 0 到 $f_s/2$ 的频谱之间。对于 N-bit ADC 来说，信号功率和噪声功率之比称为信噪比（SNR），在只考虑量化噪声的情况下，信噪比的大小为：

$$\text{SNR} = 6.02N + 1.76\text{dB}$$

1.4 过采样与欠采样

在选择一个 ADC 时，采样频率 f_s 是我们最优先考虑的参数。连续的模拟信号以时间间隔 $t_s = 1/f_s$ 被采样，究竟什么样的采样频率才能保证精确地描述原始模拟信号？很显然，同一时间段内采样越多（采样频率越高），模拟信号的数字表示就越精确。如果采样较少（采样频率越低），则少到一定程度时，模拟信号的关键信息将因得不到采样而丢失。奈奎斯特（Nyquist）采样定律和香农（Shannon）采样定律阐述了对采样信号的频率要求，奠定了采

样的数学基础。

奈奎斯特采样定律：

- 如果采样频率小于最大感兴趣模拟信号频率的两倍，将会出现一种称为“混叠”的现象。如果不希望避免感兴趣的信号发生混叠现象，采样频率 f_s 至少是该信号所含最高频率 f_h 的两倍。

香农采样定律：

- 对带宽为 f_a 的信号进行采样，采样频率 f_s 应不小于 2 倍的 f_a ，否则会导致信息的丢失。
- 信号带宽 f_a 可以是 0（直流）到 f_a ，或从 f_l 到 f_h （带通信号），此时 $f_a = f_h - f_l$ 。

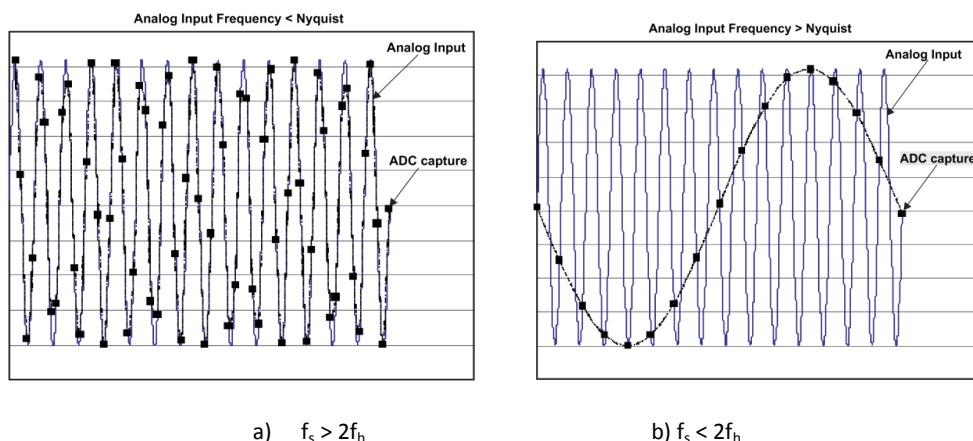


图 1-5 奈奎斯特采样定理

图 1-5 a)表示采样频率 $f_s > 2f_h$ 时的情况，采样频率确保了每个模拟信号周期内有大于 2 个采样点，原信号的信息可以被正确还原，这种情况也称为过采样；在图 5 b)中，采样频率 $f_s < 2f_h$ ，信号被重构为频率小于原频率的信号，这种情况也可被称作欠采样。欠采样时发生的频率偏移现象叫做混叠。

为了更好地理解采样与混叠，我们从频域上对采样定理做一些分析。图中上方是一个 DC 到 f_h 的信号的时域波形，右边是该信号相对应的频域信号波形。第一行 $F(u)$ 是被采样信号 $I(x)$ 的频域响应，第二行中 $S(x)$ 是采样信号的时域信号，是一组间隔为 Δx 的脉冲信号，它的频域响应 $S(u)$ 也是一组脉冲信号，但间隔变为 $1/\Delta x$ 。根据傅里叶变换的法则，时域中相乘相当于频域中做卷积，因此第三行中被采样之后的信号对应的频域响应成为了频域中的周期性重复信号，其间隔为 $1/\Delta x$ 亦即采样频率 f_s 。也就是说时域中对信号进行离散化相当于频域中对信号周期化。图 1-6 表示的是过采样的情况，采样频率 $f_s > 2f_h$ 保证了被周期化之后的频域没有出现频谱重叠。

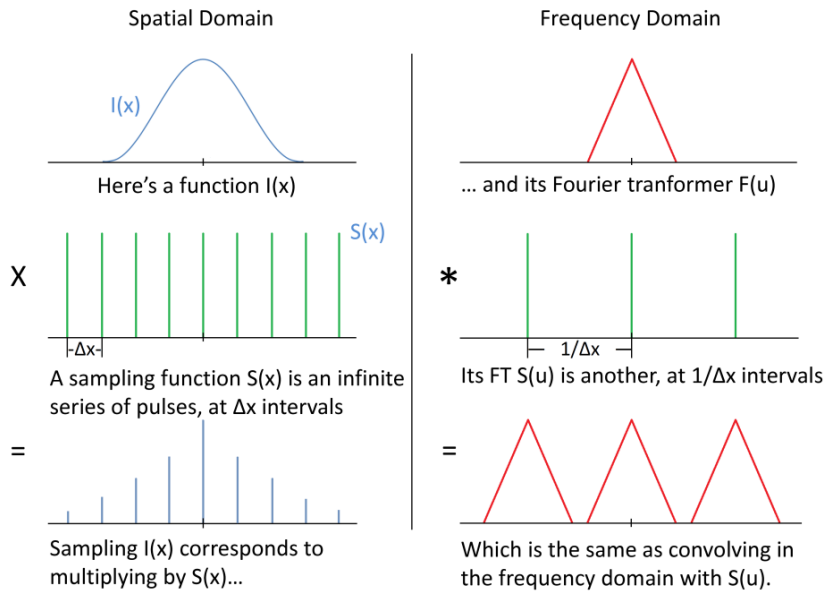


图 1-6 过采样信号时域和频域对比

下面我们看一下 $f_s < 2f_h$ 时的情况，如图 1-7 所示。

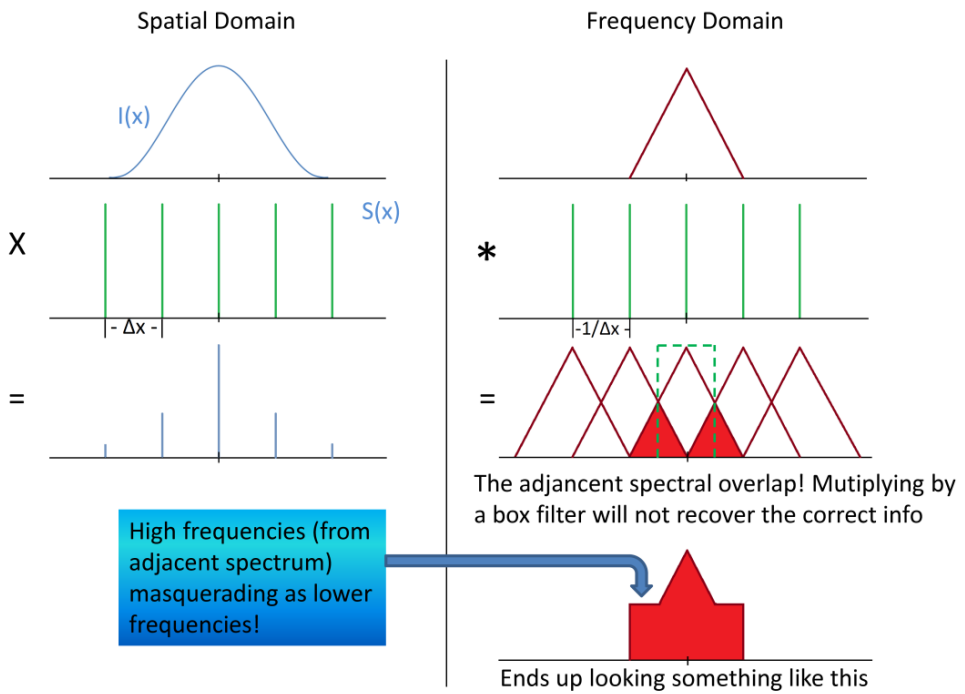


图 1-7 欠采样信号时域和频域对比

在图 1-7 中，由于采样频率 f_s 较低，频域信号的周期间隔 Δx （即 f_s ）也变小了。因此被采样信号在周期化之后，两个相邻周期的信号出现了混叠，见图中红色部分。这种情况下，出现混叠的信号在被还原时无法正确的还原出原信号的全部信息。

从上面的分析我们可以看到，时域上的等间距采样相当于频域里信号频谱的周期性搬移，这解释了混叠现象的发生。因此，对于 DC 到 f_n 的信号采样来说，为确保正确还原出信号的全部信号，过采样是必须遵循的原则。而在对带通信号采样时，我们可以利用混叠来帮助降低系统的设计难度。下一节中我们就将介绍利用过采样与欠采样，以及他们各自的优缺点。

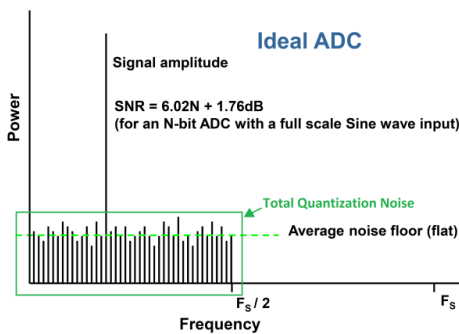
1.5 混叠

在上一节中我们介绍了过采样和欠采样的概念。实际上过采样与欠采样分别有各自的优点和缺点，可以根据不同的需要分别加以利用。下面我们就将分别讨论过采样和欠采样各自的优缺点，并着重讨论如何正确利用混叠。

1) 过采样

图 1-5 上图中时域中黑点所代表的即是过采样所得到的数据波形，过采样时每个信号周期内采样次数大于 2 次。不难理解，每个信号周期内采样点越多，越能够真实还原被采样的信号。图 1-8 从频域的角度分析了过采样的主要优点：一是降低带内量化噪声，二是减小抗混叠滤波器的设计难度。

The Frequency Domain



Oversampling by K Times

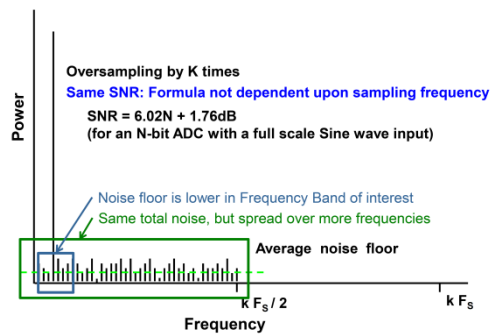


图 1-8 k 倍过采样的量化噪声频谱

图 1-8 分别给出了 f_s 及 K 倍 f_s 采样后得到的频谱。根据 1.3 节所讲的量化噪声的概念，在采样过程中产生的量化噪声均匀分布在从 0 到 $f_s/2$ 的频域范围内，其功率为

$$e_q^{rms} = \frac{LSB^2}{12}$$

由上式可知，量化噪声功率只与最小分辨率有关，与采样频率无关，因此若我们将采样频率增大到原来的 K 倍，由于量化噪声总功率仍保持不变而分布区间扩大到了 $0 - Kf_s/2$ ，所以量化噪声的功率谱密度减小为原来的 $1/K$ ，如图 8 中绿框部分所示。因此如果我们对采样后的数据应用一个数字低通滤波器到感兴趣的频带，就可以有效减少感兴趣频带的带内量化噪声总量，从而有效提高带内的信噪比。如图 8 右图中蓝框部分所示。

在 AD 转换过程中，输入信号会夹杂噪声，其中部分噪声的频率可能大于奈奎斯特频率。如果转换后我们感兴趣的信号频谱在 $0 - f_s/2$ 内，大于奈奎斯特频率的噪声就会混叠到 $0 - f_s/2$ 内从而干扰或污染我们感兴趣的信号。因此在过采样应用中，我们一般要先用低通滤波器将大于奈奎斯特频率的噪声过滤掉，再把信号送入 ADC 的输入端，这种滤波器叫做抗混叠滤波器。

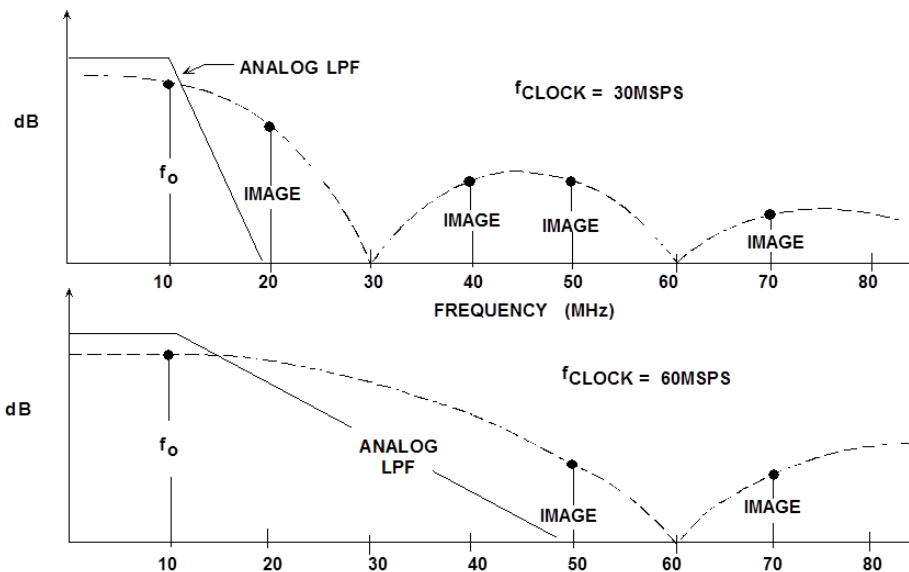


图 1-9 过采样降低对模拟滤波器的要求

例如在图 1-9 上半部分中，要对一个 10MHz 的正弦波采样，采样率为 30MSPS，这时奈奎斯特频率为 15MHz。我们看到频谱上 20MHz 处有一个毛刺，如果不使用抗混叠滤波器，那么 20MHz 处的噪声就会混叠到 10MHz 上，污染我们感兴趣的信号。此时，我们必须使用一个截止频率为 10MHz，过渡带仅有 10 MHz（10MHz 到 20MHz）的一个低通滤波器来做为抗混叠滤波器。如果你设计过低通滤波器，你就知道要在仅仅 2 倍频程的过渡带上设计一个陡峭的滤波器是多么的不容易：一个单极点的滤波器在 2 倍频程中只能提供 6dB 的衰减。因此如果仅仅要求把 20MHz 处的噪声电压衰减 10 倍（-20dB），就已经需要一个 4 阶的低通滤波器。而如果我们把采样率提高到 60MSPS，奈奎斯特频率提高到 30MHz，这次我们只需担心 50MHz 的信号是否会混叠到感兴趣的 10MHz 信号上了，这时的抗混叠滤波器的过渡带为

10MHz 到 50MHz，此时一个两阶的截止频率为 10MHz 的低通滤波器就可以完成将 50MHz 处的干扰信号衰减 10 倍 (-20dB) 的工作。模拟滤波器的设计难度被大大降低了。

2) 欠采样

和过采样对应，欠采样是指 $f_h > f_s/2$ 时的情况。利用混叠现象，我们可以实现利用较低的采样频率对高频带通信号进行采样，从而节省系统的成本、功耗、PCB 面积及模拟前端设计复杂度。

根据香农采样定理，采样频率 f_s 只要大于信号带宽 f_a 的 2 倍以上，信号的信息就可以完整的被保留下来。在这里，信号可以是一个带通信号，带宽为 $f_a = f_h - f_l$ ，以 f_c 为中心。也就是说信号 f_h 频率可以大于奈奎斯特频率 $f_s/2$ ，只要保证带宽低于 $f_s/2$ 就可以采得完整的信号。b) BW = 135 - 180MHz, $F_s = 90\text{MSPS}$

图 1-10 及所示的就是 4 种欠采样的情况，通过分析我们可以了解一个正确的欠采样所需的条件。

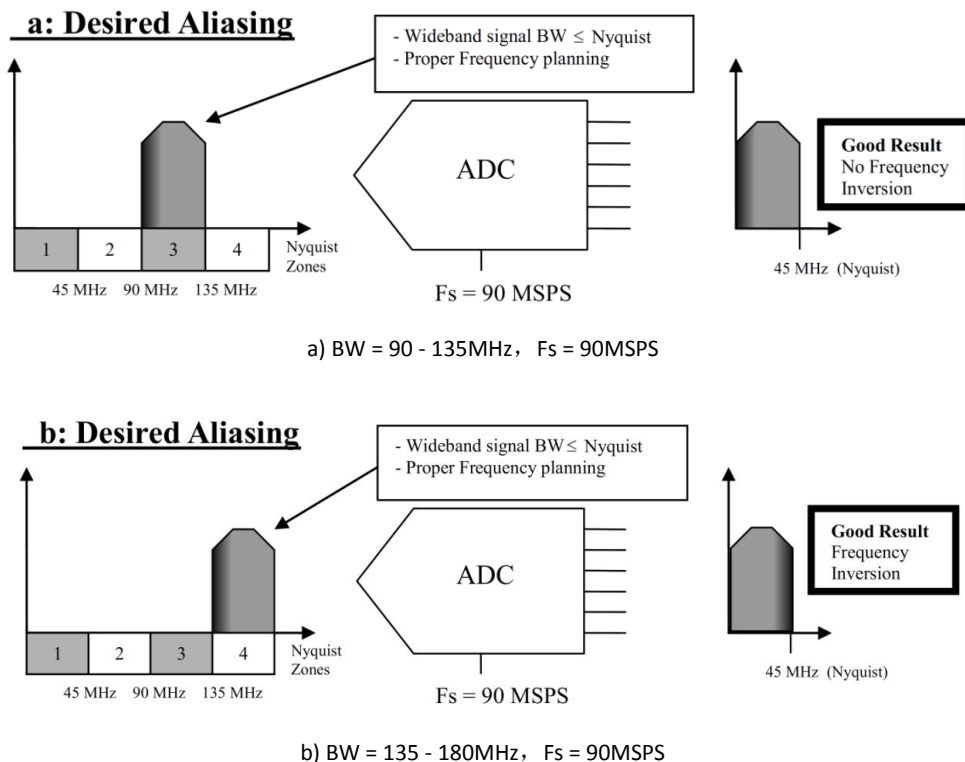


图 1-10 几种不同欠采样分析-正确的欠采样应用

在图 1-10 a)中, 信号频率从 90MHz 到 135MHz, 信号带宽 $f_a = 135 - 90 = 45\text{MHz}$, 如果用 90MHz 的采样频率进行采样, 得到的信号频谱被搬移到了 0 - 45MHz 的范围内。这是我们期望的混叠。图 1-10 b)的情况类似, 信号频率从 135MHz 到 180MHz, 带宽仍为 45MHz, 采样之后利用混叠在频域上得到的信号和 a)中的相同。实际上在采样后, 由于混叠的特性, 在每个 Kf_s ($K = 0, 1, 2, \dots$) 附近都会有信号的镜像, 这就是欠采样的原理。

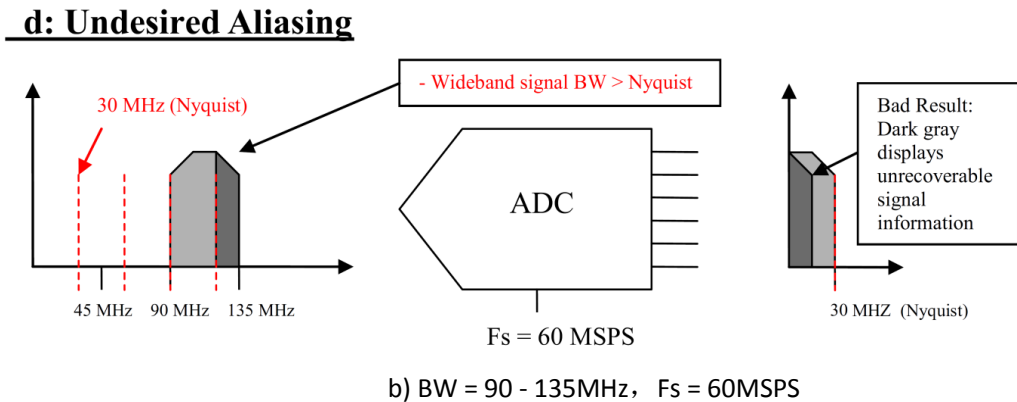
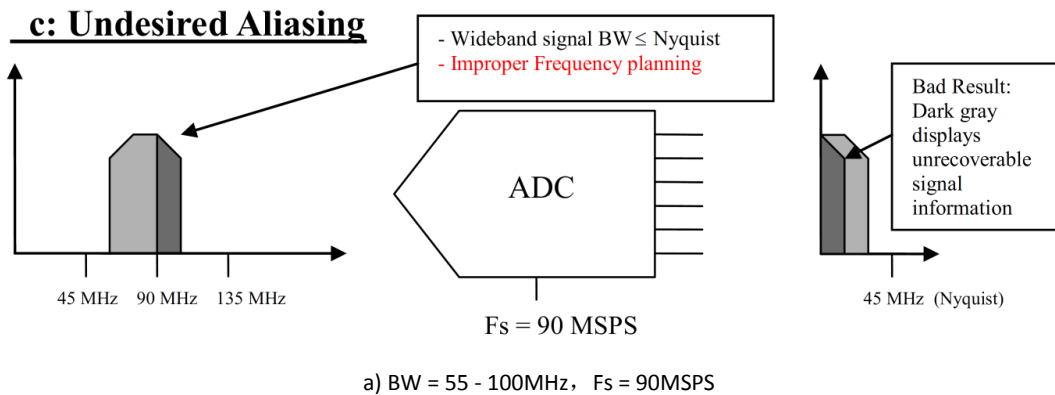


图 1-11 几种不同欠采样分析-不合适的欠采样应用

但是欠采样必须满足两个条件, 一个是选取的 f_s 不能导致被采样的带通信号跨越了 $Kf_s/2$ 的分界线, 我们称之为不正确的频域规划。如图 1-11 a)中, 尽管带宽 f_a 仍为 45MHz, 但信号分布在 60MHz 到 105MHz 的范围内, 中间跨越了 90MHz 的分界线, 采样的结果是不正确的, 右边图形中带通信号重叠在一起, 无法分开。另一个是选取的 f_s 必须大于两倍的信号带宽, b)中信号带宽为 45MHz, 但采样频率变为 60MHz, 这样被采样信号的带宽超过了 $f_s/2$, 信号也无法被完整采样。从上面 2 个例子中可以总结出, 要想让欠采样后的信号能够完整反映出被采样信号的信息, 必须使满足如下两个条件:

1. f_s 必须大于两倍的信号带宽 f_a ;

2. 被采样的带通信号处在 $Kf_s/2$ 到 $(K+1)f_s/2$ 的频段内，不能跨域 $Kf_s/2$ 这条分界线。其中 $K = 0, 1, 2, \dots$

本节对过采样和欠采样作出了分析，过采样的优点是：1. 量化噪声功率总量被分摊到 $f_s/2$ 的频域中， f_s 越高，量化噪声的噪声功率谱密度越低，经过数字低通滤波器后的带内噪声总量越低；2. 截止频率和干扰频率之间的过渡带较宽，利于简化滤波器的设计。而欠采样的优点是可以利用较低的采样频率对高频带通信号进行采样，节省系统成本、功耗、PCB 面积并简化模拟前端的设计。

第二章 ADC 性能指标

实际应用时，由于 ADC 并不是理想 ADC，所以我们在使用时需根据不同应用场景选择不同的 ADC。在这之前，首先了解 ADC 的各性能指标。

2.1 静态精度

静态误差，即就是那些在转换直流（DC）信号时影响转换器精度的误差，可以仅用 4 个术语描述整个静态误差。它们是偏置误差，增益误差，积分非线性误差以及微分非线性误差。每一个可以用 LSB 单元表示或者有时用 FSR 的百分比表示。例如，对于一个 8 位转换器 1/2 LSB 误差对应于 0.2% FSR。

2.2 偏置误差

偏置误差为 1 位最低有效位的 3 位 A/D 转换器转换特性如图 2-1 所示。Y 轴对应输出码字，坐标 X 轴对应模拟输入信号幅度。在数量上，偏置误差为当输入等于 0.5 个最低有效位时，第一个码字转换（从 000 到 001）偏离理想位置的值。另一种求取偏置误差的方式是检查图中 X 与 Y 之间的截距，另外就是直线通过实际转换函数时所截取的 X 坐标。偏置误差引起整个函数曲线转换向 Y 轴方向移动（输出码是独立变量）。偏置误差通常用最低有效位、伏特或者是最大量程的百分数（%FSR）来表示。

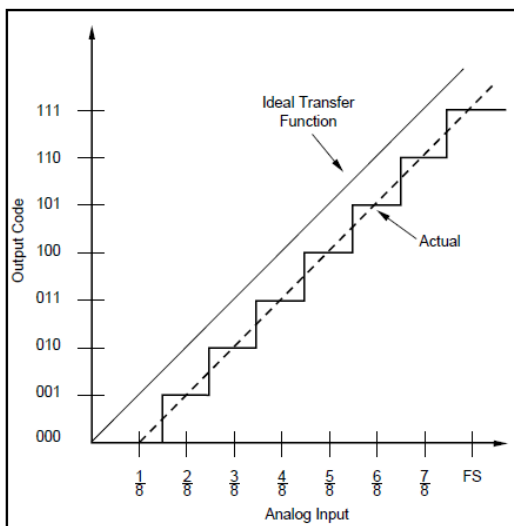


图 2-1 1 个最低有效位的偏置误差

2.2.1 增益误差

图 2-2 给出了具有增益误差的 3 位 A/D 转换器的转换函数，从图中可以看出，增益误差可以描述为直线通过转换函数曲线时，在满量程处的偏差。同时，它也可以描述为+1 的理想增益范围的偏差。虽然增益误差通常被表示成满量程的百分比 (%FSR)，但它也在电压或者最低有效位上有详细说明。增益误差由转换参考电压的误差所决定，因为参考值决定了器件的满量程。

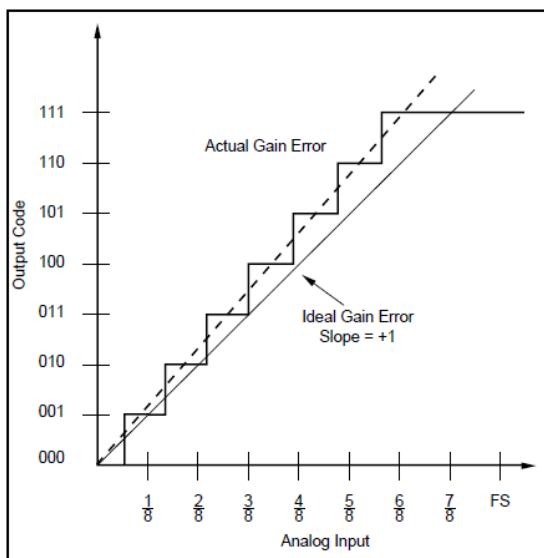


图 2-2 正向增益误差

2.2.2 微分非线性

微分非线性通常用来描述在转换过程中发生码字跳转处的输入电压偏离理想转换电压的大小。图 2-3 给出了微分非线性误差的一个例子。每个码字转换应该发生在等效于一个最低有效位的间隔内。例如，对于一个 3 位的 A/D 转换器，如果第一次转换发生在 $1/8$ 的满量程 (0.125 FSR) 处，那么理想情况下，第二次转换应该发生在 0.250 FSR 处。对于一个特定的码字，偏离理想转换的误差就是微分非线性误差。对于一个转换器来说，微分非线性误差应该描述成所有可能转换过程中最坏情况的转换误差。

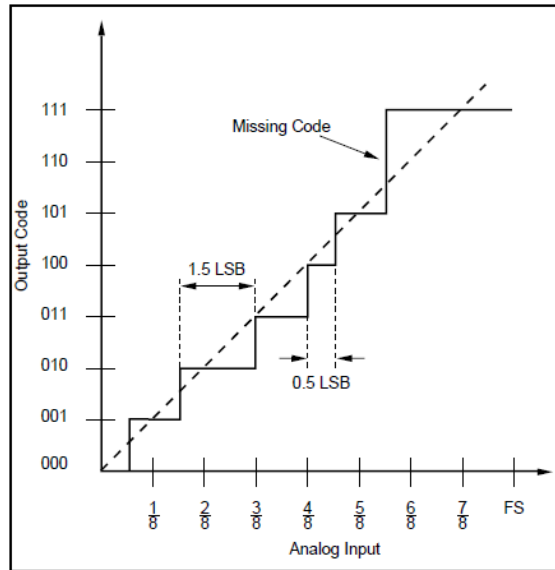


图 2-3 微分非线性

当用最低有效位来衡量转换器的分辨率时，如果微分非线性误差大于等于 -1LSB 的话就暗示有一个码字丢失了。大部分转换器在都指定了“无丢失码”达到何等精度，一般情况下都有“无丢失码”精度等于 A/D 转换器的转换精度即位数。在某些情况下，无丢失码精度小于给定转换器的精度：例如，许多 16 位的转换器可以保证无丢失码精度达到 15 位。一个具有无丢失码字的 16 位的转换器有 65535 种可能的输出码字。如果微分非线性被指定的无丢失码字是 16 位，那么所有的可能输出码字都必须存在。“无丢失码字”这个规格不能用户提供给出关于码字宽度的任何信息；简单地说，每个输出码字的一些部分都是存在的。如果一个 16 位的转换器的微分非线性误差大于等于 -1LSB ，那么在任意输出状态中只能保证 15 位的信息是有效的。如果转换器指定了 15 位的无丢失码字，那么在任意给定输出范围中只能确保 15 位。正误差表示长码，它的值没有实际的限制，并且跟分辨率不相关。微分非线性的一个简单测试是：加输入电压直到转换开始时，此时测量出驱动转换开始所需的输入电压。然后，驱动下次转换开始的输入电压也可以测量出来，将这两次转换过程中的输入电压差减一个最低有效位后，将其定义成转换过程中的微分非线性误差。在这里，需要注意的一点是在测试微分非线性过程中，A/D 转换器中会产生噪声。由于噪声通常是高斯噪声，其平均值将接近于真实的微分非线性值。

2.2.3 积分非线性

积分非线性用来描述 A/D 转换器转换函数的整体形状。这个误差通常被定义为静态线性或者是绝对线性。图 2-4 (a) 给出了积分非线性与终点相关的一个例子，图 2-4 (b) 给出了积分非线性与最佳直线相关的一个例子。对于线性的终点，在转换器的偏置和增益交叉点之间画一条直线，那么转换函数曲线将背离那条直线。与那条直线之间的最大偏离是非线性积分的最坏情况。对于一个最佳情况的例子，此转换在一个最小二乘估计中被用到，先绘制最佳直线，那么转换函数曲线将背离此最佳直线。以终点线性为例，与最佳直线的最大偏离量描述了转换器的积分非线性。积分非线性也能通过对同一极性的微分非线性误差进行求和或者积分而得到。对于积分非线性的一个直接定义是 A/D 转换器中偏离所选直线（理想、最佳或者终点）的最大偏离度量。

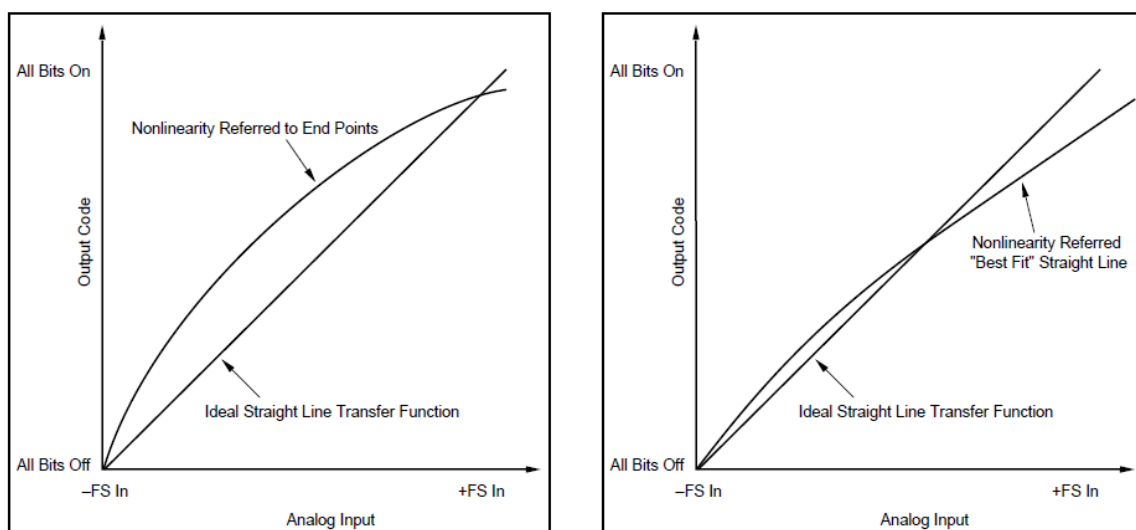


图 2-4 (a) 参考输入的非线性积分 (b) 参考最佳直线的非线性积分 ADC 分类

2.3 动态指标

在精密信号链中，我们的 ADC 测试主要关注 ADC 的直流精度，包括其 DNL, INL, 失调，最小分辨率和 ADC 的输入噪声。我们通常不会在频域来计算对直流采样 ADC 的 SNR，这是因为频域计算基于一个单频正弦波，而我们在精密 ADC 采集中面对的常是变化非常缓慢的信号。因此对于直流采样 ADC 来说，在时域上能达到的最小分辨率和系统噪声是我们关注的焦点。

当然，这些 ADC 很多也拥有数百 KSPS 甚至数 MSPS 的采样率，在音频范围内的交流信号采样也是非常有用处的。这时我们需要从另一个角度来衡量 ADC 的表现。对交流信号采样的 ADC 来说，我们关注更多的是其可重复性，也即频域特性，ADC 的 INL 会显著的影响 ADC 输出的总谐波失真，采样抖动会显著的影响 ADC 的 SNR，我们常用的衡量高速 ADC 性能优良的几个指标就是采样率、输入-3dB 带宽、SFDR、SNR 和 ENOB。动态指标是在频域中来表征的，通常利用快速傅里叶变换（FFT）来得到动态规格。下文将通过一个实例来重点介绍后面三个指标。

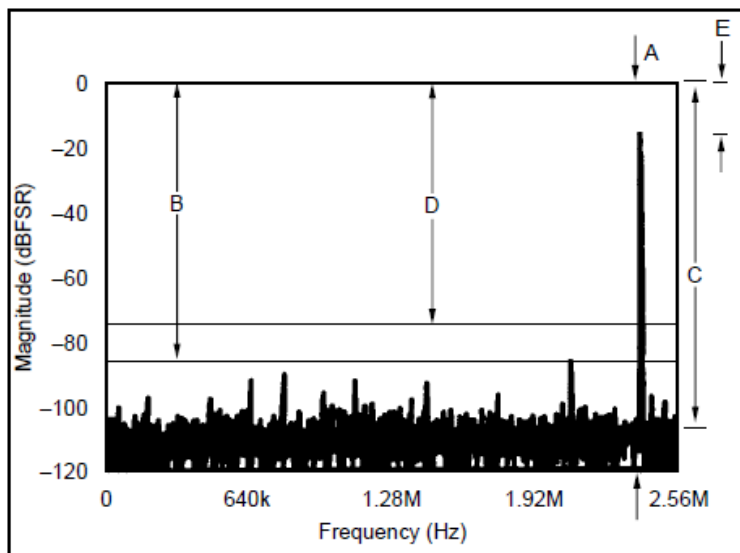


图 2-5 动态规则

如图 2-5 所示为一个 FFT 变换后的频域图，这个特定的 FFT 来自一个 ADS850，一个 14 位，采样频率为 10MHz 的 A/D 转换器。输入的测试信号频率为 2.35MHz 的正弦波。

基本输入信号（A）的频率是 2.35MHz，它也是模拟信号的输入频率。在目标频率处发现其强度低于 0dB，由于个余量出现，这就是净空（E），它通常用来避免当 A/D 转换器或信号源有偏差的时候产生限幅现象。净空在大部分 FFT 测试中设为 0.5dB。为了描述方便，图 2-5 将净空进行了一定的放大。

2.3.1 无杂波动态范围（SFDR）

转换器的无杂波动态范围（SFDR）定义为（B）：在输出频谱中，基频分量与最大谐波间的距离（dBc），当然最大谐波不局限在基频产生的高次谐波分量上。输入信号谐波的寄生毛刺响应以谐波阶数来标记。这些谐波对应于输入采样保持放大器的非线性特性。从图中可以看出有一些寄生毛刺并非输入信号的谐波。这些寄生毛刺来自采样过程。

当使用运放来驱动ADC时，运放的谐波失真会影响到ADC的输出谐波失真。为了确定一个放大器+ADC系统的SFDR值，需要将放大器输出信号的频谱与ADC的频谱叠加，由于电气距离的不同导致了不同的相位位移，因此这两种信号源只有通过功率的型式相加。ADC输出的FFT是在一个特定的输入级别上计算，通常是-1dBFS。放大器的谐波也应该在这个级别上进行测量。然后放大器与ADC各自的谐波幅度将会被从dBc转化为标量并且相加。结果再转化为dBc，方程如下：

$$\text{HDx}_{\text{Combined}}(\text{dBc}) = 10 \times \log_{10} \left[10^{\left(\frac{\text{HDx}_{\text{Amp}}}{10} \right)} + 10^{\left(\frac{\text{HDx}_{\text{ADC}}}{10} \right)} \right],$$

其中HDx_Amp与HDx_ADC分别是放大器以及ADC属于谐波分量的寄生毛刺,以dBc表示。

一些简单的关系有助于在不需要任何数学计算的情况下快速的对系统进行分析。如果ADC和运放的谐波大小相等，则总的谐波大小加上3.01 dB。如果在不同的谐波级别之间差别大于10 dB，忽略较小的一个只会带来很小的误差。

对于一个线性放大器来说，最显著的寄生毛刺通常是二阶、三阶谐波。一般仅需评估这两阶谐波即可。

2.3.2 信噪比 (SNR)

平均噪声基底 (C) 来源于 A/D 转换器的平均噪声和 FFT 本身。FFT 中理想的平均噪声基底可以描述为：

$$6.02n + 1.76 + 10 \log(m/2)$$

这里，n 为 A/D 转换器的分辨率，m 为 FFT 的点数。

A/D 转换器的噪声特性 (D) 用信噪比 (SNR) 来衡量。SNR 中的 S 是输入基频的有效功率，N 是在奈奎斯特频带范围内除直流分量和基频以外的所有谐波的有效功率之和。理论上，SNR=6.02n+1.76，这里 n 为分辨率。

那么，这个理想表达式是从何而来的？对于一个实际的 ADC 而言，如何测量 SNR 的值？

SNR 是通过计算得到的值，它代表了信号的有效值和噪声的有效值之间的比值。然后，对这个比值取 \log_{10} ，再乘以 20，从而得到 dB 形式的 SNR 的值。

推导上述公式，首先需要确定信号的有效值。假设输入信号是正弦信号，则信号的有效值等于 ADC 的满幅度量程除以 $\sqrt{2}$ 。如果 ADC 的增益为 1，你可以将信噪比的等式转换为用比特数表示：信号有效值 = $(2^{(N-1)} \times q) / \sqrt{2}$ ，这里 q 表示最小比特步长 (1LSB)。

所有 ADC 都会由量化误差而产生量化噪声（（在理想情况下，ADC 的唯一噪声来源是其量化噪声）），由此而产生的噪声有效值等于 $q/\sqrt{12}$ 。这个式子的得来如下：

任何 ADC 的不确定值的大小等于 $\pm 1/2 \text{ LSB}$ 。当然，这种假设是基于 ADC 是没有差分非线性误差的理想 ADC。现在我们需要确定的是 1LSB 的有效值。我们可以认为量化误差是由模拟输入信号引起的三角波，而三角波信号的有效值等于信号幅度除以 $\sqrt{3}$ ，所以最终得到的噪声有效值 = $\pm (\text{LSB}/2)/\sqrt{3} = q/\sqrt{12}$ 。

然后，对这些数字进行整理：

$$\text{SNR (dB)} = 20 \log \frac{\text{信号有效值}}{\text{噪声有效值}} = 20 \log \left(\frac{2^{N-1} \times q/\sqrt{2}}{q/\sqrt{12}} \right) = 6.02N + 1.76$$

在一个 A/D 转换器中可接受的 SNR 值可以按下列规则计算：将分辨率乘以 6。例如，对于一个 8 位的 A/D 转换器，那么一个好的 SNR 是 48dB，对于一个 12 位的 A/D 转换器，那么一个好的 SNR 是 72dB。因为在高分辨率（高于 12 位）的 A/D 转换器系统中放大器的 1/f 噪声很难得以降低，在这些高分辨率转换器中难以确保“6 倍”准则。

对于那些高分辨率的转换器，SNR 值在一定程度上依赖于输入信号的频率。对于一个给定的采样频率 f_s ，理论上讲，从直流到 $f_s/2$ 频率带宽范围内的有效功率量化噪声是给定的。此处 q 是一个 LSB 的代表的权值， n 是位数。当输入信号频率与采样频率之比增加时，那么量化噪声将分散在更加狭窄的带宽内，导致模拟输入带宽内噪声的增加。图 2-6 给出了采样

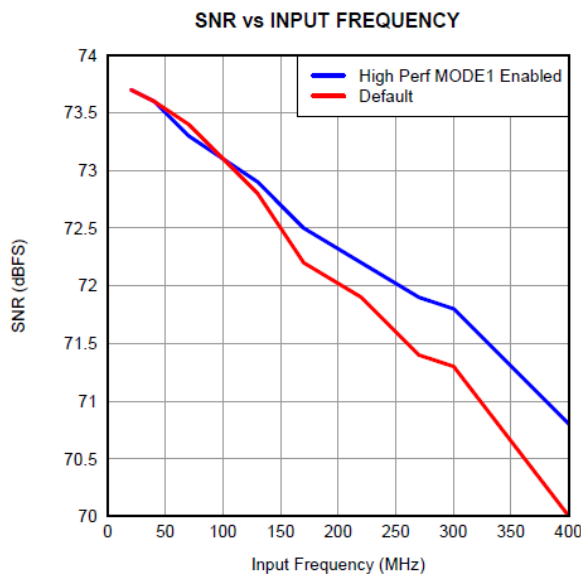


图 2-6 ADS4122 对于的输入频率的 SNR 值

率为 65MSPS 的 12 位 A/D 转换器 (ADS4122) 相对于输入频率的 SNR 值。当转换器的输入频率增加时, 其 SNR 值缓慢下降。对于高速度或者高分辨率的转换器而言, 随着输入频率的增加, 那么 SNR 值下降的更加明显。在时钟抖动一章, 我们会解释这个现象。

在实际测试中, 正弦输入信号的噪声应小于 ADC 理想噪声的 1/3, 在这种情况下, 信号有效值才准确等于信号幅度除以 $\sqrt{2}$ 。

计算 SNR 的时候我们不把谐波能量计算到噪声中去: $SNR = 10\log_{10}(P_s / P_N)$, 这里, P_s 是基波信号功率, P_N 是所有噪声频率分量的功率之和; 而 SINAD (信号与噪声加谐波失真比) 将谐波功率包括在噪声的计算中:

$$SINAD = 10\log_{10}\left(\frac{P_s}{P_N + P_D}\right), \text{ 这里, } P_s \text{ 是基波信号功率, } P_N \text{ 是所有噪声频率分量的功率之和, } P_D \text{ 是所有失真频率分量的功率之和。因此 SINAD 肯定会小于 SNR 的值。}$$

我们还可以利用 SINAD 来估算出 ADC 的有效位数(effect number of bits, 简称 ENOB):

$ENOB = (SINAD - 1.76) / 6.02$;

运放+ADC组合系统的ENOB可以通过将放大器的有效位数以及ADC的ENOB以功率的方式相加来得到。如果放大器的ENOB与ADC的ENOB相等, 则SINAD的数值也相等。在这种情况下, 组合的SINAD将会降低3.01 dB, 组合的ENOB将会减少0.5位。

第三章 ADC 选型指南

3.1 常见 ADC 结构特点与应用场景

现代常用的 ADC 分为逐次逼近型 ADC (SAR 型), Delta-Sigma 型, 和流水线型 ADC (Pipeline 型) 三类。他们各自有着不同的精度和速度范围, 从而有着不同的应用领域。下面讲究 SAR 型 ADC, $\Delta \Sigma$ 型 ADC 以及 Pipeline 型 ADC 原理与结构分别进行阐述。

表 3.1 四种常见 ADC 特性及应用

ADC 类型	转换速率	分辨率	优缺点
SAR	$\leq 4\text{MSPs}$ $\leq 1.25\text{MSPs}$	$\leq 16\text{-bit}$ $\leq 18\text{-bit}$	操作简单, 低成本, 低功耗
$\Delta \Sigma$	$\leq 4\text{kSPs}$ $\leq 4\text{MSPs}$ $\leq 10\text{MSPs}$	$\leq 31\text{-bit}$ $\leq 24\text{-bit}$ $\leq 16\text{-bit}$	成本适中
Pipeline	$\leq 200\text{MSPs}$ $\leq 250\text{MSPs}$ $\leq 1000\text{MSPs}$	$\leq 16\text{-bit}$ $\leq 14\text{-bit}$ $\leq 12\text{-bit}$	高速转换, 价格高, 功耗大

3.2 SAR 型 ADC

3.2.1 SAR 型 ADC 结构与原理

SAR 型 ADC, 即逐次渐进逼近型 ADC, 采用的是多次比较的方式来获得最终的输出结果, 具有简单易用, 功耗低的特点。我们先看图 3-1, 这个老旧的结构可以帮助我们容易地理解 SAR 型 ADC 的工作过程:

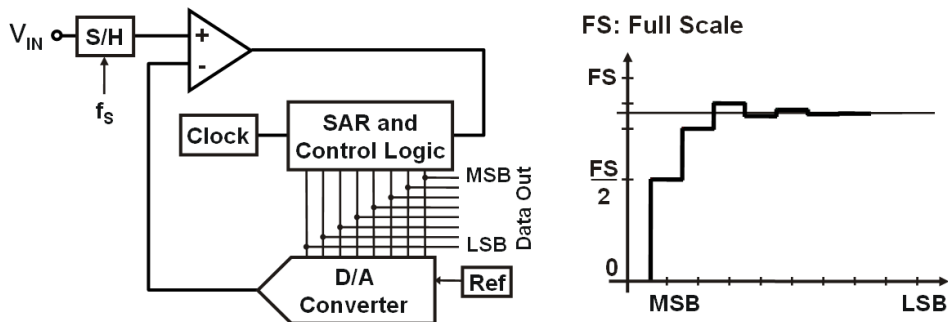


图 3-1 经典 ADC 结构

如上图，假设输入信号的伪代码为 45，ADC 为一个 6 位的 ADC，满量程输出为 63。

1. 在采样阶段，ADC 将输入信号采样至采样保持器 (S/H) 中并保持住，即此时 S/H 中的值为 45，请记住 S/H 中实际是一个模拟电压，45 是我们给它定义的代表它大小的伪代码；

2. 接下来，在转换的第一个时钟上升沿，SAR 寄存器首先将最高位至 1，即把 32（半个满量程），送给一个 DA 转换器，DA 转换器输出的模拟信号和 S/H 中的模拟信号相比较，因为 45 大于 32，比较器输出为高，提示 SAR 的最高位应该置 1，在时钟的下降沿，ADC 就将输出最高位数据（MSB）为 1；

3. 在第二个转换时钟的上升沿，SAR 会将 MSB-1 位置 1，此时由于 MSB 已经固定为 1，SAR 寄存器中的值实际为 48（ $32+32/2$ ），由于 48 大于 45，比较器输出为低，提示 SAR 寄存器的 MSB-1 位应该为 0，在时钟的下降沿，次高位的 0 也被输出，同时 SAR 寄存器也记住了次高位为 0 的事实；

4. 依次类推，最终可以得到输出结果为：101101。

从上述过程中可以看出，SAR 寄存器的位数越多，逼近得越准确，但所需的转换时间越长。

为提高 SAR 型 ADC 的总体转换速度，减少内部 DAC 的建立时间对速度的影响，现代 SAR ADC 多数采用电荷重分配的 CDAC 输入结构，将采样保持与 DAC 合为一体。

若 SAR 型 ADC 的分辨率为 n 比特，则其内部由 n 个按照二进制加权排列的电容和外加一个“空 LSB”电容组成的阵列，如图 3-2 所示。

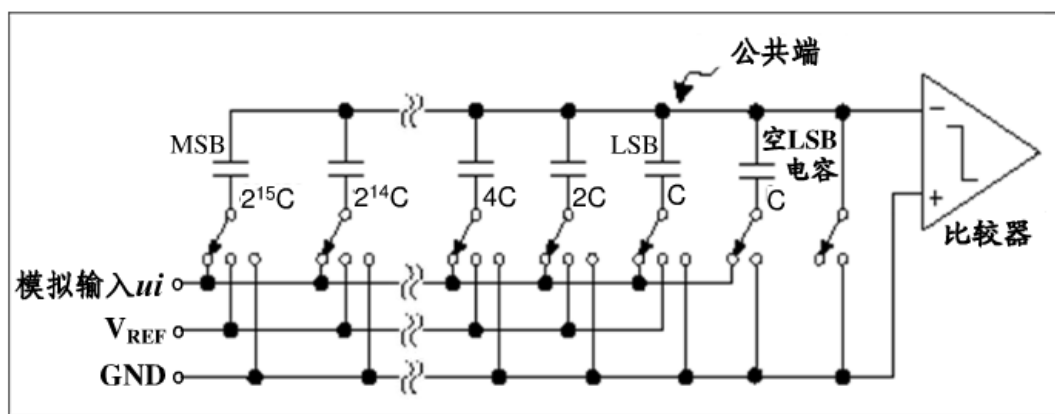


图 3-2 现代 ADC 电容式 DAC 结构

在采样阶段，电容阵列公共端，即比较器的输入端接地，自由端连接到模拟输入 u_i 上，使得电容阵列上的电压与 u_i 成正比。而在保持阶段，公共端与地断开，所有电容的自由端接地，比较器输入电压等于 $-u_i$ 。由此可见电容阵列起到了采样保持功能。

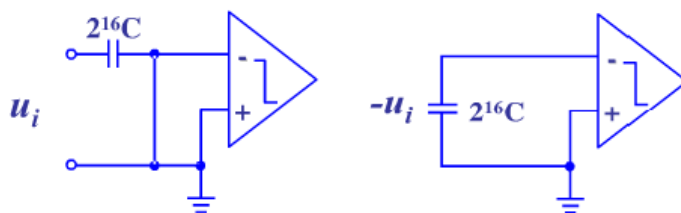


图 3-3 采样阶段（左）和保持阶段（右）

其转换比较方法仍然采用对分法逐次逼近。我们发现图 3-2 中的电容网络从“空 LSB”电容开始，第一个 C 和第二个 C 并联，构成了一个 2C 的等效电容，而这个等效电容又和下一个 2C 电容并联，构成了 4C 的等效电容，依次类推，构成了一个电容分压网络，而且每向下一级（从左向右），其电压为上一级的 1/2。其对分法比较过程如下：

1. MSB 电容自由端接 Vref，其余电容自由端接地，此时公共端的电压为 1/2Vref；
2. 如果输入电压 u_i 大于 1/2Vref，比较器输入为 $-u_i + 1/2V_{ref}$ 仍然小于零，此时比较器输出为逻辑“1”；
3. 保持 MSB 电容与 Vref 相连，将下一个电容连接到 Vref，重复上面的判断过程，确定输出数字值；
4. 依次循环指导判定全部数字位。

从上述描述可以看出电容阵列的 SAR 型 ADC 好处在于减少了传统 SAR 型 ADC 中由于 DA 引入所需的建立时间。但同时，其内部的电容值随着 ADC 位数增长呈指数级增长，带来的后果是电容体积的增大，以及对芯片工艺要求的增高。这也就解释了为什么 SAR 型 ADC 的精度不会太高。

3.2.1.1 使用运算放大器驱动 SAR 型 ADC

对于一个 SAR 型 ADC，在设计其电路时应当首先考虑的是采样速度和外部信号源内阻。如果忽略这些基本参数，不管是微处理器中内置的还是外置的 ADC，都得不到最好的输出。

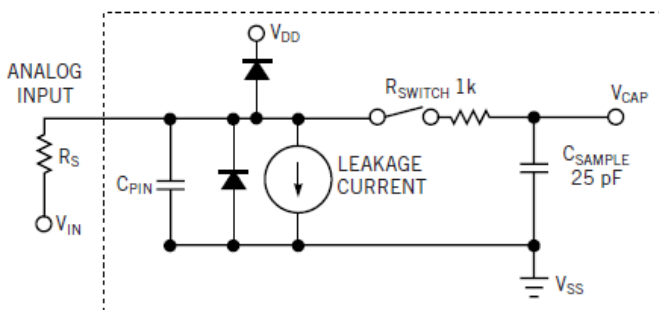


图 3-4 SAR 型 ADC 的输入级模型

首先我们来看 SAR ADC 的输入级，图 3-4 描述了一个典型的 SAR ADC 的输入级模型，从左向右来看，图中可以看出外部输入的阻抗为 R_S 。通常如果用运算放大器来驱动 SAR ADC，运用运放阻抗变换的特点，这个阻抗可以小于数十欧姆（视运放的开环输出电阻和环路增益而定）。但如果采用电阻电桥这类高阻元件直接作为信号源， R_S 通常可以达到数千欧姆。信号经过 R_S 后进入 ADC 的模拟输入端。

进入 ADC 内部的信号遇到的第一个障碍就是输入引脚电容 C_{PIN} 和 ESD(静电放电保护)二极管。这些对输入信号的影响微乎其微，这里将忽略它们，同时忽略的还有输入漏电流。

接着，信号到达导通电阻为 R_{SWITCH} 的开关，采样电容 C_{SAMPLE} 。当开关闭合时，可用 C_{SAMPLE} 来代表主要的采样电路；而输入信号源内阻 R_S ，开关导通电阻 R_{SWITCH} 和采样电容 C_{SAMPLE} 的联合作用构成了一个单极点的 RC 网络。而这个 RC 网络的时间常数可以表示为：

$$t_{RC} = (R_S + R_{SWITCH}) \times C_{SAMPLE}$$

假设在采样刚开始时候的采样电容上电压为 0，电容上的电压大小与上升时间关系可以表示为：

$$V_{IN} = (1 - e^{-\frac{t}{(R_S + R_{SWITCH}) \times C_{SAMPLE}}})$$

通过这个方程，可以根据时间变化确定采样电容上的电压达到输入信号电压值的百分比。

如果你将这个思想应用到在一个如图 3-2 所示的 12 位 ADC 的应用中，就能确定已经从输入信号里采样到了多少位的数据（这里位数通过已经采得的电压占输入电压的百分比来换算，如下表，当采样电容上的电压为输入电压值的 99.32% 时，将有 0.68%（剩余百分比）的电压无法准确获得，也就是说最小分辨率为 0.68%，这和 7.2 位的 ADC 的分辨率一致。其换算公式为 $\log_2(1/\text{剩余百分比})$ 。

时间常数个数	1	5	8	9	10
$(R_S + R_{SWITCH}) \cdot C_{SAMPLE}(nSEC)$	25	125	200	225	250
流过 C_{SAMPLE} 的百分比	63.2	99.3	99.966	99.9877	99.9955
C_{SAMPLE} 剩余百分比	36.8	0.67	0.034	0.0123	0.0045
ADC 精度 (位)	1.4	7.2	11.5	13	14.43

根据这个表的计算，如果不能给 ADC 足够的采样时间会导致 ADC 的精度降低。举个例子，一个采样时间为 1.5 个时钟周期的 12 位 ADC，在时钟频率为 2MHz 时折算出的采样时间为 750ns。对比表 1，当 R_S 为 0 时，采样电容上能获得远高于 12 位的精度，采样时间是足够的。但如果现在对信号源增加 5K Ω 内阻，然后可以得到：如果要达到 13bits 精度，转换器

需要 1350ns 的采样时间，750ns 的采样时间就不再那么保险了。这时，可以通过改变软件来降低 ADC 的采样率来获得更长的采样时间，这个是易于实现的。当然，可以通过添加运放缓冲来降低信号源内阻。这也是为什么我们要使用运放来驱动电容输入 ADC 的原因。

3.2.2 在运放和 SAR ADC 间插入 RC 组合

使用运算放大器来驱动 SAR-ADC 看起来是一个简单的任务，好像只要选一个带宽符合 ADC 输入信号要求的运放，然后直接把运放作为缓冲来跟 ADC 相连就可以了。但是不要高兴得太早，你的任务远远没有完成，因为你还没成功解决掉 ADC 输入端电荷注入效应对运放输出造成的影响，如图 3-5 所示。SAR-ADC 输入端的瞬间电流会干扰运放的输出电压，从而导致 AD 输出不准确的结果。

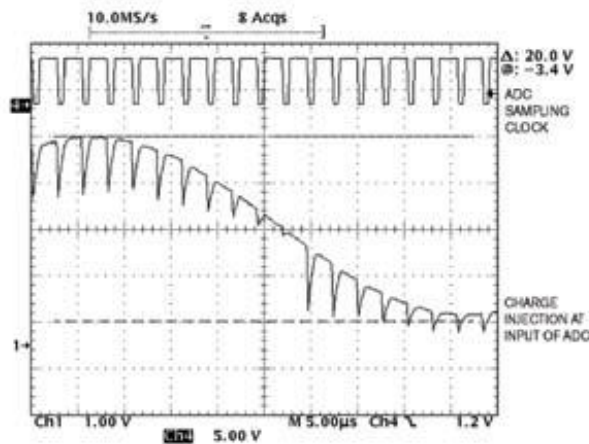


图 3-5 插入电阻后，ADC 电荷注入效应

为了分析 ADC 输入端对运放输出端造成的影响，我们对 SAR-ADC 的输入端进行建模。如图 2 所示，SAR-ADC 的输入端可以等效为一个开关 S1 连接着一个接地电容 CSH；在电压采样前，CSH 通过开关 S2 连到电源、电压参考或地来进行预充电，预充电电压值由你自己的 ADC 电路决定。电压采样开始的时候，S2 打开而 S1 闭合。当 S1 闭合的时候，驱动电路从 CSH 注入或吸出电荷，而 ADC 需要一定的时间来采样信号。在这个采样时间里，ADC 需要从驱动电路汲取足够的电荷量给 CSH，使得系统达到 1/2-LSB 的精度范围之内。

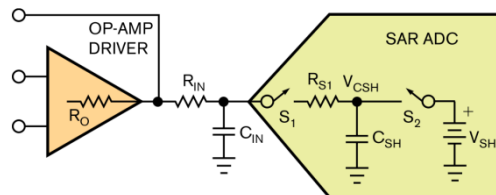


图 3-6 在运放与 ADC 之间添加 RC 电路

为了使设计的电路精度达到更高，应该在运放与 ADC 之间添加一个电阻 RIN 和电容 CIN（如图 3-6 所示）。CIN 的角色是作为一个电荷存储器来为 ADC 的输入端提供足够的电荷，而 RIN 用于避免运放与的 CIN 直接连接并使得运放工作更加稳定。RIN 与 CIN 的结合至少要符合 ADC 采样时间的要求。最后，我们要选择一个带宽与 RINCIN 时间常数相匹配的运算放大器。

首先最重要的是，你需要给采样电容 CSH 充电足够长的时间使其上的电压达到被采样电压的±0.5LSB 范围内。理论上来说，对 12 位转换器，充电时间应大于 8 倍 RSW×CSH。考虑到误差容限，器件参数变动，充电时间应取 10~15 倍 RSW×CSH。SAR ADC 需要一增益为±1V/V 的运放和外接的 RIN 和 CIN 电阻/电容对。在采样期间，ADC 利用 CIN 保持信号稳定；电阻 RIN 将运放和 ADC 负载电容隔离。运放将 ADC 和高阻信号源隔离，同时方便在采样阶段对 CIN 和 CSH 进行快速充电。

设计这样一个看似简单的电路，应遵循以下方法。CIN 须是银云母（silver mica）电容或 COG 电容。这些电容能为 CSH 提供稳定的电压和频率性能。像 X7R，Z5U 这样有电压和频率“记忆”效应的电容，会降低 ADC 的总谐波失真。另外，CIN 应大于 20 倍 CSH。接下来再利用 ADC 内部电阻，电容决定 RIN：最终决定的 CIN 和 RIN 时间常数是 CSH 和 RSW 的 70%，RIN 阻值大小为 50Ω < RIN < 2kΩ。当最终 RIN 和 CIN 决定后，运放电路应该在驱动阶跃信号时也能及时稳定到期望的精度。

3.2.2.1 TI SAR 型 ADC

TI 提供广泛的 ADC 供用户选择。在登陆 TI 官网后进行数据转换器页面，可以看到页面的左边显示了产品结构树，罗列了不同特性，不同应用场景的数据转换器以及相关的器件。同时在页面可以看到一个数据转换器的快速搜索，单击进入后可以帮助用户更快地在众多 ADC 中选择适合开发的型号。



图 3-7 TI 网页上的数据转换器

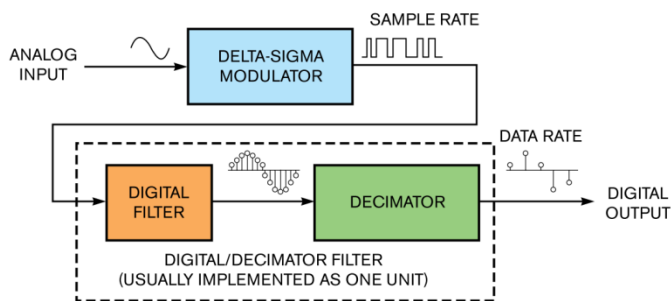
在 SAR 型 ADC 中，TI 有众多不同转换速度，双极型以及同步多通道转换的产品供选择：

器件	简介	封装
ADS7882IPFBT	12 位，3MSPS，伪差分输入，并行输出 ADC	TQFP
ADS7818P	12 位，500KSPS，伪差分输入，串行输出 ADC	DIP
ADS7886SDBBVT	12 位，1MSPS，单端输入，串行输出 ADC	SOT23
ADS8504IBDW	12 位，250KSPS，单端输入 VIN 范围可调（最大±10V）并行输出	SOIC
ADS8508IBDW	12 位，250KSPS，单端输入 VIN 范围可调（最大±10V）串行输出	SOIC
ADS7950SDBT	12 位，1MSPS，单端输入，4 通道选通输入，串行输出 ADC	TSSOP
ADS7861E	12 位，500KSPS，差分输入，双通道同步采样，串行输出 ADC	SSOP
ADS8319IDGST	16 位，500KSPS，伪差分输入，串行输出 ADC	MSOP
ADS8317IDGKT	16 位，250KSPS，差分输入，串行输出 ADC	MSOP
ADS8326IDGKT	16 位，250KSPS，伪差分输入，串行输出 ADC	MSOP
ADS8371IPFBT	16 位，750KSPS，伪差分输入，并行输出 ADC	TQFP
ADS8412IPFBT	16 位，2MSPS，差分输入，并行输出 ADC	TQFP
ADS8509IDW	16 位，250KSPS，单端输入 VIN 范围可调（最大±10V）串行输出	SOIC
ADS8505IDW	16 位，250KSPS，单端输入 VIN 范围可调（最大±10V）并行输出	SOIC
ADS8361IDBQ	16 位，500KSPS，差分输入，双通道同步采样，串行输出 ADC	SSOP
ADS8365IPAG	16 位，250KSPS，差分输入，六通道同步采样，并行输出 ADC	TQFP
ADS8341E	16 位，100KSPS，单端输入，4 通道选通输入，串行输出 ADC	SSOP

3.2.3 Δ - Σ ADC

3.2.3.1 Δ - Σ ADC 结构与原理

如图 3-8 所示，给出了 Δ - Σ 转换器的基本拓扑结构：

图 3-8 Δ - Σ ADC 内部结构

其核心部分是一个 Δ - Σ 调制器级联一个数字滤波器。如果仔细探究 Δ - Σ 转换器，你会发现，尽管不同 Δ - Σ ADC 的指标各有千秋，但是它们都是包含了这一基本的结构。下面将研究这两个模块的基本架构和功能。

Δ - Σ ADC 的输入信号是交流或者直流电压信号。我们不妨用一个单频正弦信号作为 Δ - Σ 转换器的输入信号。如图 3-8 所示，转换器内的调制器使用一个 1bit 的 ADC 对输入信号进行采样，产生粗糙的量化输出信号。调制器把模拟输入信号转换成了高速的脉冲数字信号，脉冲的占空比反映了模拟输入电压的大小。尽管调制器产生了含有噪声的输出信号，但是这些噪声将被整形在输出频谱的高频部分，从而在数字滤波器的输出端得到低噪声、高精度的转换结果。

在调制器的输出端，数字滤波器处理高频噪声和高速采样率带来的数据吞吐率过高的问题。因为此时的信号位于数字域中，因此可以用低通数字滤波器来削弱高频噪声，并且用抽取滤波器来降低输出数据的速度。数字/抽取滤波器对调制器的高速 1bit 数据流进行滤波，形成低速的多比特编码。

大多数转换器只有一个采样率，但是 Δ - Σ 转换器有两个：输入采样率（也称为调制器采样率或过采样速率）和输出数据率。这两个变量之间的比值定义了系统的抽取率（也称为降采样率）。抽取率与转换器的有效精度是紧密相连的，接下来的部分将研究调制器、数字/抽取滤波器和可调节抽取率是如何工作的。

Δ - Σ 转换器中采样调制器的输出信号为一连串的 1bit 码流，这是由于输入信号通过高采样率的量化器而转换生成的。跟所有的量化器一样， Δ - Σ 调制器采样输入信号，产生数字码流表征输入电压。可以在时域或频域观察 Δ - Σ 调制器结构，时域下的一阶调制器结构如图 3-9 所示。

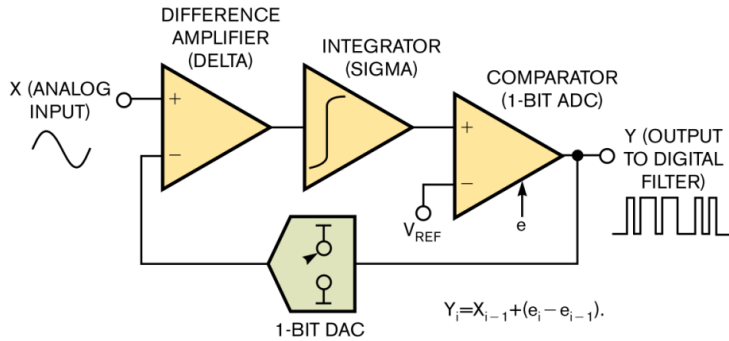


图 3-9 一阶调制器的调整过程：时域

调制器利用一个差动放大器（Delta）得到输入模拟信号与反馈 DAC 输出的模拟信号之间的差值，积分器（Sigma）对差动放大器的输出模拟信号进行积分，并把积分的输出信号（斜坡信号）送入到比较器（1bit 的模数转换器）中，积分结果被转换成“1”或者“0”的数字信号。在系统时钟下，ADC 把 1 位的数字信号送到调制器的输出，与此同时，通过反馈环路，把该数字信号送入 1 位的 DAC 的输入端。

1 位 ADC 把输入信号量化成离散的输出编码，包含有转换器的量化噪声（ e_i ）。调制器的输出等于输入加上量化噪声（ $e_i - e_{i-1}$ ）。在上述公式中，量化噪声等于当前的量化误差信号（ e_i ）减去调制器前一个周期的量化误差（ e_{i-1} ），即 $e_i - e_{i-1}$ ，量化噪声被进一步降低了。时域下的输出信号是代表输入的脉宽信号，频率等于调制器采样频率 f_s 。如果把输出脉冲序列平均化，结果将等于输入信号。

图 3-10 所示的结构框图从频域解释了调制器的工作原理。时域下的输出脉冲信号在频域下表现为输入信号的频谱加上被整形的噪声信号频谱。被整形的噪声特性（低频处的噪声被推到高频处）从频域上体现了调制器的关键作用。

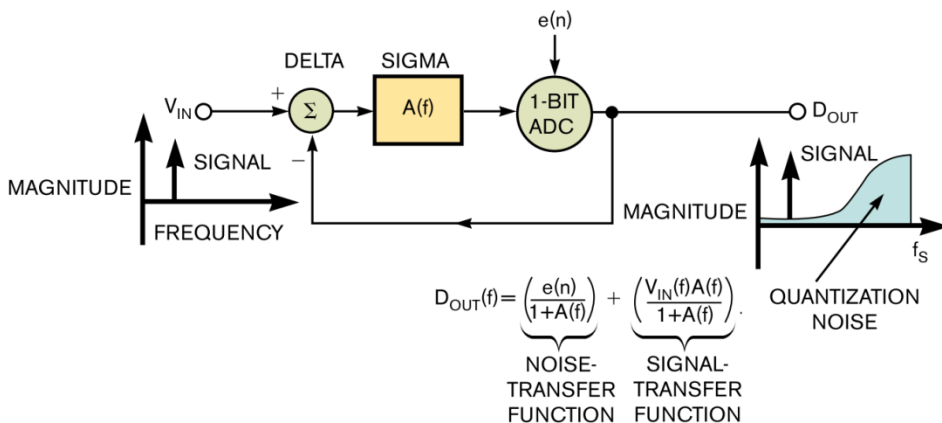


图 3-10 频域上，调制器的关键作用是噪声整形

与一般的调制器不同， Δ - Σ 调制器中的积分器能够对量化噪声进行整形。调制器输出的噪声功率谱不是平坦的。更重要的是，通过频域分析，就可以清楚的看到调制器是如何把噪声整形到高频处，进而在感兴趣的频段得到高分辨率的结果。

在调制器输出中，量化噪声在 0Hz 处是非常低的，然后随着频率的增加而急剧上升，并且在调制器采样频率处达到最大值。

在一阶调制器只积分一次的基础上，二阶调制器通过积分两次，来进一步降低低频量化噪声。很多 Δ - Σ 调制器的阶数甚至更高，如当前比较流行的 Δ - Σ 转换器通常会包含二阶、三阶、四阶、五阶或者六阶的调制器。高阶调制器能够把更多的量化噪声整形到高频处。

接在 Δ - Σ 调制器后面的模块是数字/抽取滤波电路，它对调制器输出的 1bit 码流进行滤波和抽取。在调制器的输出端，高频噪声和高速采样率（意味着高速数据输出率）是两个难题。然而，由于此时的信号位于数字域中，因此，可以用一个低通滤波器来削弱噪声，同时，用抽取滤波器功能的电路来降低输出数据吞吐量。设计师常常把数字滤波器和抽取电路放在一起设计。

图 3-11 显示了信号在数字/抽取滤波器传输过程中的变化情况。数字滤波器的工作频率与调制器的采样速率是相同的（如图 3-11a 所示）。可以看出，24 位的代码流与原始信号波形一致。时域模型下，数字滤波器不仅降低了 Δ - Σ 转换器的噪声从而提高了转换器分辨率，同时数字滤波器还降低了系统噪声，这是因为调制器将低频段的量化噪声整形到高频处，滤除高频噪声即可实现低频处的采样精度提升（如图 3-11b 所示）。

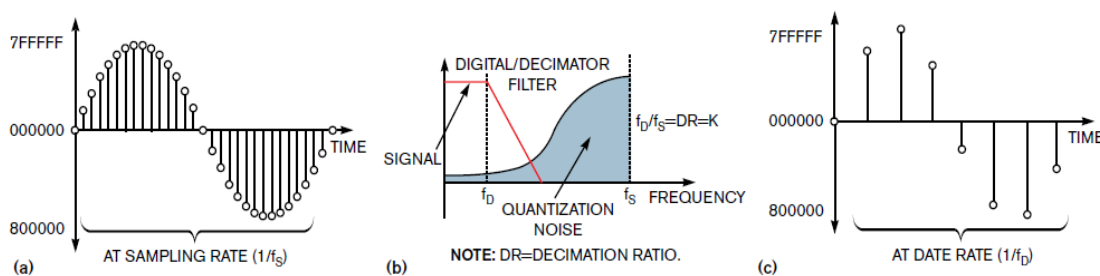


图 3-11 数字滤波器输出端产生一个高分辨率的结果 (a)，同时抑制了高频噪声 (b)。抽取滤波器降低了输出码率 (c)

数字滤波器的功能在于提供一个高分辨的数字信号来描述输入模拟信号，但是数据速度仍然因太快而不能利用。尽管看起来得到了大量的高采样速率下的高质量、多比特的采样信号，但是这些数据中大部分是用不着的。因此，数字/抽取滤波器的第二个功能就是降低数据吞吐量。抽取是一个把输出数字信号的高速率降低到系统的奈奎斯特频率的过程。一种实现降采样功能的简单方式就是对一组 24 位的数据进行平均化（如图 3-11c）。降采样器通过累加这些高分辨率的数据、每几个数据做一次平均、输出平均结果、并清空计算所用的数据开

始下一个平均过程。实现低功耗抽取功能的更为简单的方法就是，每 K 个样本抽出一个 24 位的结果（其中， K 等于抽取率或降采样比率，也有文章称为过采样比率。数值上都等于调制器采样速率与输出数据吞吐率的比，抽取率指与调制器频率比，输出数据速率被降低了 K 倍；而过采样比率指与输出数据速率比，调制器采样频率高 K 倍），这样就不需进行累加和平均计算。

几乎所有的 Δ - Σ 转换器都包含一类平均滤波器，称之为 sinc 或者 FIR 滤波器，根据滤波器的频率响应来命名。许多 Δ - Σ 器件都用 sinc 滤波器来实现两级抽取。工业用途的低速 Δ - Σ ADC 一般只用一个正弦滤波器。

在频域中，数字/抽取滤波器对于信号来说是个低通滤波器（如图 3-11b 所示）。通过这种方式，数字/抽取滤波器大大抑制了调制器的高频量化噪声。量化噪声被衰减后，感兴趣的信号将重新出现在时域中（在对调制器输出的数字信号滤波之前，数字化后的感兴趣低频信号淹没在高频噪声里，时域上很难分辨出来）。

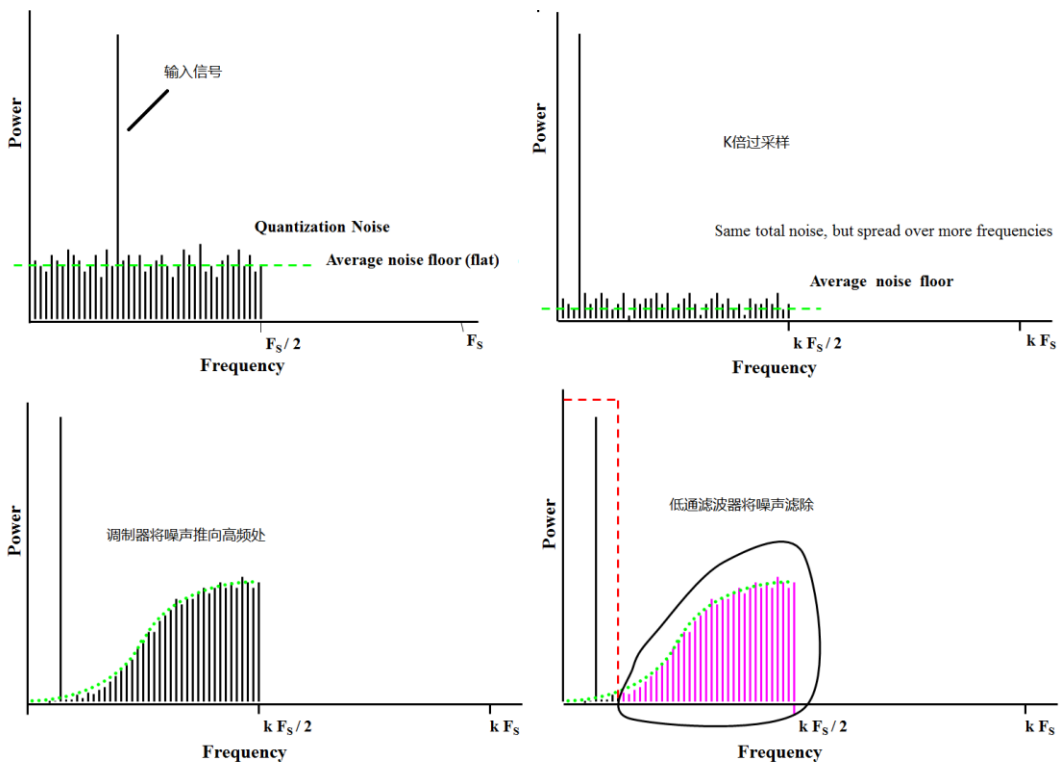


图 3-12 Δ Σ ADC 通过过采样实现精度的提升

图 3-12 更加清晰地解释了 Δ Σ ADC 如果通过过采样来实现精度的提升。从左到右，从上至下看，首先第一张图为采用最小采样率还原 $F_s/2$ 以内的信号，在这种情况下，我们知道信号的信噪比 $SNR=6.02N+1.76dB$ ，其中 N 为 ADC 的位数，所以为增加 ADC 的精度一个最直

接的方法就是增大 N ，即增加 ADC 的位数。而 $\Delta \Sigma$ ADC 则采用的是另一个方法，使用一个 1 位 ADC，通过过采样，噪声滤波来提高精度。第二张图则为 $\Delta \Sigma$ ADC 的过采样，总体的噪声大小和采样没有关系，由于过采样增加了信号分布的带宽，所以平均在有效信号带宽内的噪声会明显减小。 $\Delta \Sigma$ ADC 内部的调制器会将噪声推向高频处（第三张图），噪声分布随频率不同，而总体的噪声是一定的，所以在低频处的噪声会更小，从而更加有效地提高 ADC 的精度。这时通过一个滤波器可以将带宽外的噪声滤除，提高带宽内信号的精度（第四张图）。

从上述分析可以看出 Delta-Sigma ADC 的几个基本特点：首先，它拥有全差分的输入级， V_{in+} 和 V_{in-} 都可以接受电源轨范围内的信号并进行相减，获得优秀的共模抑制能力，实际上在直流段，即使 Δ - Σ ADC 的内部 PGA 设置为 1，其共模抑制比都可以达到 100dB 以上！其次， Δ - Σ ADC 拥有超高的精度，这是通过过采样、 Δ - Σ 调制和数字滤波三个方面结合起来实现的。

3.2.3.2 TI Δ - Σ ADC

TI 拥有众多性能卓越的 Δ - Σ 型 ADC，在直流特性，带宽等方面都有显著的优势。TI Δ - Σ ADC 主要有：高直流精度型，宽带宽型，通用型，带隔离 ADC，电流输入型以及集成有前端放大的 EEG/ECG ADC。

高直流精度型主要针对专注于缓慢变化信号的直流精度的应用，例如温度，压力测量，负载传感以及过程控制等；宽带宽型主要针对对精度和动态范围特性同时有要求，而又允许对输入信号进行平均的应用场景，例如振动信号，音频信号，精密仪器等。通用型则适合低功耗，低成本和小板上面积的应用场景。TI 提供带隔离的 $\Delta \Sigma$ ADC，最高可提供高达 4kV 的峰值隔离。此外，针对生理信号，TI 推出专用 ADC，适合于大信号中微弱信号的提取，例如 EEG，ECG 信号。

器件	简介	封装
ADS1232IPW	10SPS/80SPS, 50/60Hz 陷波器, 集成 PGA, 24 位 ADC	SSOP
ADS1240E	15SPS, 50/60Hz 陷波器, 24 位, 集成 PGA, 4 通道	SSOP
ADS1246IPW	2ksps max, 24 位, 集成 PGA, 单通道	TSSOP
ADS1247IPW	2ksps max, 24 位, 带电流源, 集成 PGA, 双通道	TSSOP
ADS1248IPW	2ksps max, 24 位, 电流源和参考电压输出, 集成 PGA, 四通道	TSSOP
ADS1252U	40KSPS, 24 位 ADC, 单通道	SOIC
ADS1255IDBT	30KSPS, 24 位 ADC, 内部集成 PGA, 双通道输入	SSOP
ADS1271IPW	105KSPS, 24 位 ADC, 单通道	TSSOP

续表

器件	简介	封装
ADS1274IPAPT	四通道的 ADS1271	HTQFP
ADS1146IPW	2ksps max, 16 位, 集成 PGA, 单通道	TSSOP
ADS1147IPW	2ksps max, 16 位, 带电流源, 集成 PGA, 双通道	TSSOP
ADS1148IPW	2ksps max, 16 位, 电流源和参考电压输出, 集成 PGA, 四通道	TSSOP
ADS1158IRTCT	16 位 16 通道 125KSPS Σ - Δ 型 ADC	QFN
ADS1174IPAPT	16 位 4 通道 52KSPS 同步采样 Σ - Δ 型 ADC	HTQFP
ADS1298IPAG	24 位 8 通道低功耗生物电位测量前端 ADC	TQFP
LMP90077MH	16 位传感器前端 ADC	HTSSOP
ADS1202IPWT	16 位, 带有分流器 ADC, 40kSPS ADC	TSSOP

3.2.4 流水线型 ADC (Pipeline)

3.2.4.1 流水线型 ADC (Pipeline) 结构与原理

前面分析了 SAR 和 Δ - Σ 型的 ADC, 这些 ADC 由于自身结构限制, 需要多个时钟周期才能产生一个数据。导致采样率较低, 但是直流精度高, 功耗低, 在工业界应用广泛。在第一章我们就分析过采用 Flash 型的并行结构 ADC 是最快的 ADC, 它在每个时钟周期都可以得到一个数据, 随着模拟技术的发展, 比较器的速度越来越快, Flash 型的 ADC 达到 GSPS 是轻松的事情, 但是由于 n 位的 Flash 型 ADC 需要 2^n 个比较器, 各个比较器的直流特性, 以及对时钟的响应都难以做到完美匹配, 导致精度无法做高。Pipeline 型的 ADC 就是为了同时达到高速度和高精度的一个折中方案。Pipeline 是指的流水线, 工厂中的流水线可以加快生产进度, 同样信号处理中用到流水线也可以加快信号处理的速度。

本节以 ADS5424 为例, 介绍一下 pipeline 结构的 ADC。

先看一下 ADS5424 的基本性能: 采样率 105M, 14bit 分辨率, 信噪比 SNR=74db, 无杂散动态范围 SFDR=93db, 功耗 1.9W。可以看到 pipeline ADC 的功耗比 SAR 型和 Δ - Σ 型要大的多。例如 Δ - Σ 型 ADC ADS1118 的功耗在 0.5mW, SAR 型 ADC ADS8361 的功耗在 200mW。Pipeline ADC 内部使用了多个高速 flash 型 ADC 增大了其功耗。

如下图, 流水型 ADC 由若干级电路级联而成, 每一级电路都包括采样/保持放大器, 低分辨率的 ADC, DAC, 求和电路以及可提供增益的放大器。那么, 流水线型 ADC 是如何工作的呢?

FUNCTIONAL BLOCK DIAGRAM

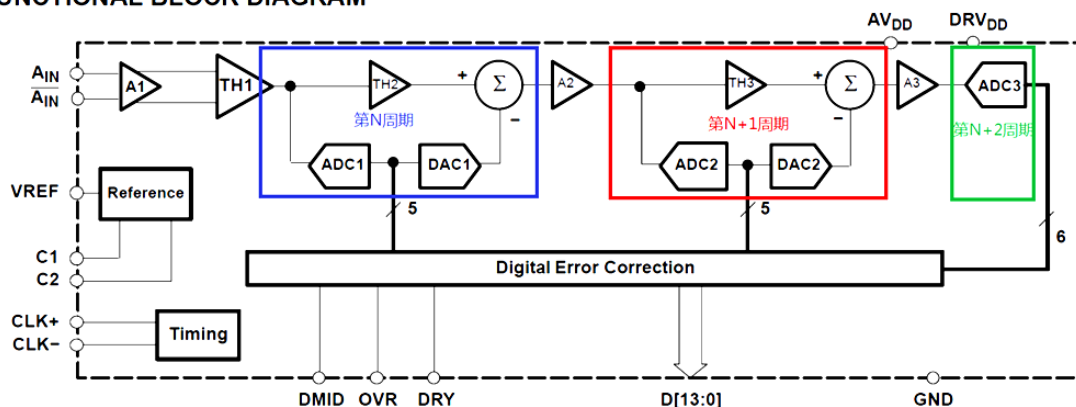


图 3-13 ADS5424 原理框图

下面我们再来看看 ADS5424 内部的结构，了解 pipeline 结构 ADC 是如何实现高速采样的，这对理解其数据接口也很有帮助。

如图 3-13 所示，ADS5424 中有三级流水线，第一个时钟周期 ADC1 采样完毕并将数据给 DAC1，然后输入信号中减去 DAC1 的输出后交给第二级处理。第二个时钟周期 ADC2 采样相减后的信号并将数据给 DAC2，然后再次减去 DAC2 的输出。第 3 个时钟周期 ADC3 采样剩下的信号幅度。三个周期后即可完成采样，在第 N+3 时刻得到第 N 时刻的信号。

这个过程并不是说每次要等 3 个周期才能得到采样值，正是由于 pipeline 的特点，每一级都没有空闲时刻，例如在 N+1 周期里 ADC1 也没有空闲，它同时在处理信号以便在下一个周期传递给 ADC2。用表格表示更为直观，如下表：

clk	ADC1	ADC2	ADC3	out
1	D(N)	D(N+1)	D(N+2)	D(N+3)
2	D(N-1)	D(N)	D(N+1)	D(N+2)
3	D(N-2)	D(N-1)	D(N)	D(N+1)
4	D(N-3)	D(N-2)	D(N-1)	D(N)
5	D(N-4)	D(N-3)	D(N-2)	D(N-1)
6	D(N-5)	D(N-4)	D(N-3)	D(N-2)

可以看到流水线中的信号就像一行人传递水桶一样，刚开始的时候最后一个人在等待，当每个人都有一桶水后，再往后的每个周期最后一个人都会接到一桶水。所以当流水线流动起来后每个周期就会有一个采样点送出。流水线的方法在处理器中用的也很多，可以实现每个时钟周期处理一条指令。

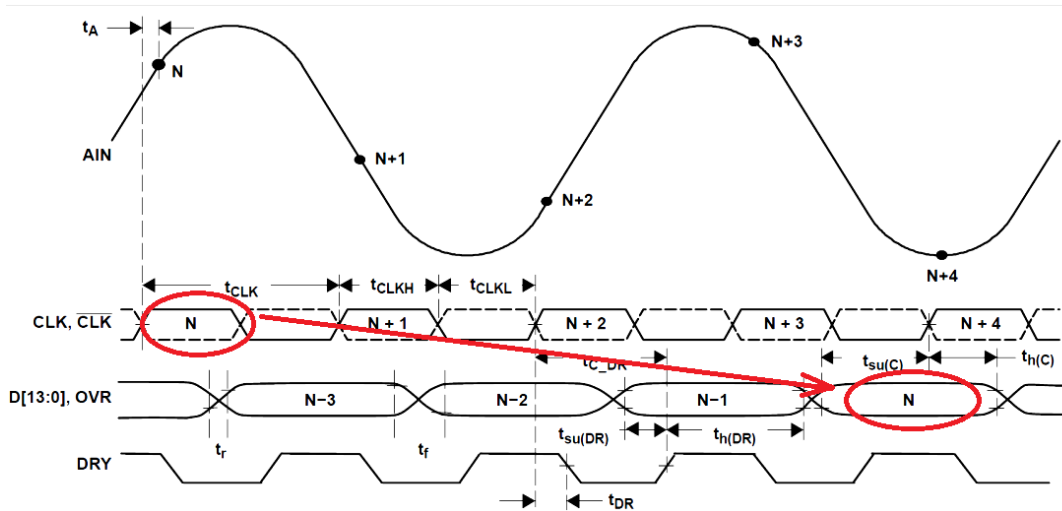


图 3-14 ADS5424 时序图

图 3-14 是 ADS5424 的时序图，通过上面的分析，可以清楚的理解其数据输出格式。由于 pipeline 结构，数据比真实采样时刻有 3 个周期的时延。

看到这里有的读者会问，为什么不将 ADC1 换成 14bit 的，一个周期就能处理完毕采样。这就要看 ADC1 的内部结构了，ADC1 是使用的高速 flash 结构，由高速比较器和译码器组成，如图 3-15 所示：

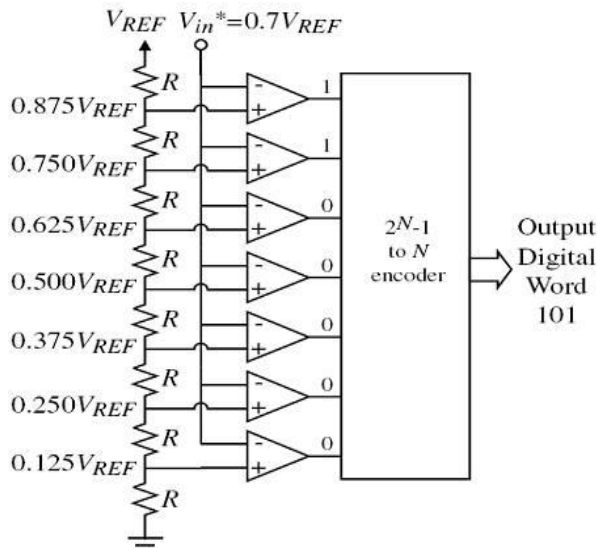


图 3-15 ADC1 的内部结构

可以看到这个 flash 结构中需要多个精确匹配的 R 和比较器，这样才能保证 ADC 的线性。n 位的 flash ADC 就需要 2^n 个一样的 R 和比较器，各个电阻的阻值匹配，各个比较器的

直流特性以及对时钟的响应都难以做到完美匹配，导致精度无法做高。所以需要多个 flash ADC 构成 pipeline 结构来实现高分辨率高速采样。

需要提到的是 pipeline 结构 ADC 中的各流水线上的 Flash 型 ADC 也无法完美匹配，其中间的拼合区间会出现非线性，如图 3-16 所示。

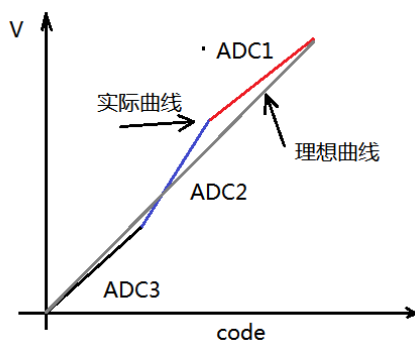


图 3-16 内部的各个 ADC 并不完全一致

要消除这种非线性则需要相应的处理算法，ADS5424 中集成了高速数据处理单元，用于完成这种非线性误差矫正。如下图所示。这些非线性误差直接影响 ADC 的 SNR, SFDR 等交流性能。工艺和算法的好坏决定了 ADC 的性能指标。

FUNCTIONAL BLOCK DIAGRAM

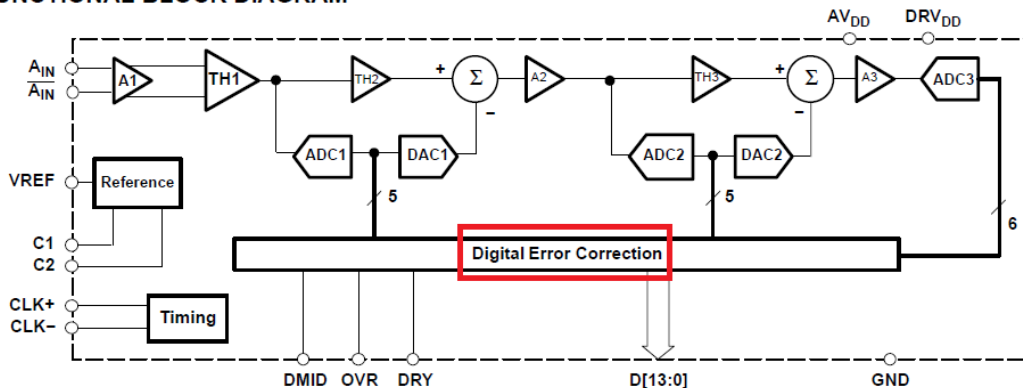


图 3-17 ADS5424 中的高速数据处理单元

3.2.4.2 TI 流水线型 ADC

目前，流水线型 ADC 应用涵盖医疗影像采集，通信基础设施，雷达信号处理等领域，而趋势是往高速高精度发展。以通信基础设施为例，在 GSM 时代，12 位 61.44MSPS 的 ADC 就能胜任一些小型基站的需求，随着 WCDMA 等更宽带移动通信的发展和数字信号处理硬件速度的进步，对 ADC 的需求已经提高到 14 位甚至 16 位，采样率也提高到 200MSPS 以上，并且越来越倾向于向天线端靠拢。

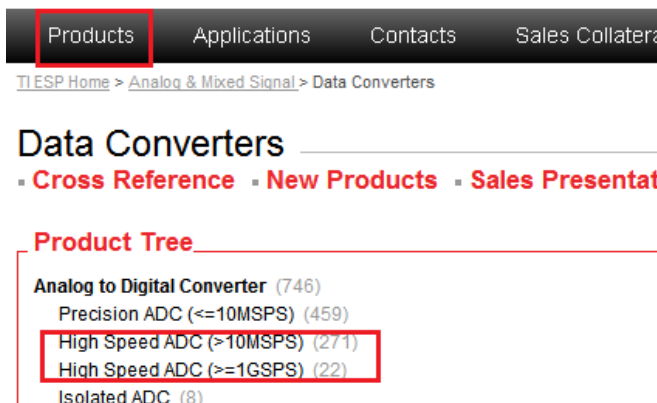


图 3-18 TI 官网中的 pipeline 型 ADC

进入 TI 官网 www.ti.com 在产品目录中 high speed ADC 中可以看到数量众多的 pipeline 高速 ADC。这些 ADC 有着不同的分辨率和采样率和输入范围，通道数等，但是他们都有 pipeline 结构的基本特点。TI 拥有非常广的流水线型 ADC 家族，目前 TI 推出了 16 位 200MSPS 的产品和 12 位 500MSPS 的单片 ADC 产品，这都是产业界最高水平的器件。不过由于受美国商务部出口限制政策的约束，我们向大学只提供不需申请许可证的器件。

器件	简介	封装
ADS62C15IRGCT	双路 11 位 125MSPS, SNR@Boost = 77.5dBFS	VQFN
ADS62C17IRGCT	双路 11 位 200MSPS, SNR@Boost = 79.8dBFS	VQFN
ADS62P15IRGCT	双路 11 位 125MSPS, CMOS or DDR LVDS 输出	VQFN
ADS5517IRGZT	双路 11 位 200MSPS, CMOS or DDR LVDS 输出	VQFN
ADS6124IRHBT	12 位 105MSPS, CMOS or DDR LVDS 输出	QFN
ADS62P24IRGCT	双路 12 位 105MSPS, CMOS or DDR LVDS 输出	VQFN
ADS6123IRHBT	12 位 80MSPS, CMOS or DDR LVDS 输出	QFN
ADS62P23IRGCT	双路 12 位 80MSPS, CMOS or DDR LVDS 输出	VQFN
ADS6122IRHBT	12 位 65MSPS, CMOS or DDR LVDS 输出	QFN
ADS62P22IRGCT	双路 12 位 65MSPS, CMOS or DDR LVDS 输出	VQFN

3.2.5 应用场景总结

从前文对几种 ADC 的结构和特点分析，我们不难发现 这几种 ADC 在采样速度以及分辨率上各有优势，如图 3-19 所示。其中 $\Delta \Sigma$ 型 ADC 由于采用过采样、噪声整形和数字滤波来满足高精度，其有效采样速度受到限制，而分辨率相对则比较高；Pipeline 型 ADC 与之相反，其采样速度可以高达 2GSPS，而采样的精度则受到了限制；逐次逼近型 ADC，即 SAR 型 ADC 处于两者中间，具有高精度，低功耗的特点，其采样率一般最高可达 2-5MSPS。

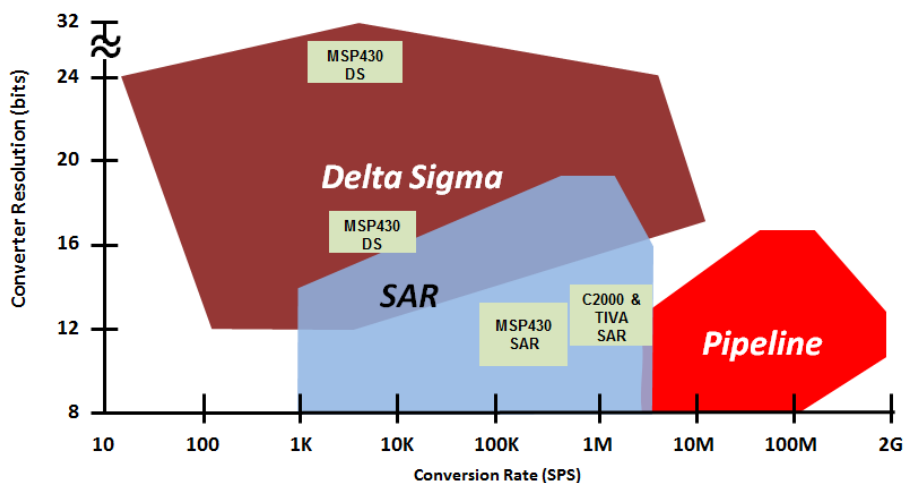


图 3-19 $\Delta \Sigma$ ADC, SAR 型 ADC 以及 Pipeline 型 ADC 采样速度和分辨率对比

同样，不同的信号在带宽和精度上有不同的要求，如图 3-20 所示，可以看到不同的信号对带宽和精度有着不同的需求。结合以上两点，不同类型的 ADC 有着不同的应用场景。

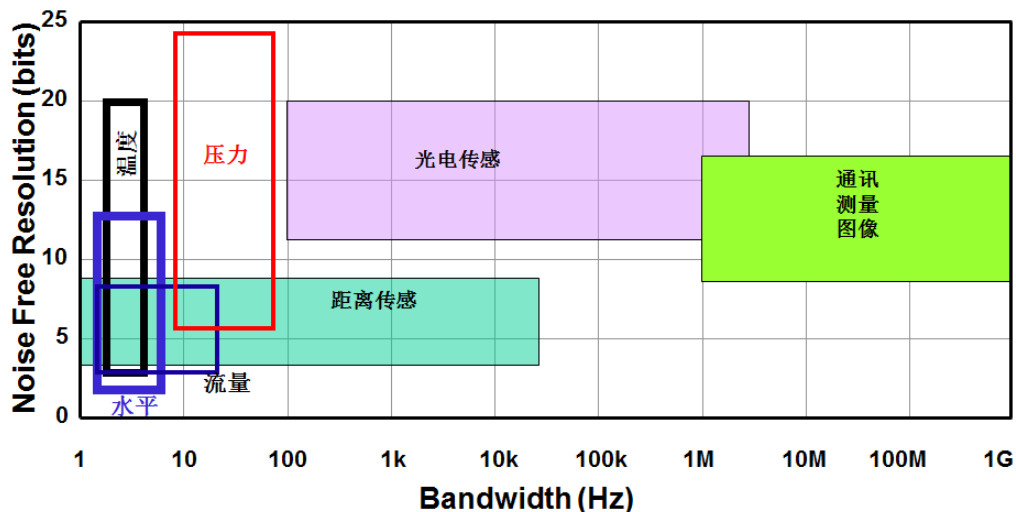


图 3-20 不同信号的特点

根据不同 ADC 性能的特点，这三种 ADC 在应用场景上也会各有侧重。

应用场景	传感器信号	医疗	检测与测量	音频	通信, 图像
信号分类	温度, 湿度, 压力, 电压, 电流等	生理电信号	工业探伤, 震动检测, 电机控制等	交流信号	宽带, 高速
信号特点	小信号, 变化慢, DC 为主	Hz 级微弱信号的提取, 宽动态范围	瞬时采样, DC-KHz 信号	20—20KHz, 宽动态范围, 低失真度	MHz 信号, 大带宽, 宽动态范围
SAR 型 ADC	+++	+	+++	+	-
$\Delta \Sigma$ 型 ADC	+++	+++	-	+++	-
Pinplane 型 ADC					+++

3.3 为您的设计选择合适的 ADC

在工业 PLC 系统里, 我们绝大多数时候都与 SAR 型和 Delta-Sigma 型 ADC 打交道, 他们的超高的直流精度、中等的采样率以及低功耗都符合我们的要求。在了解到 ADC 的基本分类之后, 在实际设计中, 我们如何进行 ADC 的选型呢? 在挑选 ADC 的时候, 我们可以通过下面的 check list 来判断:

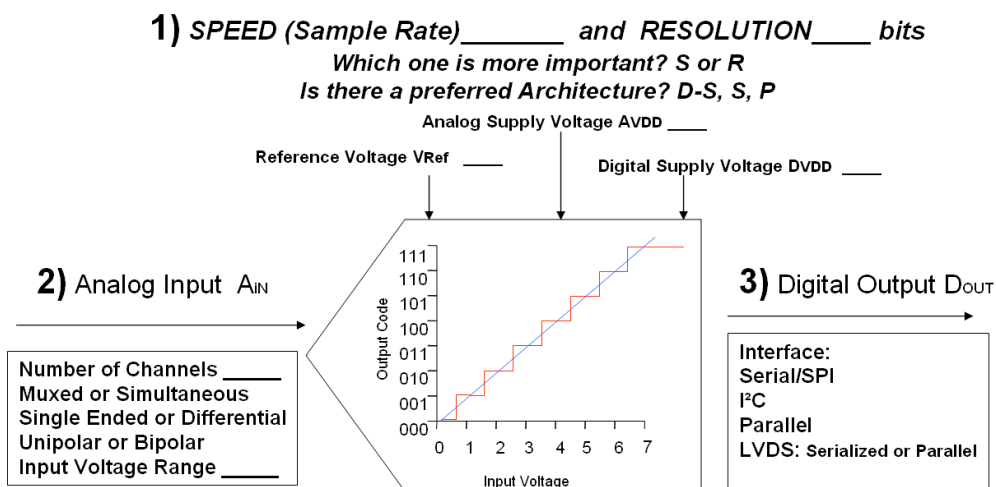


图 3-21 ADC 选型流程表

图 3-21 给出了我们在进行 ADC 设计时需要依次考虑的几个问题:

3.3.1 确定 ADC 类型

首先, 根据需要采集信号的基本特点以及各类 ADC 的特点大致决定所需 ADC 的类型。参考下表, 大致给出了三类 ADC 在不同方面的优势:

特性	SAR	$\Delta \Sigma$	Pipelined
吞吐量	++	++	+++
分辨率	++	+++	+
延迟	+++	—	+
非周期性多通道信号采集（多路复用）	+++	—	—
功耗	低	低	高

3.3.2 确定所需 ADC 的采样率，精度

3.3.2.1 采样率

在大致确定选择 ADC 类型后，进一步根据感兴趣信号的频率和带宽确定所需的采样方式（过采样还是欠采样？），从而确定 AD 转换所需的采样率。精密信号链中，通常采用过采样的方式（通常远大于 2 倍信号频率）来确保时域的精确度，降低带内噪声，前端滤波器通常采用低通滤波器；针对高中频的带通信号，我们通常采用欠采样的方式（采样率低于中频频率，但是远大于信号带宽），把带通信号搬移到低频段进行处理，ADC 前端采用单通滤波器。

3.3.2.2 确定所需精度

ADC 的精度分为两种情况，高精度采样中关注信号的时域特性，比如在针对直流信号的采样中需要确保 ADC 的最小分辨率（LSB）和满量程输入范围要满足设计要求，同时要确保整个系统的噪声小于这个 $LSB/2$ ，这些噪声包括了驱动运放的噪声，PCB 布局布线中引来的噪声；例如，一个体重秤中的压力传感器在 0—200Kg 的输入压力下可以输出 20mV 的电压信号，为了满足体重秤精确到 100g 的要求（即提供 $200Kg/100g = 2000$ 个读数），需要模拟处理电路和 ADC 在 20mV 的满量程输出电压信号中能划分出 2000 个区间，此时如果不将信号放大，我们需要的 ADC 的最小分辨率（LSB）为 $20mV/2000 = 10\mu V$ ，根据 ADC 最小分辨率的计算公式 $LSB=FS/2^n$ ，如果选用的 ADC 满量程输入范围 FS 为 4.096V，那么可以反推出 n 应该取大于 18.65；如果我们将信号放大 100 倍，则所需的 ADC 的最小分辨率为 $2V/2000 = 1mV$ ，同样如果 ADC 的满量程输入范围 FS 为 4.096V，我们只需一颗 12 位的 ADC 就可以满足要求。

而高速应用中关注的是 ADC 的频域特性，即 ADC 的可重复性，这主要包括了 ADC 的频域指标 SINAD 和 SFDR。

3.3.3 选择并设计 ADC 的模拟输入

接下来，需要看 ADC 模拟输入端的输入信号。在 ADC 的模拟输入端，我们需要考虑的问题有：

- ADC 的模拟输入端是单端输入，伪差分输入还是差分输入？
- 信号的通道数，是否需要多通道同步采样，还是采用复用输入？
- 信号的极性和 ADC 输入的极性；
- 信号的大小和 ADC 满量程输入的范围等。

3.3.3.1 单端，伪差分 and 差分输入

单端输入即信号只有一个输入端口，很好理解。那么什么是伪差分和差分输入呢？

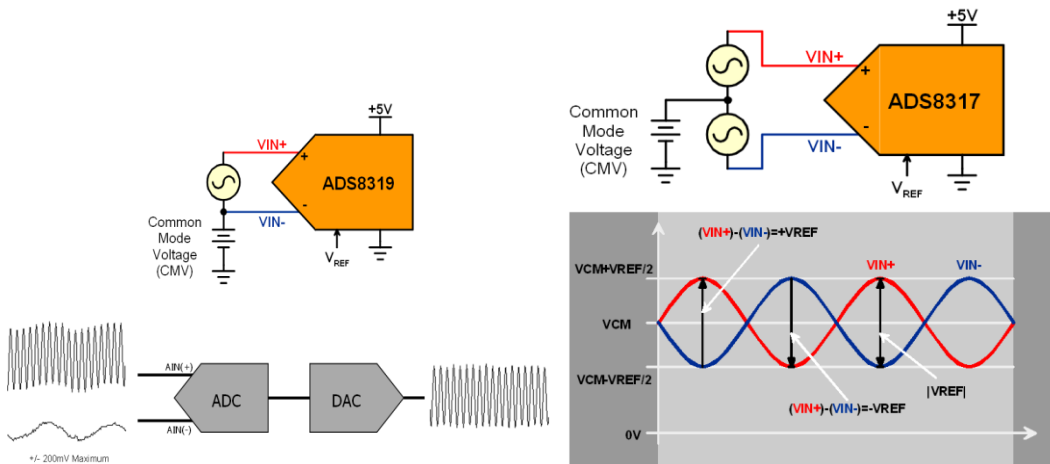


图 3-22 伪差分输入（左）和差分输入（右）

如图 3-22 左所示为伪差分输入，其实质上还是单端输入，因为 V_{IN-} 上的信号并不被采样，保持和转换，而是做为共模抑制端用来消除 V_{IN+} 和地平面上的共模噪声，因此 V_{IN-} 上的电压输入范围一般在 $-0.2V$ 到 $+0.2V$ （即伪差分输入的共模输入范围是 $-0.2V$ 到 $+0.2V$ ）。这是一个 V_{IN+} 上耦合的地平面噪声信号被伪差分输入抑制的例子。而右图所示为全差分输入，即差分输入级则拥有完整的共模抑制能力， V_{IN-} 和 V_{IN+} 拥有同样的输入信号范围。差分输入的 ADC 的满量程输入 ($V_{IN+} - V_{IN-}$) 一般是 $+V_{REF}$ 到 $-V_{REF}$ ，因此 V_{IN-} 和 V_{IN+} 的输入通常要求含有 V_{REF} 的直流偏置，以 V_{REF} 为中心上下摆动（或 V_{IN-} 接入虚地）。因此差分输入的 $\Sigma-\Delta$ ADC 可以直接联接电桥输出，节省仪表放大器，并利用其高分辨率节省主放大器。而差分输入的高精度（16 位）SAR ADC 拥有非常卓越的动态特性，因为差分信号天生拥有共模噪声抑制特性，可抑制偶次谐波，并在相同满量程输入的条件减小差分对上的信号摆幅，从而减少失真。

16 位以下的 SAR 型 ADC 基本都采用伪差分输入，16 位以上的 SAR 型 ADC 和 Delta-Sigma ADC 都提供完整的差分输入级，从而提供极高的共模抑制能力。

3.3.3.2 多通道采样：同步还是复用？

多通道采样分为同步采样和复用采样，在对各个输入通道的信号相位有严格同步要求时（比如三相交流电的电流和电压信号，其相位关系提供了瞬时功率、功率因数等信息），我们需要使用多个 ADC 在同一时刻采样，为简化用户设计，TI 提供一个封装中包含多个 ADC 内核的多通道同步采样产品，如图 3-23 左所示为 ADS8361 的内部示意图，它在三相电采样中得到广泛应用。在工业应用场合中，多数情况下各个通道的模拟信号间是没有相位关系的，比如温度，湿度，压力信号，他们无需用同步采样来保持相位信息，这时采用多路复用器配合一个的单通道 ADC 就可以满足多通道采样的需求，如图 3-23 右边所示为 ADS7950 的示意图，与前者不同的是，其多路复用器的输出和 ADC 的输入没有在芯片内部相连，这样可以在片外加入一个 PGA11x，简化模拟前端因为各个通道需要不同放大倍数带来的多个放大器。采用多路复用器和单 ADC 构建的多通道采样系统，应注意各个通道的建立时间和分配到各通道的采样速率是否足够，若使用 Delta-Sigma ADC，通道的切换与采样周期同步非常重要，否则会引起数字滤波器的建立错误。

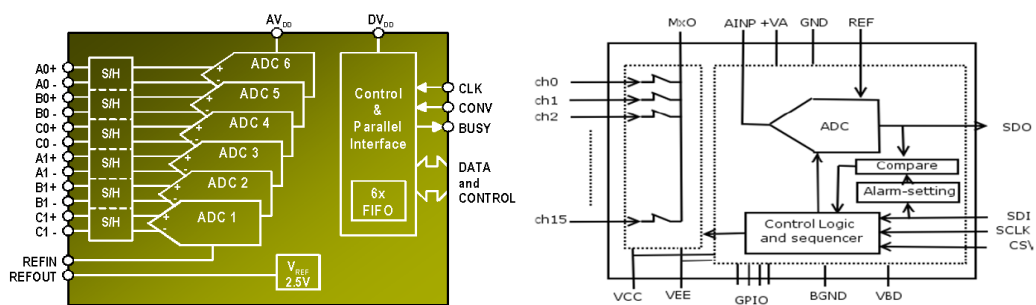


图 3-23 ADS8361 的 6 通道同步采样（左）和 ADS795x 系列的多通道复用采样（右）

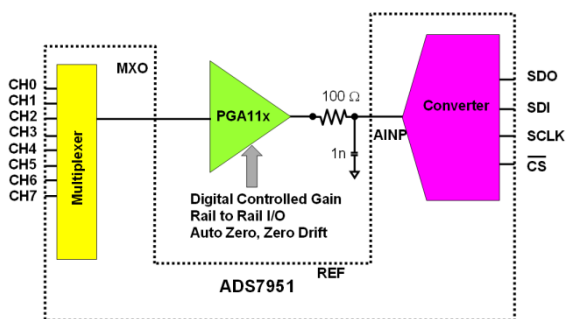


图 3-24 ADS7951 和外部放大器（PGA11x）构成各通道增益可调采样电路

3.3.3.3 输入信号极性及其大小

a. 输入信号的极性：

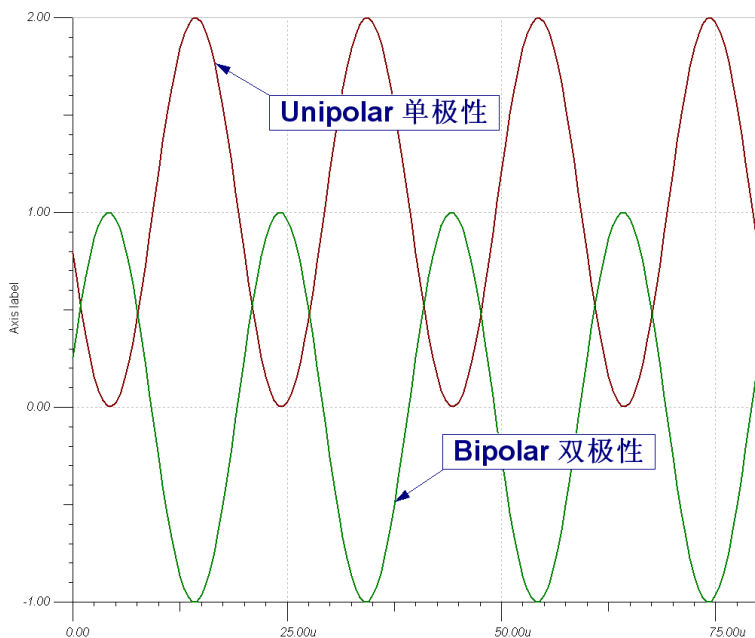


图 3-25 单极信号及双极信号

如图 3-25 所示，所谓单极性信号是指信号幅度范围均在 0V 以上，对应的单极性输入的 ADC 只能接受 0V 以上的信号输入，对于 0V 以下的信号则被忽略。大多数的 ADC 都是单极性输入的，TI 推出的少数一些可以对双极性信号进行直接采样的 ADC，如 ADS850x 系列，但是价格较高。因此在大多数场合下，我们需要对同时含有正负信号的双极性信号进行一些电平抬升等处理才能被单极性输入的 ADC 所接受。

b. 信号的大小：

除了信号的极性，我们还应小心控制输入给 ADC 的信号幅度不超过 ADC 的满量程范围。通常，留出一定的净空是很好的设计习惯，虽然这样会损失一些动态范围，但是对控制运放的输出级失真和 ADC 输入级饱和/失真都有很好的帮助。

在某些情况下输入信号幅度超过 ADC 满量程，这时需要在送入 ADC 前对输入信号预先进行调理。例如，我们需要使用 4.096V 满量程输入的 ADC 来采集 -10V 到 +10V 的输入信号，我们需要使用下面的电路进行信号调理。如图 3-26 所示，峰峰值为 20V 的输入信号通过前级电路的调理，其输出信号为 0V 以上，即单极性信号，同时幅度范围也调整为 ADC 满量程之内。从这个例子我们可以看出，对于输入信号的必要调理在 ADC 电路设计中也是非常重要的。

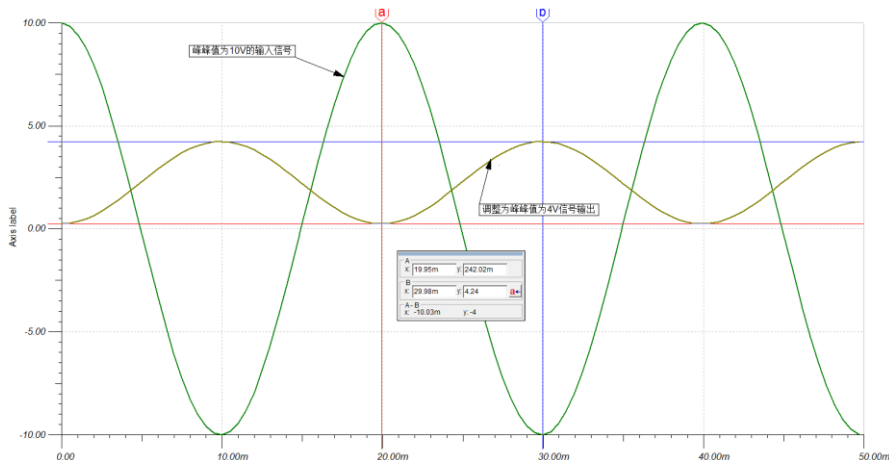
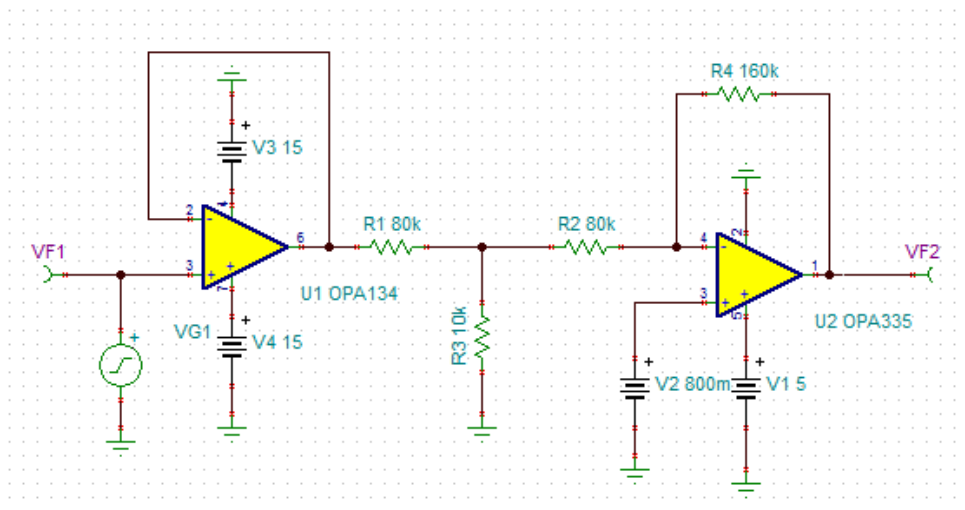


图 3-26 输入信号调整为 ADC 量程留出富余的净空

3.3.4 选择并设计 ADC 的参考输入

ADC 电路中的参考电压在整个数据转换中扮演着非常重要的位置，

$$V_{out} = \frac{N}{2^n} V_{ref}$$

上面的公式是在 AD 转换中非常重要的一个公式，我们知道 A/D 转换之后的结果是一个数字量，那这个数字量如何和实际的输入电平连接起来呢？参考电压，即 V_{ref} 就扮演着这样一个桥梁的作用。从这个公式中我们可以清晰地看出 V_{ref} 的准确程度，即参考电压电路提供的参考电压的精度一定程度上影响了 A/D 转换的精度。

电压基准实际上是非常有用的电路，在 ADC 和 DAC 电路中，它为输入（或输出）模拟电压提供一个恒定参考，从而决定输出（或输入）数字信号的大小；在电源电路里，它给输出电压提供一个参考，结合负反馈电路使得输出恒定；在电压检测和比较电路中，它提供一个门限电压。电压基准分为串联型和并联型两种：

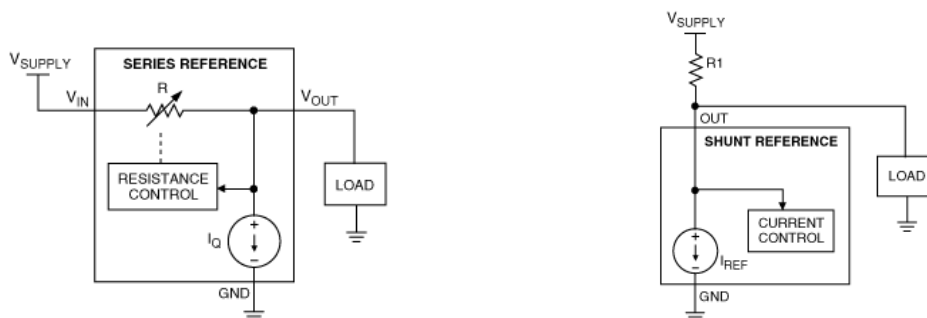


图 3-27 两种电压基准：（左）串联型电压基准（右）并联型电压基准

1. 串联型

串联型电压基准具有三个端子： V_{IN} 、 V_{OUT} 和 GND，类似于线性稳压器，但其输出电流较低，同时具有非常高的精度和非常低的温漂。串联型电压基准从结构上看与负载串联，可以当作一个位于 V_{IN} 和 V_{OUT} 端之间的压控电阻。其特点有：

- 类似于线性稳压器，输入电压和稳压输出必须有一个最低的压差；因此串联电压基准会消耗功率，其最大功率出现在输入电压最高，同时负载最重的时候（压差最大，电流最大）；
- 输入电压过高时会损坏器件。串联型电压基准输入电压通常范围不够宽；
- 空载时，唯一的功耗是电压基准的静态电流；
- 相对于并联型电压基准，串联型电压基准通常具有更好的初始误差和温度系数，如果需要高于 0.1% 的初始精度和 25ppm 的温度系数，一般应该选择串联型电压基准。

2. 并联型

并联型电压基准有两个端子： OUT 和 GND。它在原理上和稳压二极管很相似，但具有更好的稳压特性。类似于稳压二极管，它需要外部电阻，与负载并联工作。并联型电压基准可以当作一个连接在 OUT 和 GND 之间的压控电流源，通过调整内部电流，使电源电压与电阻 $R1$ 的压降之差（等于 OUT 端的基准电压）保持稳定。换一种说法，并联型电压基准通过使负载电流与流过电压基准的电流之和保持不变，来维持 OUT 端电压的恒定。并联型基准具有以下特点：

- 选择适当的 R1 保证符合功率要求，并联型电压基准对最高电源电压没有限制。在输入电压高于 40V 时，并联型电压基准可能是唯一的选择。

- 电源提供的最大电流与负载无关，流经负载和基准的电源电流需在电阻 R1 上产生适当的压降，以保持 OUT 电压恒定。

- 简单的 2 端器件，并联型电压基准可配置成一些新颖的电路，例如负电压稳压器、浮地稳压器、削波电路以及限幅电路。

以上为两种类型电压基准的介绍，下面将就这两种电压基准电路的功耗进行比较。

串联型电压基准需要一定的静态电流来保证空载时输出恒定，而串联型电压基准的静态电流通常在 100uA 到 1mA，性能越好，静态功耗越大。因此串联型电压基准工作时的功耗包括（静态电流+负载电流）×压降。所以串联电压基准的功耗是动态的，当负载重时，功耗大，负载轻时，功耗小。ADC 的参考电压的电流需求就是如此，当采样转换时，参考电压的电流需求大（如 1mA），空闲时，电流需求小（如 1uA）。

并联型电压基准外部需要加 RS 才能正常工作，因此考虑功耗时要将 RS 上的功耗一同考虑进去，如图 3-28 所示，整个电压基准电路的总功耗= $(V_S - V_{REF})^2 / R_S + V_{REF} \times I_Z$ 。RS 值的确定非常重要：

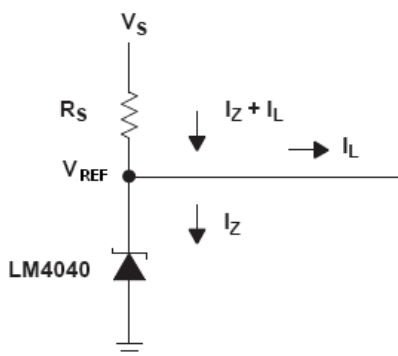


图 3-28 电压基准电路示意图

RS 的作用是限定并联电压基准和负载的总电流，即： $I_L + I_Z = (V_S - V_{REF}) / R_S$ ，选择 RS 的值时我们通常考虑两个极端：一是最大的 VS 和最小的 IL，为防止 IZ 超过并联电压基准的最大允许电流（如 15mA），我们要保证 RS 足够大： $R_S \geq (V_{Smax} - V_{REF}) / (I_{Lmin} + I_{Zmax})$ ；二是最小的 VS 和最大的 IL，为保证 IZ 大于并联电压基准导通时所需的最小电流，我们要保证 RS 足够的小： $R_S \leq (V_{Smin} - V_{REF}) / (I_{Lmax} + I_{Zmin})$ 。由于选择的 RS 越大，整个电压基准电路的功耗越小，因此我们常取 $R_S = (V_{Smin} - V_{REF}) / (I_{Lmax} + I_{Zmin})$ ，当然，别忘记留一点余量。

RS 确定后，并联电压基准和负载的总电流也确定了。这样，并联电压基准自身的功耗和负载成反比，负载重时， I_L 大，电压基准上的电流 I_Z 小，功耗小；空载时， $I_L=0$ ，电压基准上的电流 I_Z 最大，功耗最大。所以在宽电源电压变化范围或大动态负载条件下，并联型的耗散功率可能大大高于具有相同性能的串联型电压基准。比如驱动 ADC 的参考电压输入时，即使 ADC 空闲 I_L 非常小，由于 I_Z 此时最大，加上 RS 确定后其上不变的功耗，整个并联基准电路的功耗仍然很大，和空闲时动态功耗变化的串联型电压基准相比会大出很多。精密电流源在提供电流参考，测量电阻，激励 RTD 传感器方面也有着广泛的应用。

推荐使用的 TI 电压基准和电流基准有：

器件	简介	封装
REF3212AIDBVT	1.25V, 4 ppm/°C, 初始精度 0.2%, Series (Bandgap) Reference	SOT23
REF3220AIDBVT	2.048V, 4 ppm/°C, 初始精度 0.2%, Series (Bandgap) Reference	SOT23
REF3225AIDBVT	2.5V, 4 ppm/°C, 初始精度 0.2%, Series (Bandgap) Reference	SOT23
REF3230AIDBVT	3.0V, 4 ppm/°C, 初始精度 0.2%, Series (Bandgap) Reference	SOT23
REF3233AIDBVT	3.3V, 4 ppm/°C, 初始精度 0.2%, Series (Bandgap) Reference	SOT23
REF3240AIDBVT	4.096V, 4 ppm/°C, 初始精度 0.2%, Series (Bandgap) Reference	SOT23
REF5050AID	5V, 3 ppm/°C, 初始精度 0.1%, Series (Bandgap) Reference	SOIC
LM4040A10IDBZT	10V, 初始精度 0.1%, 100 ppm/°C, 并联型(Shunt Reference)	SOT23
LM4040A82IDBZT	8.192V, 初始精度 0.1%, 100 ppm/°C, 并联型(Shunt Reference)	SOT23
LM4040A50IDBZT	5V, 初始精度 0.1%, 100 ppm/°C, 并联型(Shunt Reference)	SOT23
LM4040A41IDBZT	4.096V, 初始精度 0.1%, 100 ppm/°C, 并联型(Shunt Reference)	SOT23
LM4040A30IDBZT	3V, 初始精度 0.1%, 100 ppm/°C, 并联型(Shunt Reference)	SOT23
LM4040A25IDBZT	2.5V, 初始精度 0.1%, 100 ppm/°C, 并联型(Shunt Reference)	SOT23
LM4040A20IDBZT	2.048V, 初始精度 0.1%, 100 ppm/°C, 并联型(Shunt Reference)	SOT23
TLVH431BILP	1.24—18V, 可调并联型电压基准, 0.5%初始精度	TO-92 直插
TL431BILP	2.495—36V, 可调并联型电压基准, 0.5%初始精度, 34 ppm/°C	TO-92 直插
REF200AU	双路 50uA/100uA/200uA/400uA, 精密电流源(Souce/Sink)	SOIC

3.3.5 选择并设计高速数据采集系统中的时钟

对于高速数据采集系统，我们还需要特别关注时钟。高速 ADC 的动态特性的最大瓶颈在于采样抖动 (jitter)，包括采样保持电路的孔径抖动 (来自于 ADC 自身) 和采样时钟的抖动 (来自于采样时钟电路)，这也是现代流水线型 12—14 位 ADC 的 ENOB 很难突破 12 位的主要原因 (TI 新推出的 16 位 100MSPS+ 的数据转换器的 ENOB 可以接近 13 位)。

那么什么是抖动? 抖动就是由于采样时刻的不确定性带来的采样误差, 如图 3-29 所示, 在每个时钟周期的采样时刻的不确定性, 导致数字化后幅度的不确定性, 这种不确定性导致 ADC 采样的可重复性大大降低, 而可重复性就决定了 ADC 的频域性能。由此可见频域性能受 Jitter 的影响非常大。

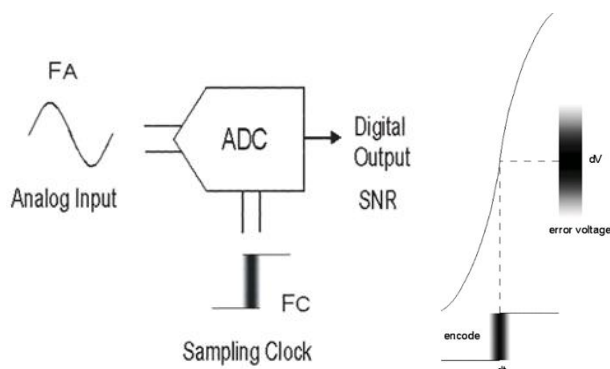


图 3-29 时钟带来的采样周期不确定性

在实际进行 ADC 选型时, 我们可以在数据手册中找到关于抖动的描述:

ADC Internal S/H Circuit Jitter

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
SWITCHING SPECIFICATION					
t_A Aperture delay	Input CLK falling edge to data sampling point		1		ns
Aperture jitter (uncertainty)	Uncertainty in sampling instant		300		fs

图 3-30 数据手册中关于抖动的描述

如图 3-30 所示, 可以看到该款 ADC (ADS5500) 的内部采样抖动 (jitter) 为 300fs, 已经非常地小了。当然这里我们看到的数据时芯片的参数, 半导体厂商 TI 会在芯片级去尽量减小它 (实际上, ADS5500 是 2004 年的产品, 现在最新的 14 位 125MSPS 的 ADS6145 已经将这个数值减小到 150fs, 从而获得了更加卓越的 SNR 和 SFDR)。同时, 对于高速数据采集系统中时钟的考虑, 我们更多能干预的是外部采样时钟的抖动性能。此外时钟幅度和时钟同步也是同样需要考虑的因素, 这几点在后面电路优化的章节中会做详细的描述。

3.3.6 ADC 的数据输出捕获

最后，我们来看 ADC 的输出。从前面的描述，我们知道 ADC 是将模拟信号转换为数字信号，那这些数字信号与后续处理设备，如 MSP430 单片机之间是如何实现数据通讯的呢？现代的高精度 ADC 多数采用 SPI 串行输出格式，一些更低采样率的 Delta-Sigma 型 ADC 甚至采用更慢的 I2C 格式输出转换数据。当采样速率超过 2MSPS 后，所需的串行输出时钟太高，对 ADC 和接受端都是极大的挑战，这时才逐渐开始使用并行输出。因此，充分理解 SPI 和 I2C 的时序，理解 ADC 的采样和转换时序是非常重要的。

3.3.6.1 SPI 接口 ADC

SPI 数据接口

SPI (Serial Peripheral Interface) 串行外设接口的简称，它是一种同步全双工通信协议。有 3 根或者 4 根数据线组成，包括 CLK、SOMI、SIMO、STE:

CLK 为时钟线，由主机控制输出。

SOMI 是 Slave output Master input 的缩写，如果设备被设定为主机，那么这就是输入口。如果设备被设定为从机，这个口就是输出口。这与 UART 的 Tx 和 Rx 方向恒定相区别。

SIMO 是 Slave input Master Output 的缩写，同样由配置为主或从模式决定是输入还是输出口。也就是器件内部是有读写切换开关的。

STE 是 Slave Transmit Enable 的缩写，在不同器件中也经常被写作片选 CS (Chip Select) 和从机选择 SS (Slave Select)，都是一个意思。

SPI 的通信模式

如图 3-31 所示，SPI 的通信模式分为单主单从、单主多从、多主多从三类。A 为三线制 SPI 通信；B 为四线制单主多从 SPI 通信；C 为四线制多主多从 SPI 通信。

三线和四线的区别是多出了一个被控制的 STE 信号，以使能从机。对于多主机通信，主机的 STE 也被控制，以决定是否为从机模式。无论主机从机的 STE 最终都是由额外的 IO 口来控制的。

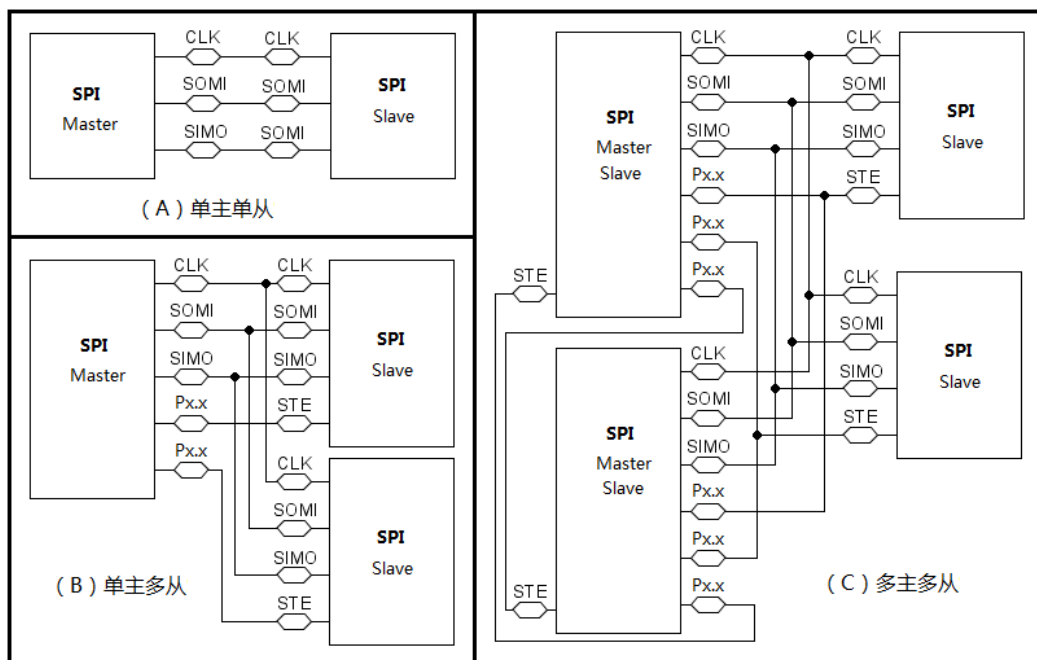


图 3-31 SPI 通信的各种连接

从图 3-31 可以看出，SPI 通信要实现多机通信是以多占用 IO 来实现的。所以，用途最多的是 3 线 SPI 或者 1 主多从的四线制 SPI，而多主多从的 SPI 极少使用。

SPI 协议时序

图 3-32 是 SPI 通信的时序图，其中有两个控制位需要讲解一下：

- 1) CKPH 是 CLK 相位控制位，CKPL 是 CLK 极性控制位。
- 2) 两个位如何设置对通信协议没本质影响，只是用来约定在 CLK 的空闲状态和什么位置开始采样信号。
- 3) CKPH=0，意味着在以 CLK 第一个边沿开始采样信号，反之则在第二个边沿开始。
- 4) CKPL=0 意味着时钟总线低电平空闲，反之则是时钟总线高电平空闲。

在标准 SPI 协议中，先发送的是 MSB 位，在 4 线制模式下，片选信号（STE/CS/SS）控制传输的开始。在 3 线制模式中，则是从机始终激活，依靠时钟来判断数据传输开始。

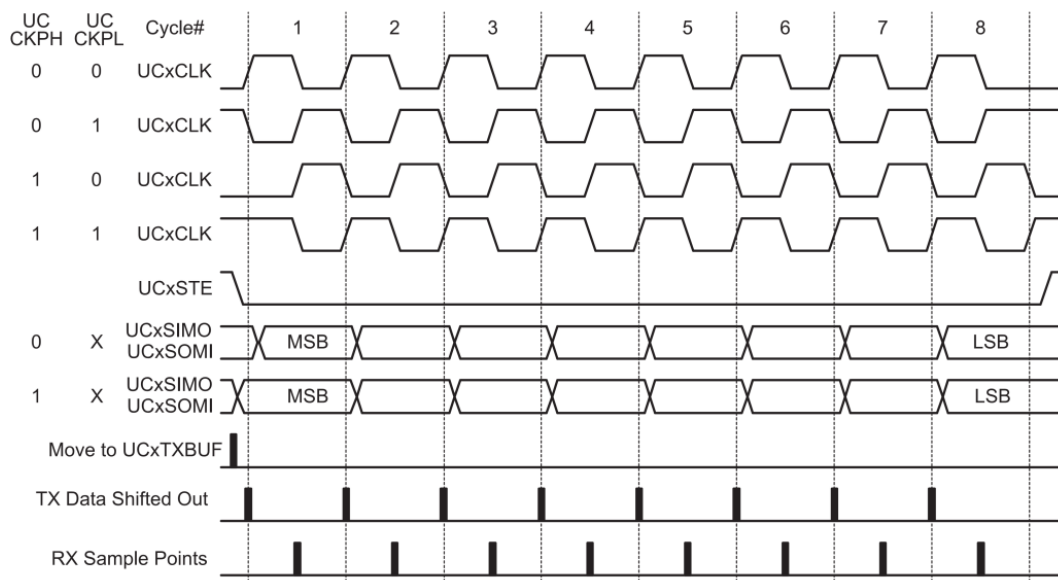


图 3-32 SPI 通信协议时序图

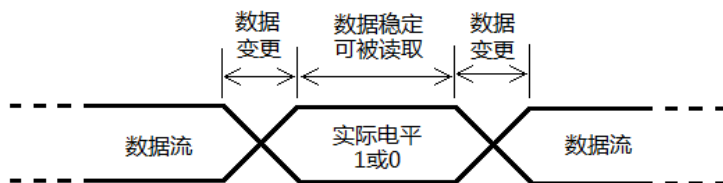


图 3-33 数据流表达方式

SPI 型 ADC 数据输出

ADS7950 是一款最高采样率 1MHz，具有串行接口的 SAR 型 ADC。由于其低功耗的特点，常用在电池供电系统中，此外也常用在医疗仪器，触摸屏控制，高速信号采集系统中。在数字接口方面，ADS7950 通过 \overline{CS} 和 SCLK 和微处理器或 DSP 进行串行通讯。

\overline{CS} 信号作为 SPI 通讯的激活信号，只有当该引脚信号被拉低后，通信才会开始，当 \overline{CS} 为高电平时，信号输出引脚表现为高阻状态，此时，通过串口进行的读写操作都会被忽略。SCLK 为串口通讯提供了时钟信号，SCLK 的上升沿和下降沿改变分别对应数据的输出和输入。

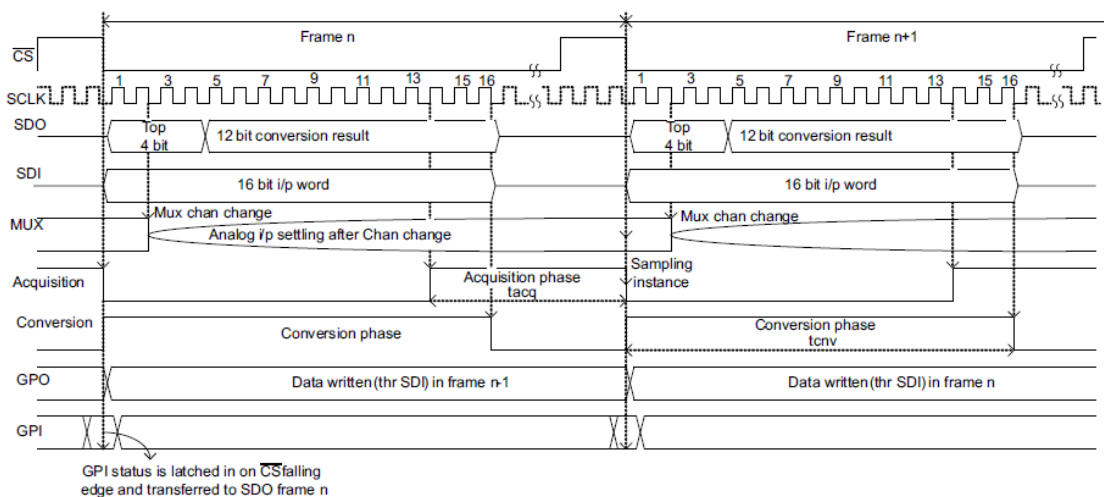


图 3-34 ADS7950 串行通讯时序图

如图 3-34 所示为 ADS7950 进行数据传输时的时序图：首先 \overline{CS} 拉低意味着 SPI 通讯的激活和开始，在经过一个固定的配置时间（tCSSC）之后，时钟信号 SCLK 第一个上升沿之后为传输的第一个数据，高位优先。如果是进行 AD 转换数据的传输，在 16 个时钟周期内，AD 采样的 16 个数据将被顺序通过 DOUT 引脚传输。

SPI 接口的 ADC 在使用时时序相对比较简单，也容易理解。配合集成有 SPI 模块的控制器，例如 MSP430，用户可以方便地实现 ADC 的控制和数据的读取。如图 3-35 所示，为 MSP430F5438A 与 ADS7950 的连接示意图，采用 3 线 SPI，其中 P1.1 作为片选信号线与 ADS7950 相连。MSP430F5438A 内部集成有多个 SPI 模块，这里选择 UCB1。

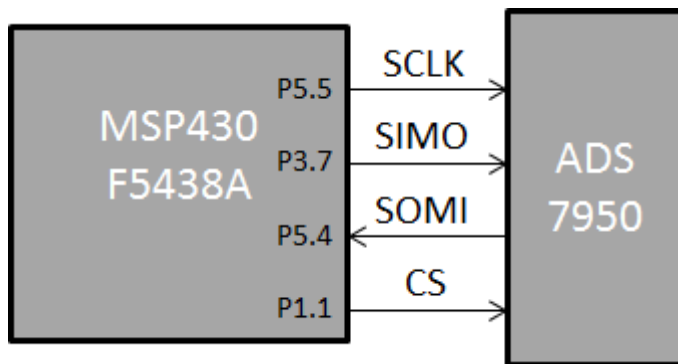


图 3-35 MSP430F5438A 与 ADS7950 接口示意图

在配置相应的 IO 口之后，对 SPI 模块进行初始化配置，参考（SPI_Init 函数）。在这里给出一个读取 ADC 输出数据的示例：首先软件拉低片选信号，由主机，即 MSP430 向 ADS7950 发送一个读数指令，同时完成 ADS7950 处采样得到的数据的读取，完成之后再片选信号拉低。至此，完成一次完整的采样数据读取和保存。

```

void SPI_Init(void)
{
    UCB1CTL1 |= UCSWRST;                // 复位操作
    UCB1CTL0 |= UCMST+UCSYNC+UCCKPH+UCMSB; // 选择430为3线8位SPI主机
                                           // 时钟上升沿有效，MSB
    UCB1CTL1 |= UCSSEL_2;                // 选择系统时钟
    UCB1BR0 = 0x04;
    UCB1BR1 = 0;
    UCB1CTL1 &= ~UCSWRST;                // 初始化USCI

    __delay_cycles(100);                 // 等待从机初始化
}

...
...
void ADS_Test(unsigned int Data[])    //数据发送和接收
{
    ...

    P1OUT &=~ 0x02;                      // CS置低电平
    ModeControlReg_Init = 0x1980;        // 发送工作模式请求
                                           // 通道3，工作电压2.5V
    Data[0] = WriteSPI(ModeControlReg_Init); // 向 ADS7950写数据
    ...
    P1OUT |= 0x02;                        // CS置高
    ...
}
    
```

利用示波器观察相应引脚的时序，图 3-36 所示为观测到的时钟和发送信号线上的信号。因为 MSP430 的 SPI 模块数据发送以一个字节，即 8bit 为单位，所以在一次 ADC 读数周期中需由两次 SPI 发送和读取组成。从第二组波形，即 ADC 返回的采样值可以读出 AD 转换的数据。根据 ADS7950 的数据手册，前四位为 AD 的通道数，我们程序选择读取第三通道，所以我们读到的返回值前四位为通道数信息，后面的 12 位为实际采样的数据。同时从 MSP430 发

送数据的波形，即第三通道，可以清晰得出发送的数据：0x19 和 0x80，即 0001100110000000。

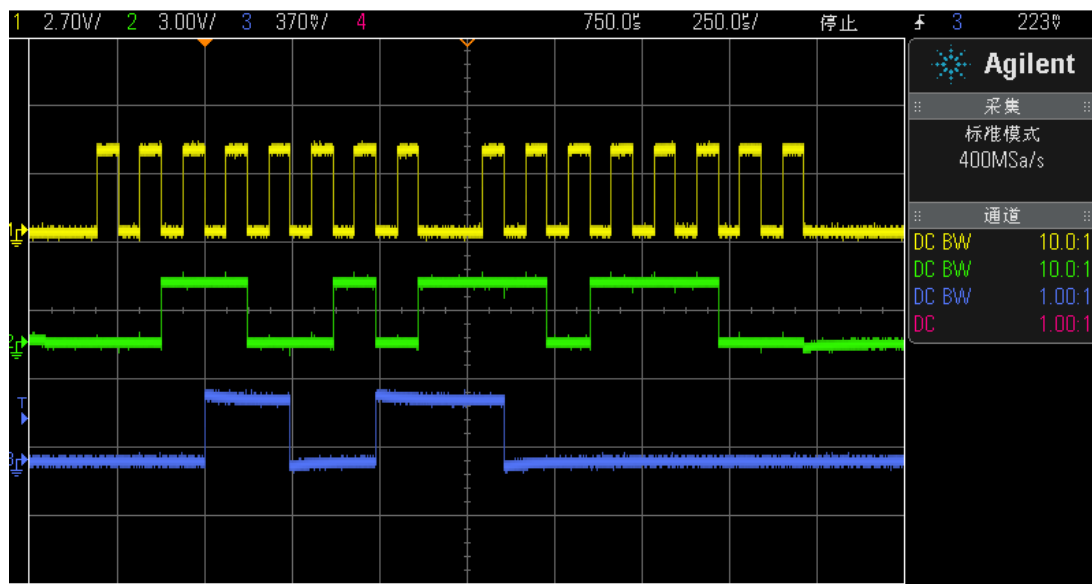


图 3-36 数据读取时的时钟信号（通道 1），ADC 发送的数据波形（通道 2）

以及 MSP430 发送的数据波形（通道 3）

3.3.6.2 I2C 接口 ADC

I2C 原理

SPI 的特点就是简单，速度快，从原理上最不需要动脑子。但是由于 SPI 所用数据线实在太多，多一个从机就得多一条线，而且多主机实现起来也要加线。于是 I2C（Inter-Integrated Circuit）这个只用两根线，几乎无限主从机的协议诞生了。

I2C 是“线与”输出的标志性电路，将“线与”的优点完整展现出来。如图 3-37 所示的 I2C 总线硬件连接中，一共有两条总线，串行时钟线和串行数据线。两条总线都被上拉电阻拉到 VCC，所有 I2C 设备都挂载在总线上，各设备的地位对等，都可作为主机或从机。从分配地址来看，最多挂载设备可有 1024 个，实际挂载设备数量受总线电容限制。

线与逻辑的规则是，每个设备都可以把总线接到地拉低，却不许把总线电平直连 VCC 而置高。把总线电平拉低称为占用总线，总线电平为高等待被拉低则称为总线被释放。利用线与结构，I2C 制定了“神乎其技”的协议规范，仅用 2 根线就完成任意多主多从双向通信中的所有难题。

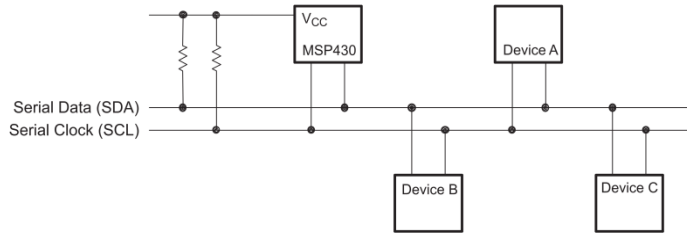


图 3-37 I2C 总线硬件连接

I2C 协议的基本规范

如图 3-38 所示，I2C 协议的完整帧包括起始位、地址位、读写位、应答位、数据位、应答位...数据位、应答位、停止位。

1) 从起始位到停止位之间所有的数据都是主机与符合地址位的从机之间进行的通信。

2) 从起始位开始每帧数据都是 9 位，其中第一帧是 7 位从机地址+1 位读写标识位+1 位数据接收方应答位组成。后续的每帧都是 8 位数据+1 位数据接收方应答。

3) 如果读写标识 $R/\bar{W}=0$ ，表示主机向从机发送数据，则应答位 ACK 由从机负责拉低。从机在完整收到地址或数据后拉低 SDA 数据总线，表示正确接收。不应答表示数据接收错误。

4) 如果读写标识 $R/\bar{W}=1$ ，表示主机自从机接收数据，则应答位 ACK 由主机负责拉低。

5) 主机发出第一帧地址和读写位后，地址符合的从机拉低总线，产生 ACK 应答信号。主机开始收或发（视 R/\bar{W} ）下一帧，直到产生停止位。这期间，其他从机不接收数据，仅判断停止位是否出现，等待下一次比对地址通信的机会。

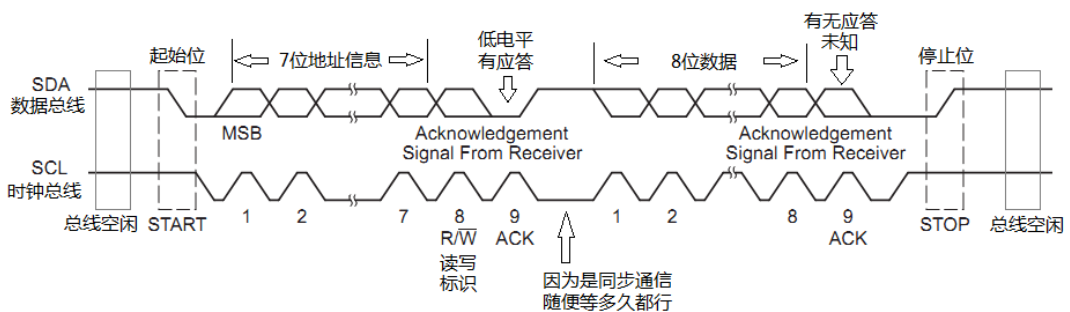


图 3-38 I2C 协议的帧格式

I2C 协议的起止位

I2C 协议的数据线电平仅允许在时钟低电平时才允许改变。为什么要这么规定，反过来规定行不行？

- 1) 低电平时允许改变数据，高电平时读取数据，这意味着数据的传输时刻在上升沿。
- 2) 线与逻辑是，谁都能拉低时钟总线产生下降沿，而产生上升沿却要“大家”都同意。
- 3) 这样一来，主机就不能强行收发数据，一定要从机“同意”才行，也就是如果从机“没空”收发数据，就可以拉低 CLK，让时钟线产生不了上升沿。
- 4) 试想一下，如果改为下降沿传输数据，那么主机就可以不顾从机的反对“强买强卖数据”了。

数据线电平在时钟低电平时改变是正常传输数据的状态，那么时钟线高电平时改变数据线电平就可以赋予其他含义，这是非常巧妙的设计。

- 1) 在时钟线高电平时，数据线下下降沿代表了起始位 START。
- 2) 在时钟线高电平时，数据线上上升沿代表了停止位 STOP。

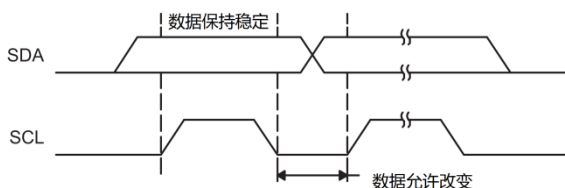


图 3-39 I2C 协议数据允许改变时刻

试想这样一种情况，从机往主机发送信息，主机突然就该主意了打算和其他从机通信，怎么办？如图 3-40 所示，主机可以直接重新给起始信号，称为 Repeated Start。Repeated Start 后，主机发出新的地址，重新选择从机通信。

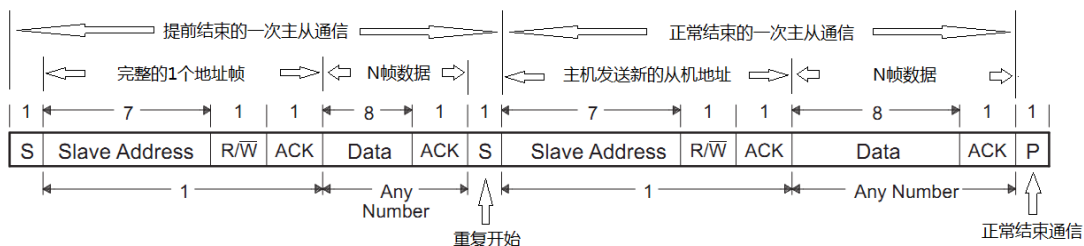


图 3-40 Repeated Start 模式

I2C 的地址规范

I2C 总线的地址位分为 7 位和 10 位两种，实际上能够挂载的器件数量受总线最大电容 400pF 的限制。为什么地址位会有 7 位呢？7 位地址+1 位读写标识+1 位应答构成 9 位帧和普通数据帧 9 位所兼容。至于 10 位地址，则可表达 1024 位地址，按 400pF 的总线电容限制，每个器件能引入的电容仅 0.4pF，已是极限。所以 10 位地址足够。而 7 位地址已经可表示 128 个器件，能满足绝大多数需求。

1) 7 位地址模式：如图 3-41 所示，起始位后的首帧为 7 位地址+1 位读写位标识位+1 位应答位，后续帧均为数据帧，直到停止位出现（或者是重复起始 repeat start）。

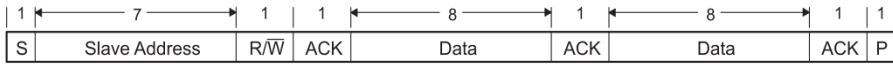


图 3-41 7 位地址模式

2) 10 位地址模式：如图 3-42 所示，起始位后的首帧中前 5 位固定为 11110（非表示地址），后面仅跟 2 位地址，然后是读写标识和应答。第二帧的 8 位数据作为地址的后 8 位。

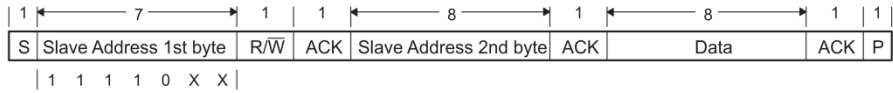


图 3-42 10 位地址模式

3) 这种方式可以做到 7 位地址与 10 位地址兼容，10 位地址不过是把第 2 帧的数据继续当后续地址罢了。

处理器作为从机好说，看上哪个地址用哪个，只要地址不冲突，吱一声的事。外设从机的地址如何设定？

有的 I2C 协议的芯片由于引脚匮乏，其 I2C 从机地址被固化在了芯片内部，同一型号芯片有若干种 I2C 从机地址的子型号出售，以芯片后缀来区分，这类芯片在购买时一定要看清子型号，买了再退货就难了。

有的 I2C 协议的芯片则是在外部有数目不等的专用地址引脚，可以依靠对地址引脚上拉、下拉、高阻来设定地址。

I2C 型 ADC 数据输出

略，请参考 5.2.6

第四章 DAC 简介与指标

4.1 DAC 简介

DAC 即数字模拟转换器，和 ADC 相反，它主要实现的是将数字量转换为模拟量。最简单的 DAC 结构可以通过一个单刀双掷开关实现 1 位的 D/A 变换。当开关与 VCC 相连的时候输出高电平，即 1，当开关与 GND 相连的时候，输出低电平，即 0。这种简单的结构是实现 DA 变换的一个基础。在后面的章节中会具体介绍现在流行的集中 DAC 结构及其基本原理与应用。



图 4-1 DAC 将数字信号转换为模拟信号

理论上 DAC 理想的转换函数应该也是一条具有无限阶梯数的线，但是实际上是一系列落在这条理想直线上的点，如图 4-2 所示。实际上，DAC 把一个数目有限的离散数字输入编码转换成相应数目的离散模拟输出值。对于 DAC，1 LSB 相应于连续模拟输出之间的步长高度，它的值与 ADC 中的定义相同。DAC 可以被视为一个数字控制的电位计，它的输出是数字输入编码决定的模拟电压总标度的一小部分。

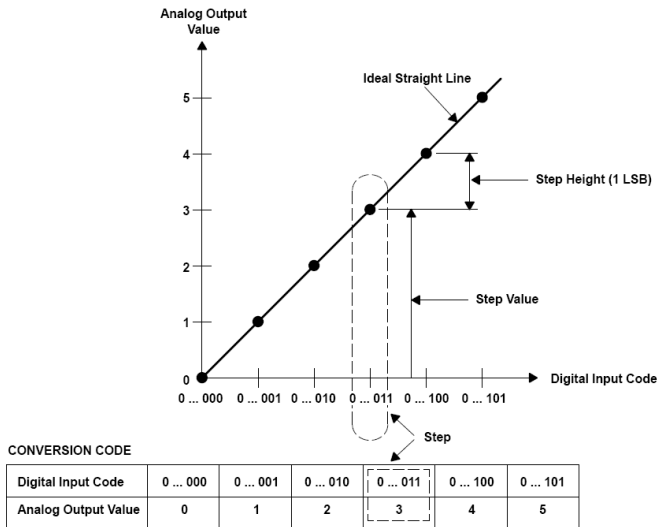


图 4-2 理想转换函数 (DAC)

4.2 DAC 常见性能指标

与 ADC 类似，DAC 也会有静态误差和动态误差，在这里仅做简单的介绍。

- **偏置误差**

同样，DAC 中偏置误差也被定义为标准偏置点和实际偏置点之间的差值。在 DAC 中，偏置点为数字输入为零时的步长值。这种误差可以通过增加外围电路的方法加以修正，如添加参考电压的方法。

- **增益误差**

增益误差在 DAC 中表现为在偏置误差调整为零后，DAC 数字输入量为满量程时，实际的输出值和理论值之间的误差。通常这种误差同样可以通过修正的方法进行调整。

- **分辨率**

与 ADC 类似，DAC 的分辨率以其能分辨的最小模拟输出量来衡量。一般我们说一个 DAC 是 n 位的，表明其所能分辨的最小电压增量为满量程的 $\frac{1}{2^n}$ 。例如，一个满量程为 10V 的 DAC，如果是 8 位的则其分辨率为 $10 \times \frac{1}{2^8} = 39\text{mV}$ ，而同样的 10VDAC 若其为 16 为，则可以达到 153 μV 的分辨率输出。

- **输出电压**

理解为 DAC 输出的电压范围，不同型号的 DAC，输出电压范围相差很大。对于电压输出型 DAC，一般范围在 5-10V，高者可达 30V；对于电流输出型 DAC，输出电流一般在 20mA 左右，高者可达 3A。

- **转换时间**

指输入的数字信号转换为模拟输出所需要的时间。

第五章 DAC 选型与指南

5.1 常见 DAC 结构与应用场景

精密型 DAC 包含通用型 (General Purpose) 和双极型 (Bipolar) 两种, 根据 V_{REF} 输入范围和带宽的不同来划分, 一般来说通用型 DAC 采用电阻串 (R-String) 结构, 其 V_{REF} 不跨越正负电源, 通常在一个较窄的范围内, 比如 2.5V 左右, 并且带宽窄, 一般在 1MHz 以下; 双极型 DAC 的 V_{REF} 范围跨越正负电源, 包含地电平; V_{REF} 的带宽较宽, 在某些码字下甚至可达到 10MHz, 幅度可达 $\pm 18V$, 我们习惯将这类双极型 DAC 称为乘法器型 (Multiplying) DAC 或 MDAC。因 MDAC 使用灵活, 操作简单, 同时精度卓越而在产业界受到广泛应用, 在大学生电子设计竞赛中也经常出现乘法器型 DAC 的身影。

DAC 技术	建立时间/转换速度	分辨率	备注
通用型 (R-string)	通常在 $10\mu s$ 左右	最高可达 16bit	操作简单, 低成本, 低功耗
双极型 (MDAC)	大于 $0.2\mu s$	最高可达 16-18bit	高精度
电流引导型	小于 1GSPS	最高可达 16bit	快速, 宽带, 价格高, 功耗高

5.1.1 电阻串型 DAC (R-String)

R-String DAC, 即电阻串型 DAC, 采用模拟开关加电阻串的方式对参考输入电压分压, 再通过运放缓冲分压结果输出:

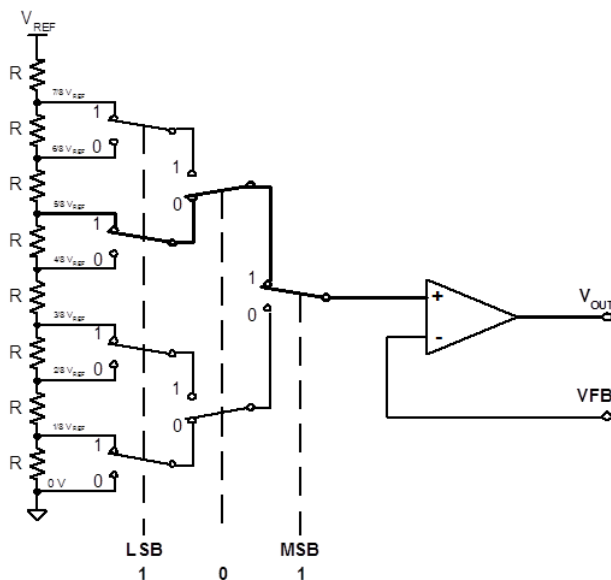


图 5-1 一个 3 位电阻串型 DAC 示意图

如图 5-1 所示为一个简单的 3 位电阻串型 DAC 的示意图。我们知道 3 位数字共有 8 种状态 ($2^3 = 8$)，为实现这 8 种状态的控制，要求提供的分压为 $V_{REF}/8$ 的倍数，因而最简单的方法，有 8 个电阻对 V_{REF} 进行分压，即图 5-1 中所示。通过一个 3 线译码器对 3 组开关的状态进行控制，从而实现不同电压的输出。图中，开关的状态量为 101，对照电路的通断，发现实际输入端是与第三个电阻相连（从上至下），换算到电压值为 $5/8V_{REF}$ 。这和数字编码 101，对应十进制为 5，是一一对应的。

在此基础上，可以扩展到 N 位的 DAC。一个 N 位的电阻串型 DAC 需要 $2^N - 1$ 个电阻，匹配困难，精度很难做得很高。因此，在 12 位及以上的 DAC 中，通常采用 2 级 R String 的方式来减少电阻器的数量：

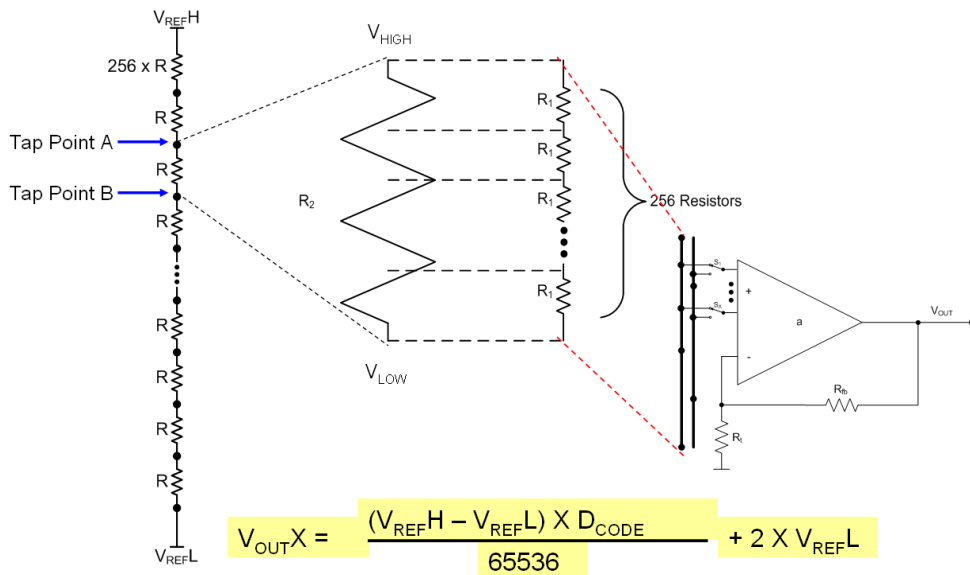


图 5-2 2 段型电阻串型 DAC

如图 5-2，是一颗 16 位电阻串型 DAC 的内部示意图，其实是由两组 8 位电阻串型 DAC 来实现的，前一组 256 颗电阻形成一个 8 位 DAC，对输入参考电压进行粗分；后面的 8 位 DAC 对粗分后的电压进行细分，最终达到 16 位的精度。通过分段的方法，可以很大程度上减少电阻的数量。

电阻串型 DAC 的缓冲运放内置在芯片内部，通常采用轨到轨输入/输出运放来实现最大的动态范围，并有时提供 2 倍的增益从而在低参考电压的条件下获得大输出动态范围。但是，因为运放的供电和 DAC 供电联系在一起，为单电源供电，因此无法输出负电平，也就不能接受负参考电压输入。

电阻串型的 DAC 有一个最大的好处就是其传递函数天生是单调的，也就是说在输入编码和输出电压间可以保持一直上升的斜率，不会有拐点出现。在一些要求苛刻的闭环精密控制场合，要求 DAC 必须是单调的。

我们推荐使用的 TI 电阻串型 DAC 有：

器件	简介	封装
TLV5638ID	双通道的 TLV5636	SOIC
TLV5636ID	12 位，建立时间 1uS，串行 DAC，内/外部参考	SOIC
DAC8550IDGKT	16 位，超低转换脉冲干扰，串行 DAC，外部参考	MSOP
DAC8552IDGKT	双通道版本的 DAC8550，建立时间 10uS	MSOP
DAC8554IPW	四通道版本的 DAC8550	TSSOP
DAC7571	低功耗，轨至轨输出，12 位，I2C 接口	SOT-23
DAC8571	16 位，低功耗，电压输出，I2C 接口	MSOP
DAC7311	12 位，SPI 接口，单通道，供电电压 2.0-5.5V	SC70
DAC8411	16 位，SPI 接口，单通道，供电电压 2.0-5.5V	SC70

数字电位器

上述结构简化后可以设计为一个数字电位器。以 TI TPL0401 为例，从图 5-3 的结构框图可以看到数字电位器的组成比较简单。首先其电位器功能有一个电阻串组成，见功能框图的右侧，这个和 R-string 型 DAC 内部的电阻串功能块是类似的，将电阻串的高端和低端引出来由用户进行连接，同时输出也直接引出来。其实，可以看出这就是一个电位器，之所以这个电位器被称作数字电位器，是因为其调节方式是由左侧的 wiper 寄存器来控制。TPL0401 提供 I2C 标准通讯接口，实现微控制器和 DAC 之间的通讯和控制。

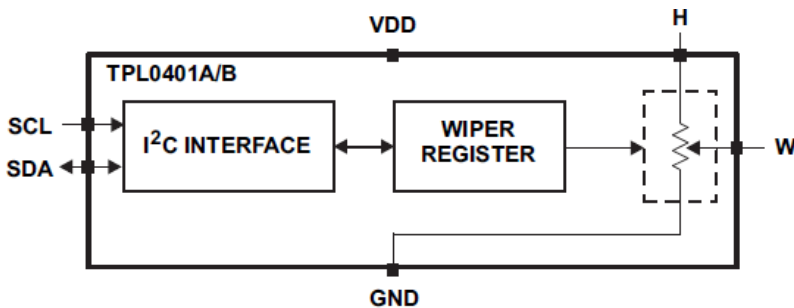


图 5-3 TPL0401 内部功能框图

从数字电位器内部结构的介绍，我们可以看出数字电位器可以用作数字电压的输出，实际上，在 TI 的网站上可以看到数字电位器是分类在 DAC 家族中的。在用作电压输出时，数字电位器的作用是将输入电压按照一定比例进行衰减。如图 5-4 所示，W 端与高端（H），低端（L）的电压差可以根据图中的公式计算得到，其中 D 即为用户定义的数字输入值。在该模式下 TPL0401 的一个重要应用场景就是 DDR3 的电压参考。

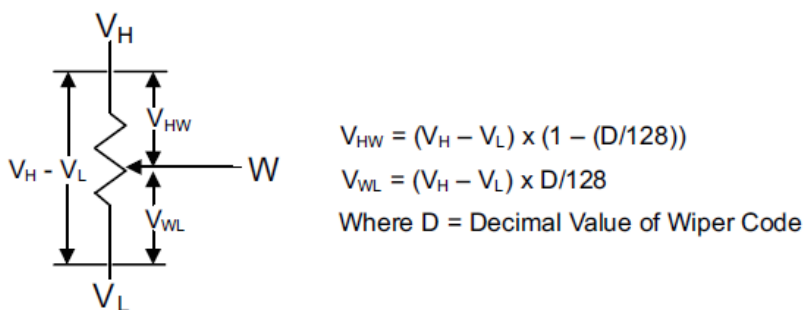


图 5-4 数字电位器 TPL0401 工作在电压分压模式

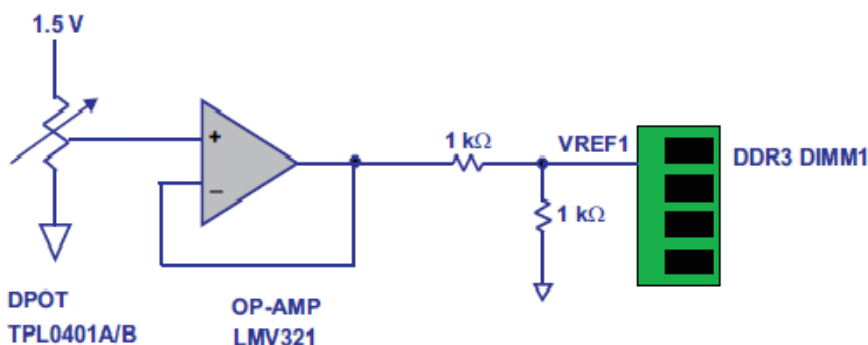


图 5-5 TPL0401 用作 DDR3 电压参考电路示意

除了电压输出模式之外，数字电位器区别于一般 DAC 的是其可以当做电位器来用。在数据手册中会给出特定型号数字电位器的电阻宗旨，即 H 端到 L 端的总阻值，如在 TPL0401 中，电阻值为 10kΩ。此时需要查阅数字电位器的数据手册，判断该数字电位器内部 H 和 L 端的连接方式。在数字电位器内部一般会将会 H 端或 L 端悬空（Floating），如果 L 端悬空，一般会与 GND 相连。这时，在实际使用时有效的电阻值需要对照连接的一端，如图 5-6 所示。另外，在这种情况下还需要格外注意的一点是电阻阻值的精度。在数字电位器中内部电阻的精度一般不高，例如 TPL0401，查看数据手册，我们发现其电阻有 ±20% 的容差。这也就意味着，尽管可以通过数字输入精准控制 R_{HW} 和 R_{LE} 的比例，但是这两个电阻的绝对值的误差仍然会很大。

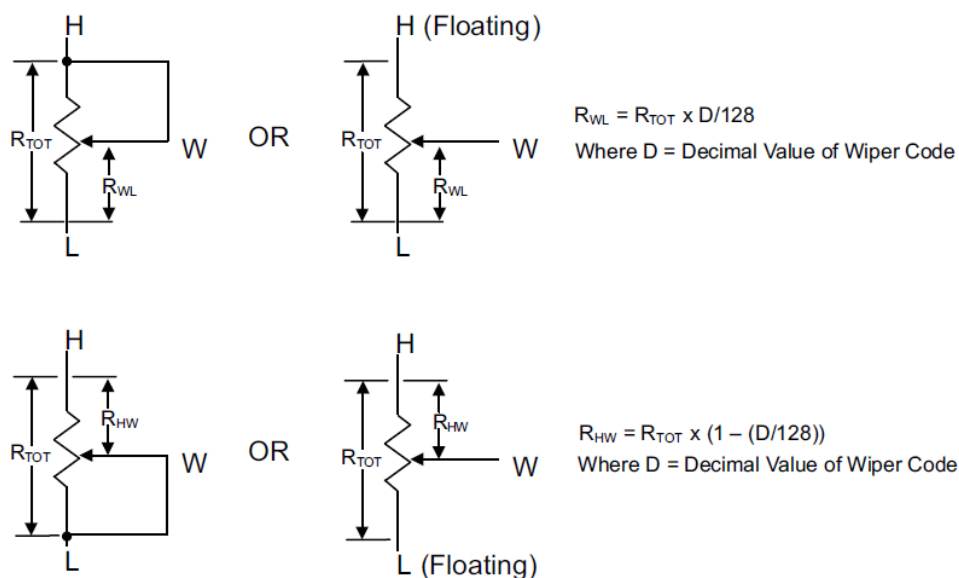


图 5-6 不同内部连接的数字电位器输出阻值不同

TI 提供多种型号数字电位器供用户选择:

器件	简介	封装
TPL0401SA-10	128taps 数字电位器, I2C 接口, 10k 电阻	SC-70
TPL0501-100	256taps 数字电位器, 单通道, SPI 接口, 100k 电阻	SC-70
TPL0102-100	256taps 数字电位器, 双通道, I2C 接口, 100k 电阻	8SOT-23
TPL8002-25	64taps 数字电位器, 指数型控制。并行接口, 8M 带宽, 2.5k 电阻	14QFN/14TSSOP

5.1.2 乘法型 DAC R-2R

MDAC 采用 R-2R 的正向结构, 如图 5-7 所示, 是一个 12 位 MDAC 的示意图。下面以 TI DAC7811 为例来对 R-2R 型 DAC 工作过程进行说明。

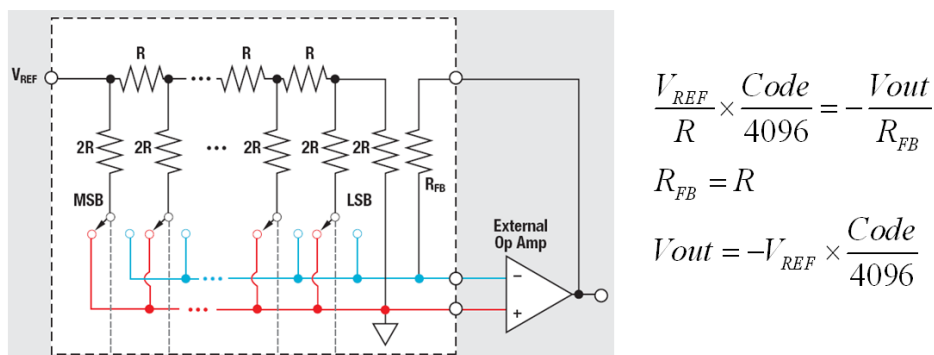


图 5-7 MDAC 结构示意图

1. 12 个选通开关由 SPI 协议控制，使得 2R 的下端接入 Iout1（蓝线，接运放反相端）或者 Iout2（红线，接运放同相端）

2. 外部运放的 Vin+，接地，这时红色的线都接地。

3. 应用运放的“虚短”理论（理想运放工作在线性状态下时，Vin-和 Vin+的电压相等），我们可以看做蓝色的线和红色的线连在一起。这时，最右边的两个 2R 相当于并联，阻值等于 R，这个等效电阻 R 会与红圈圈出的 R 串联，形成一个 2R 的等效电阻，这个 2R 等效电阻会与右边第三个 2R 并联……，以此类推，最后，从 VREF 端看进去，整个 R-2R 电阻网络的阻值为恒定的 R。

4. 于是，我们可以得到，流入 VREF 端的恒定的总电流为 $I_{TOTAL}=V_{REF}/R$

5. I_{TOTAL} 在整个 R-2R 电阻网络中的 2R 支路上被分流，流入每个开关的支路电流大小为： $I_{TOTAL}/2^n$ ，对于 12 位的 DAC7811 来说， $n = 1 - 12$ 。MSB 位的开关上的流过的电流最大，为 $I_{TOTAL}/2$ ，以后每个开关上的电流为前一个 2R 的 1/2。

6. 每一路 2R 上的电流，由开关选通，决定是流入 Vin-还是 Vin+，流入 Vin-的电流总和，对于 DAC7811 来说，将为：

$$I_- = \frac{V_{REF}}{R} \times \frac{Code}{4096}$$

这里 CODE 即为写入 DAC7811 的控制字的值。

7. 记住 Vin+是接地的，流入 Vin+的电流对输出信号没有贡献。对于流入 Vin-的电流，由运放的“虚断”理论（理想运放工作在线性放大状态时，流入 Vin-或 Vin+的电流总和为 0，即没有电流进入 Vin-或 Vin+）可知，流入 Vin-的电流将等于运放的输出电压 Vout 在 RFB =上产生的电流，方向相反：

$$I_- = -\frac{V_{out}}{R_{FB}} = \frac{V_{REF}}{R} \times \frac{Code}{4096}$$

在设计 DAC7811 时，TI 会把 RFB 做到和 R 相等，于是，最终我们得到：

$$V_{out} = -V_{REF} \times \frac{Code}{4096}$$

这样，就成功将 MDAC 用作程控衰减。如果把 R-2R 网络放在运放的反馈回路中，如图 5-8，即可得到一个程控放大器：

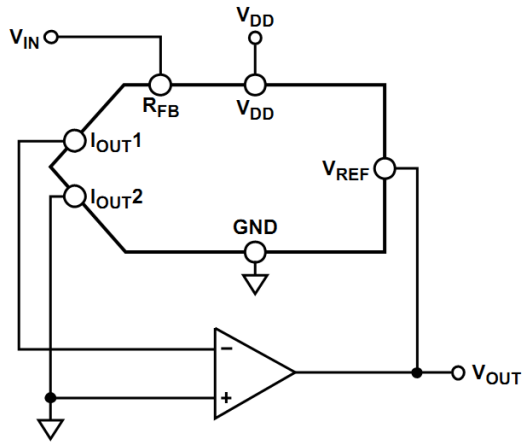


图 5-8 MDAC 用作程控放大器

其推导过程同上，只是输入和输出相反，得到计算公式为：

$$V_{out} = -V_{in} \times \frac{4096}{Code}$$

如图 5-9 为在 TINA-TI 中用多路开关模拟一个 5 位的 MDAC 用作程控增益。其中 VF2 为输入，VF1 为输出。输入电压为峰峰值为 1V 的正弦波形。当开关打在图示位置时，通过上面的分析，我们知道理论的增益倍数为 2，其仿真结果如图图 5-10 所示。

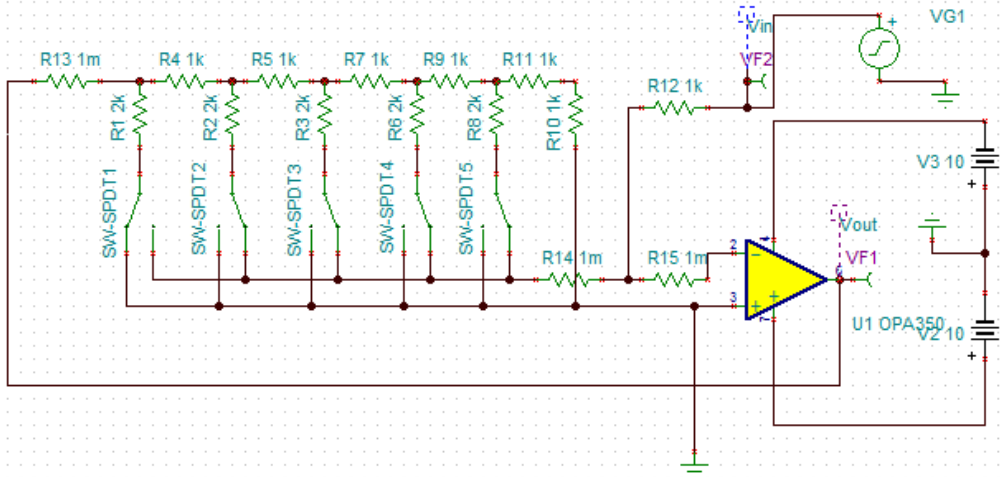


图 5-9 TINA-TI 中多路开关模拟 MDAC

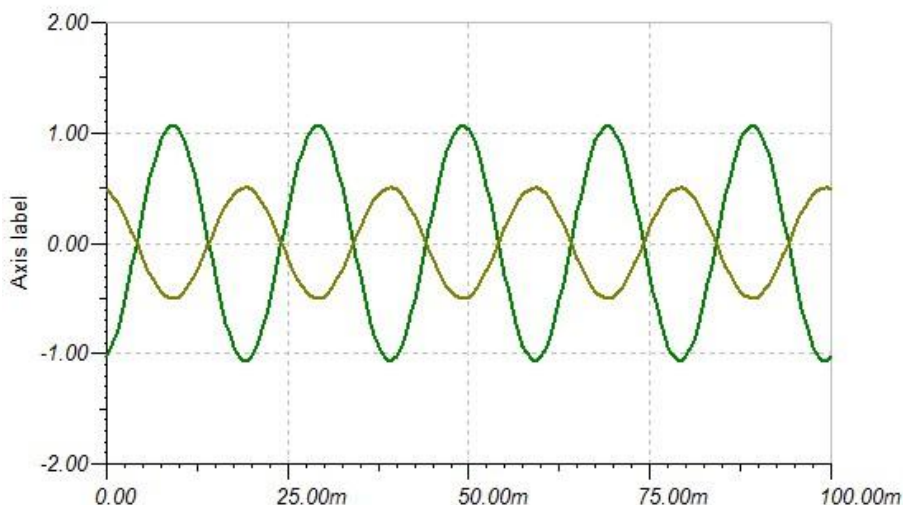


图 5-10 TINA-TI 仿真结果

对于 MDAC 来说，输入的 V_{REF} 实际上是被换算成流入或流出 V_{REF} 脚的电流，只要外部运放采用正负电源供电，即使 MDAC 采用 3.3V 单电源供电，MDAC 也可以实现双极性电压输入和输出。这对我们的设计带来极大的便利。下面我们看看如果利用 MDAC 和外部运放来实现恒定电压 10V 到 $\pm 10V$ 电压的转换：

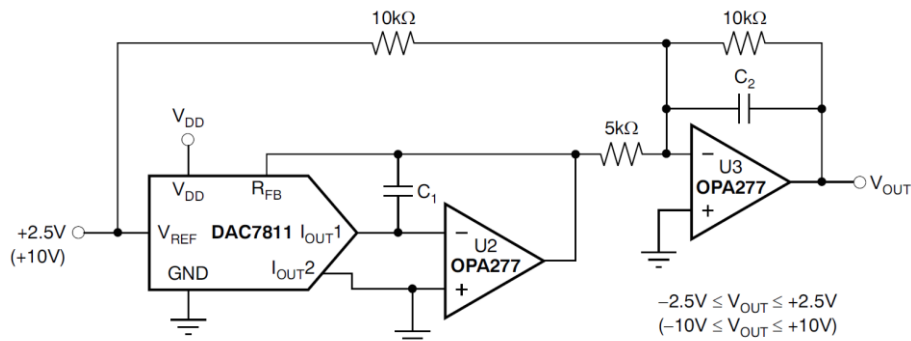


图 5-11 外部电路实现双极性输出

如图 5-11，DAC7811 通过第一个 OPA277 产生的输出为 $-10V$ 到 $0V$ 可调；第二个 OPA277 实现的是一个反相加法器处， $10V$ 的参考电压产生的输出为 $-10V$ 到 $0V$ ，而 DAC7811 和第一个 OPA277 的输出在第二个 OPA277 上产生的输出为 $0V$ 到 $+20V$ ，相加后即得到 $-10V$ 到 $+10V$ 的输出范围，最终的计算公式为： $V_{OUT} = 2 * V_{REF} * (\text{Code}/4096) - V_{REF}$ 。

注意在使用外部运放时，由于 DAC7811 的输出电容较大，需要在反馈回路中接入一个并联电容来帮助外部运放稳定，同时确保外部运放的带宽和压摆率满足要求。可以在 DAC78xx 的数据手册中找到针对不同应用推荐的对应外部运放型号。

还值得注意的是 $V_{out} = -V_{REF} * Code/2^N$ 表明 MDAC 在这种配置下产生的是衰减的输出，输出是小于输入的。因此，可以利用 MDAC 的这种特性完成程控衰减器的工作。同理，我们把 MDAC 放在运放的反馈回路中，可以得到一个程控放大器，在用做程控放大器时，应保证外部运放的增益带宽积和压摆率等指标。

注意到 MDAC 的 VREF 引脚常常拥有 ±15V 及以上电压输入范围和 10MHz 的 -3dB 带宽，同时并行输入的 MDAC 拥有 20MHz 的刷新率，因此可以利用 MDAC 来进行一些 kHz 量级的波形和各种调幅信号：

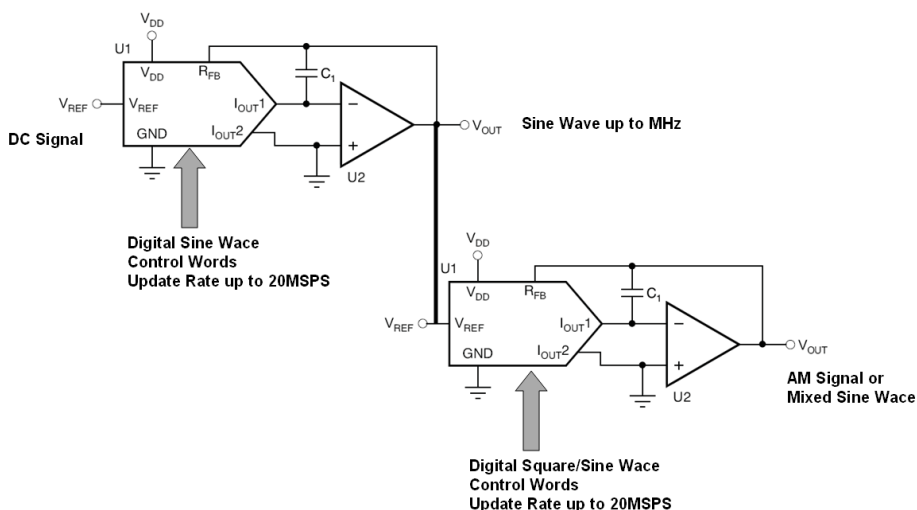


图 5-12 利用 DAC 实现调幅信号

如图 5-12，前一只 MDAC，例如 DAC7822，输入一个固定的参考电压 10V，用数字化的正弦波刷新 DAC，通过外部运放可以产生单极性或双极性的正弦波；将生成的正弦波输入第二个 MDAC 的输入端，用期望的调幅信号刷新 DAC 就可以实现调幅信号输出了。

在 MDAC 应用中，R-2R 电阻网络都是正向工作的，也就是说总是有信号从 VREF 脚流入，利用 VREF 端输入电阻恒定的特性实现电压到电流的转换，因此正向 R-2R DAC 的输出是电流，在 DAC 外部还需要一只运放来完成从电流到电压的转换。我们可以将 R-2R 电阻网络用在反向配置中，这时实现的是电压进电压出：

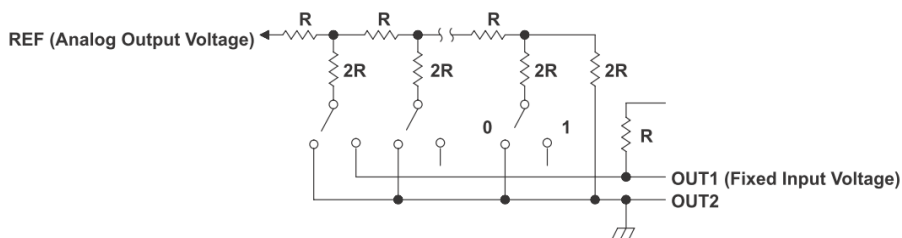


图 5-13 反向配置实现电压输出

如图 5-13, 参考电压 V_i 从 OUT1 输入, OUT2 接地, 此时的输出电压为 $V_o = V_i * \text{Code} / 2^N$ 。
反向 R-2R 型 DAC 利用了 R-2R 电阻少, 精度高的特点, 但损失了大带宽和宽电压范围, 因此采用这种结构的 DAC 通常采用内置的固定参考电压源, 如图 5-14, DAC7611 就是一颗反向 R-2R 的 DAC, 它内建了一个 2.435V 的固定参考电压和一个增益为 1.682 倍的输出运放, 这样 DAC7611 的数字输入和模拟输出一一对应, 即输入数字 N, 即输出 NmV 的电压。

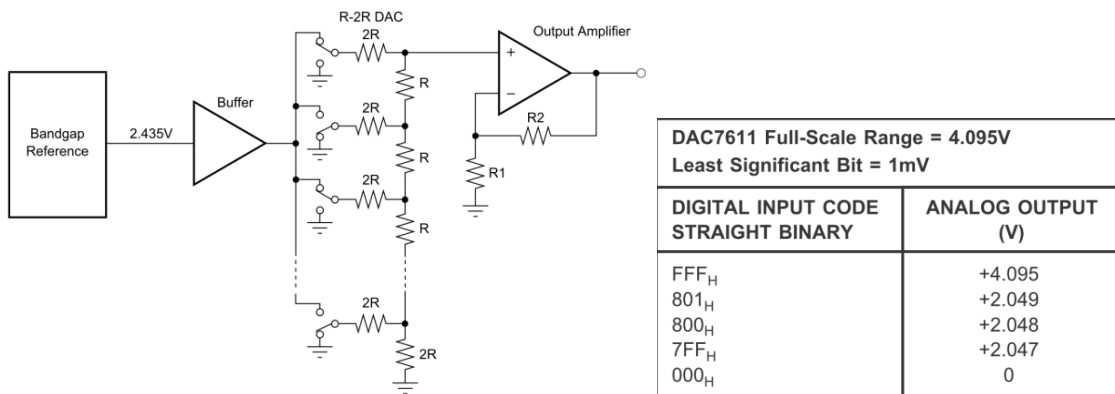


图 5-14 DAC7611

我们推荐使用的 TI MDAC 有:

器件	简介	封装
DAC7811IDGS	12 位, 串行, 建立时间 0.2Us, ±15V, 10MHz	MSOP
DAC7821IPW	12 位, 并行, 刷新率 20MSPS, 建立时间 0.2Us, ±15V, 10MHz	TSSOP
DAC7822IRTAT	双通道的 DAC7821	QFN
DAC8801IDGKT	14 位, 串行, ±18V, 10MHz, 建立时间 0.5uS	MSOP
DAC8802IPW	双通道的 DAC8802	TSSOP
DAC8805QDBT	双通道的 DAC8806	TSSOP
DAC8806IDB	14 位, 串行, 刷新率 20MSPS, ±18V, 10MHz, 建立时间 0.5uS	SSOP
DAC8811IBDGKT	16 位, 串行, 建立时间 0.5uS, ±15V, MDAC	MSOP
DAC8820IBDB	16 位, 并行, 刷新率 20MSPS, 建立时间 0.5uS, ±15V, MDAC	SSOP
DAC8812IBPW	双通道的 DAC8811	TSSOP
DAC8822QBDBT	双通道的 DAC8820	TSSOP

5.1.3 $\Delta \Sigma$ 型 DAC

与 $\Delta \Sigma$ ADC 相似，有一类 DAC 也会采用 delta-sigma 技术以提高转换的精度。一般来讲多数的音频 DAC 会采用 $\Delta \Sigma$ 技术以提高音频的输出的质量。如图 5-15 所示，为 24 位过采样音频 DA 转换器 PCM175x 的内部模块框图。

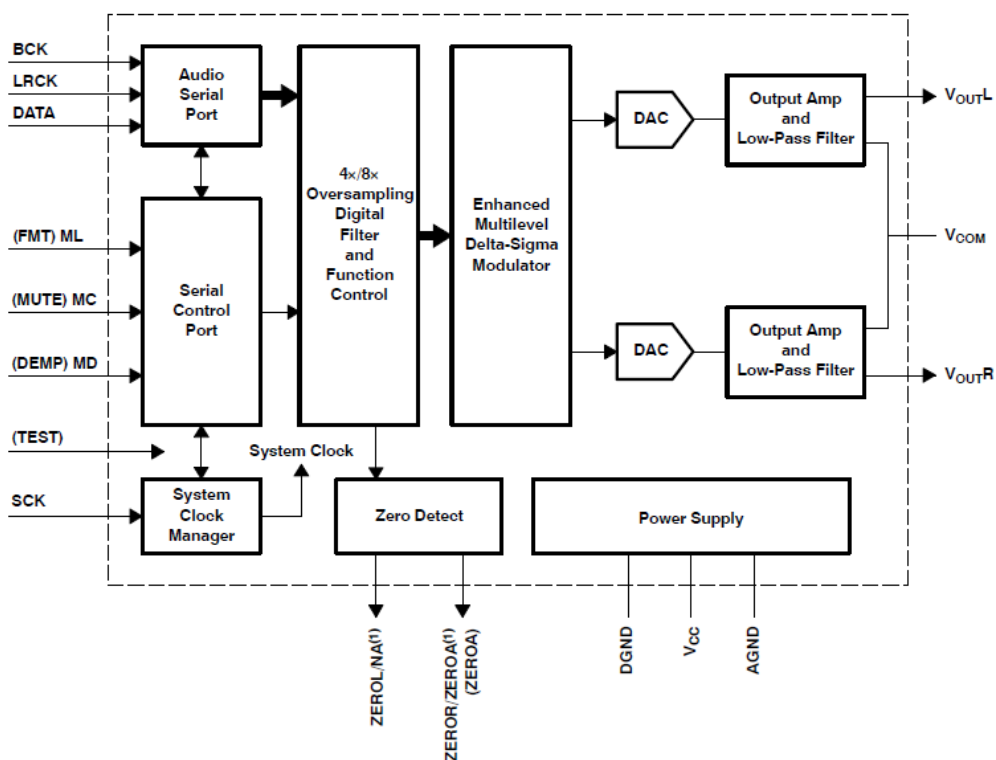


图 5-15 PCM175x 内部框图

$\Delta \Sigma$ DAC 内部包括插值滤波器和 $\Delta \Sigma$ 调制器（包含数字积分器、量化器的和反馈回路的模块），开关电容 DAC 和模拟低通滤波器。其关键模块为 Δ 调制器，基本工作原理和 $\Delta \Sigma$ ADC 相似。其核心部分是一个 Δ 调制器，见图 5-16。输入信号 X_1 通过 Δ 调制器被调制成 X_2 ，在调制器内部，首先对输入信号进行积分，当积分后的值大于输入信号 X_1 ， X_2 输出即为正，反之， X_2 输出为负。经过这样的调理，我们可以发现，对 X_2 进行积分的结果即为 X_3 。对于 X_2 信号经过一个 1 位的开关电容 DAC 转换为模拟信号，通过积分即可还原出原始数字输入信号对应的模拟信号，再经过低通滤波滤除高频噪声，将信号平滑，即可得到高精度的模拟输出信号。在实际的 DAC 中，后面的积分工作会移到信号的开始，即 X_1 之前进行。这样做可以避免 Δ 调制器对较快变化的输入信号相应的延迟，以及对直流的无法相应。

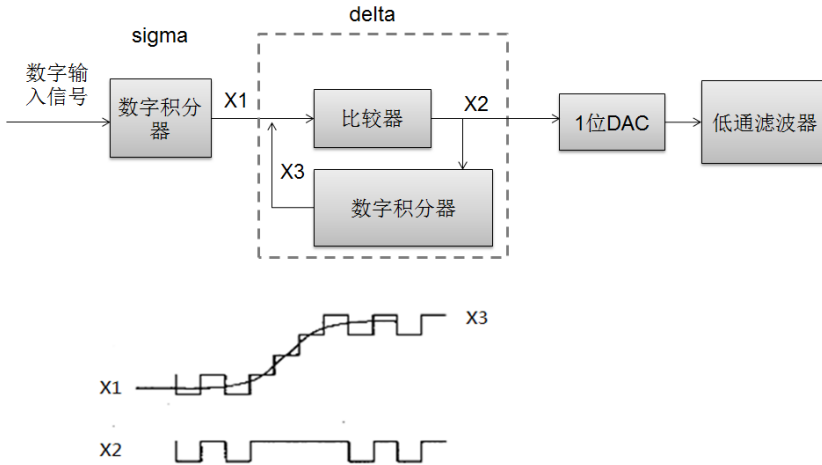


图 5-16 $\Delta \Sigma$ DAC 基本工作原理

TI 提供的音频 $\Delta \Sigma$ DAC 有:

器件	简介	封装
PCM1753DBQ	24 位, 192KSPS, SNR=106dB, 音频 DAC	SSOP
PCM1804DB	24 位, 192KSPS, SNR=116dB, 音频 ADC	SSOP
PCM1803ADB	24 位, 96KSPS, SNR=103dB, 音频 ADC	SSOP

5.1.4 电流引导型 DAC Current Steering

和高速ADC对应，高速DAC被广泛使用在波形产生，测试设备及无线基础设施中，当代高速DAC的制造是基于亚微米CMOS或BiCMOS的工艺，已经达到了一个全新的性能水准，实现了1GSPS的刷新率以及14位，甚至16位的分辨率。为了达到如此高的刷新率和分辨率，DAC采用了一种带分段(segmented)电流源的电流导引型(current steering)架构。

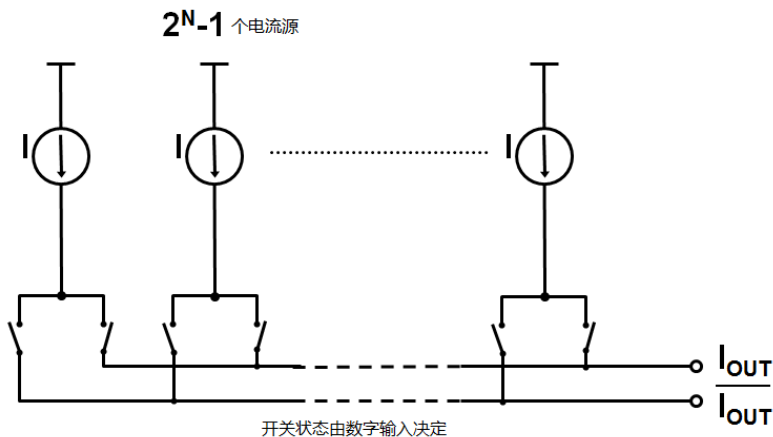


图 5-17 电流引导型 DAC 中的电流源阵列

此类单片电路DAC的核心单元是电流源阵列(array)，其设计用于输送出满刻度输出电流，典型值为20mA。内置的解码器在每次DAC刷新的时刻驱动(addresses)差分电流开关。如图5-17所示，该电流源阵列有两个电流输出，两路输出互补，使得输出的电流总量为一个恒定值。数字输入导引源自各个电流源的电流，输出到相应信号输出电流的差分输出端。相较于电压输出，这种方法可以保证更高的速度。

在此采用差分信号是为了改善动态性能，同时降低负载电阻上承载的输出电压的摆动。理想情况下，此类信号电压摆幅是越小越好，以确保DAC有最适宜的线性度。此信号电压的上限，以及相关的负载电阻，通过输出电压所遵循的规格实现定义。分段电流引导架构的意义在于降低了电路复杂性，并因此降低了杂散脉冲的能量。这些，都从整体上改善了DAC的线性度及交流性能。作为一种全新的系统架构，其高刷新率和卓越的动态性能，使得其输出频率的合成能力达到百兆赫兹的范围，而这种方式通常被称为“直接中频”。

我们推荐使用的 TI 高速 DAC 有：

器件	简介	封装
DAC902E	12 位 165MSPS, 高速 DAC	TSSOP
DAC5662IPFB	双路 12 位 275MSPS, 高速 DAC	TQFP
DAC904E	14 位 165MSPS, 高速 DAC	TSSOP
DAC5672IPFB	双路 14 位 275MSPS, 高速 DAC	TQFP
DAC5687IPZP	双路 16 位 500MSPS, 1x/2x/4x/8x 插值 DAC	HTQFP

5.1.5 PWM DAC

在很多嵌入式的控制应用中，会用控制器内部集成DAC模块或独立的DAC芯片来产生模拟信号。但是，采用控制器的PWM（Pulse Width Modulation,脉冲宽度调制）信号来实现D/A变换也是一种常见的方法，在低成本设计中应用非常广泛，我们将讨论如何使用PWM来产生模拟信号，和PWM DAC的精度。

PWM（Pulse Width Modulation,脉冲宽度调制）是一个周期固定但占空比可调的信号，如图5-18所示。

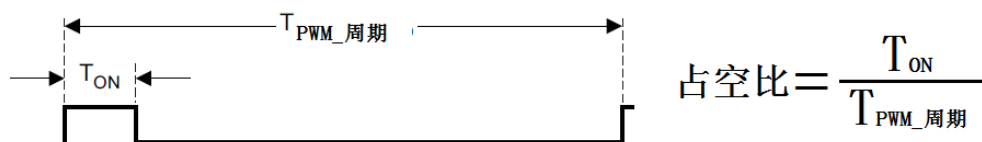


图 5-18 PWM 信号

在整个 PWM 周期中，高电平持续时间(T_{ON})所占的比例，称为占空比。显然， T_{ON} 时间将直接影响该周期的直流电压均值， T_{ON} 时间越长，直流电压均值越大。该对应关系可理解为直流电压均值和 PWM 的占空比是成线性关系的。

如果在微控制器输出端对 PWM 信号进行合适的滤波，我们可以产生可变的直流参考电压。在图 5-19 中，FFT（快速傅里叶变换）将 PWM 的方波信号变换为等效频域信号，同时图中也给出了低通滤波器的频域响应。

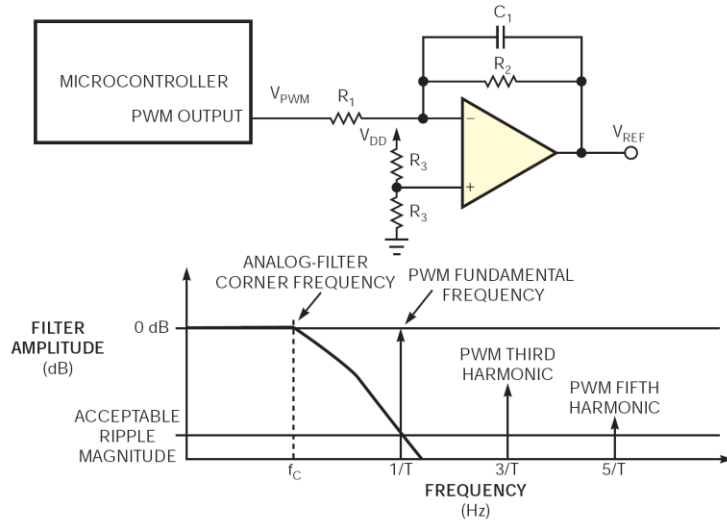


图 5-19 PWM 波形在频域等效信号

PWM 信号转换成直流信号的硬件实现：利用控制器产生 PWM 信号；PWM 经过一阶模拟低通滤波器产生 dc 电压。在 FFT 图上，发生器产生的 PWM 信号基频为 $1/T$ ， T 为 PWM 的周期；当设计模拟低通滤波器时，基频 (f_{PWM}) 和信号频率之间的过渡带宽窄是设计关键；所使用的模拟滤波器的截止频率，决定了 PWM DAC 的带宽。

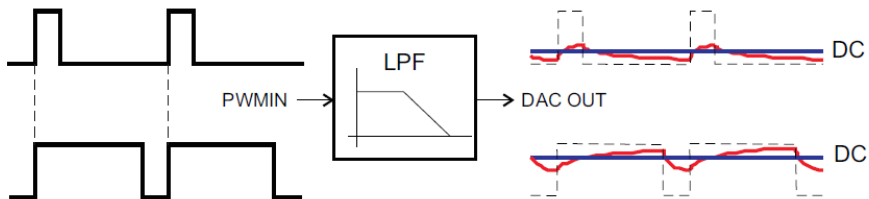


图 5-20 通过低通滤波将 PWM 信号转换为直流信号

图 5-20 给出了 PWM 信号产生直流电平的时域波形，PWM 信号通过模拟低通滤波器，会产生一个带纹波的直流电压信号。电压纹波的形成是由于滤波电容的充电（在 PWM ON 期间）和放电（在 PWM OFF 期间）。这就是最基本的 PWM 产生直流电平的原理。

用 PWM 信号产生模拟电平的另一好处是可以利用数字方法传输模拟信号，从而在需要隔离的地方使用数字隔离器件，毕竟数字隔离器件比模拟隔离器便宜了许多。

5.1.5.1 PWM DAC 的性能参数

本节将讨论影响 PWM DAC 分辨率的参数以及这些参数间的关系，以便获得更好性能的 PWM DAC。其中最为关键的两个设计要素是占空比分辨率和低通滤波器设计。

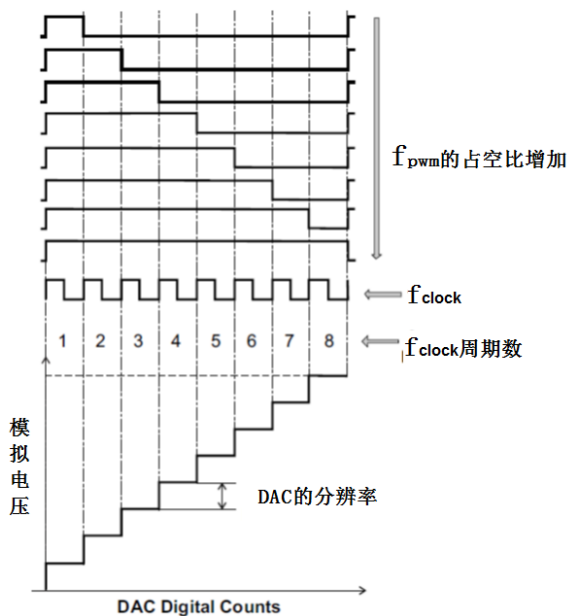
1. 占空比分辨率

首先，DAC 分辨率是指 DAC 的数字模块加 1 时，模拟电压输出的最小增长单位。在 PWM DAC 中，可理解为占空比的最小时间单位加 1 时，模拟输出的最小增长单位。因此就 PWM DAC 而言，PWM 占空比的分辨率直接影响 DAC 的分辨率。

用 f_{pwm} 表示输入到低通滤波器的 PWM 信号频率，该频率信号可使用 MCU 的定时器模块产生。 f_{clock} 表示定时器所用时钟源的频率，即让定时/计数器模块加 1 的时间间隔。 N 为 PWM 占空比分辨率，用比特位表示。 f_{pwm} 、 f_{clock} 和 PWM DAC 占空比分辨率的关系如下：

$$2^N = \frac{f_{clock}}{f_{pwm}} = \text{PWM 占空比的步数} = \text{DAC 的输出电平数}$$

下面将举一个简单的例子。



如图所示，在一个 f_{pwm} 周期里，有 8 个 f_{clock} 周期， $f_{clock} = 8 \times f_{pwm}$ 。因此，PWM 的占空比可以有 8 种变化，如上图的上半部分表示的 8 种变化。而 PWM 的占空比直接影响 DAC 的电压输出，可得出 DAC 的电平输出可以有 8 种变化（ $8=2^3$ ），即分辨率为 3bits。

根据式子 $2^N = \frac{f_{clock}}{f_{pwm}}$ ，要增加 PWM DAC 的分辨率，要么提高 f_{clock} ，要么降低 f_{pwm} 。

结合后端的低通滤波电路考虑，更高的 f_{pwm} 频率可以降低滤波电路的复杂度。高阶的滤波器需要更多的外围器件，这会增加系统的成本和空间。降低低通滤波器的阶数，会影响 DAC 的带宽。综上，为获得更高 f_{pwm} 占空比分辨率的限制因素是 PWM 信号的时钟源 f_{clock} 。

拥有常规定时器模块（TimerA 或 TimerB）的 MSP430 单片机的 f_{clock} 最大为系统的时钟频率（F2xx 为 16MHz，F5xx/F6xx 为 25MHz）；而拥有 TimerD 模块的 MSP430 单片机的 PWM 信号时钟源 f_{clock} 高达 256MHz，这使得在给定的 f_{pwm} 频率下，能提供更高的分辨率。

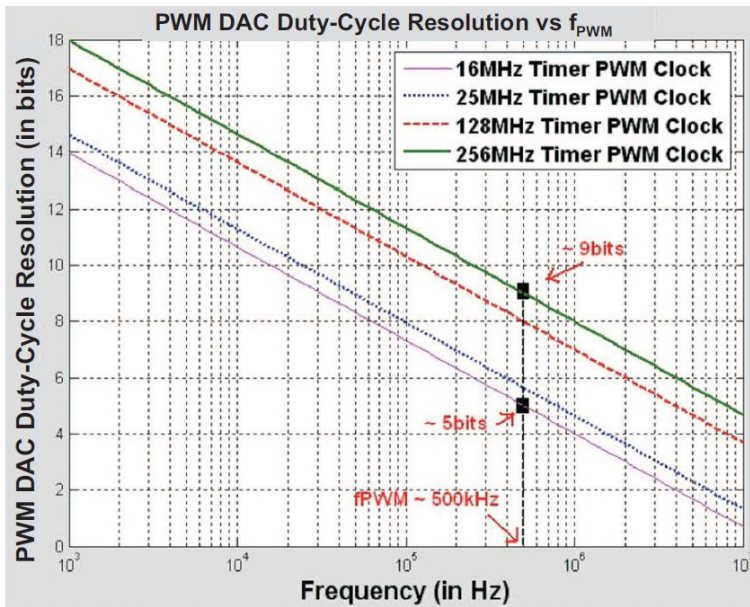


图 5-21 PWM DAC 占空比分辨率和 f_{pwm} 的关系

从图 5-21 中可以看出，给予给定的 f_{clock} （图中 4 条直线任选一条）， f_{pwm} 频率越高，能够完成的 DAC 分辨率越低。

为获取更高占空比分辨率的 DAC，可以通过提高 f_{clock} 的频率来完成。拥有 TimerD 模块的 MSP430 设备，通过高分辨率定时器可以产生 256MHz 的频率 f_{clock} 。如图，给予给定的 PWM 频率， $f_{pwm}=500\text{kHz}$ ， $f_{clock}=16\text{MHz}$ →DAC 的占空比分辨率为 5bits；而 $f_{clock}=256\text{MHz}$ ，DAC 占空比分辨率可达 9bits。

2. 谐波失真和电压输出的不确定度

上节描述的占空比分辨率，是影响 PWM DAC 分辨率的一个重要因素。另一个影响因素是低通滤波器未完全滤波而造成的谐波失真。谐波是某一基波频率的整数倍，就 PWM DAC 而言，谐波是 f_{pwm} 频率的整数倍。

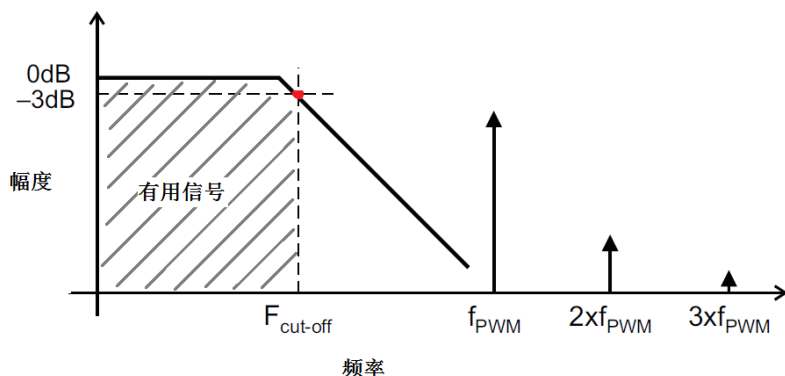
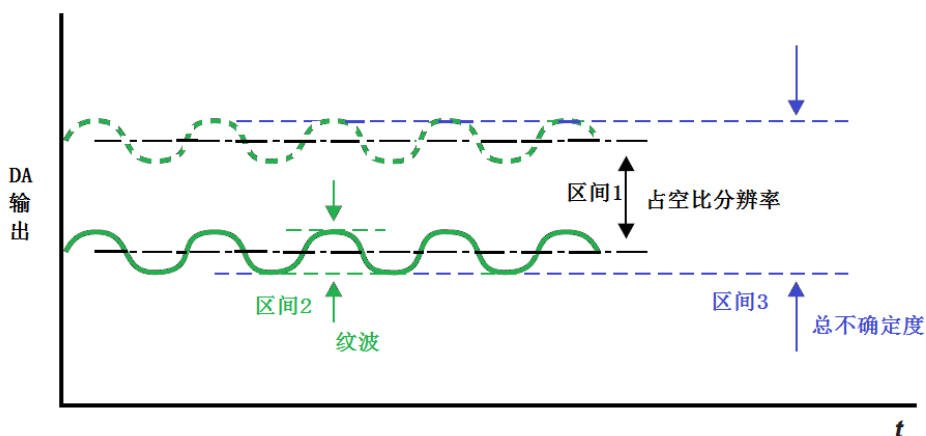


图 5-22 低通滤波器幅频特性

实际低通滤波器的幅频特性如图 5-22 所示，-3db 点对应的频率为截止频率 $F_{cut-off}$ ，截止频率左侧的阴影部分为我们所需要的有用信号可以出现的位置，即 PWM DAC 的带宽。当 PWM 的占空比保持恒定时，滤波得到的是一直流信号，出现在上图中的横轴 0 坐标处；当 PWM 的占空比以频率小于 $F_{cut-off}$ 的正弦波规律变化时，滤波得到的是一正弦信号，出现在上图中的阴影范围中。从图中可以看出，要减小谐波等无用信号，可以加大滤波器的衰减斜率（减小滤波器的过渡带），或者降低模拟滤波器的截止频率，也可以增大 f_{pwm} 的频率。

要使滤波器的过渡带变窄，需要使用更加复杂的高阶滤波器，这个会增加系统的成本。降低滤波器的截止频率意味着减小 DAC 或信号的带宽。增大 f_{pwm} 的频率会影响 PWM DAC 的占空比分辨率。

综上所述，占空比分辨率决定了 DAC 的输出电压在某一范围内是一个定值，如图中的区间 1。由于谐波而造成的纹波（图中的区间 2）会叠加在该输出上。占空比分辨率和谐波波动一起构成了 PWM DAC 输出的总不确定度（图中的区间 3）。



PWM DAC 的输出—总不确定度

5.1.5.2 模拟滤波器设计

PWM DAC 的性能，很大程度上依赖于模拟低通滤波器的选择和设计。DAC 的输出是将 f_{pwm} 载波频率通过模拟低通滤波器过滤后得到的稳定的模拟电压。相对于有源滤波器，无源滤波器具有低成本、设计简易、稳定性也有保证。因此，本节仅讨论使用无源滤波器，一阶 RC 低通滤波器和二阶 RC 低通滤波器的电路结构如下图。

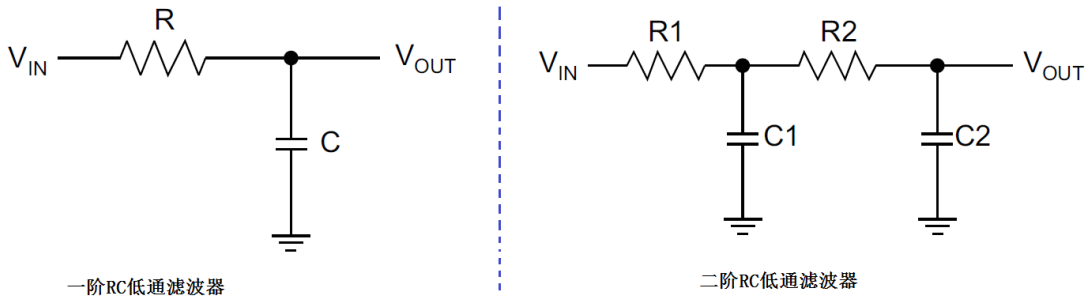


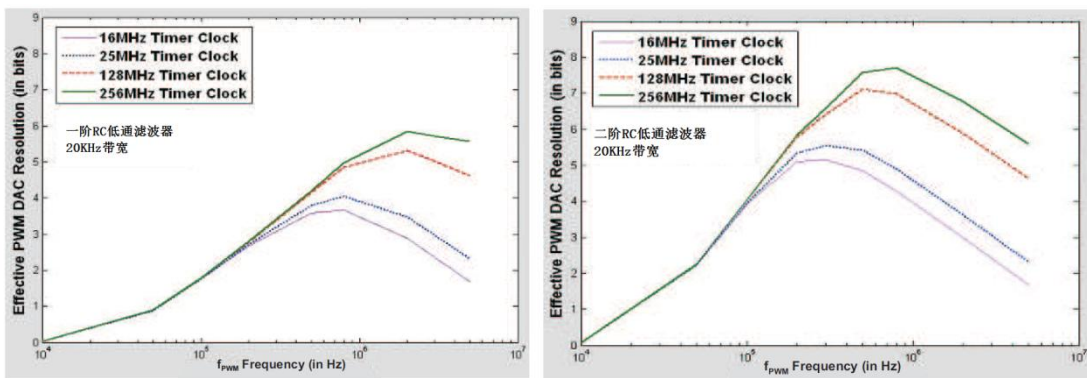
图 5-23 一阶 RC 低通滤波器和二阶 RC 低通滤波器

结合元器件的实际参数，我们比较下实际应用中一阶、二阶 RC 低通滤波器的性能表现，两者的带宽均设计为 20KHz:

一阶 RC 低通滤波器的参数选择: $R=1.69k\Omega$, $C=4.7nF$; $\Rightarrow BW = 20KHz$;

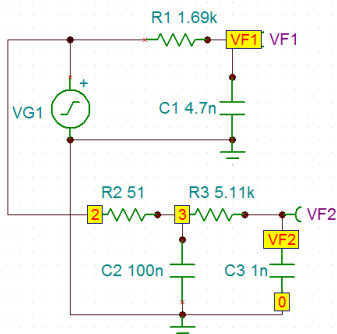
二阶 RC 低通滤波器参数选择: $R1=51\Omega$, $R2=5.11k\Omega$, $C1=100nF$, $C2=1nF$; $\Rightarrow BW = 20KHz$;

将 MSP430 产生 3Vp-p 和 50%占空比的 PWM 信号，输入到以上两种滤波器，分析 DAC 的输出。对于 4 种 f_{clock} (16MHz/25MHz/128MHz/256MHz)，每种 f_{clock} 对应 f_{pwm} 从 10kHz 到 5MHz 进行变化时 PWM DAC 的有效分辨率曲线如下图所示。

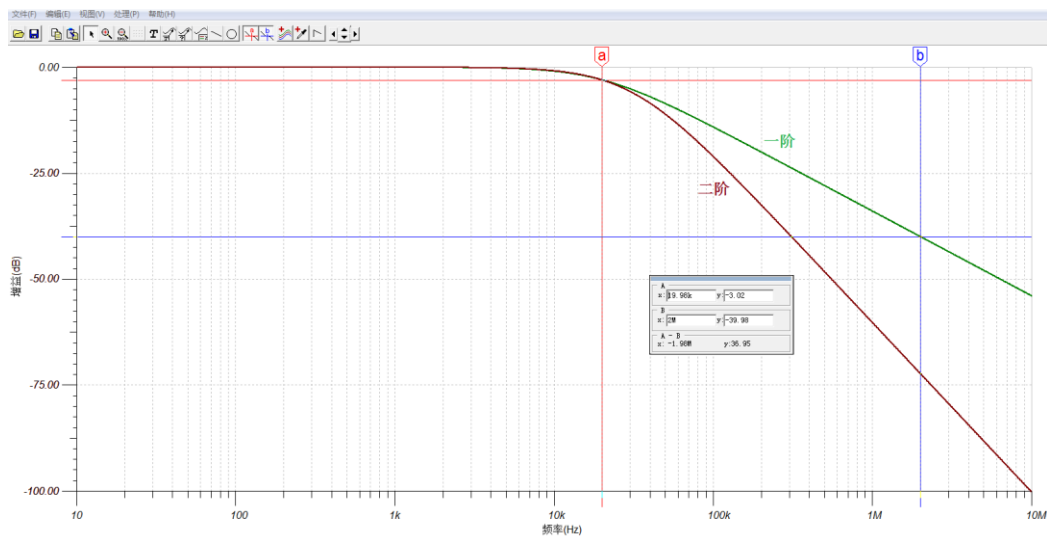


从上面两图我们可以看到，在给定截止频率和阶数的滤波器下，随着 PWM 的基频升高，等效 DAC 的分辨率升高，这是由于该滤波器对频率越高的 PWM 基频滤波效果越好；而转折点发生在 1MHz 左右，这时开始 PWM 的占空比分辨率对等效 DAC 的精度开始占据主导地位：PWM 的基频越高，在给定 Timer 主频的条件下，占空比分辨率越低。

对比左右两图，我们可以看到，带宽同样是 20KHz 的低通滤波器，为什么二阶比一阶获得的效果好得多？因为二阶滤波器的过渡带比一阶滤波器的过渡带更窄，可以更大程度地衰减 PWM 的基频和谐波分量。这个可以借助 TI 的仿真工具 Tina-TI 来分析。



在 Tina-TI 中放置如上图所示的元器件并设置相应的参数，选择“分析/交流分析/交流传输特性”，可以分析 RC 滤波器的传输特性，如下图所示，两个滤波器在 20KHz 处的截止频率处均提供了 -3dB 的衰减，而一阶低通滤波器的下降率为 -20dB/10 倍频程，所以在 2 个 10 倍频程的 2MHz 处，总共能提供约 40dB 的衰减；而二阶 RC 滤波器的下降率能达到 -40dB/10 倍频程，所以在 2MHz 处，能提供约 80dB 的衰减；从而能把 PWM 的基频和谐波滤得更加干净。



5.1.6 DAC 应用场景总结

从前文对几种 ADC 的结构和特点分析，我们不难发现 这几种 DAC 在转换时间以及分辨率上各有优势，如图 5-24 所示。其中 $\Delta \Sigma$ 型 DAC 有高转换精度的优点，但相对建立时间较长，一般常用在对精度要求高，但时间要求不高的场合，常见的音频用 DAC 为 $\Delta \Sigma$ 结构；电阻串型以及 R-2R 型 DAC 的建立时间一般在 us 级别，其中电阻串型相对比较便宜，R-2R 型更为精确；电流驱动型 DAC 因其建立时间短的优势，适合于高速应用场合。

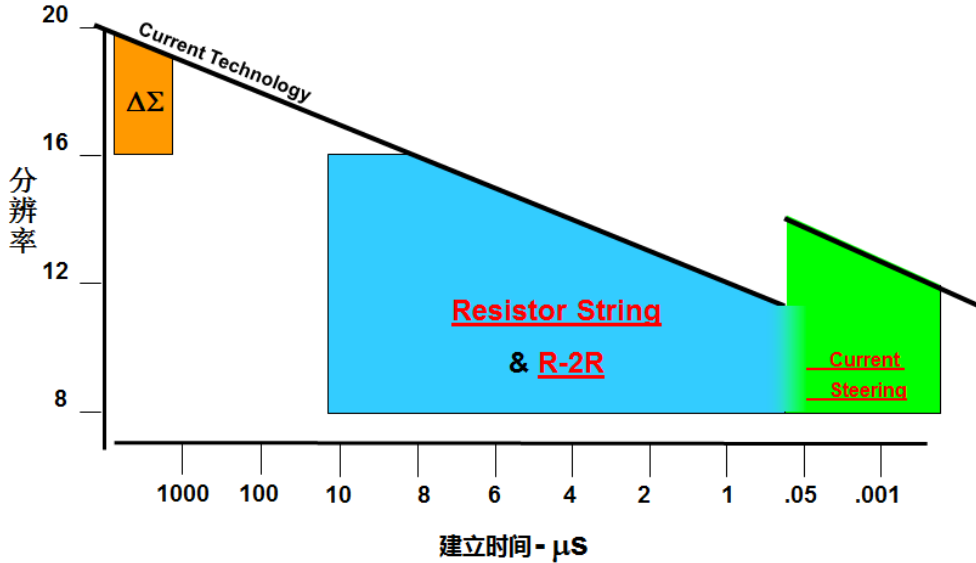


图 5-24 $\Delta \Sigma$ DAC，电阻串型 DAC 以及电流引导型 DAC 建立时间和分辨率对比

根据不同 DAC 性能的特点，在不同的应用场合应选择不同的 DAC。

应用场景	传感器信号	检测与测量	音频	通信，图像
信号分类	温度，湿度，压力，电压，电流等	工业探伤，震动检测，电机控制等	交流信号	宽带，高速
信号特点	小信号，变化慢，DC 为主	瞬时采样，DC-KHz 信号	20-20KHz，宽动态范围，低失真度	MHz 信号，大带宽，宽动态范围
$\Delta \Sigma$ 型 DAC			+++	-
电阻串/R-2R 型 DAC	+++	+++	+++	-
电流驱动型 DAC				+++

5.2 DAC 选型与电路设计

在设计 DAC 时，我们可以参考下面的指标：

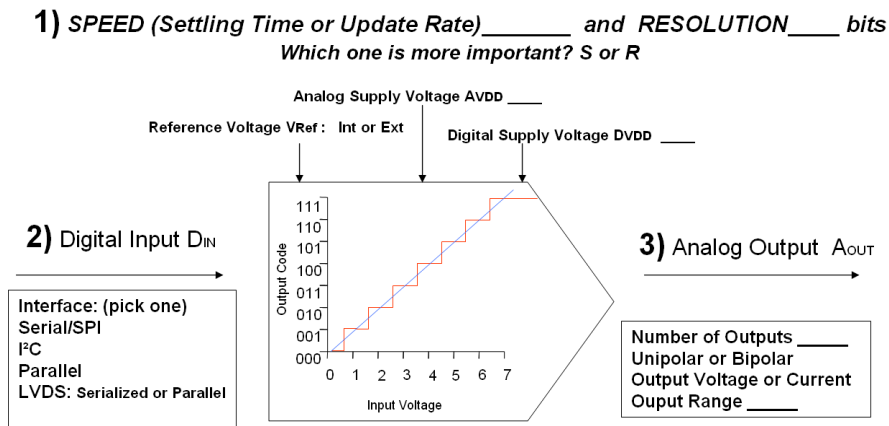


图 5-25 DAC 选型参考对照图

这张图和之前 ADC 选型时的图非常类似，其实 ADC 和 DAC 是两个对称相反的过程：对于 DAC 的输入——数字信号，对应着 ADC 的输出，所以我们需要关心数字信号的输入方式，即接口；DAC 的模拟输出则对应着 ADC 的模拟输入，需要考虑单极性、双极性、单端和差分、多通道等特性；和驱动 ADC 的输入一样，在 DAC 之后也必须放置一个低通滤波器来消除高次谐波，这对 DAC 来说有一个专用的名称，叫做重建滤波器。

5.2.1 确定所需 DAC 的类型

在前面的应用场景中已经对各种不同结构的 DAC 对应的应用场景做了简单的介绍。

一般来所，在高精度控制回路应用中，DAC 多采用 R-2R MDAC。这种结构能完成高电压输出。MDAC 厂商能设计高精度（16-bit）的器件，达到 1LSB 积分非线性和微分非线性误差。MDAC 还要求外置一只快速建立时间（小于 0.3 微秒）、乘法带宽（multiplying bandwidth）大于 10MHz、电流输入电压输出的运算放大器。

反向 R2R DAC 最适合工业应用。在反向 R2R DAC 中，每个单刀双掷开关控制 2R 支路连接到 V_{ref-h} ，或是 V_{ref-l} 。这种结构生产工艺相对简单。R2R 结构具有一条并行数据输入总线。对于带有串行接口器件而言，在 DAC 进行数据转换之前，使用内部串并寄存器，进行串并转换。在很多情况下，各个开关的切换时序歪斜（不同步）都表现为 DAC 的输出端毛刺。反向 R2R DAC 和 MDAC 一样，通常具有出色的低噪声、INL 以及 DNL 性能，而且具有不错的建立时间。

电阻串 DAC 适用于便携式仪表、闭环伺服控制、过程控制和数据采集系统。电阻串 DAC 可确保在整个输入编码范围内的模拟输出的单调性 (monotonicity)，不错的 DNL 性能和非常低的功耗。这种 DAC 产生的毛刺干扰通常要低于其他类型的 DAC。但是，INL 性能取决于电阻阵列匹配，并受芯片布局影响较大；而且电阻串 DAC 的噪声也取决于电阻串阵列的热噪声，而且噪声相对较高（因为较 R-2R 型 DAC 而言，电阻串 DAC 的电阻数量较多）。

5.2.2 确定所需的分辨率和建立时间

DAC 的刷新速度和建立时间和 ADC 的采样速度和建立时间有相近的含义。对于刷新速度（或采样速度） F_s 来说，在产生（或采集）交流信号 F 时是非常重要的指标， F_s 必须高于两倍的 F ，否则无法重建信号。这一点大家都很好理解，并且也得到足够多的重视。

建立时间在直流测量中是一个非常重要的指标，对于 ADC 来说，对采样保持器上的电容充电到期望精度需要一定的时间，如果建立时间大于采样时间，那么得不到真正准确的结果；对于 DAC 来说，缓冲运放的输出达到期望精度也是需要时间的，如果在信号建立到期望精度之前就被后端系统获取，可能会产生误动作；对于多通道系统来说，在各个通道间切换的时候可能会产生阶跃信号，阶跃信号稳定到期望的精度上也需要一定的时间。对于这三种情况来说，我们都可以看作是阶跃信号的稳定：

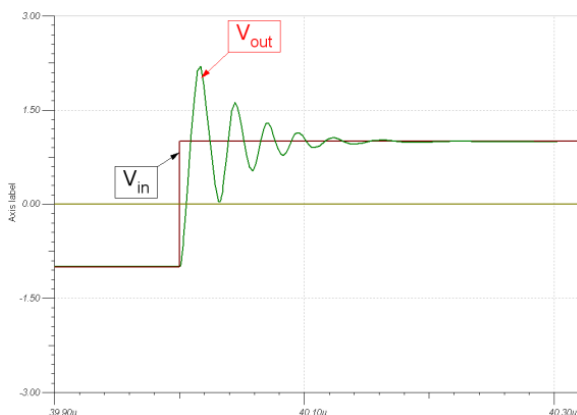


图 5-26 建立时间与稳定有效信号输出

如图 5-26 所示，当输入或输出信号发生跳变时（比如 ADC 开始一个新的采样周期或 DAC 的数字输入改变），信号需要一定时间才能稳定到所需的精度上（指定了稳定精度的建立时间才有意义，比如定义输出达到输入 99.999%所需的时间为建立时间才是有效的）。因此，对于关注于直流精度，通常用来产生控制电平电阻串型 DAC 来说，建立时间常常在数据手册中比刷新速率占据更重要的位置。

5.2.3 选择并设计 DAC 的模拟输出端

同样的，使用 DAC 时，也需要小心设计它们的模拟接口。

DAC 的模拟输出可能是电压或电流，如果对电压输出进行了缓冲，则输出阻抗将很低。而电流输出和未缓冲的电压输出将存在较高的阻抗，并还可能具有电抗性分量以及纯粹的电阻性分量。在有些 DAC 架构的输出结构中，输出阻抗与 DAC 上的数字码字成函数关系。

理论上，电流输出应当连接到电阻为零欧姆的地电位。在实际应用中，该输出将采用非零阻抗和电压。适合视频、RF 或 IF 应用的大多数高速 DAC 具有电流输出，旨在直接驱动源和负载端接电缆。例如，20-mA 电流输出 DAC 可以在 25Ω 负载（相当于 50Ω 源和负载端接电缆的直流电阻）上产生 0.5V 的电压。

差分输出可以直接驱动变压器的初级绕组，并且通过将输出绕组的一侧接地，可以在次级绕组处产生单端信号。与简单地从 DAC 电流输出之一直接获取输出信号并将其他输出接地相比，这种方法通常可以在高频率下获得更加失真性能。现代电流输出 DAC 通常具有数个差分输出，以便实现高共模抑制并减少偶数阶失真产物。常见的满量程输出电压范围为 2mA 至 30mA。

在许多应用中，需要将 DAC 的差分输出转换成适合驱动同轴线路的单端信号。可用高速运放（可参考应用笔记 SLAA135），也可用变压器设计模拟输出接口，最后在单端信号输出端进行滤波。

变压器不仅用于将差分输出转换成单端信号，而且还将 DAC 的输出与 LC 滤波器的抗性负载隔离开来，因而可以改善整体失真性能（更多这方面的设计要点可参考应用笔记 SLAA399）。如图 5-27 所示，即为文档中讲解的在 DAC5672/5674 中采用 1:1 变压器耦合将前级差分输出转换为加载在负载上的单端信号。

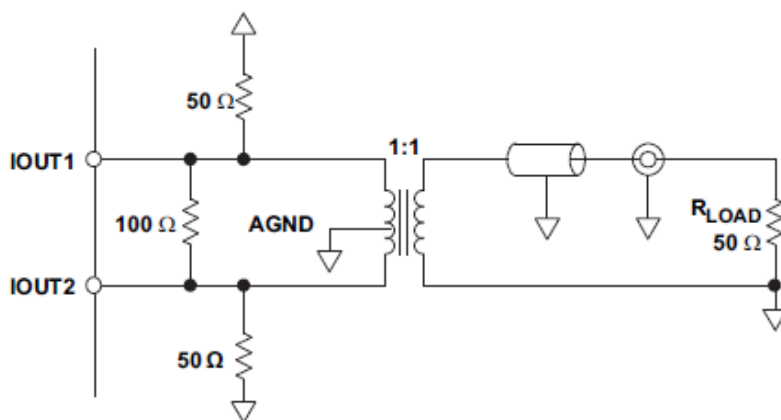


图 5-27 变压器耦合驱动 50Ω 线缆

5.2.4 选择并设计 DAC 的参考电压输入端

DAC 中参考电压输入也要特别注意，基准电压电路的选择和设计可以参考 ADC 部分。

5.2.5 选择并设计高速 DAC 的时钟

在时钟接口方面，和 ADC 类似，若想得到好的本底噪声和 SNR。请用高质量时钟来驱动它们。

5.2.6 DAC 的数据输入

DAC 的数字编码输入方法也和 ADC 类似，低速高精度的 DAC 通常采用 SPI/I2C 方式串行控制，当刷新率上升到 MSPS 时，并行 DAC 开始出现，这一类 DAC 通常用来完成波形发生等工作。SPI 接口部分可以参考 ADC 3.3.6.1 章节，I2C 原理部分可参考 ADC 3.3.6.2 章节。

这里以 DAC8571 为例介绍具有 I2C 通讯接口的 DAC 的数字输入方式。DAC8571 是一款 16 位，低功耗，电压输出 I2C 接口电阻串型 DAC。一般应用在过程控制，数据采集系统，闭环伺服控制以及便携式仪表等场合。

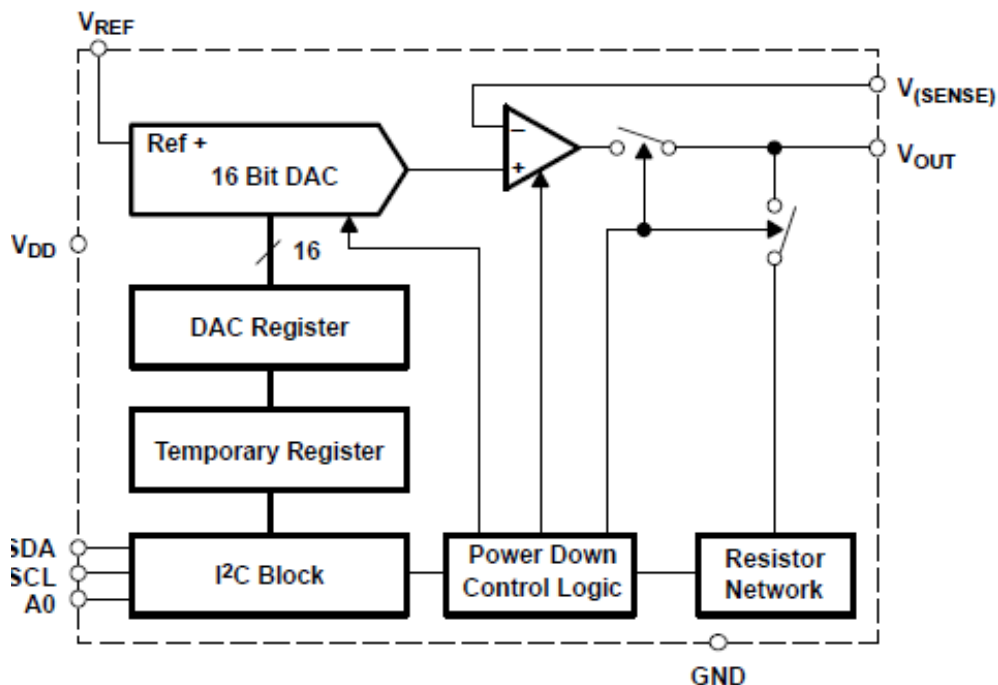


图 5-28 DAC8571 内部框架图及引脚

上位机通过 I2C 接口向 DAC8571 输入指令以及数据。DAC8571 支持 I2C 的 3 种模式：标准（100kbps），快速（400kbps）和高速（3.4Mbps）。我们知道 I2C 为一个两线，开路的接口，利用 I2C 接口，开发者可以在一条总线上实现多个主从设备间的通讯。在前面的基本原理中已经提及，在 I2C 的应用中，总线通过上拉电阻连接到高电平，所以连接在总线上的设备占用总线的唯一方式为将电平拉低。从图 5-28 中可以看出 DAC8571 的两个引脚：SDA 和 SCL 用于 I2C 通讯，分别传输数据和时钟。

首先，我们来看在 DAC8571 中是如何利用 SDA 和 SCL 两条线进行通讯。在 I2C 总线上传输的数据以 8 个比特为单位进行。SDA 的高低电平分别表示传输比特 1 或比特 0，这些传输都是在 SCL 在低电平下进行。当一个比特数据传输完成后，SCL 置为高电平，然后再拉低，进行接下来的比特数据的传输。SCL 上电平的脉冲时间内实现了 SDA 数据转移到移位寄存器中。注意当 I2C 总线无响应时间超过 25ms，为超时表现。如图 5-29 所示，可以看到在 SCL 低电平时（t_{LOW}），SDA 线上实现了数据的保持和配置。

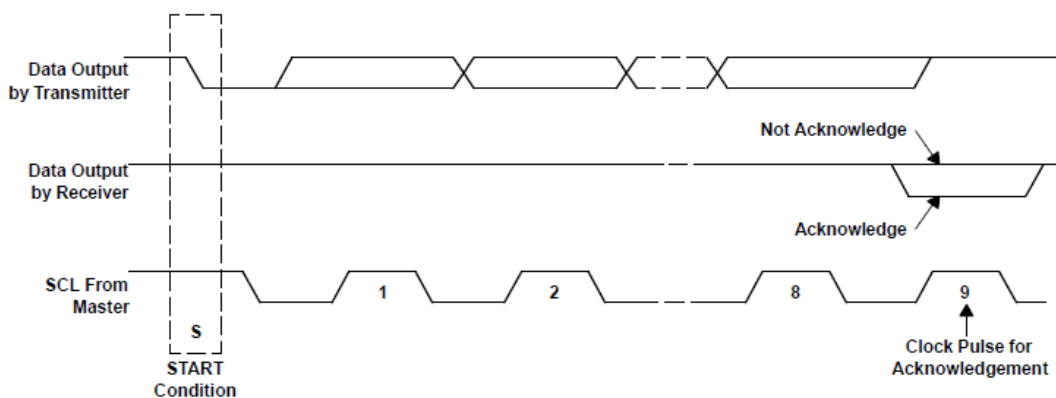


图 5-29 DAC8571 中 I2C 时序图

DAC8571 在 I2C 通讯中处于从设备的位置，一般情况下作为接收方，但是，在某些情况下，例如主机希望得到 DAC 的一些寄存器信息，DAC 则用于数据发送。因而 SDA 则既可以向主设备发送数据，同时也可以从主设备处接受数据。I2C 通讯的开始以一个 START 信号开始，注意只有主设备可以主动发起通讯。区分于数据传输，当时钟信号为高电平时，数据线从高电平变为低电平，表明发送了一个 START 信号；同样，如果此时数据线是从低电平变为高电平，则表明发送了一个 STOP 信号。

当主设备，这里可以是一个集成有 I2C 外设的 MSP430，例如 MSP430G2553，发起了 START 信号，与之相连的 DAC8571 会进入相应的准备阶段。随后在 SDA 数据线上会传输一串 01 信号。根据 I2C 协议，首先是地址字节。这是因为在 I2C 中可以有多个从设备，而这些不同的从设备会以不同的地址加以区分。

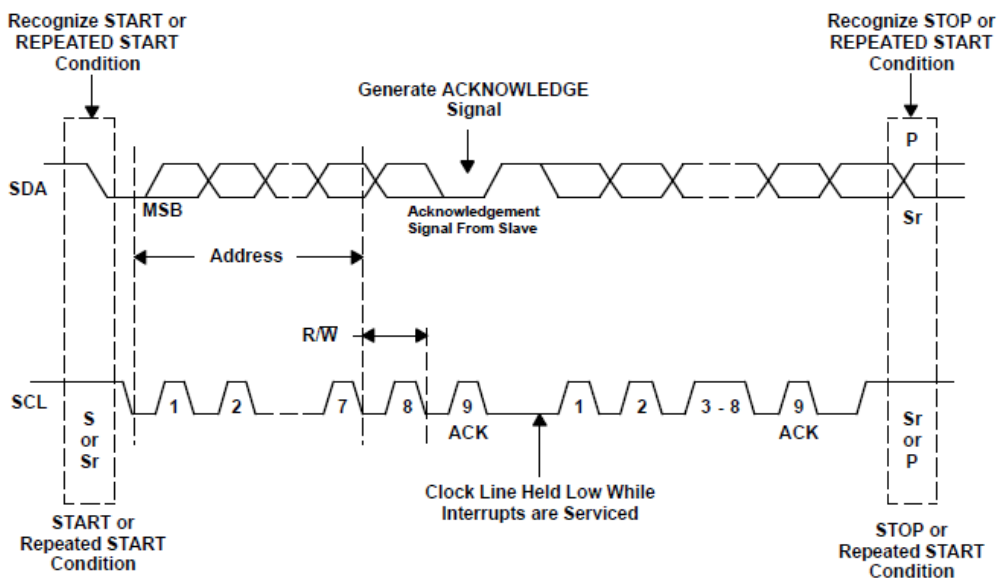


图 5-30 DAC8571 数据传输时序图

在 DAC8571 中，如何标志本芯片的地址呢？在图 5-28 中 I2C 接口模块看到有一个 A0 引脚，这个引脚为地址引脚，可以通过它来配置 ADC 的地址。这样，其实可以理解 ADS7924 会有两个不同的地址，一个是将 A0 接高电平，一个是将 A0 接低电平。从图 5-31 中看到，设备地址是由 7 个比特进行标记，这样与 I2C 通讯的最小单位 8 比特还差一位，剩余的一位用于标志主设备是对从设备进行读操作还是写操作。

MSB							LSB
1	0	0	1	1	A0	0	R/W

图 5-31 DAC8571 设备地址

在传输或者读取数据之前，会从从设备出接受一个响应信号（acknowledge bit）。具体地说，当主设备发送了从设备的地址之后，对应的从设备接收到通信信息，此时，主设备会放弃对 SDA 的控制，而是等待从设备发送响应信号。所以在对 ADC 输出进行测试时，我们会在 SDA 引脚上看到电平拉低的现象，如果主设备发送地址字节之后，SDA 线一直保持高电平状态，表明本次通讯请求失败。在主从设备确认后，会进入数据传输的过程。

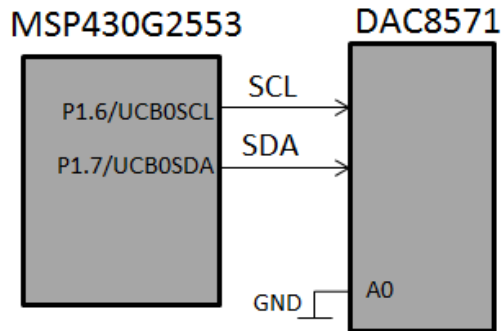


图 5-32 DAC8571 与 MSP430G2553 接口示意图

如图 5-32 所示为使用 MSP430G2553 作为上位机控制 DAC8571 的电路连接示意图。如下所示的程序实现了 MSP430 输入控制 DAC 输出一段正弦波形：

```

WDTCTL = WDTPW + WDTHOLD;           // 关闭看门狗
P1SEL |= BIT6 + BIT7;                // 配置MSP430的I2C接口
P1SEL2 |= BIT6 + BIT7;              //
UCB0CTL1 |= UCSWRST;                 //
UCB0CTL0 = UCMST + UCMODE_3 + UCSYNC; // 配置MSP430为主机
UCB0CTL1 = UCSSEL_2 + UCSWRST;      // 配置主机时钟
UCB0BR0 = 12;                        // fSCL = SMCLK/12 = ~100kHz
UCB0BR1 = 0;
UCB0I2CSA = 0x4c;                    // 配置从机地址
UCB0CTL1 &= ~UCSWRST;                //
IE2 |= UCB0TXIE;                     //
UCB0CTL1 |= UCTR + UCTXSTT;          // 配置MSP430为发送开始状态
UCB0TXBUF = 0x010;                   // 写入DAC控制字
...
...

// USCI_B0 中断
#pragma vector = USCIAB0TX_VECTOR
__interrupt void USCIAB0TX_ISR(void)
{
    static unsigned char ByteCtr;

    UCB0TXBUF = Sine_Tab[ByteCtr++];  // Sine_Tab数组里对应存放正弦
波数据
    ByteCtr &= 0x1f;                 //
}

```

和前面 SPI 方式类似，使用 MSP430 内部的串口通讯模块控制 ADC/DAC 十分简单，只需要在初始化的时候对通讯模块进行合理的配置。按照 I2C 通讯协议进行通讯即可。

使用 MSP430 作为微控制器与 DAC8571 通讯时有几点需要注意：

1. 在上面的程序中，似乎没有发送从机地址的语句，甚至也找不到 I2C 协议中说的 START 信号，是不是程序写错了？答案显然是否定的。和软件模拟 I2C 不一样，硬件 I2C 在对寄存器做配置之后由一些工作是自动完成的。在程序中对 UCB0CTL1 寄存器的配置中已经将 MSP430 配置为主机，同时在 UCB0CTL2CSA 中写入了从机的地址，这样将 UCTXSTT 这个发送开始信号写入相应的寄存器后，外设会自送生成 I2C 协议开始的时序，发送开始信号以及从机地址，等待 Acknowledge 回应。同样，通讯的停止也是通过向控制寄存器中写入停止位实现的。

2. 再有就是从机的地址问题。在本例将 DAC8571 的 A0 引脚接地，对应图 5-31，可知此时 DAC 的地址为 1001 100x，其中最后一位 x 为读写位。这时对照程序，似乎又有疑问了，此时的地址似乎应该为 0x98，和程序中的 0x4c 不符合。实际上，由于控制寄存器中对发送还是接收进行了定义，也就是说对于设备此时的读写状态已经通过这个控制字固定了，意味着对当前主设备读/写状态已经明确，所以不需要用户自己添加 R/W 位。在写入从设备地址时只需真实地写入地址位，但注意的是空出的一位为 MSB，从图 5-33 中可以更为清楚地看出两者之间的对应关系。另外还需要注意的是在 MSP430G2553 中同时支持 7 位从设备地址和 10 位从设备地址，在对寄存器配置时首先选择从设备地址模式。

DAC8571 地址		1	0	0	1	1	0	0	R/W
MSP430 中从机地址	0	1	0	0	1	1	0	0	
UCB0I2CSA=0x	4				C				

图 5-33 Datasheet 中的地址位和 MSP430 配置时地址位对应关系

第六章 低噪声精密电路的设计与优化

6.1 精密信号链中的噪声抑制

在这部分将结合一个实际案例来看精密信号链中的噪声问题，以及如何来解决与抑制信号链中的噪声问题。

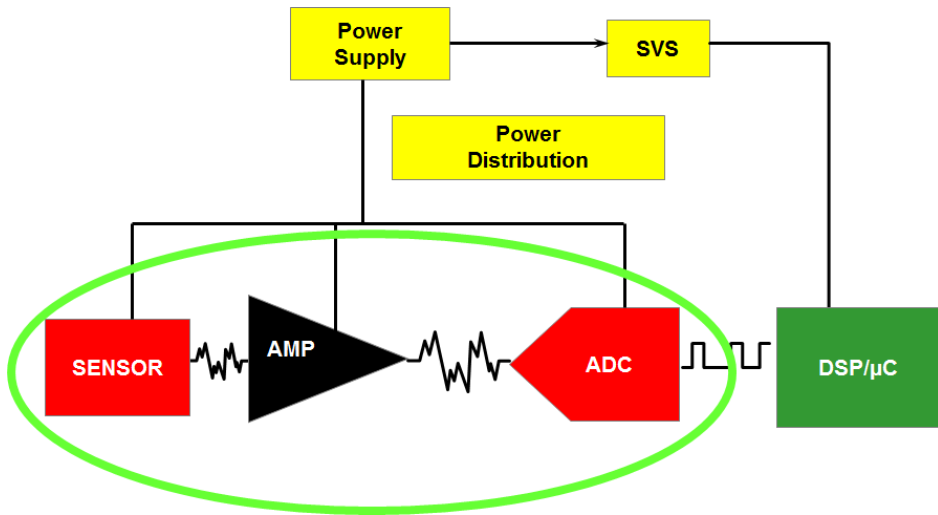


图 6-1 信号链示意图

如图 6-1 所示，为采集系统中常见的一个模拟信号链路。图中左边为一个传感器采集各种模拟信号，在此之后为一个放大电路，放大调理后的信号被送入到一个 ADC，实现了模拟信号到数字信号的转换。转换后的数字信号输出被送入处理器，如 MSP430 进行后续的处理。此外，一个完整的系统还会包括电源系统。考察系统噪声，系统中的每个部分，包括电源，甚至处理器的合理设计都会对系统噪声起到很好的抑制作用。在本章节，我们主要围绕数据转换器的前后环节，即图中被圈出的部分，对噪声进行讨论。电源噪声抑制可以参考电源部分。

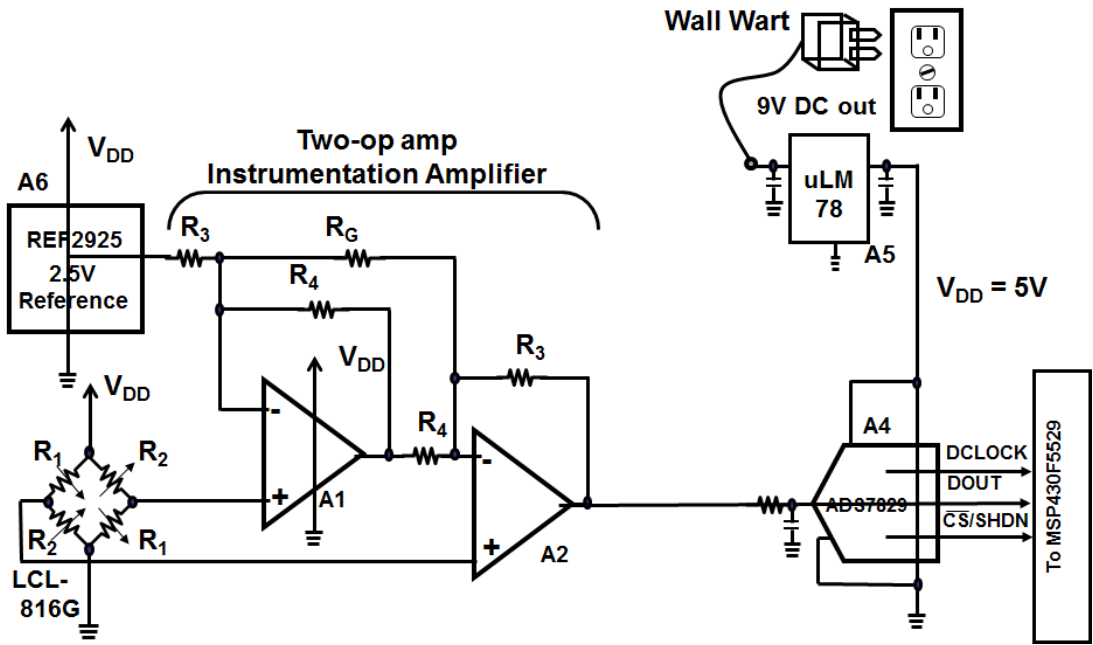



图 6-2 信号采集原理图

如本书开篇所描述，在现实世界中，我们听到的或看到的都是模拟的。各种类型的传感器是我们很容易能够将这些模拟信号转换为模拟电压或电流信号，这样数据转换器就可以将模拟信号转换为数字信号，从而使得处理器可以进行后续的处理。


图 6-2 所示为一个负载单元电路。左侧 LCL-816G 负载单元为一个电阻桥传感器，需要电源激励，电源电路部分提供 5V 的直流电压，当 5V 激励电压加在传感器上，其最大负载为 900g，此时满刻度的输出为 ±10mV 的差分信号。输出的信号被仪表放大器放大，电路中仪表放大器由两个运算放大器（图中 A1 和 A2）以及外围的电阻构成。其中，电阻值分别为：

电阻	阻值 (Ω)
R3	400k
R4	100k
R _G	5.33k

图中的差分放大为经典的双运放构成的放大电路，不妨选择单电源供电双通道 CMOS 运放 OPA2337。经计算可以发现放大电路增益约为 153V/V。这个增益范围在仪表放大器满量程放大范围内，不会造成饱和，同时也满足 AD 转换的量程。通过 SPI 或其他接口，处理器可以获取 ADC 转换的结果，进行后续的校准及其他处理。ADC 转换则初步选择为 ADS7829,12 位的 SAR 型数据转换器。



Burr-Brown Products
from Texas Instruments



OPA337, OPA2337
OPA338, OPA2338

SBOS077B - JUNE 1997 - REVISED MARCH 2005

MicroSIZE, Single-Supply
CMOS OPERATIONAL AMPLIFIERS
MicroAmplifier™ Series

FEATURES

- *MicroSIZE* PACKAGES: SOT23-5, SOT23-8
- SINGLE-SUPPLY OPERATION
- RAIL-TO-RAIL OUTPUT SWING
- FET-INPUT: $I_B = 10\text{pA max}$
- HIGH SPEED:
OPA337: 3MHz, $1.2\text{V}/\mu\text{s}$ ($G = 1$)
OPA338: 12.5MHz, $4.6\text{V}/\mu\text{s}$ ($G = 5$)
- OPERATION FROM 2.5V to 5.5V
- HIGH OPEN-LOOP GAIN: 120dB
- LOW QUIESCENT CURRENT: $525\mu\text{A}/\text{amp}$
- SINGLE AND DUAL VERSIONS

APPLICATIONS

- BATTERY-POWERED INSTRUMENTS
- PHOTODIODE PRE-AMPS
- MEDICAL INSTRUMENTS
- TEST EQUIPMENT
- AUDIO SYSTEMS
- DRIVING ADCs
- CONSUMER PRODUCTS

SPICE model available at www.ti.com.

图 6-3 OPA2337 基本特性

在器件选型结束后，进行 layout 的设计，如图 6-4 所示，左边为正面视图，右边为背面走线布局。

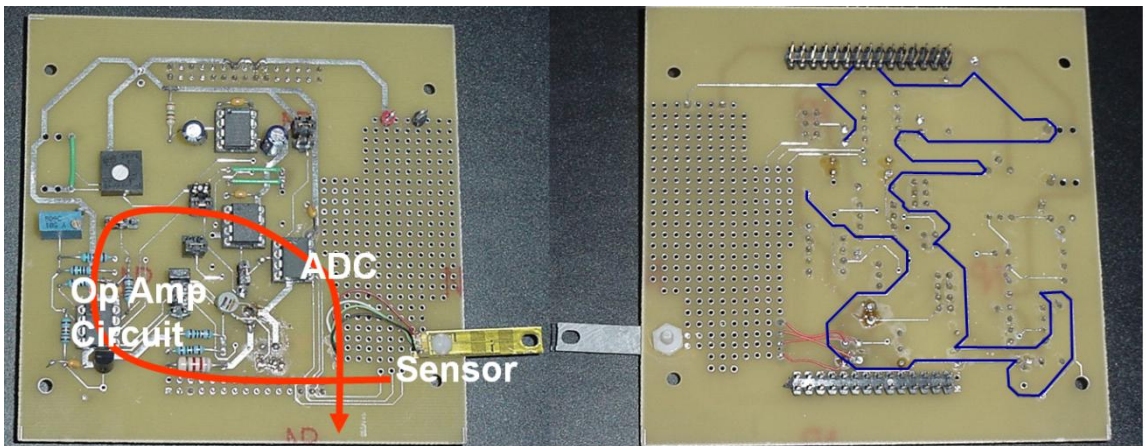


图 6-4 电路 PCB 设计

我们先来看看这样的一个系统表现如何。我们不妨检测这个系统的直流特性，即将压力传感器处在不施加压力状态，这样理论上讲进入电路中的将会是一个固定的直流量。对于 ADC 而言，其转换得到的结果应该是一个固定的值。如果我们将转换结果做一张图，横轴为转换数字信号的值，纵轴为对应数值出现的次数，理想结果应该是在某一点且仅在该点出现一个峰。那实际的结果是什么样的呢？从图 6-5 中可以看出，真实结果和我们的想象大相径

庭。图 6-5 所示为 ADC 采样后直接得到的数据。我们一共采集了 1024 个数据点，从图中可以看出，实际一共出现了 44 个不同的数据点。如何理解这 43 个噪声点对系统精度的影响？从图 6-5 中我们看到原先理论上应只出现一个采样值，现在采样值变为出现在一段范围内，这个范围即为采样结果的不确定范围，其大小为 44，那换算到二进制为 6.5 ($2^{6.5} \approx 44$)，也就是说对于这个 12 位系统，有 6.5 位是不准确的。

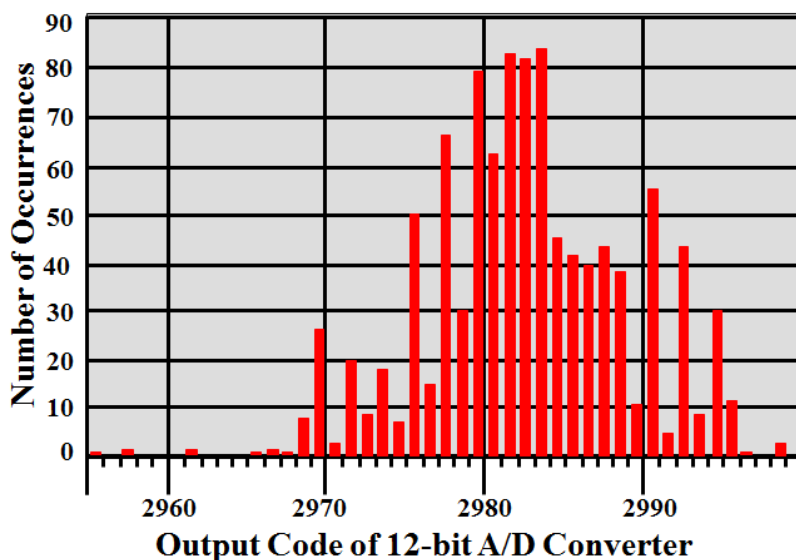


图 6-5 ADC 数据转换结果

我们回过头来看这样一个系统设计。对于一个称重系统，人们关系的是称重的范围和精度，这就是系统设计的需求。对于上述满量程为 900g 的传感器，如果我们要求最小检测精度为 0.3g，这样我们可以计算得到选用 ADC 的位数 N，至少满足：

$$\frac{0.3}{900} = \frac{1}{2^N}$$

这样，我们得到 ADC 的分辨率应至少为 11.55 位，12 位的 SAR 型 ADC 已经可以满足系统需求。而实际得到的精度远低于 ADC 的理论精度，可见噪声对系统精度的影响。下面将从噪声来源，以及电路优化这几个方面来进行讲解和分析。

6.1.1 噪声来源

首先我们来看电路中有哪些噪声，同时这些噪声从何而来。

电路包括不同的部件和芯片，所有都有可能成为噪声的来源。例如，电阻会带来热噪声，这个噪声为宽频噪声，几乎涵盖所有频率范围；运算放大器其芯片内部会产生噪声；而 ADC 产生的量化噪声相较于其他器件，对电路造成的噪声影响反而是最小的。

在 PCB 层面，在相邻走线间的信号可能会相互影响。此外，周围环境中的信号也有可能耦合进电路中，成为噪声的来源，例如常见的 50Hz 工频干扰。

此外，PCB 的布局以及走线也会很大程度上影响系统的表现和性能，这点大家应该深有体会。

从上面的描述中可以看出，噪声基本上可以分为三大类：器件噪声，辐射噪声和传导噪声。

噪声分类	噪声来源
器件噪声	板上大部分器件
辐射噪声	周围环境或板上影响
传导噪声	板上走线

• 器件噪声

器件噪声根据来源又可以分为两大类，板上的有源或无源器件都会带来器件噪声。所有的无源器件，例如电阻，电容和电感都会产生噪声。

电阻，很常见的一个元器件，我们往往会忽略它对电路产生的影响。但实际上，电阻会产生一个覆盖所有频率范围的一个固定噪声。这个噪声电压与电阻的材料无关，而是来源于热噪声。热噪声，又被称作 Johnson 噪声，是由导电材料内部的电子随机热运动产生的。这个噪声值与电阻的阻值的平方根成正比。理想的噪声，也就是最小噪声功率谱密度满足下面的计算公式：

$$V_{RN} = \sqrt{4KTR(BW)}$$

其中，K 为玻尔兹曼常量，大小为 1.38×10^{-23} ；

T 为开式温度；

R 为电阻阻值；

BW 为感兴趣的频率区间。

例如，对于 1k 的电阻，其理想噪声功率谱密度为 $4\text{nV}/\sqrt{\text{Hz}}$ 。

电容通常被用作降低或滤除系统噪声，例如供电附近的旁路电容等。但同时，我们需要注意，当用在开关电路中，由于反复充放电，电容可能会产生噪声。

对于理想电感，只有感性特点，但实际上，我们实际使用的电感会有电阻特性，以及电容特性（电感线圈之间），同样，在开关电路中，电感也非常容易产生磁场，从而给电路带来噪声。

有源器件，例如放大器，线性稳压器或 ADC 等也会通过 PCB 信号通路对电路产生影响。封装在硅片内部的各种晶体管，包括双极性三极管，场效应管，CMOS 管都会产生噪声。在放大器中，差分输入端决定了噪声的大小；在电压参考或校准中，一般在输出端测量噪声的大小；对于开关电源来讲，由于在电感通路上的开关特性，从而有自己一套噪声测量方法。

像运放，仪表放大器等这些纯模拟器件的噪声通常表现为电流或电压。需要注意这些噪声在两个频率段的影响：一个是 $1/f$ 噪声，另一个是宽带噪声。这两个参数都可以在元器件的数据手册中找到。

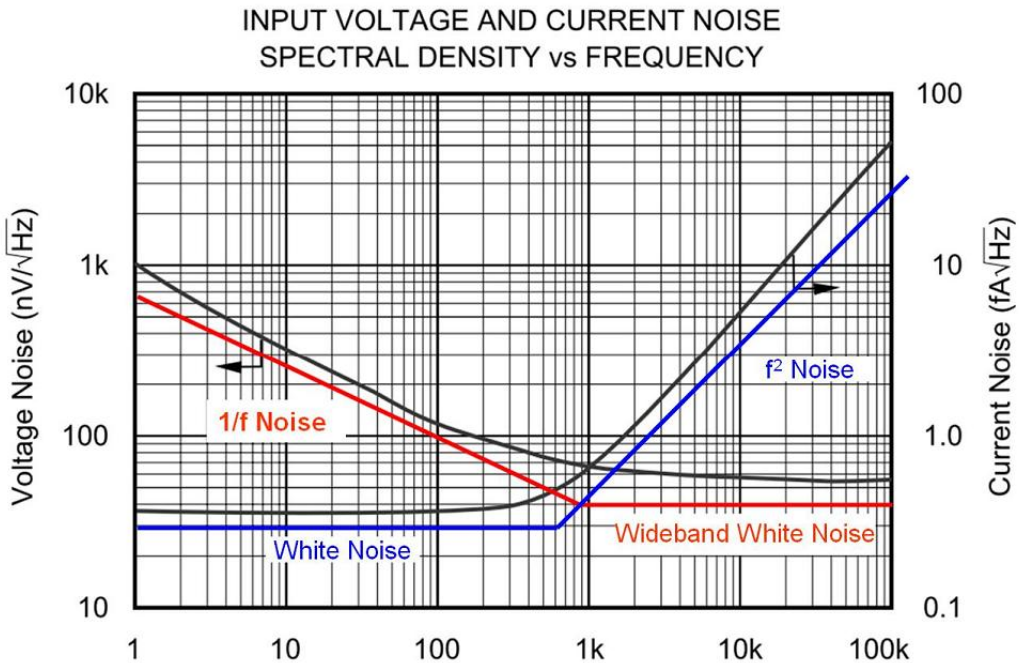


图 6-6 $1/f$ 噪声和宽带噪声

- 辐射噪声

该类噪声通常来自相邻数字信号走线或周围环境，例如众所周知的 50Hz 工频干扰，或者周围一些电器，像打印机等的使用。其噪声大小与 PCB 板上走线以及电源层设计有关。周围噪声源可能有：板上变压器，开关稳压器或线路板附近正在使用的其他设备。

- 传导噪声

传导噪声一般出现在 PCB 的走线中，传导噪声可以由辐射噪声或器件噪声产生。

在开章提出的案例中，我们选择的器件，包括我们的电路设计到底带来了哪些噪声，我们应该采取怎样的措施具体的分析，这些将在下面的章节中进行详细的阐述。

6.1.2 减少器件噪声

对于器件噪声，解决方法相对比较简单：选择噪声较小的器件或者在器件后添加一个滤波器。

我们回到前面的例子。在图 6-2 的信号通路中，涉及到的无源器件为放大电路中的电阻，以及放大器和 ADC。首先来看电阻，如上节所讲，电阻产生的噪声与材料无关，主要由电阻阻值决定。而在本例中，我们对电阻的绝对值没有特殊需求，只需要满足特定的比例关系就可以实现放大器指定增益的放大。鉴于此，我们将所有电阻比例缩小：

电阻	原选阻值 (Ω)	优化阻值 (Ω)
R3	400k	40k
R4	100k	10k
R _G	5.33k	533

那对于放大器之类的器件，应该如何降低噪声呢。一般的解决方法是进行重新选型，选择更小噪声的元器件。请先阅读放大器部分关于噪声的章节，回顾运放的 1/f 噪声和宽带白噪声。在本例中，我们放大的对象是 10Hz 以内的信号，因此我们最为关心的是 1/f 噪声。比如我们原先所选的 OPA2337，其 1/f 噪声为 6μ V_{p-p} (f=0.1Hz-10Hz)。而我们可以选择 OPA2335，其 1/f 噪声仅为 1.4μ V_{p-p} (f=0.01Hz-10Hz)。

NOISE					
Input Voltage Noise, f = 0.1Hz to 10Hz			6		μV _{pp}
Input Voltage Noise Density, f = 1kHz	e _n		26		nV/√Hz
Current Noise Density, f = 1kHz	i _n		0.6		fA/√Hz
NOISE					
Input Voltage Noise, f = 0.01Hz to 10Hz	e _n		1.4		μV _{pp}
Input Current Noise Density, f = 10Hz	i _n		20		fA/√Hz

图 6-7 OPA3371/f 噪声 (上图) 和 OPA3351/f 噪声 (下图) 对比

而 ADC 在这里实际没有引入太多的噪声，对其选型保持不变。

6.1.3 减少辐射噪声

对于辐射噪声，如前面所讲，其噪声基本来源于周围环境或板上的某些数字信号走线。所以我们减少辐射噪声的主要考虑角度是尽量避免板上信号的耦合。在 PCB 板上，基本上有三类容易接受辐射的噪声：第一是单端高阻输入端；第二是环状走线；第三就是长走线。

a. 环状走线的影响

如图 6-8 所示为一个典型的地线构成了一个环路。我们看到环路上有一些电子器件，是否这样就不再构成一个环路了呢？其实不然，这些元器件也可以看成是一个个环路。PCB 上环状走线的影响相当于电感，它产生电磁噪声，同时也接收电磁噪声。还记得开始的那个案例，从图 6-4 可以看出，其信号回路构成了一个大的环路，这显然不是抑制噪声的好做法。

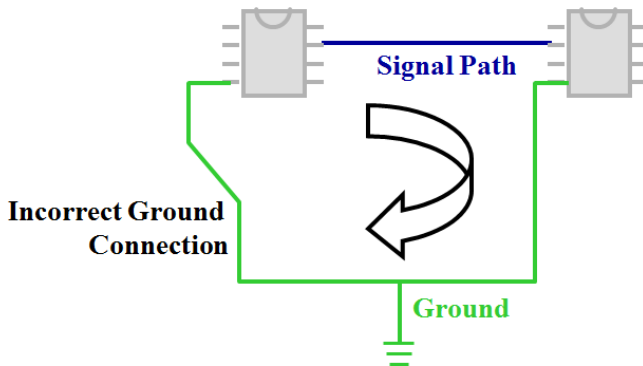


图 6-8 不推荐的环状走线

b. 长走线的影响

长走线造成辐射噪声的原因很好理解：在 PCB 上的长走线可以看做一个天线。同样的，没有连接的空走线同样可以看做天线。这个原理在现实生活中也会感受到，例如现在的手机，在用作收音机时会利用长长耳机线作为接收天线。我们在进行电路设计时，为避免该类影响，无论是模拟还是数字信号线应尽可能地短。电路受到多大的影响主要由周围环境决定，而短导线可以将板上所接收到的影响，也就是实际表现出来的噪声减少到最小。通过合理的布局布线，板上信号的耦合实际上是可以避免的。特别需要注意的是在一些放大器或者 ADC 的输入端，由于输入阻抗往往较大，这些位置对耦合噪声更加敏感。

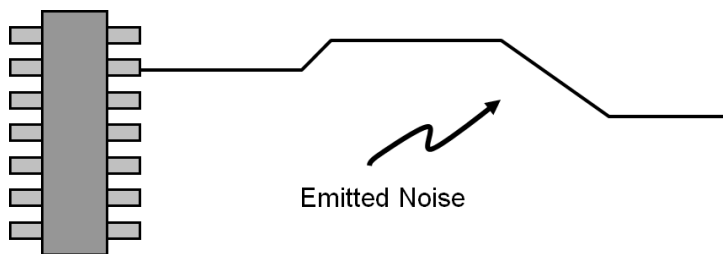


图 6-9 PCB 中的长导线如同天线接收周围环境的辐射噪声，同时也“发射”噪声

此外，还需要特别注意的是板上信号线之间信号的耦合和影响。尤其是当相邻走线为迅速变换的电压信号，例如数字信号或时钟信号。如图 6-10 所示，我们可以看到，当一根走线为快速变化的电压信号时，相邻的平行走线中会耦合出电流噪声，这种耦合电流噪声在数字走线中可能不会产生较大的影响，毕竟噪声大小有限，不会越过数字信号 0/1 的门限；但是

在一些模拟走线上，当这些噪声电流流入高阻抗结点时，就会产生可观的噪声（和输入的小信号做比较），例如运放器件的输入端，会对精密电路产生较大的影响。

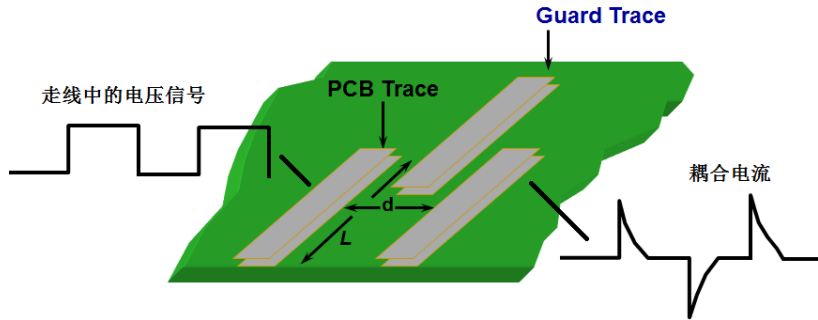


图 6-10 快速变化信号走线对周围平行走线的影响

在这种情况下，耦合的电流可以通过下列公式计算得到：

$$I = C \frac{dV}{dt}$$

其中，C 为两个相邻导线之间构成的等效电容大小，如图 6-11 所示，长度为 L 的导线和与其相邻 d 的导线之间构成的电容大小为：

$$C = \frac{W L e_o e_r}{d} pF$$

其中，w 为 PCB 走线的厚度；L 为 PCB 走线的长度；d 为两条 PCB 走线之间的距离；e_o 为空气的介质常数；e_r 为 PCB 面板材料的相对介质常数。

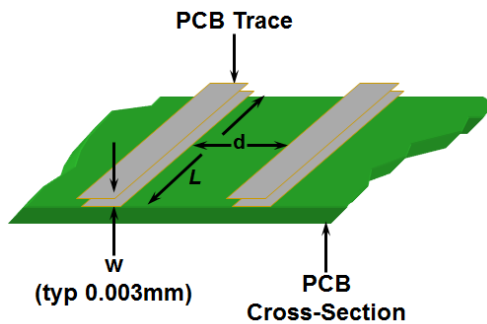


图 6-11 相邻导线构成等效电容

由上面两个公式可以看出，减小耦合电流最直接的方法是减小平行走线构成的等效电容，而该电容的大小主要由两条平行走线的长度和之间的距离决定，因而可以通过避免数字信号与模拟信号平行走线，缩短平行走线长度，同时增加平行走线间的距离的方法来减小耦

合的电流。另外对于相邻走线间的耦合，图 6-10 提供了另一种减少噪声的方法：在两条走线之间增加一个对地保护走线，这样避免了两条走线间信号的直接耦合。

通过器件的重新选择（见 6.1.2），即选择小阻值的电阻同时选择较小 1/f 噪声的运放来减少器件噪声；此外，在 PCB 布线上，采取去除多余走线，以及环状走线，减少数字电路和模拟电路间的耦合，使用更短的走线等方法来抑制辐射噪声，图 6-12 所示。

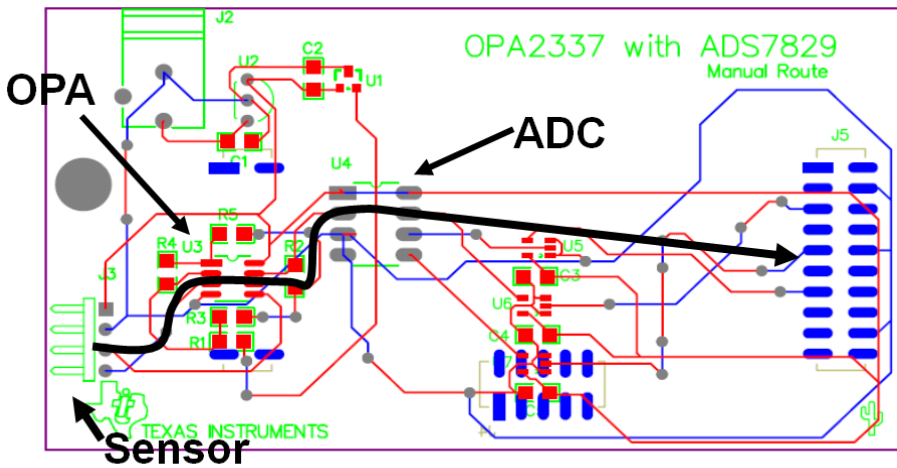


图 6-12 考虑到噪声抑制后的 PCB 布局布线

这时，我们发现 AD 采样的结果较最初（图 6-5）发生了很大的改善：同样采样 1024 个点，仅得到 6 个不同的数据点。同理，ADC 的有效位数为 $12\text{bit} - \log_2(6) = 12 - 2.6 = 9.4\text{bit}$ 。

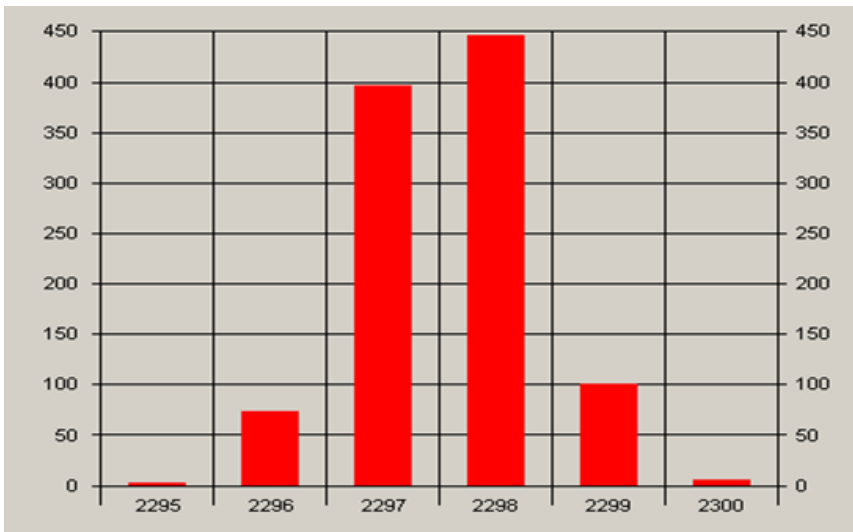


图 6-13 经过优化后的采样结果

6.1.4 减少传导噪声

从传导噪声的起源，可以看出可以通过减少器件噪声或周围环境的干扰来降低传导噪声对电路的影响。但在某些场合我们需要特定的器件，同时要求在特定场景下工作。举个例子：在电气隔离系统中，我们需要对电源进行隔离，而 DC/DC 转换器会产生很大的开关噪声。在实际操作时，我们一般从以下三个方面来减少电路中的传导噪声的影响。

6.1.4.1 使用旁路电容减少电源线上的传导噪声

记住一点，无论电路的供电形式如何，在电源处始终用上旁路电容，否则电源噪声会对电路的性能产生影响。一般在电路设计中旁路电容用在两个地方：一个是电源供电处，另一个在所有有源器件，无论是模拟器件还是数字器件的供电引脚处。具体采用的旁路电容值取决于所选用的器件。如果器件的带宽小于或等于 1MHz，0.1 μ F 的电容可以很好地滤除噪声；当器件的带宽大于 10MHz 时，选用 0.01 μ F 的电容则比较合适；处于两者之间两个大小的电容均可。

此外，对于特定芯片，最佳的选择是参考芯片数据手册决定旁路电容的大小取值。同时，可以通过下面所述的方法来进行合适容值的选择。

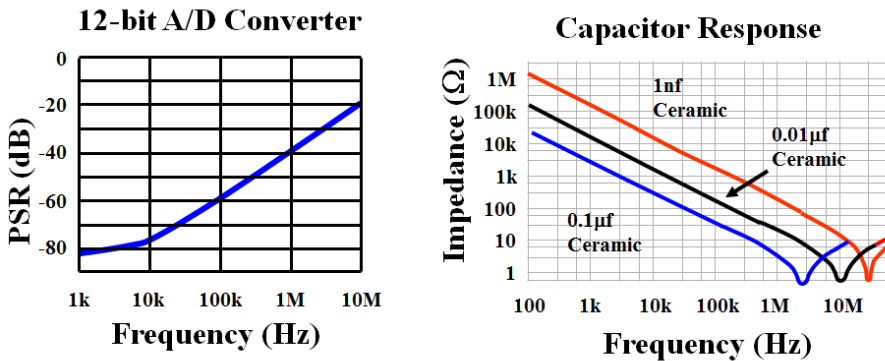


图 6-14 旁路电容值选择参考

如图 6-14 所示，右图展示了不同容值的陶瓷电容的相应曲线。横轴为频率，纵轴为电容表现出来的阻抗。我们可以看到 0.1 μ f 的电容大约在 2MHz 时其阻抗表现低于 1 Ω ，即对 2MHz 左右的信号滤波效果最好；同理，0.01 μ f 的电容则对对 10MHz 左右的信号滤波效果最好。结合左图的 ADC 的电源电压抑制比在不同频率段的表现，以及干扰噪声的频率，可以选择最合适大小的电容。

在放置旁路电容时注意应尽可能靠近器件供电引脚，走线应尽可能短。同时，如果选用了两个旁路电容，容值较小的应更靠近芯片引脚。

6.1.4.2 合理的 PCB 设计减少地平面上的传导噪声

实际上对地以及电源层的设计和实现对低噪声设计来说是至关重要的。一般来说，所有的电路设计中对地的处理应当是铺铜处理。在带有模拟器件或者混合器件的电路中，没有铺地层是非常不明智的。首先，模拟信号是以地为基准的，地噪声问题会给电路带来更大的影响；其次，地平面的优点在于在宽频域上都处于低阻抗状态，现代数字器件的开关频率都在 MHz 以上，当数字器件工作时会有大量的高频电流返回到地层；如果没有地平面，而采用地线的方式连接所有地，细长的地线所带有的寄生电感会在高频信号的冲击下产生大量电压噪声，或常说的地弹；再次，合理规划地平面上的电流路径，绝对避免将数字地或功率地上的电流流入模拟地；最后，尽量保持地平面的完整性，分割的地线会导致电流回流路径紊乱，因此要避免走线跨越分割的地平面。在电源层设计上，同样的，在成本允许的条件下尽可能的采用电源平面，同时在高频大功率走线上（如开关电源的功率回路）注意用覆铜的方式确保线宽，尽可能减小电源走线上的寄生电感。

6.1.4.3 在 ADC 前使用低通滤波器减小信号链中的传导噪声

除却在电路中添加旁路电容之外，在送入 ADC 之前的信号需首先进行滤波处理。在 ADC 前添加的低通滤波器主要目的在于滤除送入 ADC 信号中的高频成分。一方面是避免混叠，另一方面是为了减少进入 ADC 的宽带噪声，前面我们提到过电阻的热噪声，运放的白噪声都是和带宽相关的指标（请查阅放大器部分中和噪声相关的章节），如下图，在添加二阶低通滤波器之前，以 12 位 ADC 的信噪比 74dB ($12 \times 6.02 + 1.76 = 74\text{dB}$) 为阈值，所选放大器构成的信号链的带宽超过 30MHz，这意味着所有 30MHz 内的宽带白噪声被积分后都会影响到 ADC 的性能，而在我们添加一个 10Hz 的二阶低通滤波器后，只有 1kHz 以内的噪声才会对 ADC 造成影响。由此可见低通滤波器的巨大作用：

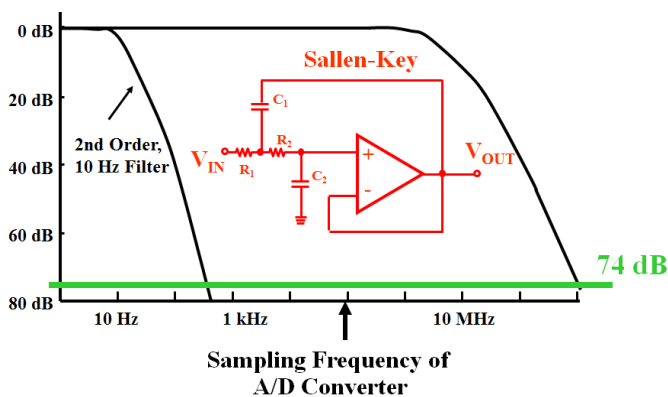


图 6-15 在 ADC 前添加低通滤波

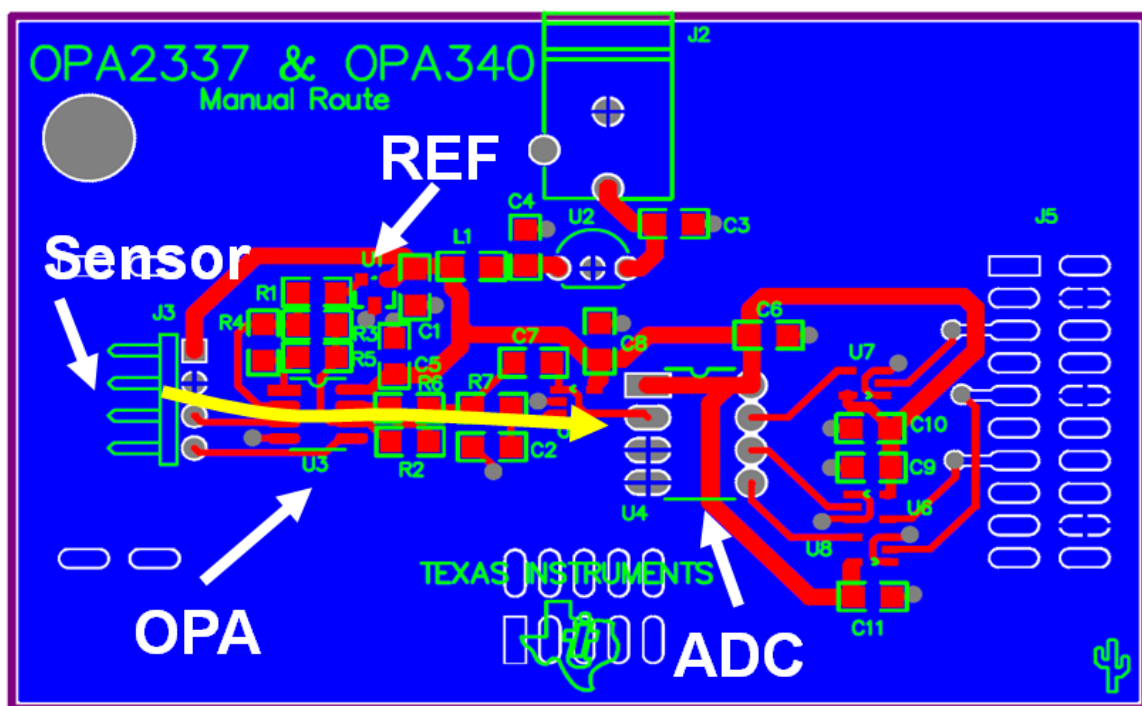
此处的滤波器设计可以使用 FilterPro 或 Webench 来辅助完成，TI 放大器设计指导中有关于滤波器设计的内容，此处不再赘述。

6.1.4.4 小结

总结下来，减少传导噪声的方法有：

- 替换噪声系数较大的器件
- 在电源引脚旁添加去耦电容
- 改善信号线走线并铺地
- 进入 ADC 之前，对信号链路进行滤波

经过以上分析，我们在前面改善的基础上添加去耦电容，优化 PCB 设计，增加二阶滤波器，最终的 PCB 如下图，这里我们看到了一个紧凑的电路设计，模拟部分和数字部分划分得很清晰且互不干扰，所有敏感的模拟信号走线都尽可能的短而且直接进入下一级，电源在进入芯片前进过去耦电容，并有一个很完整的地平面在宽频带都能提供低阻抗的电流回路。



最后来看经过优化后，ADC 的最终输出结果：

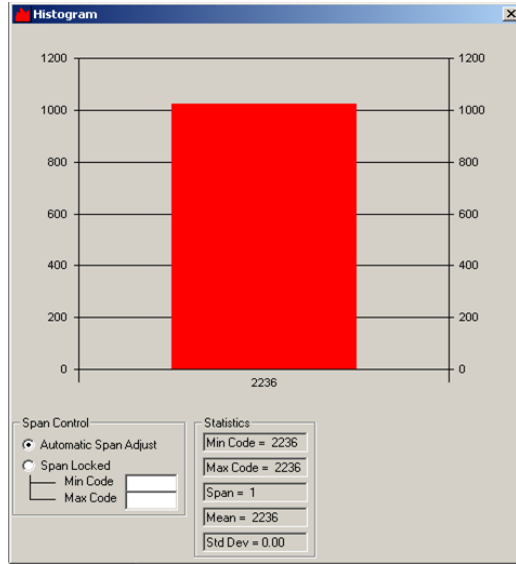


图 6-16 第二次优化后的 ADC 输出结果

从图中可以看到，至此系统中最终进入 ADC 的噪声已经低于 ADC 的最小分辨率，再也没有码字跳动的情况存在了，ADC 真正实现了 12 位的精度。

6.1.5 PCB 优化指南

在系统设计中，好的元器件布局，PCB 走线会对系统性能产生很大的影响。其实，从前面的检测结果已经可以部分说明没有优化的 PCB 设计对有效信号的影响。在前面几节中已经部分涉及如何通过调整 PCB 走线，地层的设计来减少辐射噪声等对信号的干扰。在本节中将针对 PCB 优化进行分析和总结。

6.1.5.1 元器件布局

一般来说对于元器件布局，需要注意的就是将噪声敏感器件尽量远离产生噪声的器件。尤其是在高精度的电路中，有源器件的放置需要格外注意。

电路中的高速器件 (>40MHz) 应尽量靠近接插件和电源。数字器件也应尽量靠近接插件和电源。将纯模拟器件远离数字器件放置，可以确保开关噪声不会被耦合到模拟信号链路中。

6.1.5.2 PCB 中地层和电源层的优化

如前文所讲，在 PCB 中一定要使用铺地的策略，这点在模拟数字混合信号设计中显得更加重要。在电路中，模拟信号是以地为基准的，这样需要设计者格外注意对地噪声；此外优化的地层设计可以对噪声起到屏蔽作用，有些噪声只有铺地方法可以简单有效地解决。

6.1.5.3 信号线的优化

在电路板上，无论是数字电路还是模拟电路，信号线走线的基本原则是尽量短。这点无论是从前文所提及的减少辐射噪声还是传导噪声都有帮助。因为短的信号走线将降低无关信号耦合到信号链路中的可能性。这个原则在一些高阻抗的输入端要特别注意，高阻抗输入端对输入电流敏感，如果在高阻抗输入端有快速变化电压的走线（如高频数字或时钟信号走线），此时走线中的电荷会通过寄生电容耦合到高阻抗走线中。从前文的描述中我们可以得知对信号走线的优化主要是尽量避免平行的长走线。

6.1.5.4 使用旁路电容和抗混迭滤波器

此章节内容请参考减少传导噪声。

6.1.5.5 PCB 设计总结

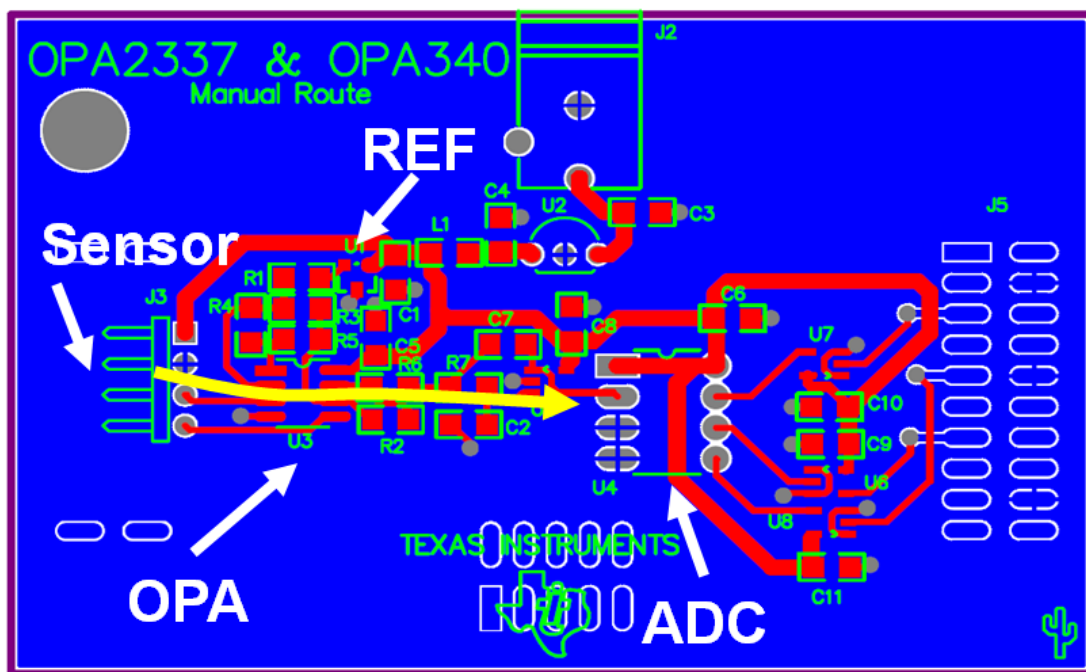


图 6-17 优化的 PCB 可以提高电路性能

最后，对 PCB 设计，尤其是在 12 位系统的布线上进行一个总结：

- 检查器件相对于接插件的位置，确保高速器件和数字器件最靠近接插件。
- 正确旁路所有器件，将电容尽量靠近器件的电源引脚放置。
- 电路中至少要有一个地平面。

- 使电源线比板上的其它走线宽。
- 检查电流回路，寻找地线中的可能噪声源。这可通过确定地平面上所有点的电流密度和可能存在的噪声量来实现。
- 使所有走线都尽量短。
- 查看所有的高阻抗走线，逐条走线查找可能的电容耦合问题。
- 确保对混合信号电路中的信号正确滤波。

6.2 利用 Delta-Sigma ADC 简化电路设计

很多时候在电路中选择合适的 ADC 可以很大程度上简化前端的电路。这里我们一起来看看一个电阻电桥的例子：

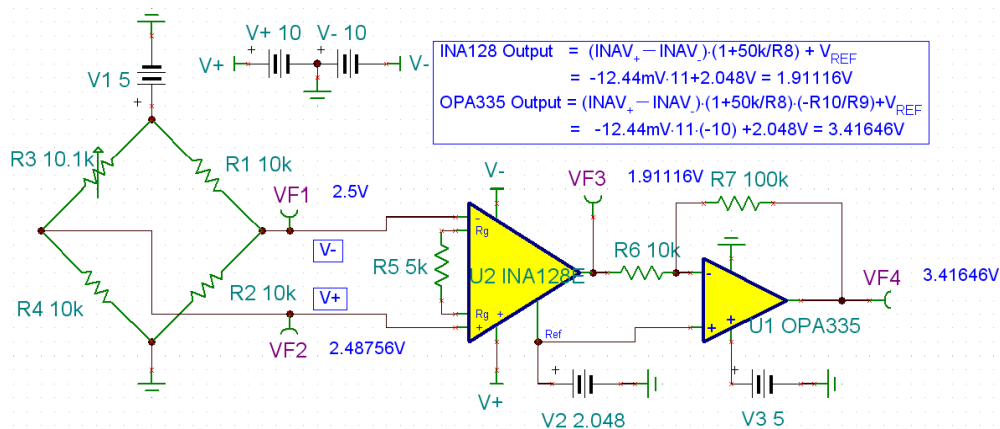


图 6-18 电阻电桥测量初始设计

这里用到了一只仪表放大器和一只运算放大器，他们实际上主要完成了三个功能：

1. 抑制了 2.5V 的共模信号；
2. 将 -12.44mV 的差模信号放大了 110 倍，从而满足了 ADC 采样精度的要求；
3. 虽然电桥输出的信号都是单极性（正电平）的，但是其差模信号 -12.44mV 到 12.56mV 是双极性的。运放电路给该双极性信号加入了 2.048V 的直流偏置，使得最大化利用了 0—4.096V 输入 ADC 的动态范围；

所以如果我们能找到一种 ADC，拥有全差分输入（提供完整的共模抑制能力），并拥有超高的精度，我们就有可能无需 INA 进行共模抑制和电平抬升，无需两级放大就能够完成在 25mV 中获得 2000 个读数的要求，就是说该 ADC 的最小分辨率要小于 12.5uV!

6.2.1 用 Δ - Σ ADC 完成整个信号链的工作

在电阻电桥中，当 R3 这个可变电阻器的阻值从 9.9k 变化到 10.1k 的过程中，输出的差模信号为 12.56mV 到-12.44mV，也就是说在 0.2k 欧姆的电阻变化过程中，可检测的信号变化范围为 25mV。如果期望的精度为 0.1 欧姆，即需要 2000 个读数，即在 25mV 的范围内需要 2000 个读数，即每个读数为 12.5 μ V。

以 ADS1232 为例，它是 24 位 5V 满量程输入的 ADC，由下表可以看到当其数据吞吐率为 10SPS，内部 PGA 设定为 1 时，其输入级峰峰值噪声仅为 1.79 μ V。

Table 1. AVDD = 5V, V_{REF} = 5V, Data Rate = 10SPS

GAIN	RMS NOISE	PEAK-TO-PEAK NOISE ⁽¹⁾	ENOB (RMS)	NOISE-FREE BITS
1	420nV	1.79 μ V	23.5	21.4
2	270nV	588nV	23.1	21.4
64	19nV	125nV	22.0	19.2
128	17nV	110nV	21.1	18.4

(1) Peak-to-peak noise data are based on direct measurement.

此时，ADS1232 的无噪声位数可以达到 21.4 位，这里我们取 2^{20} 约合 10^6 来计算 ADS1232 每个 LSB 的大小为： $1\text{LSB}=5\text{V}/10^6=5\mu\text{V} < 12.5\mu\text{V}$ 。在电桥 25mV 的满量程差模输出中可以得到 5000 个读数，远远满足要求。因此，电路可以简化为：

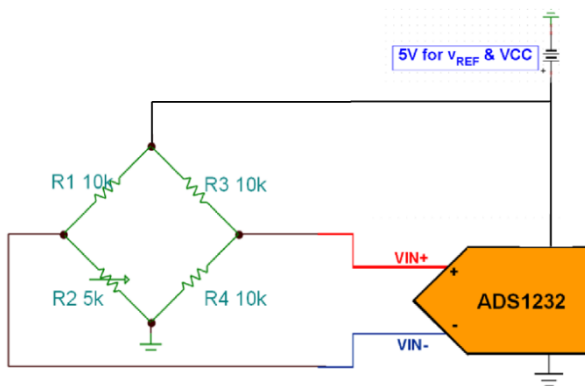


图 6-19 利用 ADS1232 简化电路设计

虽然理论上我们可以使用 ADS1232 完成设计，但是在系统设计中，控制系统噪声（包括器件噪声，辐射噪声和传导噪声等）的峰峰值小于 12.5 μ V 是非常困难的事情。这时，我们可以利用 ADS1232 内部的 PGA，把输入差模信号放大（可选倍数为 1,2,4...128），比如我们把输入的 25mV 差模信号通过内部 PGA 放大 64 倍，得到 1.6V 的有用差模信号，我们的系统噪声只需小于 $1.6\text{V}/2000=800\mu\text{V}$ 就可以完成工作了，这对系统设计的要求降低了许多，特别是在省略了大量的运放和电阻器后，噪声源减少，更有利于减少系统噪声。从芯片数据表我们可以看到，在 PGA 倍数增大后，ADS1232 的输入级噪声变为： $125\text{nV}\times 64=8\mu\text{V}$ 。

在使用 PGA 后，我们对 ADC 的位数要求可以降低，现在可以使用 16 位的满量程输入为 5V 的 ADS1146 来完成设计，此时 ADS1146 的 $1\text{LSB}=5\text{V}/65536=76\mu\text{V}$ ，从放大后的 1.6V 差模信号中可以获得 $1.6\text{V}/76\mu\text{V}=20,000$ 个数据！同时，ADS1146 也拥有完整的差分输入级，可以完成整个信号链的工作。

6.2.2 利用 ADS1147 完成对 3 线制 RTD 电阻的测量

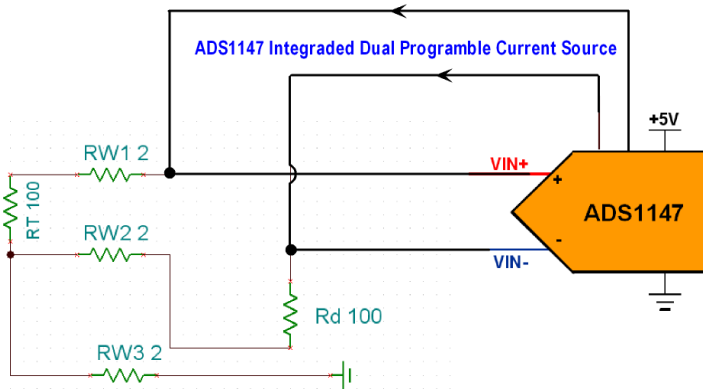


图 6-20 ADS1147 实现 RTD 电阻测量

ADS1147（16 位）和 ADS1247（24 位）是内建电流源的 Δ - Σ ADC，这类 ADC 专为 RTD 等需要电流源激励的传感器设计，其全差分输入，PGA 放大器和超高的精度帮助我们省下了一大堆运放和电阻。

除了压力信号，温度信号这种变化缓慢的信号需要高精度测量，还有一些动态范围大的低频交流小信号需要被稍高的采样率高精度采集，比如振动信号，地震信号的采集，这时几十或者几百 Hz 的吞吐率已经难以满足要求，而 TI 推出的 ADS127x，业界最快的兼顾直流和交流精度的 Σ - Δ 型 ADC，就非常适合这类需求。

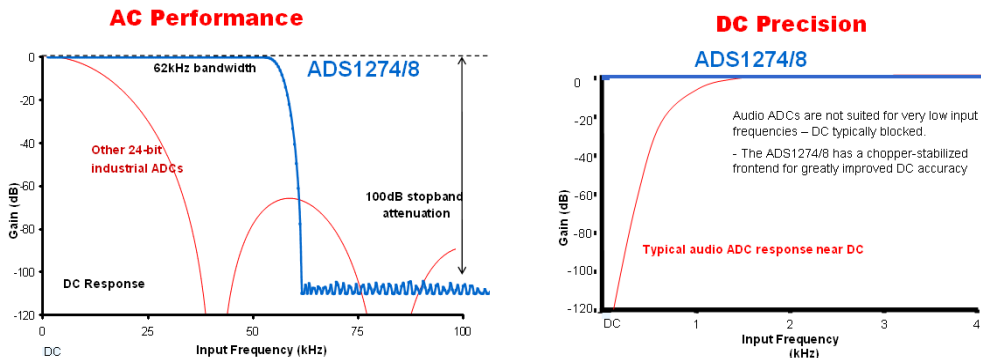


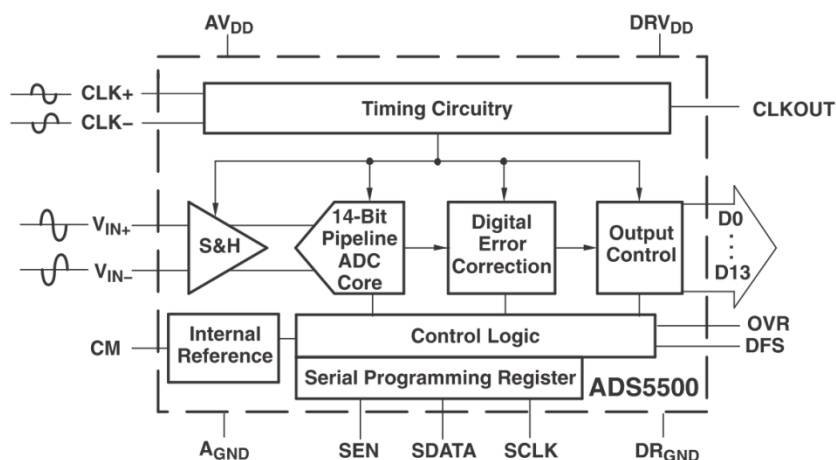
图 6-21 ADS127x 交流和直流性能

如上图，在交流精度方面，和相近直流精度的工业用 Σ - Δ 型 ADC 相比，ADS127x 拥有更宽的频率响应，可以对 62KHz 带宽的模拟输入信号采样；而在直流精度方面，和相同采样率的音频 Σ - Δ 型 ADC 相比，ADS127x 又充分保留了测量的直流精度。

第七章 高速信号链中 ADC 电路设计

下面我们将通过 ADS5500 的测试来讨论高速 ADC 的外设和设计考虑（更多详细信息请参考 TI 应用笔记 SLYT074, SLWA034 和 SLYT119）。ADS5500 是一款采样速率为 125-MSPS、精度为 14 位的高速流水线 CMOS 模数转换器。2004 年 3 月，德州仪器（TI）推出了这款芯片，它是当时世界市场上第一款拥有如此高采样速率和高精度的模数转换器。ADS5500 适用于诸如无线通讯、测试和测量仪表、控制系统、医疗成像和高速数字化等应用领域。

ADS5500 包含一个采样-保持输入级、一个 14 位流水线内核、一个内置电平基准、一个时钟电路、数字误差校正、一个数字输出驱动和一个 3.3V 的单电源。



ADS5500 的主要特色和优点是达到 750MHz 的信号输入带宽，峰峰值达到 2.3V 的动态差分输入信号，在宽频带上的高信噪比（SNR）和无杂散动态范围（SFDR），为接收器应用提供的在低信号幅度下高至 74dBFS 的优质 SNR，和超低功耗（780mW）。例如，当 ADS5500 工作在 125MSPS 采样速率状态下，输入信号幅度为-1dBFS，输入信号频率为 190MHz 并且正确配置输入电路，芯片的 SNR 大约为 70dB，SFDR 在 82dB 以上。而如果采样速率和输入信号频率与上例相同，当输入信号幅度为-15dBFS 时，ADS5500 的 SNR 为 74dBFS，SFDR 为 83dBFS。

ADS5500 的高性能给予了它广泛的应用范围。然而，由于芯片的高速率和高精度，对它进行评估有时会很复杂。基于这个原因，这里介绍了 ADS5500 的一个评估系统，它包含了测试设备、系统配置、测试电路、基本的高速 ADC 的测试概念和测试数据。

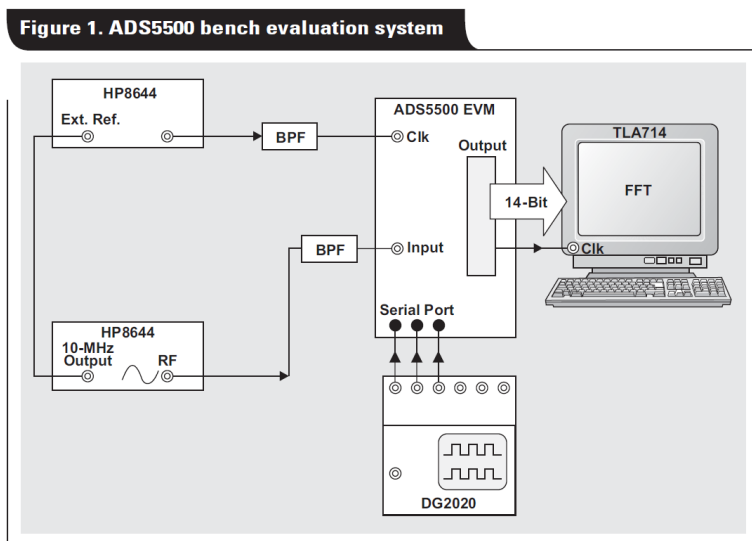


图 7-1 ADS5500 动态性能测试系统

图 7-1 即为 ADS5500 的一个小型动态性能测试系统，它由一个信号源（HP8644），一个时钟信号源（HP8644），一个数字逻辑分析仪（TLA714），一个数据发生器（DG2020），带通滤波器（BPFs），一个测试板和一个快速傅立叶变换（FFT）程序组成。信号源产生一个用于测试 ADS5500 所必需的单频正弦信号。时钟信号产生一个正弦波进入 ADS5500 的外部时钟调理电路，这个电路可以是变压器或 PECL 驱动器从而产生“理想的”采样时钟信号。数据发生器为控制寄存器产生一系列的数据。逻辑分析仪（TLA）用来从 ADS5500 获取数据并利用快速傅立叶变换程序（FFT）来分析它。如果没有上述的仪器，也可以用一个 FIFO 或一个 FPGA 板和一台电脑来代替逻辑分析仪（TLA）或数据发生器。

系统中设备的一些重要规格包括信号带宽、信号功率、信号阻抗、噪声、谐波、抖动、锁相功能和 ADS5500 的数字负载。数字缓冲存储器、数字化数据采集板或逻辑分析仪等设备的低输入容抗也很重要。图 7-1 中的逻辑分析仪有 2-pF 的输入容抗。ADS5500 的最大数字输出负载是 12pF，大于 12pF 的负载将会影响芯片的评估。输出数字数据的捕获时钟和 ADC 的输出数据间的时序也很重要，如果使用了外部时钟信号来捕获 ADC 的输出数据，那么该时钟信号与模数转换器（ADC）的输出数据之间的时序必须满足数据手册中的要求：数据必须在数据有效时间内被捕获。强烈建议使用 ADS5500 的输出时钟信号来捕获芯片的输出数据，因为该输出时钟信号与芯片输出的数据信号是同步的。在输入时钟信号（ADC 的驱动时钟信号）与输出数据的驱动时钟信号之间会有延时，并且该延时会随着芯片的不同、温度差异和供给电压的变化而改变，因此不推荐用输入时钟信号（ADC 的驱动时钟信号）来获取数据，特别是在高速工作状态下。

在 ADS5500 的模拟功能一侧，图中所示的所有的信号和时钟信号发生器都有锁相功能，低噪声模式，50-Ω 信号阻抗和 20dBm 的信号功率。为了避免在信号传输通路上出现能量反射，ADC 的等效输入阻抗，包括外部输入电路阻抗在内，都应该与信号源阻抗相匹配。如图 4.4 所示。在特定测试条件下，当输入频率很高时，因为带通滤波器和输入电路产生的衰减，信号源可能提供不了足够的幅度以驱动模数转换器（ADC）。在这种情况下，就需要一个具有特定增益和大小为 50-Ω 的输入/输出阻抗的宽频带放大器（例如 THS900x 或 ZHL-64），来为 ADS5500 提供充足的能量。适当地减小 R1 和 R2，并且增加 R_{T1} 和 R_{T2} 可以减小在高频输入条件下对电源功率的需求。

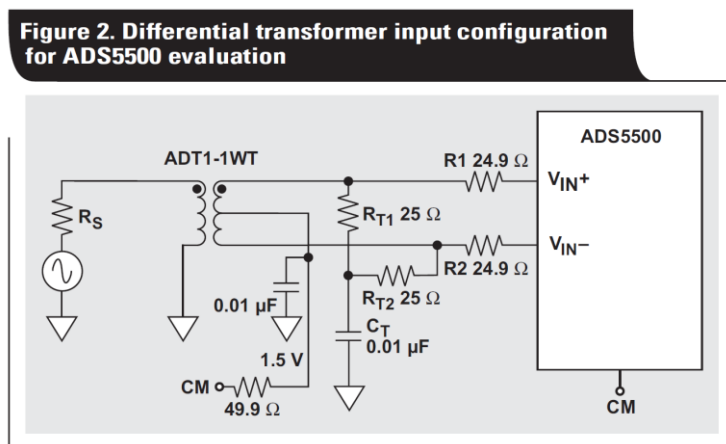


图 7-2 使用变压器驱动 ADS5500 的模拟输入

实际的测试系统中，在 ADS5500 的信号输入通路中使用带通滤波器（BPF），将来自信号源的谐波和噪声降到最低。在时钟信号输入通路上使用一个窄带带通滤波器，将来自时钟信号源的抖动降到最低，并且在采样速率很高时产生一个好的时钟信号占空比。实际测试结果表明，在信号输入通路上使用带通滤波器（BPF）时的快速傅立叶变换（FFT）结果与不使用时显著不同。此外，使用如图 7-2 所示的测试系统和高频输入时，在信号输入通路上放置窄带带通滤波器（3-MHz 带宽）后得到的 SNR，比放置宽带带通滤波器（10-MHz 带宽）后得到的 SNR 好 0.3dB。在当前的评估板上，当时钟信号为 125-MHz，输入信号频率很高的情况下，放置在时钟信号输入通路上的带通滤波器能使 SNR 改善超过 0.5dB，使 SFDR 改善超过 2dB。在任何情况下，都要测试带通滤波器（BPF）来保证滤波器自身的工作状态良好。带通滤波器（BPF）的输入和输出阻抗要与信号源的阻抗以及模数转换器（ADC）的输入阻抗相匹配。最小阻带衰减为 50dBc 的 TTE KC 系列带通滤波器是一个不错的选择，能使评估达到较好的效果。

在 ADS5500 测试中可以观察到，ADS5500 对系统抖动、模拟输入配置和测试电路板的布局非常敏感。这些将在接下来的几部分进行讨论。

7.1 高速数据采集系统中的时钟

为了得到好的评估效果，ADS5500 要求它的输入时钟信号有尽量小的抖动、50%的占空比和 3Vpp 的差动幅度（如果输入时钟信号是正弦波）或 1.5Vpp（如果输入时钟信号为方波）。输入时钟信号边沿越陡，得到的 SNR 越好。ADS5500 芯片内部为输入时钟电路提供一个直流偏置，因此，推荐为时钟信号提供一个交流耦合通路。为了产生较陡的时钟信号沿和最低的外部电路噪声，从而在 ADS5500 的评估板上得到最好的效果，使用一个 1:2 的匝比变压器来将一个正弦波耦合到 ADS5500 的时钟信号输入，如图 7-3 所示。

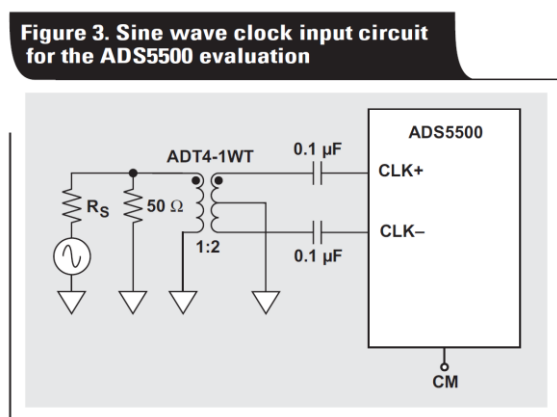


图 7-3 差分正弦信号作为 ADS5500 的驱动时钟

在高时钟信号频率的情况下，如果有必要，推荐在输入通路上放置如 TTE KC4T-125M-3M-50-69A BPF 的带通滤波器，可以减少来自信号源的时钟信号抖动噪声。为了保持 ADS5500 良好的交流性能，得到最好的评估效果，为测试提供低抖动的时钟信号源是至关重要的。下面我们讨论时钟抖动，时钟幅度和时钟同步三个方面给数据采集系统带来的影响。

7.1.1 时钟抖动的影响

高速 ADC 的动态特性的最大瓶颈在于采样抖动（jitter），关于抖动的基本介绍在前文中已经进行简单的介绍，本章节将深入探讨时钟抖动对 ADC 采集，尤其是高速 ADC 数据信号的影响，以及如何在设计中尽量减小该影响。

ADS5500 的内部采样抖动为 300fs, 已经非常地小了。不过这部分 jitter 我们控制不了, 是 TI 的事情去尽量减小它 (实际上, ADS5500 是 2004 年的产品, 现在最新的 14 位 125MSPS 的 ADS6145 已经将这个数值减小到 150fs, 从而获得了更加卓越的 SNR 和 SFDR)。我们能干预的是外部采样时钟的抖动性能。那么我们需要一个质量多好的外部时钟? 让我们先计算一下总的 jitter 对 SNR 的影响有多大, 再反推如果对 100MHz 的正弦信号采样, 若需要 70dBc 的 SINAD, 需要外部时钟的抖动为多少:

第一步, 是一个经典公式, 表示了 F_{in} , Jitter 和 SNR 的关系:

$$SNR[dBc] = -20 \log_{10} [2 \cdot \pi \cdot F_{in} \cdot Jitter_{TOTAL}]$$

反推出总 Jitter 的大小应该符合:

$$Jitter_{TOTAL} = (10^{(-SNR[dBc]/20)}) / (2 \cdot \pi \cdot F_{in}), \text{ 代入数值有:}$$

$$(10^{(-70/20)}) / (2 \cdot \pi \cdot 100e^6) = 503 fs$$

如果要求 SNR 为 70dBc, 那么总 jitter 应该为 503fs! 非常小的数字。一个更明显的图表表示了输入信号频率, 系统总体抖动和 SNR 的关系:

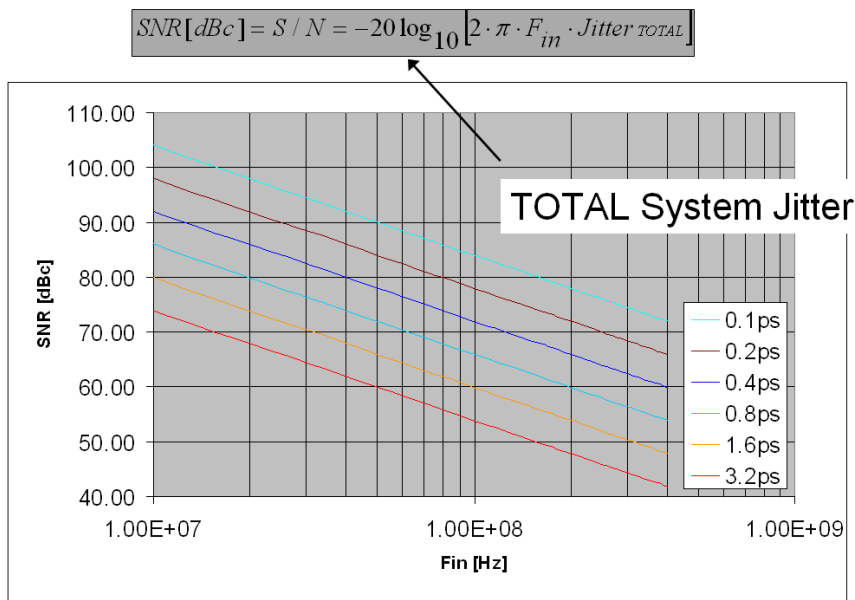


图 7-4 输入信号频率, 抖动与信噪比的关系

从图 7-4 我们看到当输出信号为 100MHz 时，若要获得 70dBc 以上的信噪比，ADC 的采样抖动要小于 400fs，而一个 1.6ps 的系统抖动将使信噪比降低到 60dBc（不足 10 位）！而且我们也可以发现输入信号的频率越高，对采样抖动的要求越苛刻，我们可以从图 7-5 中理解，在输入频率升高时，同样的采样抖动在高频信号上带来了更大的采样幅度误差，因此带来的 SNR 误差越大，这也可以理解为可重复性变差了。

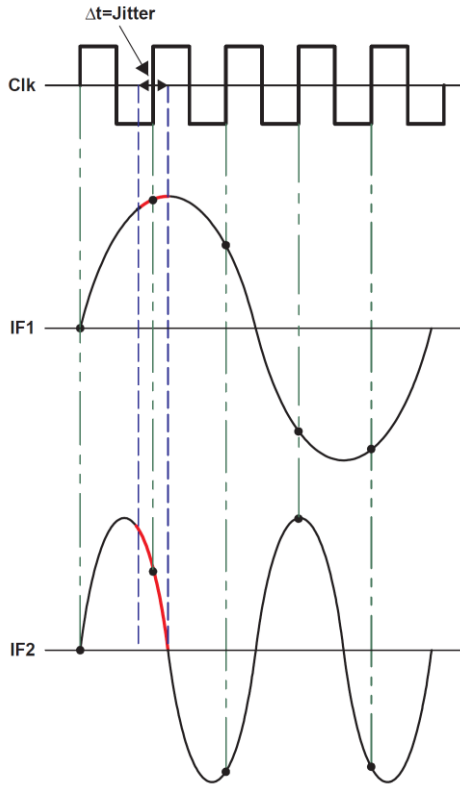


图 7-5 抖动在高频信号中的影响更为明显

接下来，我们从计算出来的系统抖动和 ADC 孔径抖动来反推最大允许的时钟抖动，因为系统抖动可以由下式计算：

$$(\text{jitter}_{\text{total}})^2 = (\text{jitter}_{\text{ADC}})^2 + (\text{jitter}_{\text{CLOCK}})^2$$

从而得到时钟抖动的计算方式：

$$\text{jitter}_{\text{CLOCK}} = [(\text{jitter}_{\text{TOTAL}})^2 - (\text{jitter}_{\text{ADC}})^2]^{0.5}$$

代入数据：

$$\text{Jitter}_{\text{CLOCK}} = [(503\text{e-}15)^2 - (300\text{e-}15)^2]^{0.5} = 403\text{fs}$$

计算得到时钟的抖动不能超过 403fs!! 这时，让我们看看在学校里做高速 ADC 设计最容易犯的一个错误：用 FPGA 或 DSP 的时钟输出驱动高速 ADC，这是非常不可取的，因为 FPGA 和 DSP 这类数字器件的时钟输出的抖动非常的大，一般在 50ps 就已经非常不错了，这样的时钟质量驱动数字电路不会有太大问题，但驱动高速 ADC 会导致 ADC 的 SNR 和 SFDR 急剧下降，而在时域上你可能察觉不到这些问题：“波形还是很正弦嘛”！

采样时钟的 Jitter 在时域上看是指采样时刻的不确定性，即抖动；在频域上看，就是其带外噪声，比如如果你看到在频谱仪上你的采样时钟如同下图右上一样的穿了一个“裙子”，那么说明你的采样时钟的质量不够好，在时域上会有较大的抖动。降低时钟抖动的主要方法是采用 PLL 和外部高质量 VCO，利用 PLL 的环路滤波器减小输入参考时钟的宽带噪声对 VCO 的影响，从而有效抑制输出时钟的宽带噪声（因此也称为 Jitter Cleaner），其效果如图 7-6 所示：

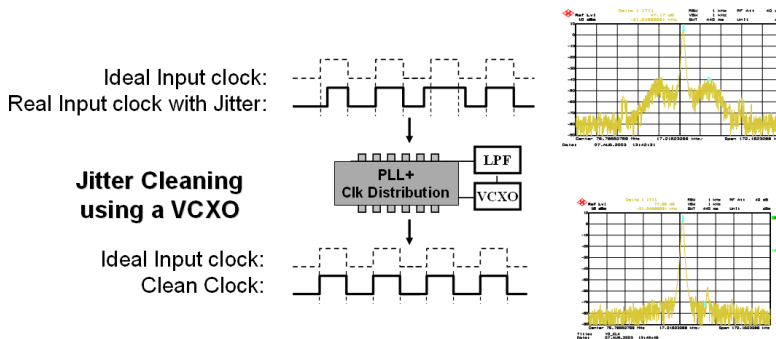


图 7-6 采用 PLL 和外部 VCO 降低抖动的影响

7.1.2 时钟幅度的影响

对于理想的方波时钟，采样在波形的过零点完成。进一步的，在一些 ADC 件中，例如 ADS5500，利用时钟的高低电平循环，可以对数据进行采样和锁存。因此，让时钟有一个 50% 占空比是很重要的。之前，我们已经知道了时钟的抖动影响了输入波形的采样点，从而使得信噪比降低。一个非理想的时钟源的热噪声也会助长信噪比的下降。

热噪声会对时钟源产生一个随机的幅度向量。对于理想的方波时钟源，时钟信号将可能从一个状态立即转变为另外一个状态。在这种情况下，由噪声产生的细微的幅度向量不会对过渡采样点产生影响。实际上，即使是一个好的方波时钟源，从一个状态过渡到另外一个状态也不是瞬间的。过渡需要一个有限长的时间。波形上的噪声改变了信号，以至于采样点（过零点）稍稍偏离了理想的位置。这样就导致了一个采样点的小误差，使得信噪比下降。图 7-7 是一个放大的在过零点附近的混有热噪声的上升时钟沿和理想上升时钟沿的对比，

过零部分上附加了随机噪声向量。噪声分量 Δn ，在误差 Δt 处将时钟信号提升到了过零点，造成了采样时刻的误差。

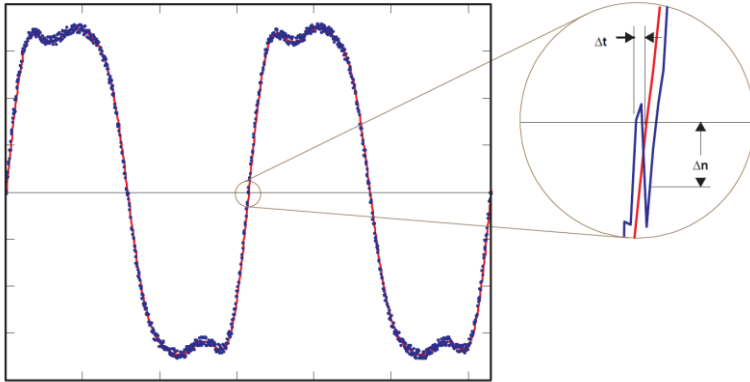


Figure 4. Thermal Noise Component Causing Sampling Error

图 7-7 混有热噪声的时钟上升沿

一种将热噪声影响降到最低的方法是让过渡的沿更加陡。换句话说，通过增加时钟信号过渡沿的陡峭程度，使得时钟信号更加接近理想的方波。相反的，一个平缓的过渡沿更容易受到热噪声带来的对信噪比的影响。下图表示两个时钟源的过渡沿受到同样的热噪声影响的情况。对于两个过渡沿来说，噪声向量是相同的，但是对于较缓的斜坡，其产生的时间上的误差 Δt 更大。因此，尽可能地使过渡沿陡峭对于减小热噪声的影响是有利的。

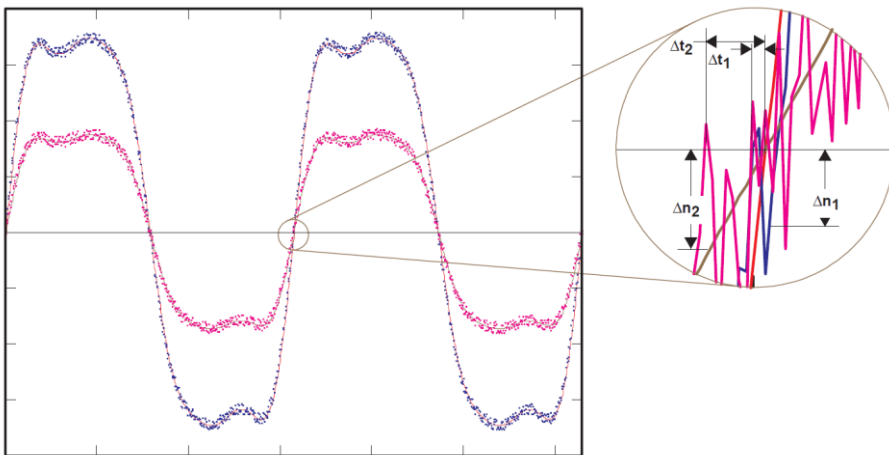


Figure 5. Thermal Noise Effect for Different Slope Clock Signals

图 7-8 不同时钟过渡边沿的热噪声影响

时钟的热噪声分量可以通过加入一个带通滤波器来减小，其通带中心频率与选择的时钟频率的相同。任何一个适宜的带通滤波器拓扑都是可以的，比如 L-C 滤波器、SAW 滤波器，或者是晶体滤波器。因为时钟频率只是一个单一的频率，最窄带宽的带通滤波器能起到最好的效果。给定的时钟频率的范围是 60MHz 到 125MHz，一个窄带宽的晶体带通滤波器是最合适的选择，而且晶体滤波器通常与超低相位噪声的振荡器配套使用。

为时钟信号加上带通滤波器能够减小通频带以外的噪声，但是这也会影响到时钟信号的过渡沿。一个方波时钟信号是由一个基频时钟信号以及一系列的高次谐波信号叠加而成的。引入带通滤波器，高次谐波信号也会被消除掉。其结果是在频域里只有一个纯净的基频信号，或者说在时域里只有纯净的正弦波信号。虽然滤波器能够有效地减小噪声分量，但也会使得时钟信号沿变得平缓，因为正弦波比方波上升沿慢。就如之前看到的，平缓的过渡沿更容易受到噪声的影响。除此之外，带通滤波器不仅将时钟信号的高次谐波滤去，使之变成了正弦波信号，而且还会引入 2dB 到 6dB 的插入损耗。这种插入损耗会进一步降低时钟信号的幅度，并且使得信号过渡沿更加平缓。为了保持一个急速的过渡，需要加强正弦波信号的幅度。

下图展示了更大幅度的正弦波信号能够减小由热噪声带来的误差的方法，因为它能够有效地增加信号的陡峭程度。因此，可以在带通滤波器前加上一个低噪声的放大器，来增加信号的幅度，从而尽可能地使信号的过渡沿陡峭。

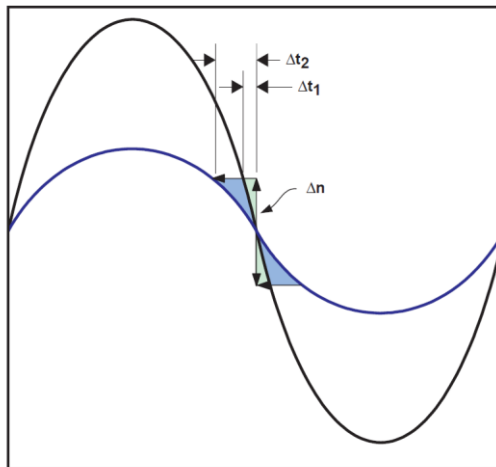


图 7-9 不同幅度正弦信号的热噪声影响

7.1.3 时钟同步的要求

前面我们提到过，使用 PLL 可以降低时钟上的带外噪声，同时，利用 PLL+VCO+时钟分配，我们可以给中频数字化系统中的 ADC，DAC，ASIC 和 FPGA 提供全局的多路同步时钟，满足接收机对同步的要求。

德州仪器公司为 ADS5500 和其它高速 ADC 引入了一个使用 CDC7005 时钟分配芯片的板级低相位噪声同步时钟解决方案。通过合适的配置，CDC7005 能够配合德州仪器的高速 ADC 获得理想的性能，使得它适合于在印制电路板设计中直接实现。除此之外，CDC7005 有能力驱动五个相互独立的输出，这些输出能够独立地被分成基准频率的 $1/2^n$ （ n 能从 0 变化到 4）。这样就允许一个时钟回路不仅可以为高性能的 ADC 提供时钟源，也可以为其它在电路板上的需要独立时钟源的硬件提供时钟源，例如，DACs、DDCs、DUCs 等。图 7-10 说明了在一个经典的收发器里 CDC7005 是怎样和 ADC 以及其它的硬件一起使用的。

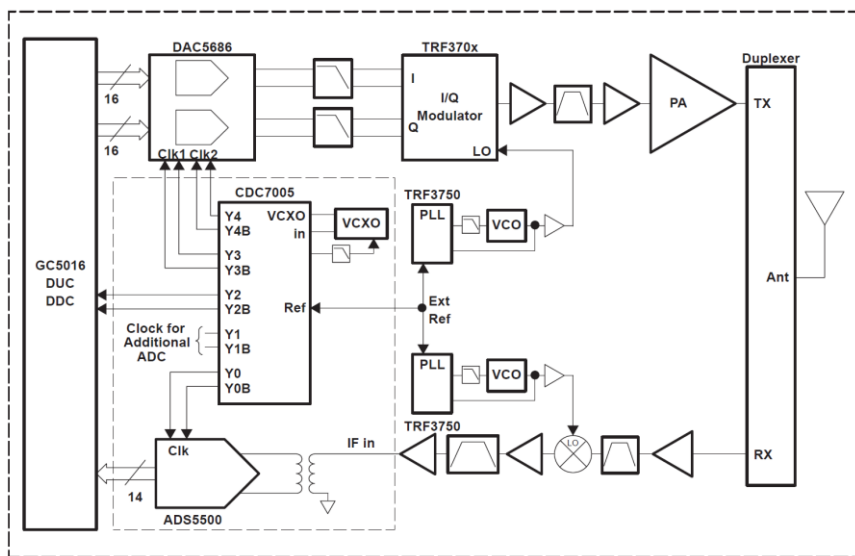


图 7-10 ADS5500 与 CDC7005 的经典应用

CDC7005 是高性能、低抖动的差分时钟驱动和时钟分配芯片。它有 5 个独立的受控输出端，都能够用来作为高性能 ADC（例如 ADS5500）的时钟源，也能够满足印制板上其它需要同步时钟源的器件的要求。CDC7005 能参照一个参考输入时钟为整个系统提供多路同步时钟方案。CDC7005 的主要特点是：

1. 参考时钟能够与任何 VCXO 的频率同步
2. 参考时钟的抖动被消除了
3. 低抖动输出
4. 五个独立的频率输出，输出频率为可选的 $1/2^n$ 倍基准频率，

5. 差分 LVPECL 接口。

此外，在输出频率 100MHz 以上时，CDC7005 仅附加 100fs 的抖动，而且输出频率越高，附加抖动越小。因此，如果采用高质量的 VCXO 辅以 CDC7005，其输出时钟频率达到 100MHz 以上时系统的整体抖动完全可以达到 300fs 以下。

推荐使用的 TI 时钟芯片有：

器件	简介	封装
CDCE925PW	2 内置 PLL，5 输出，峰峰值 60ps 抖动，最大输出 230MHz，CMOS 输出，电脑主板及多媒体系统时钟方案	TSSOP
CDCE62002RHBT	具有集成双路 VCO 的 4 路输出时钟发生器/抖动消除器	QFN
CDCM7005RGZT	集成 PLL 的超低附加抖动，5 输出同步时钟分配器	TQFP
CDCE421RGET	集成 PLL 和 VCO 的低抖动时钟发生器，最大输出 1.1GHz	VQFN
CDCM61001RHBT	集成 PLL 和 VCO 的低抖动（500fs）时钟发生器，最大输出 680MHz	QFN
TRF3750IPW	High Performance Integer-N PLL Frequency Synthesizer	TSSOP
TRF3761-GIRHAT	集成 VCO 的 PLL，输出范围 1.92G-2.05G，1/2/4 可选分频输出	QFN

7.2 驱动高速 ADC 的模拟输入

ADS5500 的模拟输入配置对评估过程很重要，高速高精度 ADC 的模拟输入都是差分的，差分有很多好处：

- A、差分信号天生具有共模干扰的抑制能力；
- B、差分信号相当于一对相位相差 180 度的单端信号相减，因此能提供两倍于单端信号的输入信号动态范围；
- C、若同样提供 2Vpp 的信号，差分信号的每一条仅为 1Vpp，信号越小，净空越多，失真越小。同时，减小对运放供电电压的要求；
- D、差分信号能充分减小偶次谐波的幅度。因为偶次谐波的功率为偶数次方，在差分信号相减时因为符号一致而抵消。

自然界的信号都是单端信号，我们可以利用变压器和全差分放大器来实现单端到差分的转换和阻抗匹配，从而很好的驱动高速放大器的输入。

7.2.1 变压器驱动高速 ADC

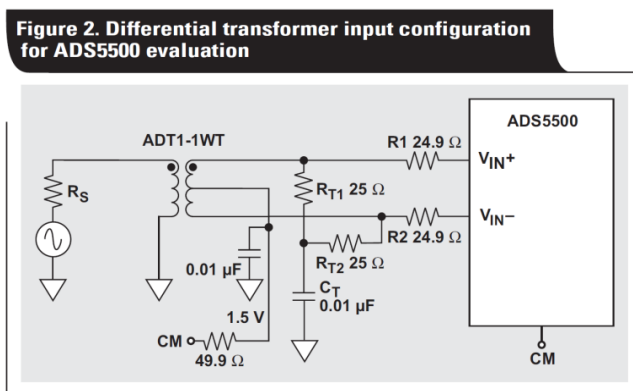


图 7-11 使用变压器驱动 ADS5500 的模拟输入

虽然变压器会造成一些插入损耗，但其可以在很宽的频带内都只产生很低的噪声和谐波。它还提供了交流耦合差分输入和较宽的信号带宽，这就为 ADS5500 的评估创造了很好的条件。运算放大器除了广泛应用于信号整形和给提供增益外，还被用于直流耦合。

在变压器配置中，ADS5500 的输入阻抗是一个重要的考虑因素。ADS5500 的输入阻抗是容性的，并且是由采样时钟信号频率和输入信号频率共同决定的。当采样和输入信号频率都相对较低时，ADS5500 输入阻抗会相对较高，从而不难与信号源的阻抗相匹配。而当采样速率非常高（达到 125MHz）并且输入信号频率也很高时，模数转换器的输入阻抗则会相应较低。在这种情况下，等效输入阻抗可能会比 50 Ω 还小，有可能会造成与信号源阻抗不匹配从而需要更高的信号源驱动电流。这种情况在评估中应该考虑在内。

图 7-11 中给出了评估 ADS5500 用的一个变压器耦合模拟输入电路。 R_{T1} 和 R_{T2} 是与信号阻抗匹配的终端电阻；它们还和 C_T 一起组成了低通滤波器。我们测试得到在输入信号频率低于 150MHz 时，如果 $R_{T1} + R_{T2} = 50 \Omega$ ，则能得到最好的 SNR 和 SFDR；而在输入信号频率高于 150MHz 时，因为模数转换器的输入阻抗较低，并且变压器损耗较高，在评估电路中可使用高一些的 R_{T1} 和 R_{T2} 。 R_1 和 R_2 是用于隔离模数转换器开关电容输入和信号源的模拟输入串联电阻。它们还同 ADS5500 输入电容一起组成低通滤波器。合适的 R_1 和 R_2 值对于得到最好的性能是必要的。如果 R_1 和 R_2 太小的话，SFDR 会减小；而如果它们阻值太大的话，信号源的输出功率需要增大。我们可以看到，在输入电路中使用了一个变压器耦合后， R_1 和 R_2 取 25 Ω 能得到最好的效果。有的输入电路中使用了两个变压器以达到最好的差分信号平衡；但这造成了模数转换器前端从 70MHz 到 350MHz 的输入信号会有 9dB 的衰减，所以需要有一个输出功率更大的信号源。正是因此，一些测试只使用了一个变压器。我们也发现用一个或两个

变压器没有显著的性能差异。在我们的测试中，变压器用于交流信号的耦合和单端到差分信号的转换。

7.2.2 全差分放大器驱动高速 ADC

TI 公司的 THS45xx 全差分运算放大器系列具有高带宽、低失真以及低噪声的特点，非常适合于运用在 12 位或者 14 位的数据转换器中。

如下图所示，数据采集系统可以分成 4 个部分：整个系统的指标需求、信号源接口、放大器的功能以及 ADC 接口。必须要采用合适的放大器功能去实现 ADC 与信号源之间的接口以达到系统的需求。

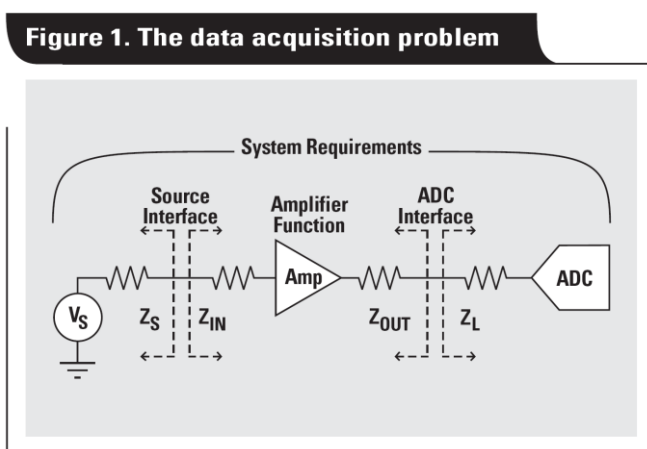


图 7-12 数据采集系统

7.2.2.1 信号源与放大器的接口

让我们考虑单端信号源，使用全差分放大器来实现单端到差分的转换，图 7-13 所示。放大器的输入阻抗是放大器设计中最重要的一点，差分运算放大器也是如此。

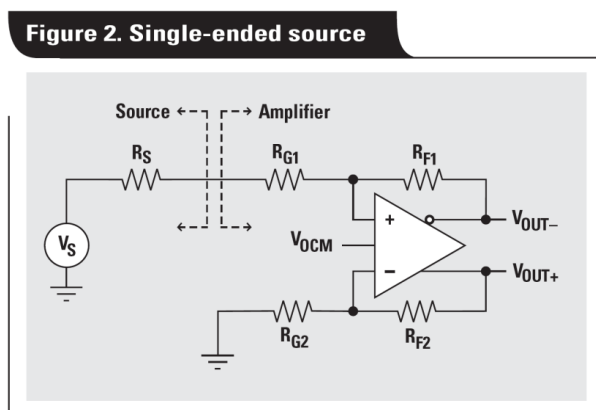


图 7-13 单源供电系统

我们将以这个电路为基础，将一个输入±1V 的 100MHz 正弦波，转换为满足 ADS5500 输入的差分信号。查阅 ADS5500 的数据手册，在输入部分有这样的描述：

ANALOG INPUT					
	Differential input range	2.3			V_{pp}
V_{CM}	Input common-mode voltage ⁽¹⁾	1.45	1.55	1.65	V

给模拟输入留出一些净空，我们的设计目标即为一个差模电压为 2Vpp，共模电压为 1.5V V_{CM} 的差分信号对。

与差动放大器（INA）一样，全差分放大器的电阻网络的平衡也非常重要，但稍微复杂的是，在中频采样中，信号路径上的阻抗匹配是非常重要的。常用的信号源的输出阻抗为 50 欧姆，如下图所示：

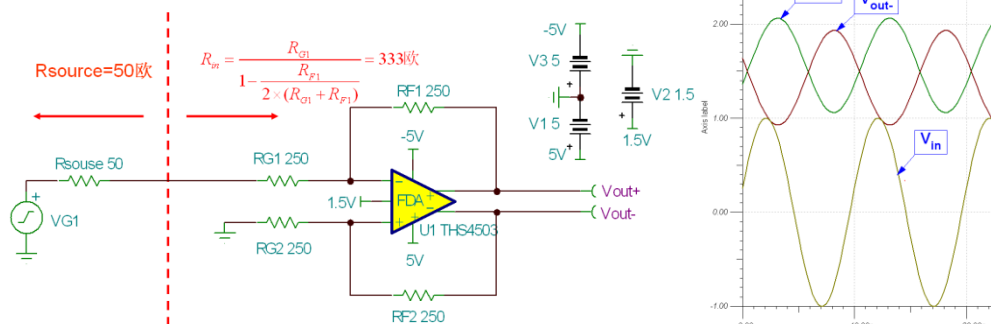


图 7-14 未考虑电阻匹配的设计

上图左的问题在于忽略了阻抗匹配（信号源的输出阻抗为 50 欧姆，要求运放的输入阻抗也为 50 欧姆，从而避免信号的反射），同时在全差分运放的单端转差分操作中忘记了这个 50 欧姆的源阻抗，反相输入端的 $R_G = R_{G1} + R_{source}$ ，破坏了原来 R_{G1} 和 R_{G2} 相等的关系，结果得到了上图（右）中的不匹配的输出结果。

让我们首先解决阻抗匹配的问题，再想办法保持全差分放大器的平衡。首先，计算出上图中差分放大器的输入阻抗 R_{in} 等于：

$$R_{in} = \frac{R_{G1}}{1 - \frac{K}{2 \times (1 + K)}}$$

，K 为放大器的增益，这里的 $K = R_{F1}/R_{G1} = 1$ ，得到 $R_{in} = 333$ 欧姆。

为了使 R_{source} 和 R_{in} 能够匹配。我们可以放置一个 R_T 和 R_{in} 并联，使得新的输入阻抗： $R_{IN} = R_T || R_{in} = 50$ 欧，反推得到 $R_T = 59$ 欧姆：

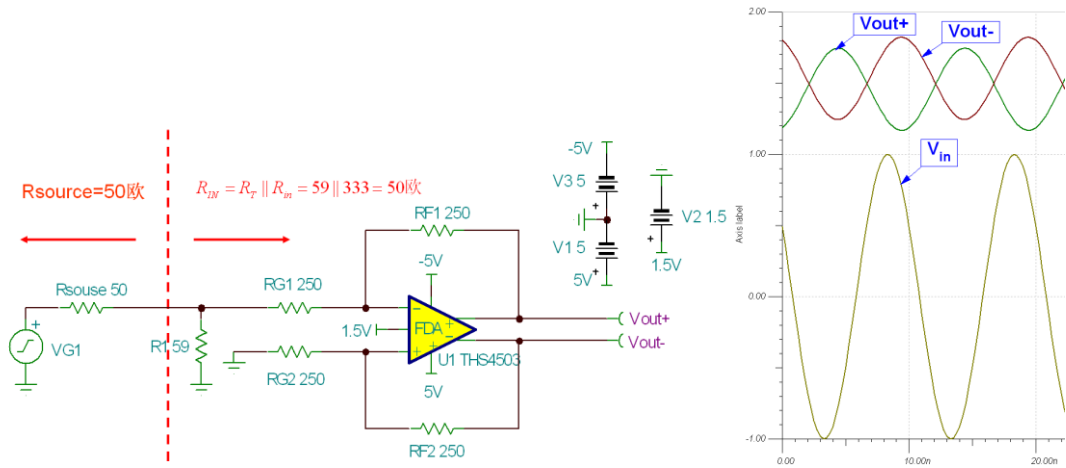


图 7-15 电阻匹配后的电路设计 (1)

通过放置 R_T ，我们解决了阻抗匹配的问题，但是我们由于信号源的输出阻抗和运放的输入阻抗的分压作用，输出信号的幅度降低了一半。于是，我们降低 R_{G1} 为原来的一半即 125 欧姆，重复上面的设计过程：

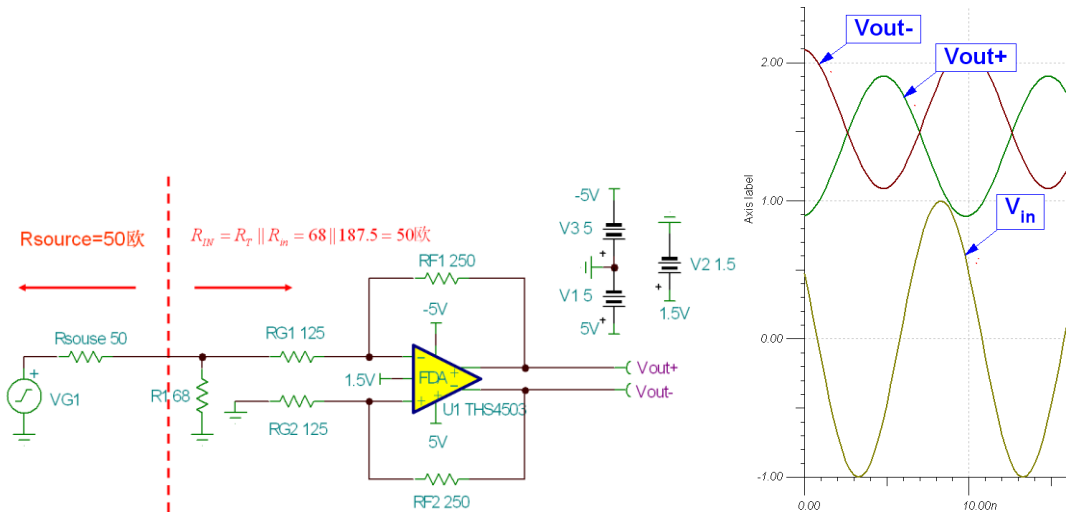


图 7-16 电阻匹配后的电路设计 (2)

更改 $R_{G1}=125$ 欧姆，设置 $R_T=68$ 欧后，THS4503 的输入阻抗为 50 欧姆，衰减两倍和放大两倍抵消后，信号的幅度恢复了差模 2Vpp。但是差分信号仍然没有平衡，我们需要对 R_{source} 和 R_T 进行戴维南等效电路分析，得出一个等效电路：



图 7-17 等效电阻设计

于是，我们在 RG2 端也串入一个 29 欧到地的电阻，就可以获得平衡的输出：

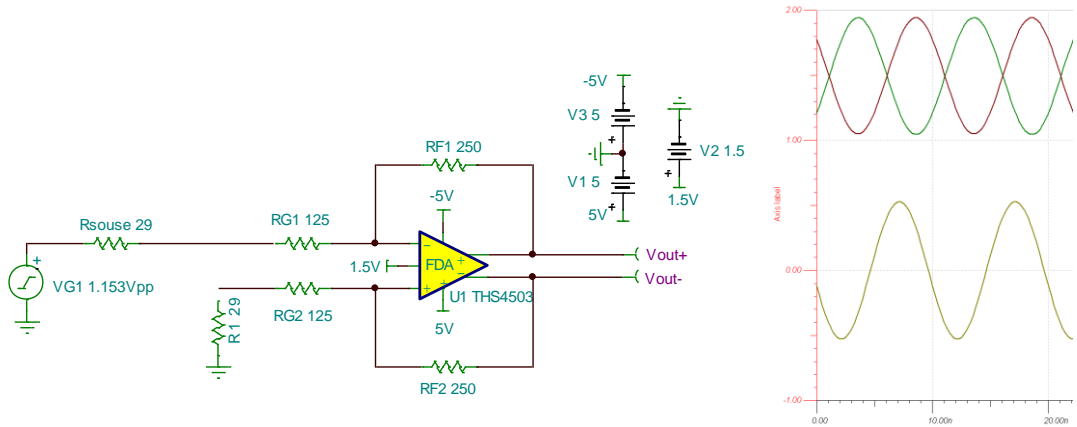
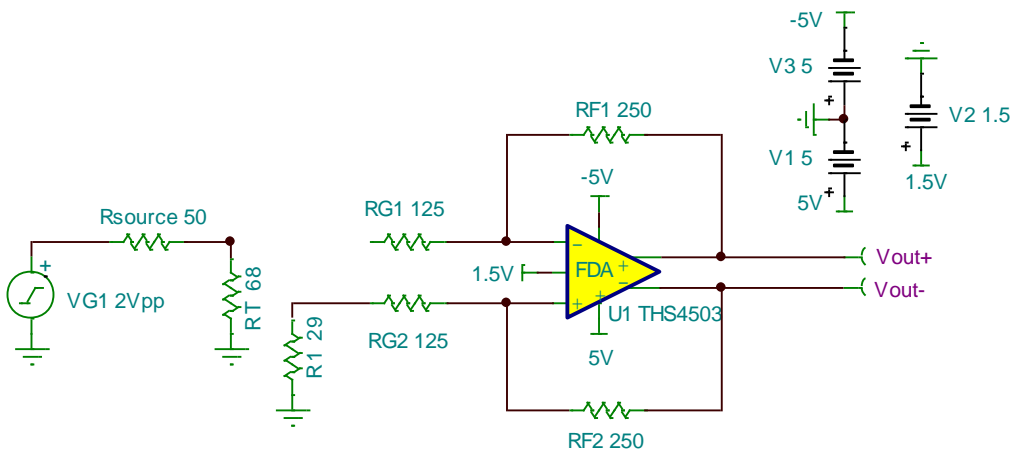


图 7-18 电阻匹配后的电路设计 (3)

上图为等效电路，实际的最终电路如下：



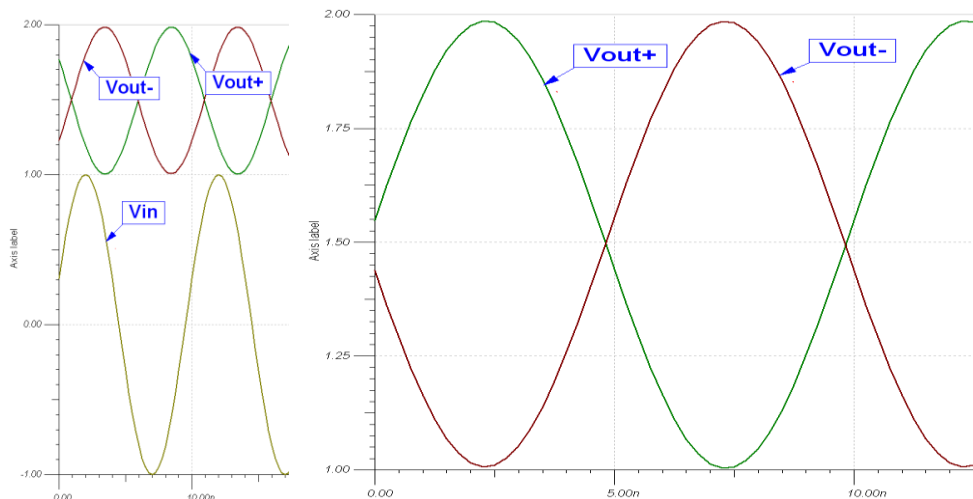


图 7-19 差分输入等效电路图及仿真输入/输出曲线

至此，我们成功将单端输入的±1V，100MHz 正弦波转化为了 2Vpp 差模信号，1.5V 共模信号的差分对。值得强调的是，1.5V 共模信号的设置是由 THS4503 的 V_{OCM} 的引脚输入 1.5V 直流电平来提供的，这个 1.5V 的直流电平在实际设计中由 ADS5500 的 V_{CM} 引脚输出来提供，这个直流电平不包含任何有用的信息，但是为差分信号满足 ADS5500 的输入范围提供了参考共模电压，注意 ADS5500 的这个输出电压范围在 1.45V 到 1.65V 间，这其实是无关紧要的，我们这里仅以 1.5V 为例子。在后面我们会详述 THS4503 的 V_{OCM} 引脚。

不能够超过运算放大器的输入共模电压 (V_{ICR}) 的范围。假设运算放大器工作在线性区域，同相和反相输入管脚间的压降只有若干毫伏；因此通过确定某一输入管脚上电压就可确定共模电压的大小。运算放大器反相输入管脚上的电压等于：

$$V_{IN-} = V_{OUT+} \times \frac{R_{G2}}{R_{G2} + R_{F2}} = V_{ICR}, \quad \text{式 4.1}$$

为了确定运算放大器的 V_{ICR} ，反相输入管脚的电压可以通过 V_{OUT+} 的极限值来估算。当放大器工作在单电源模式下并且需要提供高增益的时候，输入共模电压的范围会更明显地影响放大器的性能。

Figure 2. Single-ended source

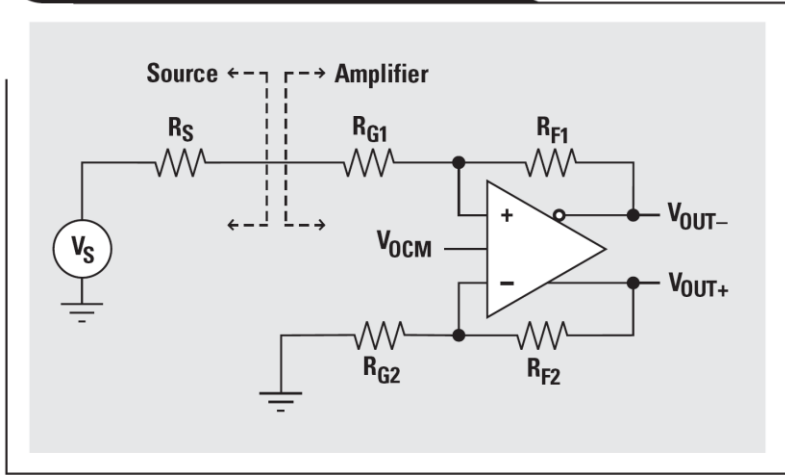
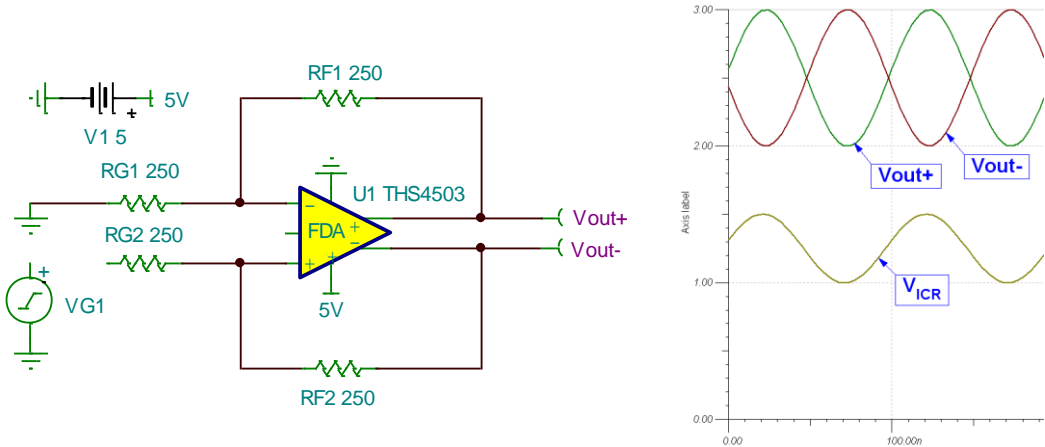


图 7-20 单极供电

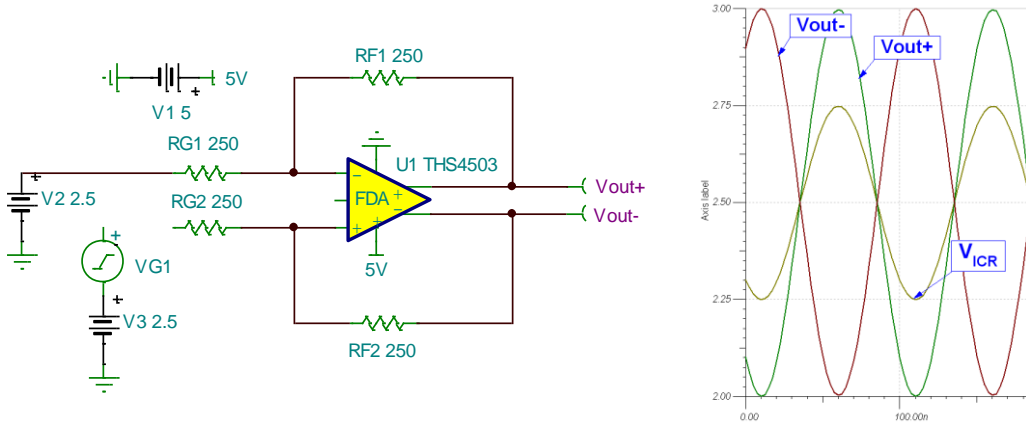
例如，假设 THS4503 采用如上图配置，工作在 +5V 单电源下，输入信号 $\pm 1V$ ，10MHz 正弦波， $V_{OCM} = +2.5V$ （当 V_{OCM} 悬空时， V_{OCM} 的电压即为电源轨的中点），差分输出电压等于 $V_{OD} = 2V_{PP}$ ，则 V_{OUT+} 在 2V 到 3V 间摆动，仿真如下：



一个放大器的增益等于 1（即 $R_F/R_G=1$ ，代入式 4.1，得到 $V_{IN-} = V_{ICR}$ 均从 1V 到 1.5V），此时的共模输入电压范围 V_{ICR} 从 1V 到 1.5V。THS4503 在 5V 供电时的输入共模电压为：

PARAMETER	TEST CONDITIONS	THS4502 AND THS4503					
		TYP	OVER TEMPERATURE			MIN/ TYP/ MAX	
		25°C	25°C	0°C to 70°C	-40°C to 85°C		UNITS
INPUT							
Common-mode input range		1/4	1.3/3.7	1.6/3.4	1.6/3.4	V	Min

THS4503 在 5V 单电源供电时的输入共模范围的典型值为 1V 到 4V，这里计算得到的 1V 到 1.5V 的输入共模电压范围正好满足要求。实际上，THS4503 的最优输入共模范围被设计为电源轨的 1/2 处，若输入信号的共模电压为 $(V_{EE}+V_{CC})/2$ 时，可以得到最好的动态范围。例如，上图中，我们的 THS4503 的单端输入信号是以 V_{EE} （这里为地电平）为参考的（±1V 输入），而 THS4503 在 5V 单电源供电时的最佳共模信号为 2.5V。因此，如果输入信号以 2.5V 为直流偏置，那么我们可以采用下面的电路来进行放大：

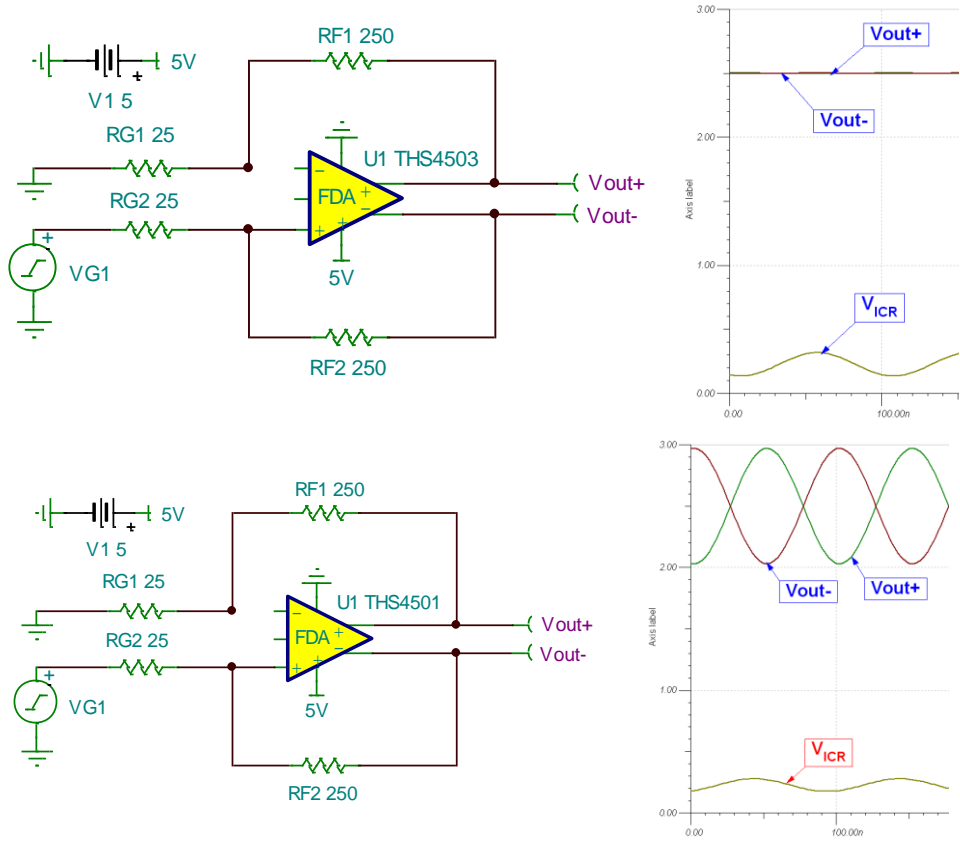


如上面的仿真结果，VICR 以 2.5V 为直流电平，从而在其允许的范围内（1V 到 4V 间）可以获得最大的动态范围。因此，若输入信号以 $(V_{EE}+V_{CC})/2$ 为参考，应该选择 THS4503；如果输入信号以 V_{EE} 为参考，我们可以选择 THS4501，其输入共模电压范围如下：

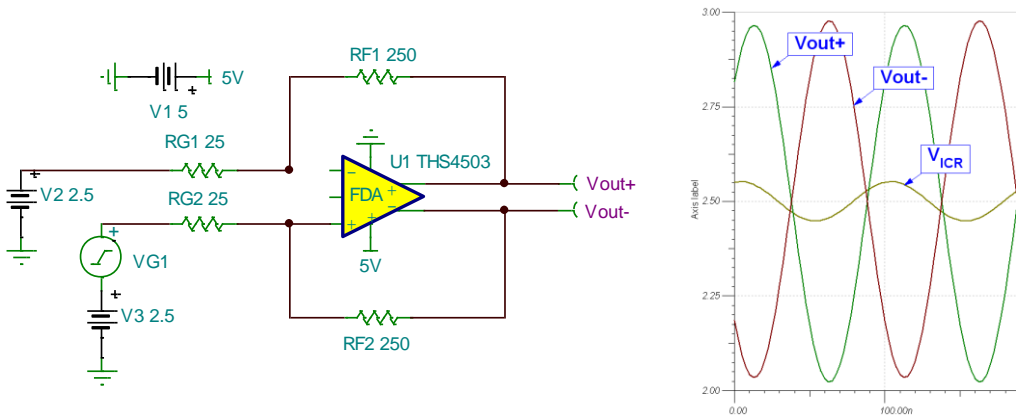
PARAMETER	TEST CONDITIONS	THS4502 AND THS4503					MIN/ TYP/ MAX
		TYP	OVER TEMPERATURE			UNITS	
		25°C	25°C	0°C to 70°C	-40°C to 85°C		
INPUT							
Common-mode input range		-0.7/2.6	-0.4/2.3	-0.1/2	-0.1/2	V	Min

THS4501 的应用在下面这个例子中得到体现：

降低输入信号的幅度为 ±0.1V，设定放大器的增益等于 10（即 $R_f/R_g=10$ ，代入式 4.1，得到 $V_{IN-} = V_{ICR}$ 均从 0.18V 到 0.27V），此时的共模输入电压范围 V_{ICR} 从 0.18 到 0.27V，非常接近电源的最小值，对于 THS4503 来说，已经无法实现放大，而对于 THS4501 来说，却仍然可以正常工作：



通过修改电路，让 THS4503 的输入信号以 2.5V 为参考，我们也可以用 THS4503 得到期望的结果，如下图：



7.2.2.2 放大器与 ADC 的接口

放大器的一个基本功能就是对输入的信号进行预处理，使得信号可以得到正确的偏置以及幅度，从而可以最大限度的发挥ADC的性能。显然，要达到这个目标放大器必需具备相应的带宽与交流特性，从而使得信号可以不受损害。图 7-21给出了一个简单的放大器—ADC

接口。这个接口设计的基本要点就是：1. 确定放大器需要驱动负载；2. 设置正确的输出共模电压值。

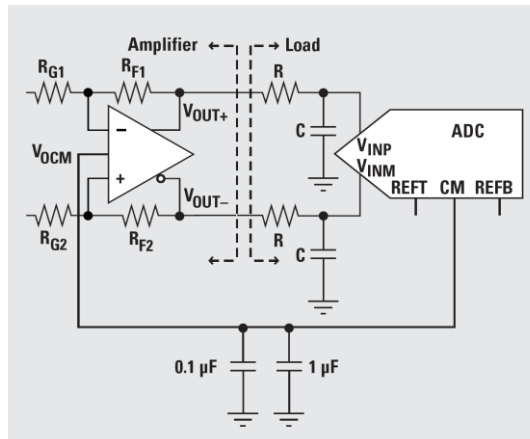
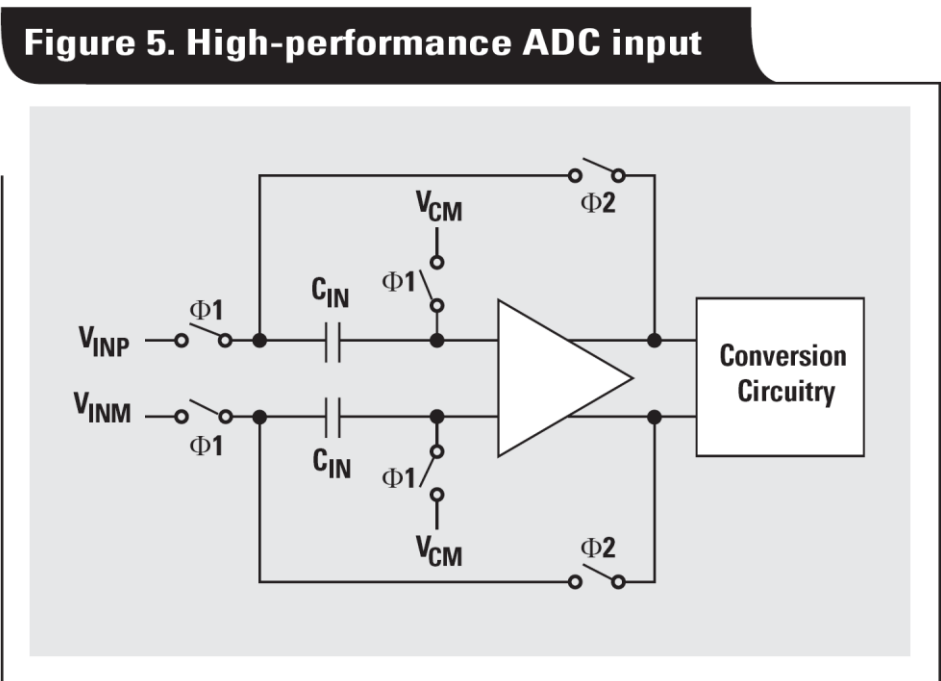


图 7-21 放大器与 ADC 接口

1. ADC 的输入

下图给出了一个高性能ADC的功能结构图。Φ1阶段，输入电容中将会储存输入信号与 V_{CM} 的差值（这就是采样周期——通常是时钟周期的一半）。Φ2阶段，储存的信号将会被传输到数据转换电路系统中，转换成数字信号。



通常都会在放大器的输出端口与ADC的输入端口之间加入一个电阻与电容，加入的这个电阻电容组合有多个作用：

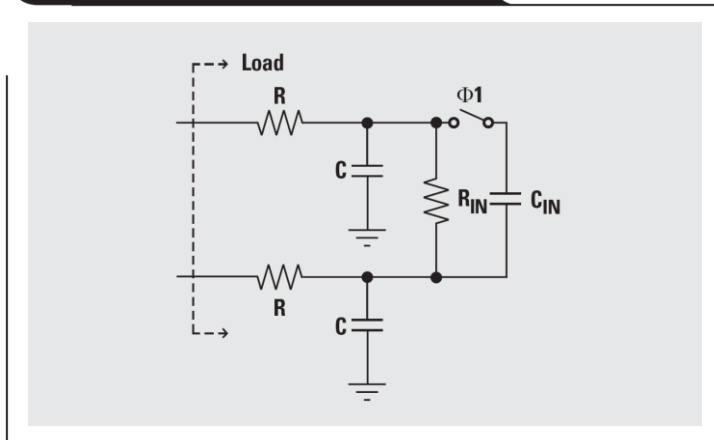
- 电容是ADC的电荷储存器：在信号采样阶段，需要有一定的电流给ADC输入端口的采样电容充电。如果在输入端口处直接放置一个外部电容，所有的电流都可以由它提供。它们可以被看作是电抗值非常低的信号源。它们作用与电源的旁路电容一样，与放大器一起提供一个瞬态的电流，然后提供所需的电荷。通常，一个10到100 pF的电容即可满足要求。

- 电阻隔离了放大器与ADC：ADC输入端口的电容以及它的开关电容采样保持电路的本质都是高速放大器的负载驱动问题中会遇到的最坏的情况。通过简单的加入一个隔离电阻，就可以分隔开反馈网络所带来的相位移动，从而保证放大器的相位冗余度。通常，一个10到100 Ω 的电阻即可满足要求。

- 它们还组成了一个低通的噪声滤波器： R 与 C 一起在 S 平面上形成了一个实极点，这个极点所对应的频率为： $f_p = 1/2\pi RC$ 。可以将这个极点放置在信号最高频率的十倍的地方，从而它不会对信号产生影响。由于通常情况下电阻的阻值都很小，因此将这个极点放置在信号频率上（或者附近）的方法非常不妥当。在极点频率上，放大器驱动的负载的幅度等于 $\sqrt{2} \times R$ 。如果 R 只是10 Ω 左右，在高于极点频率的时候放大器将会发生过载的现象，因此会产生额外的失真。

2. 放大器的负载

Figure 6. ADC input load model



在ADC的输入端口加入了RC的组合后，放大器的负载可以由图6中的模型来表示。有时ADC的输入阻抗为： $R_{IN} \gg R$ and $C_{IN} \ll C$ 。在这种情况下中间值可以被忽略，因此输入的模式即为RC的组合。为了正确的分析放大器的性能，必需以这个负载测试放大器。

运算放大器的输出阻抗对于考虑输出端口的影响非常重要。由于负反馈，运算放大器的输出阻抗几乎在它的所有频带上都非常低：

$$Z_O = \frac{Z_O}{1 + A_F \beta}$$

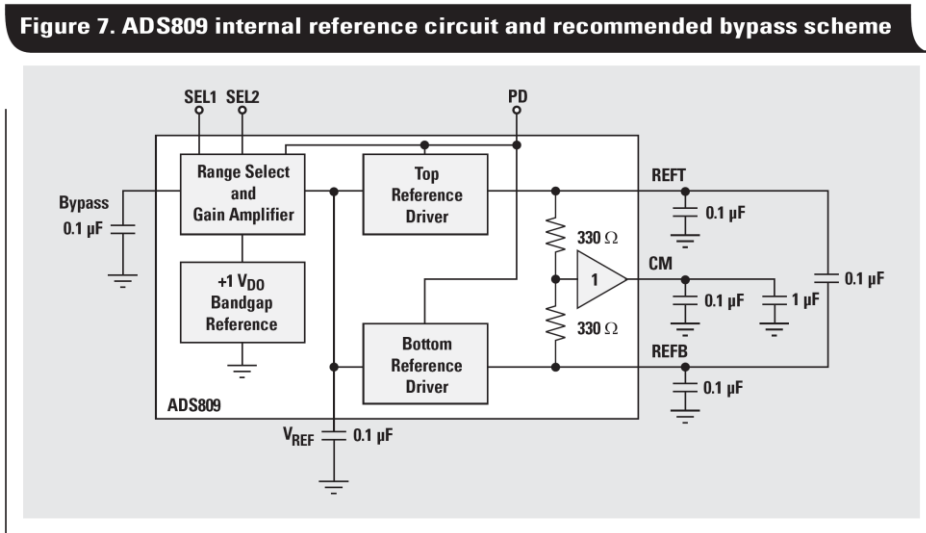
其中， Z_O 是闭环输出阻抗； z_o 是开环输出阻抗； A_F 是放大器的开环增益，与频率有关； β 是反馈系数：

$$\beta = \left(1 + \frac{R_F}{R_G} \right)$$

在低频时 $A_F \beta$ 非常大因此输出阻抗趋于0。开环增益随着频率的升高而降低。因此，应该使得放大器工作在保持 $A_F \beta$ 非常大的频率下。这样可以使输出阻抗对于负载上电压的影响程度最小。

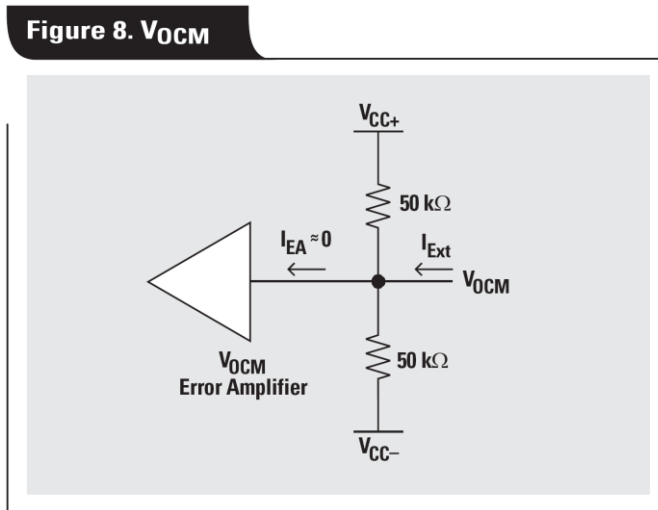
3. ADC 的参考信号以及输入共模电压

如下图，ADC的参考电压，REFT与REFB，决定了数据转换器的电压输入范围，而共模电压CM处于REFT与REFB的中点。为了充分利用ADC的动态范围，输入信号必需以CM为中心对称摆动。这意味着放大器输出的共模电压必需与这个电压匹配。



THS45xx的 V_{OCM} 输入管脚就是为这个目的提供的。内部的电路系统强制使得输出信号的共模电压等于这个管脚上的输入电压。因此， V_{OUT+} 与 V_{OUT-} 以 V_{OCM} 为中心对称摆动。在很多场合下，需要做的就是将CM管脚与 V_{OCM} 连接起来，加上一些必要的旁路电容与地线相连（典型取值为0.1 μF 到10 μF ）。

下图给出了一个THS45xx上 V_{OCM} 输入的简化电路图。当 V_{OCM} 断开的时候，分压器使得电压等于电源电压的一半。

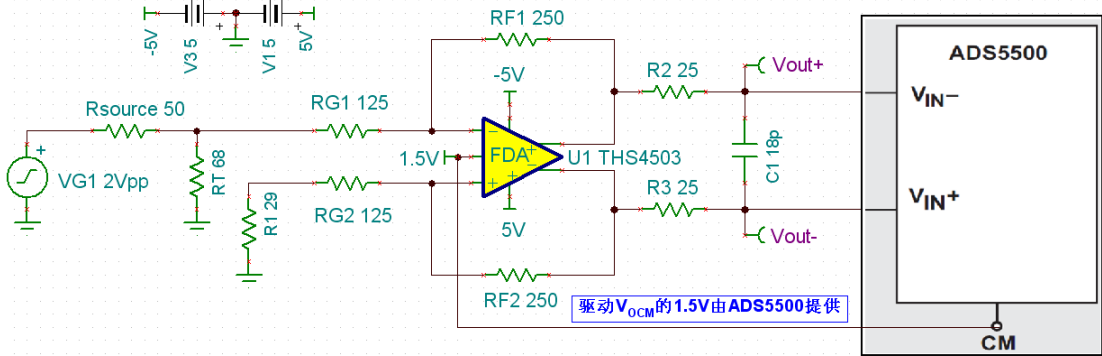


上图中的 I_{Ext} 可以用下式计算： $I_{Ext} = (2V_{OCM} - (V_{CC+} + V_{CC-})) / 50\text{ k}\Omega$ ，这个式子给出了为了得到这样一个电压，怎样计算所需外部电流的方法。很容易观察到当 V_{OCM} 等于电源电压的一半时（比如在+5 V单电源供电的情况下），不需要外部的电流。另一方面，如果放大器采用 $\pm 5\text{ V}$ 的电压而 $V_{OCM} = 2.5\text{ V}$ ，则需要一个 $100\text{ }\mu\text{A}$ 的外部电流。根据ADC的CM端口可以提供的驱动能力，可能需要一个缓冲器提供这个电流。

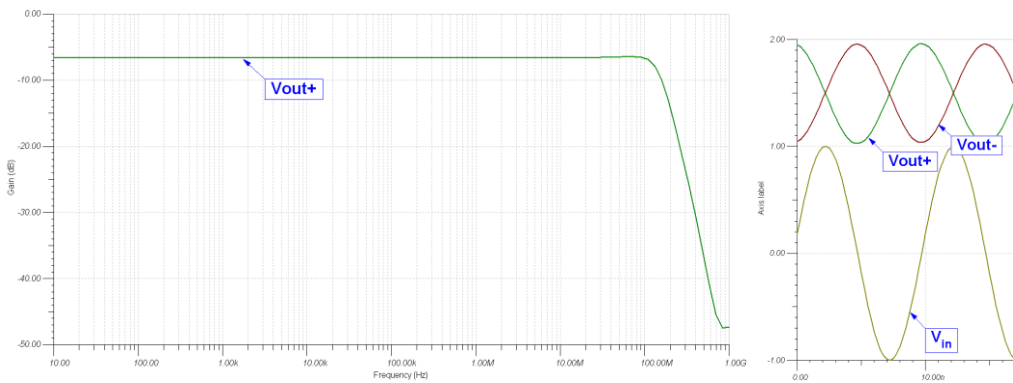
采用差分输入方式的大多数ADC都有一个可以设置驱动电路共模电压的输出端口。不同的生产商采用了不同的命名方式：CM，REF，VREF，VCM或者 V_{OCM} 。不管它们的名称是什么，都有重要的两点需要记住：

- 1) 当 V_{OCM} 不在电源电压的中点时确保它们有足够的驱动能力；
- 2) 采用旁路电容以减少共模噪声。

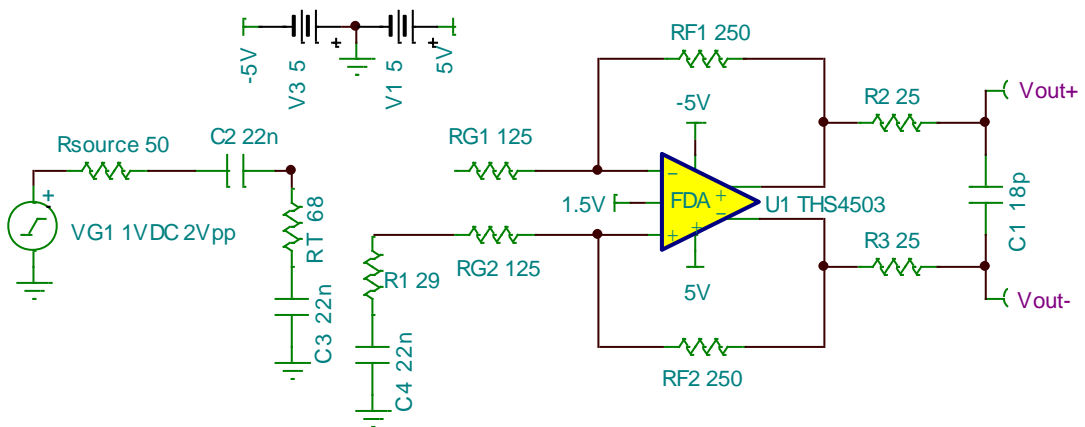
结合考虑信号源与全差分放大器、全差分放大器与ADC的接口，我们可以用下面的电路来实现ADS5500的输入驱动：



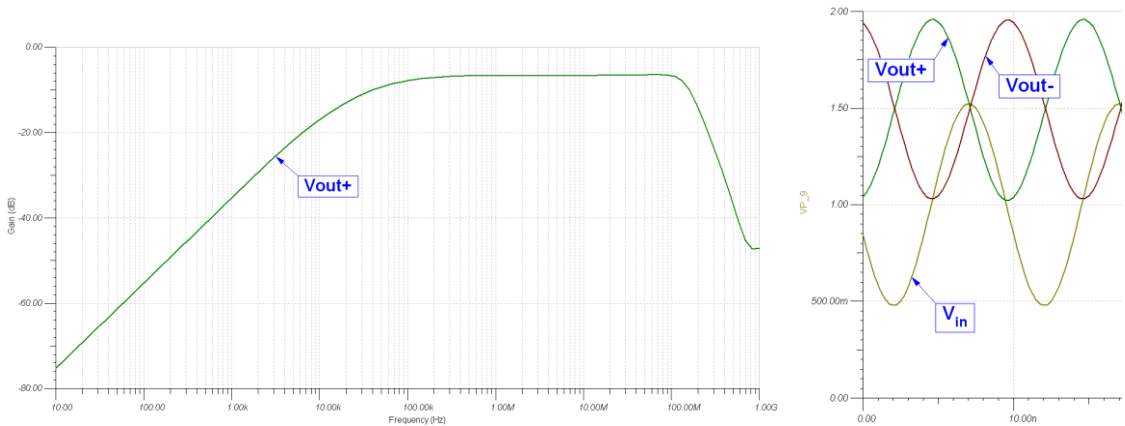
该电路的频率响应和时域输出（输入±1V，100MHz正弦波）如下所示：



这里我们采用的是直流耦合的方式，适用于输入信号以地电平为参考。若输入差分信号含有直流偏置，如1V，我们可以采用交流耦合的方式，避免1V的直流偏置被放大：



该电路的频率响应和时域输出如下所示：



对于全差分放大器，我们就讨论到这里，下面是一些需要牢记的要点：

信号源接口

- 输入阻抗：

- 单端信号源的情况， $Z_{IN} = \frac{R_{G1}}{1 - \frac{K}{2 \times (1 + K)}}$ ，K 为放大器的增益 (R_{F1}/R_{G1})；

- 增益计算中需要包含信号源的内阻；
- 保证放大器有足够的输入共模电压范围；

ADC 接口

- 低频时放大器的输出阻抗非常小，趋向于0，但是在高频时需要仔细考虑；
- 放大器与ADC之间的RC组合
 - 提供隔离
 - 可以作为一个电荷储存器，并且
 - 可以起一个低通的噪声滤波器的作用
- V_{OCM} 提供了一个设置输出共模电压的简便方式，当 V_{OCM} 不等于电源电压的一半时需要

保证 V_{OCM} 的驱动能力；

放大器的功能

- 增益计算中需要包含信号源的内阻；
- 通过 V_{OCM} 管脚实现电平移动；
- 可以方便的实现一阶、二阶有源低通滤波器的功能；

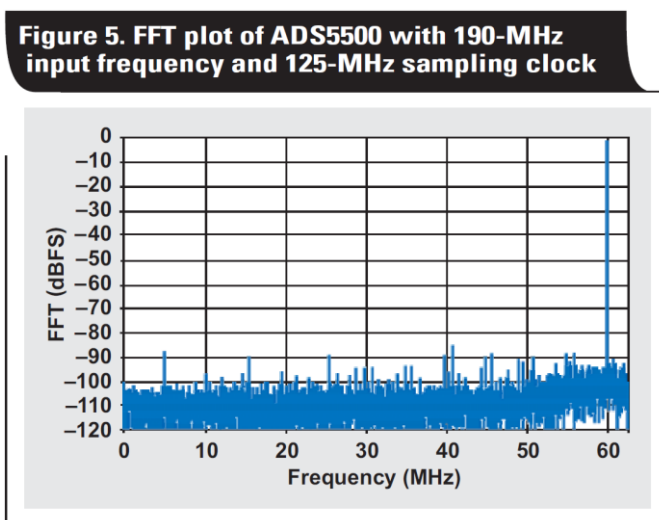
推荐使用的 TI 全差分放大器有：

器件	简介	封装
OPA1632D	$\pm 16V$, $GBW=180MHz$, $SR=50V/uS$, $THD=0.000022\%$, 音频全差分放大器	SOIC
THS4151ID	$\pm 15V$, $GBW=340MHz$, $SR=650V/uS$, 高速宽电压全差分放大器	SOIC
THS4521ID	2.5V-5.5V, $GBW=95MHz$, $HD_2: -133 dBc$ at 10 kHz, 适合驱动 SAR, $\Sigma-\Delta$ 型 ADC 的全差分放大器	SOIC
THS4503ID	$\pm 5V$, $GBW=300MHz$, 全差分放大器, 共模电压包括电源中点	SOIC
THS4501ID	$GBW=300MHz$, 全差分放大器, 共模电压包括 VEE	SOIC
THS4511RGTT	$GBW=2000MHz$, $SR=4900V/uS$, $HD_2: -72 dBc$ at 70MHz, 驱动宽带流水线型 ADC 的全差分放大器, 共模电压包括 VEE	QFN
THS4513RGTT	$GBW=2000MHz$, $SR=4900V/uS$, $HD_2: -72 dBc$ at 70MHz, 驱动宽带流水线型 ADC 的全差分放大器, 共模电压包括电源中点	QFN

7.3 使用 FFT 测试高速 ADC

ADS5500 测试数据

以此测试系统作为较好的应用示例，对于当前的 ADS5500 数据手册没有包含的一些用户设计，在这里提供一些测试数据。这些数据包含一组变压器驱动下的快速傅立叶变换（FFT）、一组由运算放大器驱动的 ADC 的快速傅立叶变换（FFT）。

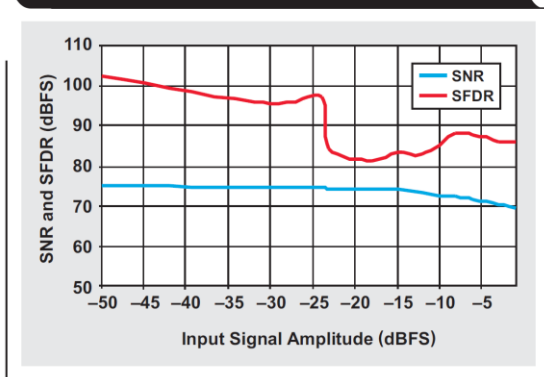


通过一套变压器耦合差分输入配置，上图给出了一个对 ADS5500 在高频输入条件和 125-MHz 采样时钟条件下的快速傅立叶变换（FFT）曲线图。输入信号的频率为 190MHz，幅度为-1dBFS。快速傅立叶变换（FFT）分析显示 SNR 为 69.6dBFS，SFDR 为 85dBFS。在这种情况下

下，输入阻抗（在 R_{T1} 、 R_{T2} 和 ADC 的输入阻抗共同作用下）大约为 200Ω ，输入电路中的 R_1 和 R_2 都小于 25Ω 。

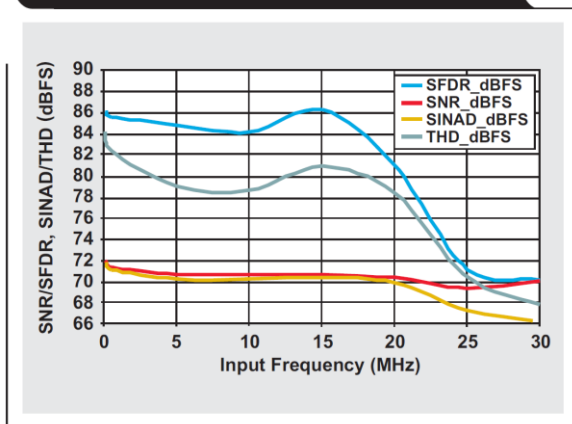
下图显示了在输入信号频率为 190-MHz、采样时钟频率为 125-MHz 条件下，输入信号幅度不同时 ADS5500 的动态性能。这组数据显示，在如此高的输入信号频率和低输入信号幅度条件下，ADS5500 芯片的 SNR 为 74-dBFS，同时 SFDR 也较高。

Figure 6. Dynamic performance of ADS5500 with different input amplitudes, 190-MHz input frequency, and 125-MHz sampling clock



下图显示了 ADS5500 和 THS4503 结合后的动态性能。这些数据是基于我们前面给出的电路（仅将运放和 ADC 间的串联电阻改为了 62 欧姆），在不同输入频率下测量得到的，采样时钟信号频率为 125-MHz。这些数据表明，与 THS4503 结合后，在输入信号频率到达 18MHz 时，ADS5500 的信噪比为 71dBFS，无杂散动态范围在 86dBFS 以上。在输入信号频率高于 20MHz 时，由于 THS4503 的带宽限制，芯片的性能开始下降。如果要使用运算放大器来驱动 ADS5500 应用于宽频带，则推荐使用 THS4511，THS4509 或 OPA695。

Figure 9. Dynamic performance of ADS5500 with THS4503 vs. input frequency with 125-MHz sampling clock



附录——应用笔记

A.在软件中解决高信号源阻抗引起的误差

将一个内部或者外部的 ADC 与一个微控制器相连接都是富有挑战性的工作，特别是当你不了解这里面涉及的问题以及一些折衷的考虑。一般地，微处理器内部包含的 ADC 是逐次渐进逼近型（SAR 型 ADC）的（部分 MSP430 也含有 16 位 Delta-Sigma 型 ADC）。对于一个 SAR 型 ADC，在设计其电路时应当首先考虑的是采样速度和外部信号源内阻。如果忽略这些基本参数，不管是微处理器中内置的还是外置的 ADC，都得不到最好的输出。当然可以很容易的通过硬件方法对付这些问题，但是本文将重点关注通过修改软件的方法来实现。

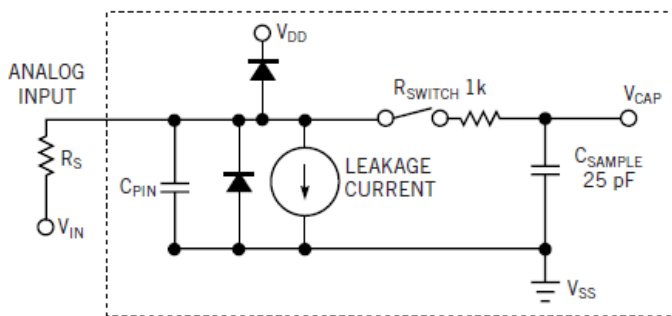


图 1 用来确定高信号源阻抗、内部开关电阻和采样积分电容对 SAR ADC 的影响的工作模型

首先，你需要理解 SAR ADC 的输入级，图 1 描述了一个典型的 SAR ADC 的输入级模型，从左向右来看，图中可以看出外部输入的阻抗为 R_s 。通常如果用运算放大器来驱动 SAR ADC，这个阻抗将小于几百欧姆。但如果采用电阻电桥这类高阻元件直接作为信号源， R_s 通常可以达到数千欧姆。信号经过 R_s 后进入 ADC 的模拟输入端。

进入 ADC 内部的信号遇到的第一个障碍就是输入引脚电容 C_{PIN} 和 ESD(静电放电保护)二极管。这些对输入信号的影响微乎其微，本文将忽略它们，同时忽略的还有输入漏电流。

接着，信号到达导通电阻为 R_{SWITCH} 的开关，采样电容 C_{SAMPLE} 。当开关闭合时，可用 C_{SAMPLE} 来代表主要的采样电路；而输入信号源内阻 R_s ，开关导通电阻 R_{SWITCH} 和采样电容 C_{SAMPLE} 的联合作用构成了一个单极点的 RC 网络。而这个 RC 网络的时间常数可以表示为：

$$t_{RC} = (R_s + R_{SWITCH}) \times C_{SAMPLE}$$

假设在采样刚开始时候的采样电容上电压为 0，电容上的电压大小与上升时间关系可以表示为：

$$V_{IN} = (1 - e^{-\frac{t}{(R_S + R_{SWITCH}) \times C_{SAMPLE}}})$$

通过这个方程，你可以根据时间变化确定采样电容上的电压达到输入信号电压值的百分比。

如果你将这个思想应用到在一个如图 1 所示的 12 位 ADC 的应用中，就能确定已经从输入信号里采样到了多少位的数据（译者注：位数通过已经采得的电压占输入电压的百分比来换算，如表 1，当采样电容上的电压为输入电压值的 99.32% 时，将有 0.68%（percentage to go）的电压无法准确获得，也就是说最小分辨率为 0.68%，这和 7.2 位的 ADC 的分辨率一致。

所以换算公式为 $\log_2\left(\frac{1}{\text{Percentage to go}}\right)$ 。表 1 所说明的就是这种方法：

TABLE 1—BITS VERSUS SAMPLING PARAMETERS					
No. of time constants	One	Five	Eight	Nine	10
$(R_S + R_{SWITCH}) \cdot C_{SAMPLE}$ (nSEC)	25	125	200	225	250
Full-scale range on C_{SAMPLE} (%)	63.2	99.3	99.966	99.9877	99.9955
Full-scale range on C_{SAMPLE} to go (%)	36.8	0.67	0.034	0.0123	0.0045
ADC accuracy (bits)	1.4	7.2	11.5	13	14.43

根据这个表的计算，如果不能给 ADC 足够的采样时间会导致 ADC 的精度降低。举个例子，一个采样时间为 1.5 个时钟周期的 12 位 ADC，在时钟频率为 2MHz 时折算出的采样时间为 750ns。对比表 1，当 R_S 为 0 时，采样电容上能获得远高于 12 位的精度，采样时间是足够的。但如果现在对信号源增加 5k Ω 内阻，然后可以得到：如果要达到 13bits 精度，转换器需要 1350ns 的采样时间，750ns 的采样时间就不再那么保险了。这时，可以通过改变软件来降低 ADC 的采样率来获得更长的采样时间，这个是易于实现的，而降低信号源内阻是难以做到的。

译者注：

1. 如何读表 1？

表 1 中， R_{SWITCH} 和 C_{SAMPLE} 是根据图 1 得来，作者令 R_S 为 0，得到单个时间常数的值为 25ns，接着作者给出在时间常数的倍数段时间里采样电容上获得的电压值占输入电压的百分比：比如采样时间为 125ns，采样电容上的电压只能达到 7.2 位的水平，这与你使用的 ADC 的位数无关。而当你留给 ADC 的采样时间足够长时，比如达到 9 倍时间常数的 225ns，在采样

电容上你可以获得 13 位的精度（当然如果你选用 12 位的 ADC，最终你只能达到 12 位的精度）。

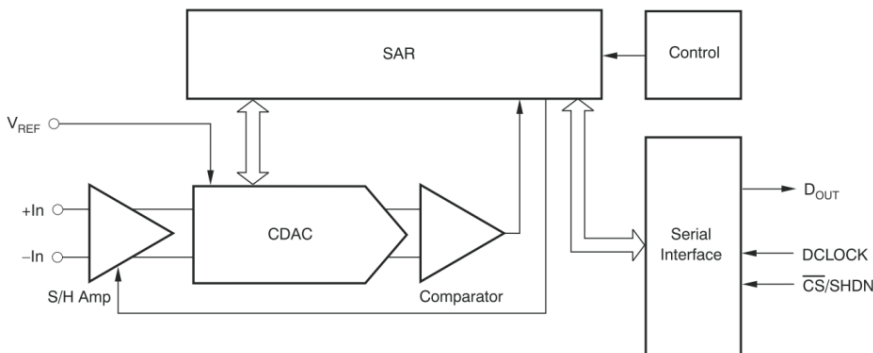
我们也可以清晰看到当 R_S 变大时，时间常数将跟着变大，所需的采样时间需要相应的加长来使得 C_{SAMPLE} 上获得足够的精度。比如，作者提出了 R_S 为 5K 欧姆：这时的单位时间常数为 $6k\Omega * 25pF = 150ns$ ，你就在表 1 中用 150ns 替换 R_S 为 0 时的单位时间常数 25ns，再替换各个倍数下面的时间常数，经过简单计算和查表，你会发现为了在采样电容上达到 13 位的精度，你需要 9 倍单位时间长度的采样时间，即 1350ns。这和作者给出的结论一致。

2. 为什么说采样能够在 1.5 个时钟周期内完成？

现代 ADC 的前端均含有一个或多个采样保持器，因此，ADC 的一个完整转换周期实际上包含采样和保持两个阶段：在采样阶段，ADC 保存模拟输入电压，所需的时间为采样时间（Acquisition Time, T_{ACQ} 或 Sampling Time, T_{SMPL} ）；在保持阶段，ADC 将保存下来的模拟电压转换为数字输出，所需的时间为转换时间(Conversion Time, T_{CONV})。因此这里说的采样能够在 1.5 个时钟周期内完成实际上是指采样时间为 1.5 个时钟周期，并不包括转换时间。

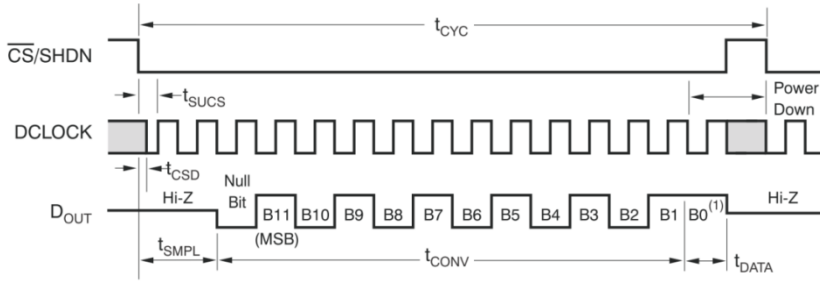
描述 T_{SMPL} 和 T_{CONV} 主要有两种方式：一种是用 us 或 ns 来描述，这最为直接，很容易理解，但不够直观，这种描述在有内部转换时钟的 SAR ADC 中较为常见。另一种用转换时钟的个数来描述，需要事先规定好转换时钟的频率范围，确保通过时钟周期数定义的最小 T_{SMPL} 也能保证足够的精度，这种描述方式在无内部转换时钟的 SAR ADC 中较为常见（利用外部 SCLK 定义），某些内建转换时钟的 SAR ADC 也会通过内部时钟的周期数来定义 T_{SMPL} 和 T_{CONV} 。

没有内部时钟的 SAR ADC 的内部简要结构如下图：



这种没有内部时钟的 SAR ADC 将依赖于 SPI 接口的串行输入时钟 DCLOCK 进行定时、内部开关切换、逐次渐进比较和数据移位输出。一般来说，12 位的这类 SAR ADC 需要 1.5 至 2 个 DCLOCK 时钟周期完成采样动作，需要 13 个时钟来完成逐次渐进比较和数据输出（在这 13 个时钟中，第一个时钟的上升沿用来进行最高位 MSB 的比较，并在第一个时钟的下降沿把数据放到串行输出端，这样在第二个时钟的上升沿单片机就可以读入 MSB，依次工作，在第 13 个

时钟的上升沿可以读入 LSB)。如下图是 12 位 200KSPS 的 ADS7822 的数据输出时序：

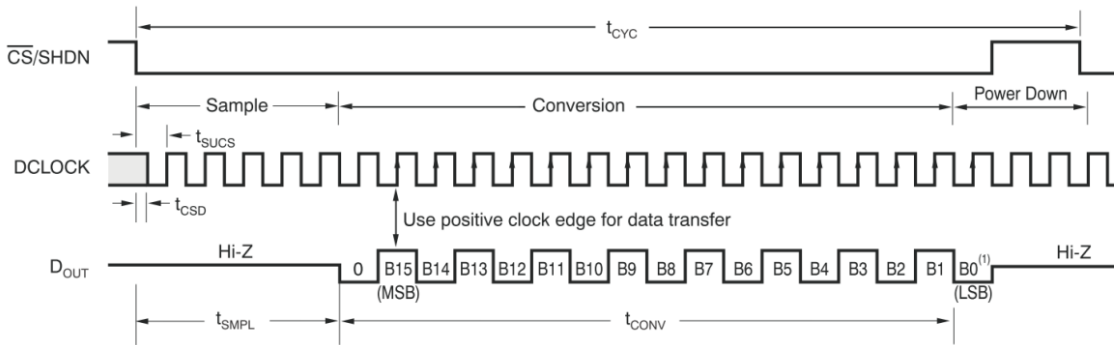


SYMBOL	DESCRIPTION	$V_{CC} = 2.7V$			$V_{CC} = 5V$			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
t_{SMPL}	Analog input sample time	1.5		2.0	1.5		2.0	Clk Cycles
t_{CONV}	Conversion time		12			12		Clk Cycles
t_{CYC}	Cycle time	16			16			Clk Cycles

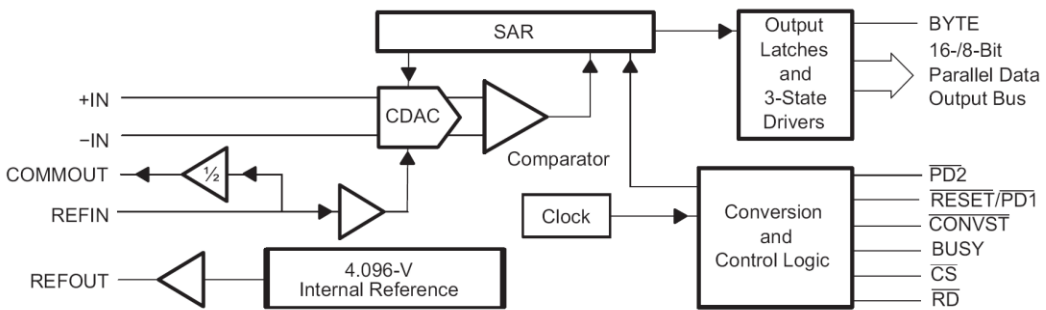
图 2 ADS7822 的输出时序

ADS7822 的时序图清晰的指出了 T_{SMPL} 和 T_{CONV} ，前 1.5 个时钟周期（前提是 DCLOCK 的时钟频率必须在数据手册的允许范围内）是采样时间，正如本文中强调的，这段时间要大于足够倍数的 RC 时间常数来使采样电容上获得所需的精度；后 13 个时钟周期用来逐次渐进比较和数据输出。值得注意的是 ADS7822 共需 15 个时钟来完成采样，如果使用标准的 16 位数据读取的 SPI 时序，第 16 个时钟上升沿读到的是无效数据，需要将读到的数据右移一位。其他没有内置时钟的 SAR ADC 采样过程和 ADS7822 大体一致，只是在输出数据的补零上略有不同。比如有一些 SAR ADC，如 ADS7886，在 2 个时钟周期的采样时间还插入一个无用的时钟周期，再跟上 13 个时钟周期来进行数据的产生和输出，这样一共 16 个时钟周期完成一次采样，不再需要再右移数据。

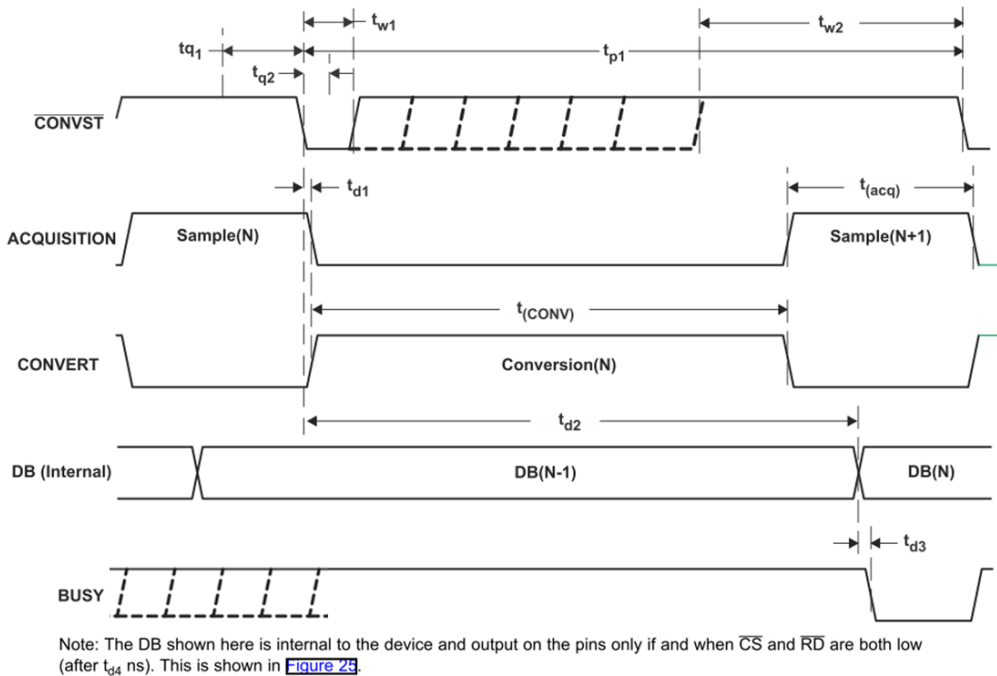
同样地，如下图，是 16 位 250KSPS 的 ADS8325 的数据输出时序，ADS8325 也是不带内部时钟的 SAR ADC，它的工作流程和 ADS7822 类似。但由于采样速度不变，为了保证更高的采样精度增加，采样时间也相应增加到 4.5 个时钟周期，这相当于增加了一倍的采样时间，从作者文中的表 1 我们看到，当采样时间从 125ns 增加到 250ns 时，采样电容上的精度可从 7.2 位提高到 14.4 位，所以我们可以大致推算出这增加一倍的采样时间可以确保在采样电容上的电压获得从 12 位到 16 位的精度提升。



不带内部时钟的 ADC 的一个缺点在于不适合在高速采样的环境下使用，比如 ADS7822，一个完整的采样周期（即图 2 中的 t_{cyc} ，包括 CS 信号为高电平的时间）最少为 16 个串行时钟周期，为了获得 200KSPS 的采样率，需要的串行数据输入时钟为 $200K \times 16 = 3.2\text{MHz}$ ，这个速度多数单片机都还可以满足，但是当 ADC 的位数和速度增加的时候，对单片机的数字接口提出了越来越高的要求。比如，TI 最快的 12 位 SAR 型 ADC 为 4MSPS（ADS7881），这时如果用串行数据输出，需要 64MHz 的 SPI 接口，这只有高端的单片机或 DSP 能满足设计要求。所以一般 2MSPS 以上的 SAR 型 ADC 就会采用并行接口，这时，由于不再有外部串行时候为 SAR ADC 提供逐次比较的时钟，设计人员就在内部设计了转换时钟（Conversion Clock, CCLK），如下图所示是内建转换时钟的 SAR ADC 的典型框图：

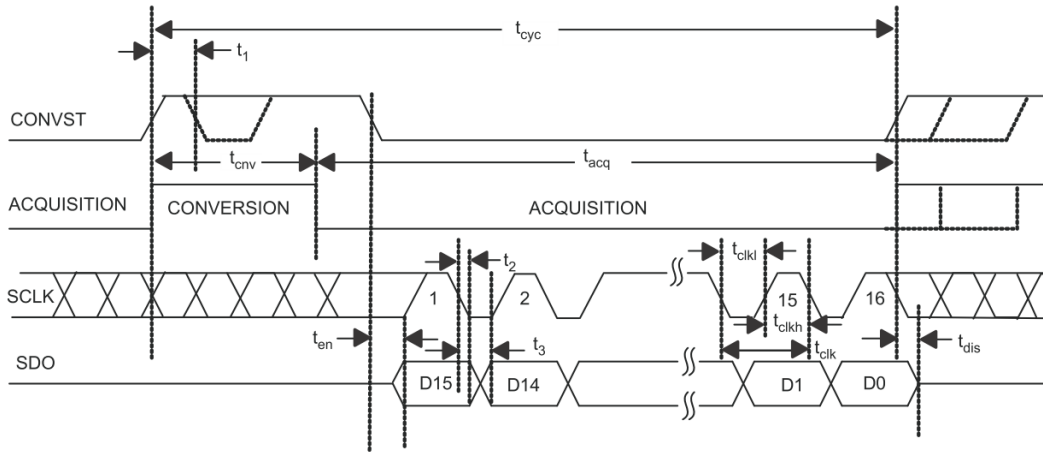


16 位 4MSPS 的 ADS8422 是业界最快的 16 位 SAR ADC，它的数据输出时序如下：



当 \overline{CONVST} 为高电平时，ADS8422 处于采样阶段中，输入电压给采样电容充电，ADS8422 的采样时间最小为 70ns，因此 \overline{CONVST} 的高电平时间最小为 100ns 来保证典型情况下的采样精度；在 \overline{CONVST} 的下降沿处，输入开关断开，ADS8422 进入保持（转换）阶段，内部的时钟开始逐次比较获得输出数据，转换时间的典型值为不大于 180ns，这样典型的采样周期为 70ns+180ns=250ns，也就是 4MSPS； \overline{CONVST} 的上升沿不会切换 ADS8422 的采样—保持状态，只需保证 \overline{CONVST} 的低电平时间大于 20ns 并且 \overline{CONVST} 的周期大于等于 250ns 即可（ \overline{CONVST} 的周期和占空比可由 TIMER 来产生），内部时钟负责由转换状态切换到采样状态，并由 BUSY 引脚指示数据状态：当 \overline{CONVST} 发生下降沿切换 ADS8422 到转换状态后，BUSY 的上升沿和持续高电平指示新的转换正在进行，数据不可用，当转换完成切换到采样状态时，BUSY 的下降沿和持续低电平指示新的转换结果已经生成，因此可以利用 BUSY 输出来触发处理器中断，并利用 \overline{RD} 信号并行读取输出数据。

另一种情况是在大多数 16 位及以上精度的串行输出 SAR ADC，为了简化数据输出接口，也使用内部时钟来完成数据转换工作（这时本文所述的方法不再可用，因为无论采样周期如何，采样时间根据内部时钟频率是固定的，这时只有通过添加缓冲器的方法降低信号源的输出阻抗），如 TI 大多数的 ADS83xx，ADS84xx 都是内置转换时钟的串行输出 ADC，以 ADS8319 为例：



如上图是 ADS8319 的一种数据输出时序（3 wire without busy indicator），在 CONVST 信号的上升沿到来时，ADS8319 由采样状态进入转换状态，典型的最大转换时间为 1400ns，在上图的这种数据输出模式下，可以保持 CONVST 的高电平大于 1400ns（CONVST 的周期和占空比可由 TIMER 来产生），然后切换到低电平进行数据读取。需要注意的是 CONVST 的下降沿并不会使转换状态切换到采样状态，转换状态到采样状态的切换由内部时钟控制，ADS8319 只是根据内部 CONVERSION-ACQUISITION 切换时钟的下降沿处 CONVST 信号的电平高低来决定是否在 SDO 上输出一个 busy indicator。在内部 CONVERSION-ACQUISITION 切换时钟的下降沿处，ADC 进入采样阶段，典型的最小采样时间为 600ns（CONVST 信号的上升沿控制采样状态到转换状态的切换），这样一个完整的最小采样周期为 2000ns，即 500KSPS 的采样率。在采样阶段 ADC 内部的时钟停止工作，串行数据被外部 SCLK 的上升沿打出，并在 SCLK 的下降沿被处理器锁存，这样只需 16 个 SCLK 时钟周期就可以完成一次数据读取，若采用 SCLK 为 40MHz，读取数据只需要 400ns 的时间，这样可以设定 CONVST 信号的高电平时间为 1500ns，低电平时间为 500ns，从而达到 500KSPS 的采样率。

总之，在使用 ADC 时，请仔细研究你的采样—转换时序图，注意给 ADC 留出足够的采样时间，避免在最开始的阶段就损失宝贵的精度。如果信号源的输出阻抗太高，你又无法通过降低采样率来获得更多的采样时间，那么只有在硬件上加入缓冲器来实现阻抗变换。

B. ADC 的 SNR 意味着什么？

你会一遍又一遍地听到，一个理想 ADC 的信噪比的表达式为： $6.02N+1.76\text{dB}$ （不包括 $\Delta\Sigma$ 数据转换器）。在我刚开始工作的时候，我对这一点理解得并不深入，因为我有许多其他更加重要的事情需要去了解。现在，随着年岁的增长，我也更加明智了，是时候来回答关于 SNR 这一指标的两个重要问题了：1. 这个理想表达式是从何而来的？2. 对于一个实际的 ADC 而言，如何测量 SNR 的值？

SNR 是通过计算得到的值，它代表了信号的有效值和噪声的有效值之间的比值。然后，对这个比值取 \log_{10} ，再乘以 20，从而得到 dB 形式的 SNR 的值。正如我上面所提到的，一个理想 ADC 的信噪比等于 $6.02N+1.76\text{dB}$ ，这里 N 是指 ADC 的比特数。

推导上述公式，首先需要确定信号的有效值。假设输入信号是正弦信号，则信号的有效值等于 ADC 的满幅度量程除以 $\sqrt{2}$ 。如果 ADC 的增益为 1，你可以将信噪比的等式转换为用比特数表示：信号有效值= $(2^{(N-1)} \times q)/\sqrt{2}$ ，这里 q 表示最小比特步长（1LSB）。

所有 ADC 都会由量化误差而产生量化噪声（（在理想情况下，ADC 的唯一噪声来源是其量化噪声）），由此而产生的噪声有效值等于 $q/\sqrt{12}$ ，有必要对这个公式进行解释一下。

任何 ADC 的不确定值的大小等于 $\pm 1/2\text{LSB}$ 。当然，这种假设是基于 ADC 是没有差分非线性误差的理想 ADC。现在我们需要确定的是 1LSB 的有效值。我们可以认为量化误差是由模拟输入信号引起的三角波，而三角波信号的有效值等于信号幅度除以 $\sqrt{3}$ ，所以有如下的等式：

噪声有效值= $\pm(\text{LSB}/2)/\sqrt{3} = q/\sqrt{12}$ 。然后，对这些数字进行整理：

$$\text{SNR (dB)} = 20\log \frac{\text{信号有效值}}{\text{噪声有效值}} = 20\log \left(\frac{(2^{N-1} \times q/\sqrt{2})}{q/\sqrt{12}} \right) = 6.02N + 1.76$$

现在，知道了如何计算理想的信噪比，接下来可以解决第二个问题了。使用 ADC 对基频输入信号采样，获得含有噪声的 FFT 数值，从而计算出 ADC 真实的信噪比。图 1 给出了一个输入信号为 9.9KHz 的 12 比特 ADC 的 FFT 频谱图。在实际测试中，正弦输入信号的噪声应小于 ADC 理想噪声的 1/3，在这种情况下，信号有效值才准确等于信号幅度除以 $\sqrt{2}$ 。

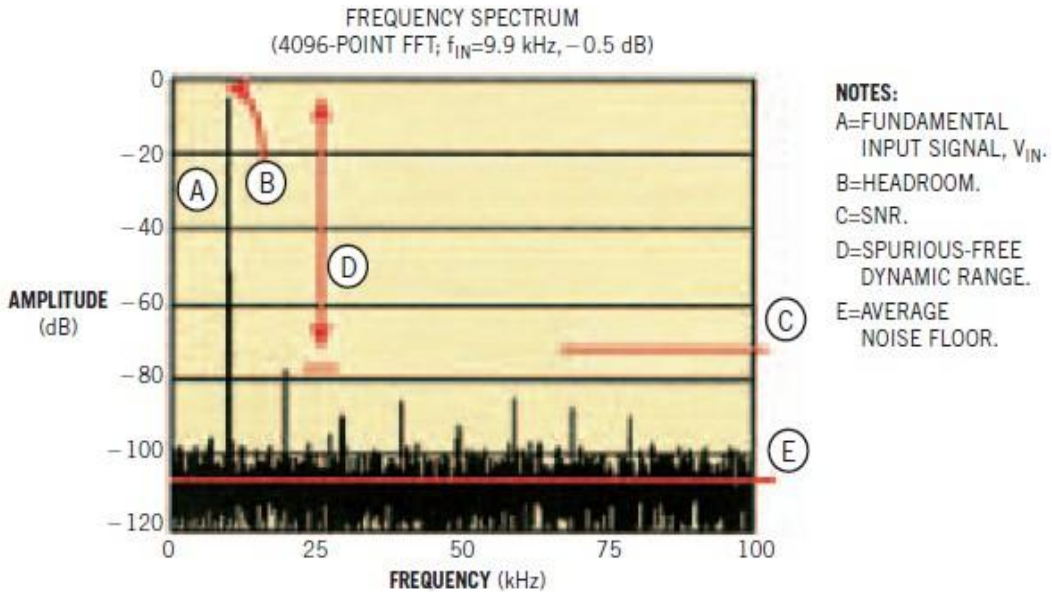


图 1 12Bit ADC 的 FFT plots

根据图 1 所示的 FFT 幅度值，可以计算出 ADC 的 SNR。在 SNR 的计算表达式中，分母上没有包含基频输入信号及其倍频信号（谐波），比如 19.8kHz，29.7kHz 等等。在计算数据转换器的噪声有效值的时候，则需要将上述谐波都考虑进去（当然不能包括基频信号和直流电平），将各数据进行平方，并把所有平方后的数值相加，然后对平方和开二次方，即求出平方和的平方根。图 1 中的 C 点给出的是计算得到的 12 比特 ADC 的信噪比，约为 72dB，这跟理想的 74dB 的值比较接近（见译者注）。

上述的公式推导使得 ADC 信噪比的计算表达式显得有点神秘。当然，你也可以在实验室里对你的 ADC 的优缺点进行评估。至此，我已经回答了我所好奇的一些问题。那么，还有哪些其他的问题让你觉得有兴趣去解决呢？

译者注：

和 SNR 相近的一个表现 ADC 信噪比的指标是 SINAD（信号与噪声加失真比）。两者的区别在于，计算 SNR 的时候我们不把谐波能量计算到噪声中去：

$$SNR = 10 \log_{10} \left(\frac{P_s}{P_N} \right),$$

这里， P_s 是基波信号功率， P_N 是所有噪声频率分量的功率之和；
而 SINAD 将谐波功率包括在噪声的计算中：

$$SINAD = 10 \log_{10} \left(\frac{P_s}{P_N + P_D} \right),$$

这里， P_s 是基波信号功率， P_N 是所有噪声频率分量的功率之和， P_D 是所有失真频率分量的功率之和。因此 SINAD 肯定会小于 SNR 的值。

我们还可以利用 SINAD 来估算出 ADC 的有效位数(ENOB)： $ENOB = (SINAD - 1.76) / 6.02$ ；因此，你可以利用采样得到的数据来估计你自己的 ADC 电路有多好。

C. ADC 中的 SNR：位数去哪了

从理论上来说，ADC 中的 SNR(信噪比) 等于 $6.02N+1.76$ ，这里 N 等于 ADC 的位数。尽管我的数学技巧不那么好，我想理论上 16 位的转换器对应的 SNR 为 98.08dB。但是，当我读转换器的数据手册时却发现不同的情况。比如，对于 16 位 SAR（逐次逼近寄存器）转换器，因厂商和器件的不同这个指标的常见可能范围为 84dB 到 95dB。生产商在他们数据手册的第一页上标榜这些值，坦白的说，95dB 的 SNR 对于一个 16 位 SAR 转换器来说是有竞争力的。但我算出来的理论值是 98dB（除非我算错了），这比现实中最好的 16 位转换器的 95dB 的值要高。那么，相差的位数哪去了呢？

让我们从这个理想的公式 $6.02N+1.76$ 的来源看起。系统的 SNR 以分贝来表示等于 $20\log_{10}(\text{RMS Signal}/\text{RMS Noise})$ 。当推导理想的 SNR 公式时，我们首先需要定义 RMS Signal 的大小。因为将峰峰值信号转化为均方根形式，就将其除以 $2\sqrt{2}$ ，所以 ADC 的信号均方根值或有效值用位数来表示就为

$\text{RMS Signal} = (2^{(N-1)} \times q) / 2\sqrt{2}$ （ADC 的满量程输入即为信号的最大峰峰值，从而换算出最大的信号均方根值或有效值），这里 q 为 1 个 LSB(最小比特位)的大小。

所有的 ADC 因为将输入信号分成很多小的段都会产生量化噪声。每一个小段的理想值等于转换器的 LSB 的值。因此，ADC 的每一位将有 $\pm 1/2\text{LSB}$ 的不确定性（ADC 的数字输出在 $\pm 1/2\text{LSB}$ 的范围内不会改变）。这个误差响应理想状态下应为三角波（假设 ADC 不存在差分非线性 DNL），那么均方根值等于 1LSB 信号的幅度除以 $\sqrt{3}$ 。所以，噪声的均方根值或有效值就为：

$$\text{RMS Noise} = \pm(\text{LSB} / 2) / \sqrt{3} = q / \sqrt{12}。$$

结合 RMS Signal 与 RMS Noise，理想的 ADC 的 SNR 为（以 dB 为单位）

$$\text{SNR} = 20\log_{10}\left(\frac{(2^{(N-1)} \times q) / 2\sqrt{2}}{q / \sqrt{12}}\right) = 6.02N + 1.76$$

回到原来的问题，相差的位数到那里去了呢？ADC 厂商热情的解释有效位数减小的现象，因为他们测试了他们的器件的 SNR 有多好。基本上，他们发现电阻和晶体管的噪声影响到了结果。厂商将他们的数据代入到下面的公式中测试他们 ADC 的 SNR。

$$\text{SNR} = 20\log_{10} \frac{\text{RMS - SIGNAL}}{\text{RMS - NOISE}}$$

这些理论和测试SNR公式是完备的，但是要搞清楚转换器到底有多少位可用，这还只是其中的一部分。比如ADC的另一个需要关注的指标，THD (总谐波失真)，表示的是谐波成分的总功率的均方根值跟输入信号功率的均方根值的比。

总谐波失真可以由下式计算：

$$THD = 20\log_{10} \sqrt{((10^{HD2/20})^2 + (10^{HD3/20})^2 + (10^{HD4/20})^2 + \dots)},$$

其中HDx是第x次谐波失真分量的幅值，并可以推出总谐波失真也可以由下式求得(推导过程见译者注)：

$$THD = 10\log_{10} \left(\frac{P_{HD}}{P_s} \right),$$

这里， P_s 是基波信号的功率， P_{HD} 是从2到N次谐波的功率之和（N经常取到8）。ADC的INL(积分非线性)误差通常表现在THD数据中。

最后，SINAD(信号对噪声和失真比)是基频信号的幅度均方根值与低于奈奎斯特频率的频带范围内所有频谱分量（不包括直流分量）的均方根值之和的比值。对于SAR及pipeline型转换器，SINAD的理论最大值等于理想的SNR，即 $6.02N+1.76\text{dB}$ 。对于 $\Sigma-\Delta$ 转换器，理想的SINAD等于 $6.02N+1.76\text{dB}+10\log_{10}(f_s/(2BW))$ ，这里 f_s 是转换器的采样频率， BW 是感兴趣的带宽的最大值。实际的

$$SINAD = -20\log_{10} \sqrt{(10^{-SNR/10} + 10^{+THD/10})},$$

或者

$$SINAD = 10\log_{10} \left(\frac{P_s}{P_N + P_D} \right)$$

这里， P_s 是基波信号功率， P_N 是所有噪声频率分量的功率之和， P_D 是所有失真频率分量的功率之和。

所以，下次要找失去的位数时，记得ADC的真实位数是SNR,THD还有SINAD共同作用的结果，不论是SAR,pipeline还是 $\Sigma-\Delta$ 转换器，也不论数据手册第一页的提到的位数是多少位。

译者注：

这里的HDx是以dBc为单位。dBc的含义是第x次谐波与基波分量的比用dB为单位表示，例如 $HD2=-40\text{dBc}$ 实际上是说第2阶谐波分量的功率与基波分量的功率相比差100倍，或100dB，所以以-40dBc表示。这样的话：

$HD_x = 10 \log_{10} \left(\frac{P_{HDx}}{P_S} \right)$, 这里 P_S 是基波信号的功率, P_{HDx} 是第 x 次谐波的功率。代入上面

的式子可以得到:

$$\begin{aligned}
 THD &= 20 \log_{10} \sqrt{\left(10^{(10 \log_{10}(\frac{P_{HD2}}{P_S}))/20}\right)^2 + \left(10^{(10 \log_{10}(\frac{P_{HD3}}{P_S}))/20}\right)^2 + \left(10^{(10 \log_{10}(\frac{P_{HD4}}{P_S}))/20}\right)^2 + \dots} \\
 &= 20 \log_{10} \sqrt{\left(\left(\frac{P_{HD2}}{P_S}\right)^{1/2}\right)^2 + \left(\left(\frac{P_{HD3}}{P_S}\right)^{1/2}\right)^2 + \left(\left(\frac{P_{HD4}}{P_S}\right)^{1/2}\right)^2 + \dots} \\
 &= 10 \log_{10} \left(\frac{P_{HD2} + P_{HD3} + P_{HD4} + \dots + P_{HDx}}{P_S} \right)
 \end{aligned}$$

这里应该注意的是 dB 不是一个单位而是一个比例, 关于更多 dB 信息请参考下文

什么是 dB?

dB 表示的是两个量之间的倍数关系, 或比例关系。单单说一个信号是多少 dB 是没有意义的, 它总需要一个参照物。在看到 dB 为单位的量时, 你应该在脑子里想一想这是哪两个信号的比例关系。

dB 的全称是 **decibel**, 可以分解为两个词语, **deci** 和 **bel**:

bel (贝尔) 是用来表示两个功率值的比例关系, 计算方法为 $a = \log_{10}(P_1/P_2)$; **deci** 是表示十分之一; 组合起来的 **decibel** 就是分贝 (这就如同米和分米之间的关系, 要把以米为单位的量换算成分米, 你需要乘以 10), 所以 dB 的计算方法为 $a = 10 \log_{10}(P_1/P_2)$ 。

很多时候我们看到 dB 常用 $20 \log_{10}$ 来计算, 这是因为这里是比较的是的电压有效值大小:

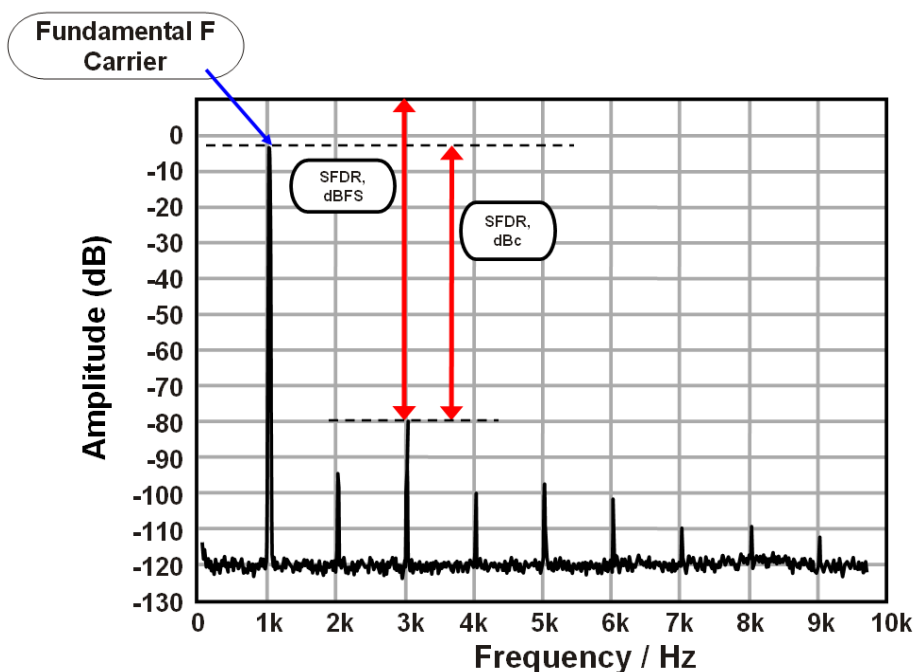
$a = 10 \log_{10}(P_1/P_2) = 20 \log_{10}((U_1^2/R_1)/(U_2^2/R_2))$, 若负载电阻相等, 则有 $a = 20 \log_{10}(U_1/U_2)$ 。

有时您在电平表或马路上的噪声计上也能看到多少 dB 的测出值, 这是因为人们给 0dB 先定了一个基准。举三个常用的 0dB 基准为例:

dBFS: 以满量程输入为基准, 描述待测值与基准的比例关系; **FS** 代表 **Full Scale**;

dBc: 以载波输入为基准, 描述待测值与基准的比例关系; **c** 代表载波, **carrier**;

比如信噪比可以用 **dBFS** 和 **dBc** 两种单位来表示, 也可以用 **dB** 表示 (此时等同于 **dBc**)。同样的, 无杂散动态范围 **SFDR** 也经常用 **dBFS** 和 **dBc** 两种单位来表示。因为真正测试时, 输入通常不会完全达到满量程, 所以 **dBc** 通常会小于 **dBFS**。以 **SFDR** 为例:



上图中，SFDR=-80dBFS，即最大的谐波功率比满量程基准小 80dB；或 SFDR=-68dBc,即最大功率的谐波比载波信号小 68dB.

dBm: 以 1mW 作为 0dB 基准，描述待测值与基准的比例关系。比如一个信号源在 50 欧负载阻抗上的输出功率为 20dBm，即 $20\text{dBm} = 10\log_{10}(P_{\text{out}}/1\text{mW})$ ，推出 $P_{\text{out}}=0.1\text{W}$ ，在 50 欧负载上换算成幅度有效值为 $\sqrt{5}\text{V}$ 。20dBm 也即是比 1mW 基准大 20dB，或 100 倍（功率之比）。

D. ENOB 能说明一切吗？

在日全食的开始和结尾阶段，可见的太阳犹如光珠。这些光叫做贝利珠，以英国天文学家弗兰西斯·贝利的名字命名，他在 1836 年第一个观察到这个现象的（见下图）。在他们发生的时候，你不能看到整个图像，但更多的事正在发生。同样，ENOB（有效位）只描述了 ADC 的一部分：噪声和失真，但不能描述 ADC 的精确度。



要注意到 ENOB 的缺陷。它并没有完全描述 ADC 在整个采样频率和供电范围下的所有特性。加之，ENOB 并不包含 ADC 的直流特性，比如漂移误差和增益误差。工程师用 AC 或者 DC 信号来确定 ADC 的 ENOB。当用一个交流信号输入的时候，转换结果通过 FFT（快速傅里叶变换）变换在频域里描述了输入信号经过转化后的噪声和失真。在 AC 环境里，可以从转换器的 SINAD（信号与噪声和失真比）计算 ENOB。SINAD 和 THD+N（总谐波失真加噪声）或者 SNR+D（信噪比加失真）拥有一致的含义：在计算时都包括了 SNR 和 THD:

$$SINAD(dB) = -20 \log_{10} \sqrt{10^{-SNR/10} + 10^{+THD/10}}$$

$$ENOB = (SINAD - 1.76) / 6.02$$

THD 的计算包括了 FFT 数据中所有整数倍于基频信号的谐波能量；除去这些谐波能量和直流分量后，将所有剩下信号能量求和并与基频信号能量相比可以衡量 SNR。使用以下计算式可以由 SINAD 求的 ENOB： $ENOB = (SINAD - 1.76) / 6.02$ 。关于这个简单的公式的更多说明，请参考本书中的《ADC 的 SNR 意味着什么？》一文。

用 DC 输入信号来衡量 ENOB 将使用柱状图来描述 ADC 的数字输出。它能表现输入 DC 信号的平均值和转换器的内部噪声。对过采样或者 Δ - Σ 型转换器最常见的衡量方法是计算标准偏差，它等于噪声的有效值。如果你用一个 DC 信号输入到 Δ - Σ 型转换器并且记录大量的采样点，你能计算出标准偏差。ENOB 的计算公式是： $N - \log_2(\sigma)$ ， σ 就是标准偏差， N 是转换器位数。对于 Δ - Σ 型转换器，ENOB 或者有效位会随着过采样率或数字抽取率的改变而改变。总的来说， Δ - Σ 型转换器的有效分辨率会随着数字输出速率的增加而降低。

AC 测量中的 ENOB 利用 SINAD 来计算，SINAD 是 SNR 和 THD 的合。AC 衡量是动态的，需要正弦信号输入。这个计算公式可以用在不同的转换器结构中，如 SAR、 Δ - Σ 、pipeline 和 flash 型。

直流测量中的 ENOB 的计算使用噪声的有效值或标准差，输入信号为直流。 Δ - Σ 型转换器就利用这种衡量方法。

记住，在两种情况中 ENOB 只是表现了 ADC 的部分特性，当然，它还是有意义的。所以，当你使用 ENOB 去做决定时，花点时间想想你的日全食贝利珠。在为你的应用挑选使用最有效最有用的转换器时，ENOB 可能会产生误导。

译者注：

本文想表达的意思即在针对不同类型输入信号时应考虑不同的 ADC 性能指标。当采集交流信号（如音频、电网、中射频信号）时，通常注重 ADC 的频域性能，这时采用 SINAD、THD+N 计算出的 ENOB 更能描述 ADC 的性能，常用的工具为 FFT 图；而当采集直流信号（如压力、温度传感器的输出）时，更多的应考虑 ADC 的直流噪声，常用的工具为输入一个恒定直流时 ADC 输出数字码分布范围的柱状图。

E. 你的转换器是精确的吗？

ADC 精度性的真正含义是什么？你可能会说它指的是 ADC 输出编码等于输入电压的实际值减去量化误差。这个表述很正确，但是你没有考虑到模拟输入精确的测量方法？

精确性是不是也意味着 AD 转换的结果具有可重复性？是不是在电路没有发生改变的情况下，ADC 的每一次转换结果都是具有可重复性的？

理论上，对于一个固定的输入电压，ADC 的每两个相邻数字编码输出之间的转换过渡区域应该是陡峭的。实际上，这个区域可能会很宽，甚至可能会覆盖几个输出编码。在图 1 中，转换点发生在一个特定的输入电压导致输出编码从一个到其相邻的下一个跳变时，受 ADC 内部噪声的影响，这个转换点不是一个单一的门限，而更像是一个小的不确定的区域。因此，你需要根据多次转换的统计平均值来确定这个转换点。换句话说，当输入电压值指向相邻两次数字编码产生过程的中间，而在邻近检测中你会发现转换是伴有高斯概率曲线的噪声。

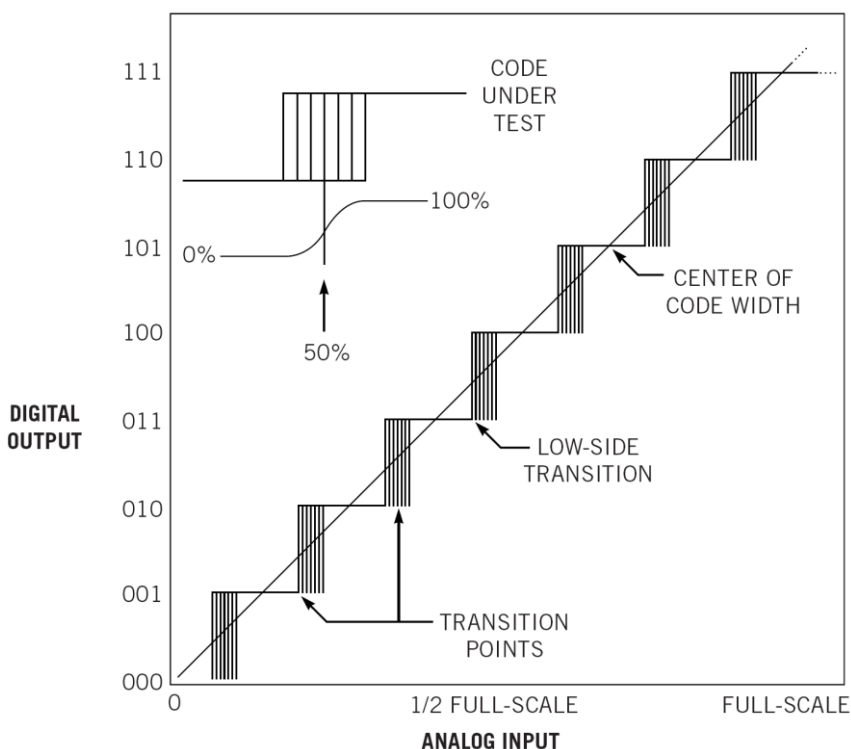


图 1 3 位的 ADC 非理想转换功能说明了每个代码的转换噪声

假设你在电路板中使用了很好的布线技巧，旁路电容等，还有一个 16 位的 ADC 去做模数转换的实验，然后在指定采样率下记录 1024 个采样值，在输出结果中会存在多个不同的值。为了说明转换器的噪声，一些制造商在 ADC 产品上表明了转换噪声的有效值。用 6.6 乘以这个转换噪声有效值就会得到一个峰峰值。

更进一步的讨论，失调、增益、微分非线性以及积分非线性等是 ADC 精确性的具体说明。一些制造商也把这些特性叫做直流参数，因为这些器件在转换测试时用的是直流电压输入。但是这些说明没有指出转换结果的可重复性，他们只是指出了在平均情况下误差不会大于或者小于芯片手册中 ADC 误差的最大值或最小值。为了更好地转换器的精度，你需要结合直流指标和交流指标来判断。

有三个重要的交流指标，其中一个是 SINAD（信号噪声及失真比），尤其有用；同样重要的是 ENOB（有效位数），其中 $ENOB = (SINAD - 1.76dB) / 6.02$ 。然后结合数据手册中的直流指标就能够更好地衡量转换的实际精度。

参考文献

- [1] Baker, Bonnie, "Anticipate the accuracy of your converter," EDN, March 18, 2004, pg 26.
- [2] Mitra, Sumit, Stan D'Souza, and Russ Cooper, "Using the Analog-to-Digital (A/D) Converter," AN546, Microchip Technology Inc.
- [3] Sheingold, David, Analog-Digital Conversion Handbook, Prentice Hall, 1986.

F. 为 SAR 转换器输入充电

只用一个放大器驱动 SAR ADC（逐次逼近模数转换器）是非常有诱惑力的，其另一个好处在于，可以利用这只放大器做为放大级或抗混叠滤波器。在优化器件使用时，这些优势似乎是明显的。尽管有如此，你是否想过这样会牺牲运放/转换器组合的性能？

如果你对 SAR ADC 的 DC 和 AC 准确度有较高要求，那么无论在任何数据吞吐率（throughput rate）下都需要注意 SAR ADC 模拟输入级。现代 SAR ADC 的典型等效结构是带有两个开关和一个电压源的电阻/电容对（如图 2 所示）。转换器输入端的电阻 R_{SW} 是开关闭合后的导通电阻。这个开关在采样阶段闭合，转换阶段断开。电容 C_{SH} 是输入信号采样过程中，所有芯片内部的分布电容之和。

首先最重要的是，你需要给采样电容 C_{SH} 充电足够长的时间使其上的电压达到被采样电压的 $\pm 0.5LSB$ 范围内。理论上来说，对 12 位转换器，充电时间应大于 8 倍 $R_{SW} \times C_{SH}$ 。考虑到误差容限，器件参数变动，充电时间应取 10~15 倍 $R_{SW} \times C_{SH}$ 。SAR ADC 需要一增益为 $\pm 1V/V$ 的运放和外接的 R_{IN} 和 C_{IN} 电阻/电容对。在采样期间，ADC 利用 C_{IN} 保持信号稳定；电阻 R_{IN} 将运放和 ADC 负载电容隔离。运放将 ADC 和高阻信号源隔离，同时方便在采样阶段对 C_{IN} 和 C_{SH} 进行快速充电。

设计这样一个看似简单的电路，应遵循以下方法。 C_{IN} 须是银云母（silver mica）电容或 COG 电容。这些电容能为 C_{SH} 提供稳定的电压和频率性能。像 X7R, Z5U 这样有电压和频率“记忆”效应的电容，会降低 ADC 的总谐波失真。另外， C_{IN} 应大于 20 倍 C_{SH} 。接下来再利用 ADC 内部电阻，电容决定 R_{IN} ：最终决定的 C_{IN} 和 R_{IN} 时间常数是 C_{SH} 和 R_{SW} 的 70%， R_{IN} 阻值大小为 $50\Omega < R_{IN} < 2k\Omega$ 。当最终 R_{IN} 和 C_{IN} 决定后，运放电路应该在驱动阶跃信号时也能及时稳定到期望的精度。你可以通过测试验证其功能（参考 1 中有详述）。

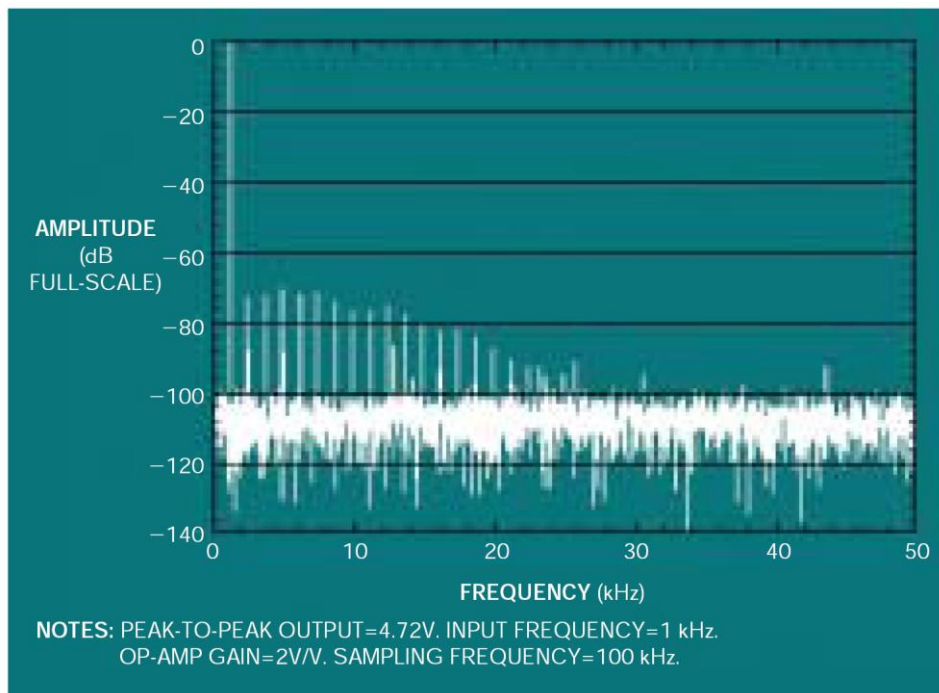


图 1 一个被不当驱动的 12-bit SAR ADC 可能产生额外的噪声和谐波失真。在这幅图中，信噪比为 69.76dBFS，总谐波失真为 -63.34dBFS；而实际这款 ADC 能达到信噪比为 71.82dBFS，总谐波失真为 78.82dBFS。

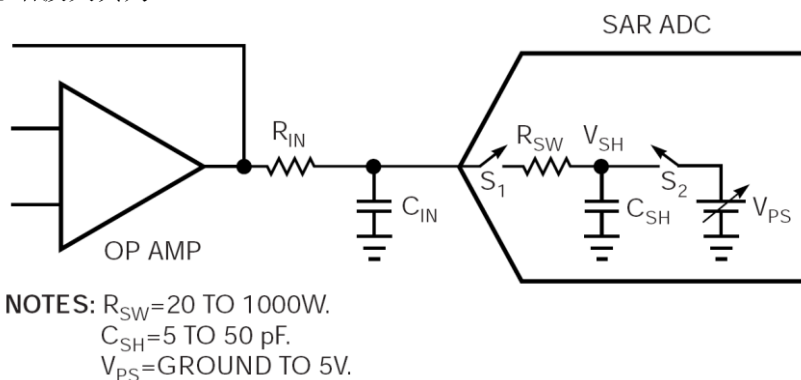


图 2 SAR ADC 输入级结构的核心是一个采样保持电容 C_{SH} ，它的前面是一个控制采样时间的开关 S_1 。

参考文献

- [1] Oljaca, Miro, and Bill Klein, “Optimizing the High Accuracy Measurement Circuit ...,” PCIM conference proceedings, 2004.

G. ADC 的电压参考误差影响满量程输入转换

SAR（逐次逼近）型模数转换器的电压参考对转换精度的影响可能超过你的想象。图 1 显示了一颗 3 位 ADC 的理想传输函数和存在增益误差时的传递函数。

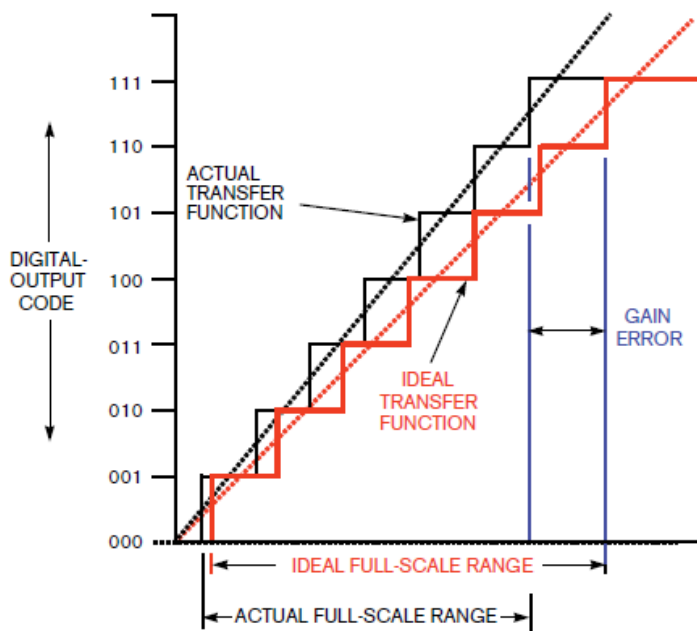


图 1 增益误差对 ADC 传输函数的影响

实际 ADC 的传输函数可表达为：

$$D_{CODE} = (V_{IN} - V_{OS}) \left(\frac{2^N}{V_{REF} - V_{GE}} \right)$$

公式里 D_{CODE} 是数字输出码， V_{IN} 是输入到转换器的电压， V_{OS} 是转换器的失调电压， V_{REF} 是 ADC 的参考电压， N 是 ADC 位数即分辨率， V_{GE} 包括了 ADC 增益误差、参考输出电压误差和参考电压噪声。

很容易就能看出电压参考是如何影响 ADC 的绝对精度的。对高分辨率转换器来说，参考电压的失调误差往往大于 ADC 的失调误差，特别是温度特性。从传输函数中你还可以注意到转换器的参考电压误差在大输入信号时影响更大。

通过比例设计法你可以减小 ADC 和参考源的误差。这种方法往往需要在电路里增加器件如在处理器/控制器上使用校准算法。记住校准算法需要了解每一个电路的增益和失调误差的特性。

参考源的噪声误差是另一种麻烦，它会影响 ADC 的 SNR（信噪比）和 THD（总谐波失真）。参考源的噪声在大信号输入的情况下对 ADC 的 SNR 和 THD 影响更为严重（图 2）。

如果转换器在参考输入脚没有内置缓冲器，你会注意到输入或者输出的电流尖峰。转换器利用这些电流在转换周期中给内置电容充电。这个认识提醒你在外置参考源和 ADC 间增加一个低噪声运放。

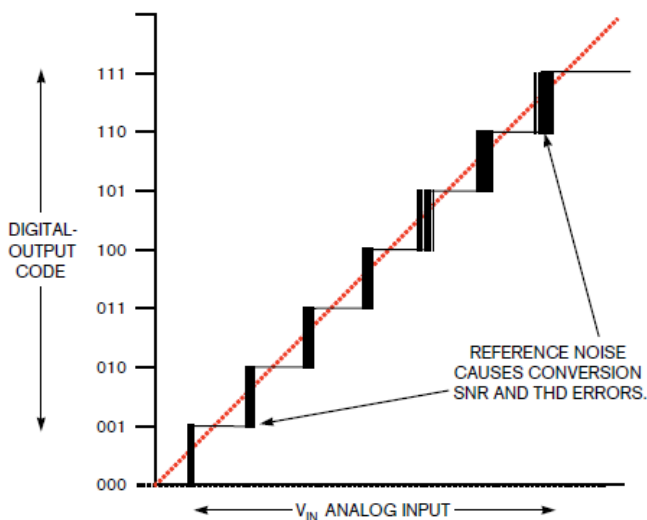


图 2 ADC 的参考电压噪声随着数字码越来越大

不要仅仅使用 0V, GND 或低电压输入来测试你的 ADC（0V 输入常用来测试直流噪声和失调误差）。如果你希望看到电压参考源对你转换器的影响，尝试利用直流满量程输入。接着你可以输入一个正弦信号来观察 ADC 系统的频率响应（如测试 SNR 和 THD）。

参考文献

- [1] Oljaca, Miro and Bill Klein, "Improved Voltage Reference Circuits Maximize Converter Performance" Texas Instruments Webinar on Demand: www.techonline.com/learning/webinar/201307002

H. ADC 位数和 LSB 误差

在选择模数转换器(ADC)的时候，最小比特位 LSB (LEAST-SIGNIFICANT-BIT) 这个参数有什么意义呢？客户的一位工程师告诉我，一颗从某一个 IC 厂商制作出来的 12 位的数据转换器的有用位数只有 7 位，换句话说这只是一个 7 位的转换器。他是基于器件的失调和增益特性得出这个结论的，这两个参数的最大值如下：

$$\text{失调误差} = \pm 3\text{LSB},$$

$$\text{增益误差} = \pm 5\text{LSB},$$

乍一看，他的结论是似乎是正确的。从上面列出的参数可知较差的指标是增益误差 ($\pm 5\text{LSB}$)。所以通过简单的数学运算，12 位减去 5 位，就得到 7 位分辨率这个结论。但是果真如此的话，为什么 ADC 厂商还会推出这颗 ADC 呢？根据以上的推论，由于过大的增益误差，工程师转而选择较更低价位的 8 位 ADC 就可以了。这是不是就是全部事实了呢？其实并不是这样的。

让我们重新来看一下 LSB 的定义。考虑一个 12 位串行 ADC，它能输出一个 12 位的全 1 或者全 0 的数据串。一般来说，这个转换器最先输出的是最高比特位 MSB (Most-Significant-Bit)，或者说是 LSB+11 (译者注：这里的+11 不是指算术上的相加，而是指比 LSB 高 11 位的位)。但也有部分转换器最先输出的是 LSB。我们这里假设是 MSB 是最先输出的，如图 1 所示。第二位是 MSB-1，即 LSB+10；第三位是 MSB-2，即 LSB+9，以此类推。转换器最终输出 MSB-11，即 LSB。

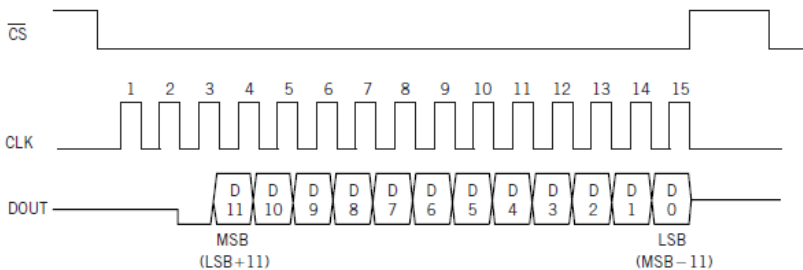


Figure 1

The data from this serial ADC clocks MSB first and LSB last.

“LSB”的含义是很明确的，它描述的是 ADC 输出数据流的最后一位，同时又表示了满量程输入的最小分辨率。对于一个 12 位的 ADC 来说，LSB 的值是满量程幅度除以 2^{12} (4096)。当满量程是 4.096V 时，那么 LSB 就是 1mV。因此，将 LSB 定义为 4096 个可能编码中的最小编码单位对于我们的理解是有好处的。

回到文章开头所提到的 ADC 的两个参数，并把它们应用到一个具有满量程幅度为 4.096V 的 12 位 ADC 中：

$$\text{失调误差} = \pm 3 \text{ LSB} = \pm 3 \text{ mV}$$

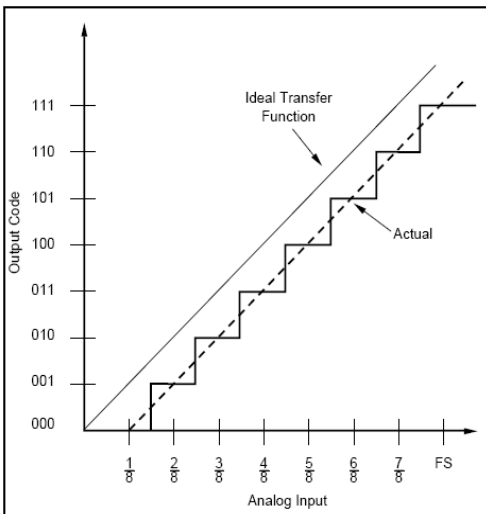
$$\text{增益误差} = \pm 5 \text{ LSB} = \pm 5 \text{ mV}$$

这两个参数表明转换器转换过程引入的最大误差为 8mV(或 8 个最小编码单位)。但这并不是说误差会发生在输出位流的 LSB、LSB+1、LSB+2、LSB+3、LSB+4、LSB+5、LSB+6 和 LSB+7 八个位上，而是表示误差最大能达到一个 LSB 值的八倍(或 8mV)。更准确地说，转换器实际的传递函数可能造成在 4,096 个编码中最多丢失掉 8 个编码。丢失的可能是最低端或最高端的编码。例如，一个总误差为 8LSB 的 12 位转换器可能的输出编码范围为 0 至 4,087，丢失的编码从 4088 至 4095，相对于满量程来说，这个 0.2% 的误差是很小的。作为比较，一个误差为 -3LSB 的 12 位转换器输出的编码范围为 3 至 4,095，丢失的码元为 0，1，2。上面的两个例子描述的都是最坏的情况。在实际的转换器中，失调误差和增益误差很少会接近最差值。

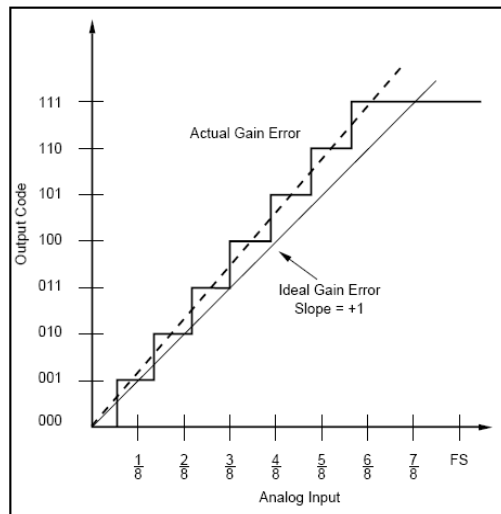
在实际应用中，由于 ADC 失调或增益参数的改进而使性能提升的程度微不足道，甚至是可以忽略的。但对于把精度作为设计的目标之一的一些设计者来说，这种说法可能太过于绝对。因为在电路中可以很容易的实现数字校准算法。然而，更为重要的是，电路前端的放大和信号调节部分通常会比转换器本身更高的误差。

通过上面的讨论，对本文开头提到的关于 12 位 ADC 的精度问题提供一个更为全面和清晰的认识。事实上，上述的 12 位转换器的精度约为 11.997 位。利用微处理器或单片机可以通过简单的校准算法消除失调和增益误差，这对设计者来说无疑是个好消息。

译者注：ADC 的失调误差和增益误差



失调误差=1LSB 的 3bit ADC 的传递函数



具有增益误差的 3bit ADC 的传递函数

失调误差为 1LSB 的 3 位 A/D 转换器转换特性如上图左所示。Y 轴对应输出码字，坐标 X 轴对应模拟输入信号幅度。在数量上，失调误差为当输入等于 0.5LSB 时，第一个码字转换（从 000 到 001）偏离理想位置的值，失调误差通常用 LSB 来表示。上图右给出了具有增益误差的 3 位 A/D 转换器的转换函数，从图中可以看出，增益误差可以描述为直线通过转换函数曲线时，在满量程处的偏差。增益误差通常被表示成满量程的百分比（%FSR），也常用 LSB 为单位。

在 ADC 允许的输入范围内，理想情况下 ADC 量化得到的数字输出为 D_{ideal} ，由于存在失调误差 A（以 LSB 为单位）和增益误差 B（以 %FSR 为单位），ADC 实际的数字输出为 $D_{Actual}=A+B \cdot D_{ideal}$ 。可以在软件里矫正 D_{Actual} ，使之尽可能的趋近于 D_{ideal} 。对单极性 ADC 而言，常用的方法是先将 ADC 输入接地，使得 D_{ideal} 为 0，可以通过读取 D_{Actual} 可得到失调误差 A 的值，此时计算得到的失调误差 A 不受增益误差的影响。然后挑选一个合适的接近 ADC 满量程输入的模拟电压激励 ADC，使其 D_{ideal} 接近满量程输出（比如 12 位 FSR=5V 的 ADC 可以取模拟输入电压为 4.8V， $D_{ideal}=3932$ ），从 ADC 输出的 D_{Actual} 中先消去失调误差 A 后，可以进一步得到增益误差 B 的值，从上图右中我们可以看到之所以在接近满量程处计算增益误差，是因为此时增益误差换以 LSB 为单位时数值相对较大，可以减少 ADC 自身量化误差的影响。应该认识到，由于增益误差一般是浮点乘法运算，有可能给处理器带来过大的处理负担。同时，正如本文所述，前置信号调理电路的失调和增益误差在系统中可能占据误差的主导地位，应仔细考察 ADC 输出误差的主要来源再做相应的处理。

I. 提高 DAC 的精度

对于 DAC，你是根据其在 1/3 输出以及 2/3 输出范围处的转换误差来校准的，这个电压范围避免了电源电压轨附近输出放大器的误差。失调和增益误差的校准方法满足一个简单的代数式 $V_{OUT}=a+bV_{IN}$ ，式中 a 是失调误差， b 是增益误差。利用一颗与被校准 DAC 相比具有更高精度的 ADC，可以在数字域内实现校准。当失调和增益误差大于两个 LSBs（最低有效位）时，这种校准技术就是有效的。但是这种方法也受到了转换器量化误差的限制。

另外一种更具挑战性的 DAC 校准方法就是矫正转换器整个输出范围内的线性度，这时需要一个比 DAC 高四倍分辨率的 ADC。这种方法适合于具有 8, 10, 12 或者 14 位分辨率的 DAC，这时仅较少位的 DAC 代码需要校准，内存需求也较少，由于对校准 ADC 的精度要求不算特别高，就可以选到较快速度的 ADC。若 DAC 具有超过 14 位的分辨率，对于处理器和内存来说整个编码数目变得难以管理。另外，这就需要具有较高精度而速度较慢的 ADC，比如 $\Delta-\Sigma$ 转换器。如果为更高位数的 DAC 线性化每一位编码，将会带来更高的成本和更低的速度，因此这样做是不值得的。

一种有效的线性化每一个 DAC 编码的方法就是将所有编码分成若干小组。一个 16 位电阻串型 DAC 的 INL（积分非线性）曲线如图 1a 所示。16 位的电阻网络 DAC 由 2^{16} 个电阻组成。对于计算所有 DAC 校正码的通用公式为：

$$DAC_{COR} = INL_V + (INL_V - INL_W)(V - X)/(V - W)$$

式中， INL_V 和 INL_W 分别是代码 V 和 W 的 INL 误差， X 是基于代码 V 和 W 之间的代码。如果 $(V - W)$ 等于一个整数并且是 2 的乘方，那么就可以通过右移数据完成除法运算，从而减少处理的时间和复杂度。图 1b 中的曲线说明了这种矫正技术给 DAC 的 INL 特性带来的改善，这里共使用 1024 组数据，每组数据为 64 个。

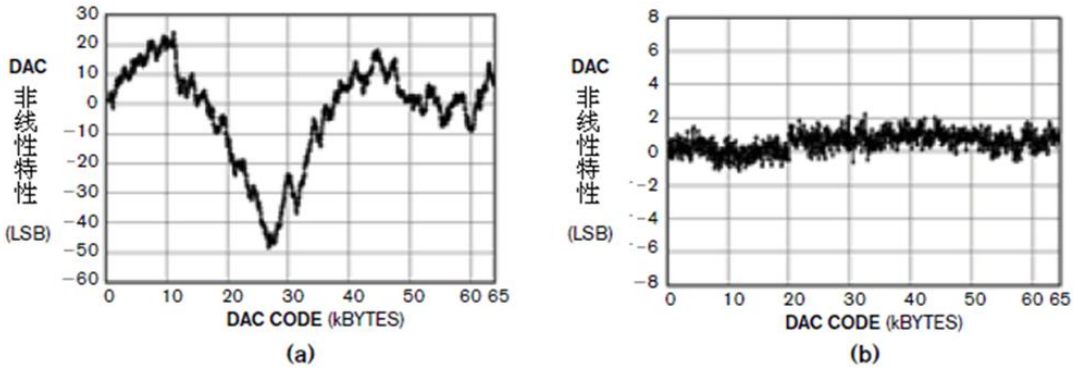


图 1 (a) 中 16 位的电阻串型 DAC 的 INL 变化可以达到几十个 LSB；(b) 每组 64 个数据的矫正方法（1024 组，共 65536 点）可以把 INL 误差减少到小于 $\pm 3\text{LSB}$

这种技术尤其适合于单调（无丢失码）的、INL 误差大于 $\pm 8\text{LSB}$ 的 DAC。另外，在使用过程中要注意代码组的大小，如果从一个编码向另外一个转变的时候就出现突然的、较大的跳变（译者注：这里指内部开关的跳变），比如 R2R 结构的 DAC 在这种情况下反而会降低 DAC 的性能。电阻串型的 DAC 最适合于这种技术，因为其固有的单调性（这种技术必须的条件）以及代码之间的跳变与其他拓扑结构的 DAC 相比具有更小的相关性。

J. DAC 毛刺产生的原因

在大部分系统里面，DAC 输入端数据变化时引起的输出端毛刺脉冲（glitch）是可以忽略的。但是在控制回路中，这些毛刺可能会产生不良影响。你可能会认为 DAC 每个相邻 bit 间的变化是平滑的，毕竟，输入端两个连续码字数据的信号经过 DAC 转换后输出的两个电压的差值仅仅等于一个 LSB。

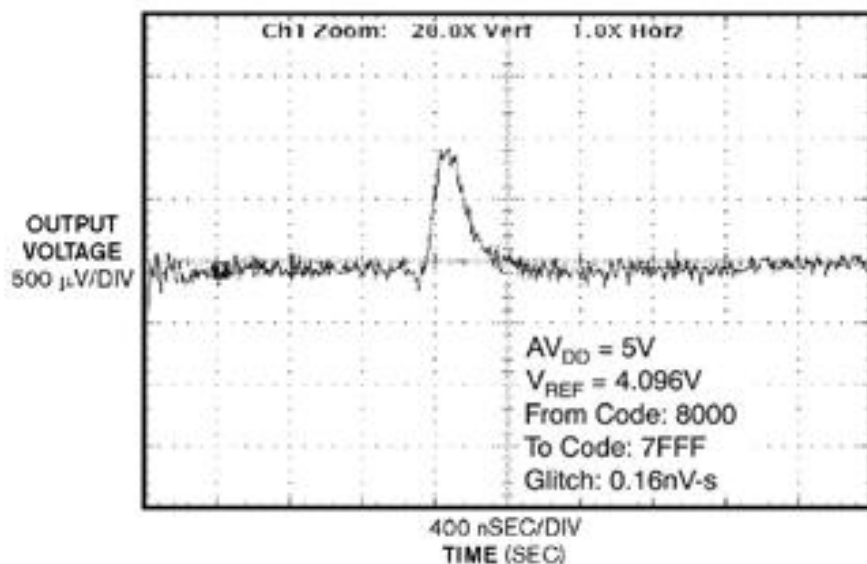


图 1 虽然输出只变化 1LSB，但由于 DAC 的输入 bit 全部翻转而产生的明显毛刺脉冲图

当 DAC 的输入信号从一个码字变为另一个时，输出端的信号会产生一定的毛刺脉冲。一个 16 位 DAC 输入端数据从 8001h 变为 8000h 只会引起输出端一个变化细微的毛刺，这时因为 DAC 的内部开关的变化很少。但是如果这个 16 位 DAC 输入数据从 8000h 变化到 7FFFh，此时输出电压恰好是满量程的一半（译者注：此时内部所有开关都发生了翻转），输出端的毛刺脉冲就将变得非常明显。以至于在某种程度上 DAC 的输出像是在瞬间不再单调。次强的毛刺出现在输出电压幅度为满量程电压的四分之一和四分之三时（译者注：即 3FFF 跳变为 4000 和从 BFFF 变为 C000 时）。例如，在图 1 中显示的就是一个 16 位 DAC 在发生半满量程跳变时输出端产生的毛刺脉冲。

DAC 的毛刺通常是由 DAC 内部的电容充放电效应或开关异步通断造成的。如果电荷注入发生在开关门电路的寄生电容上，DAC 毛刺的形状将是两个脉冲（如图 2a 所示）。R2R 结构的 DAC 产生的毛刺就是这样一个典型的两个脉冲的毛刺。第二种毛刺类型是单个脉冲形状的（如图 2b 所示），这是由于内部开关电路异步翻转造成的（译者注：在时序设计时，开关电

路的翻转是同步的，但是由于实现过程由于传输延迟等无法做到 100%的物理同步），电阻串结构的 DAC 经常产生这种单脉冲毛刺。

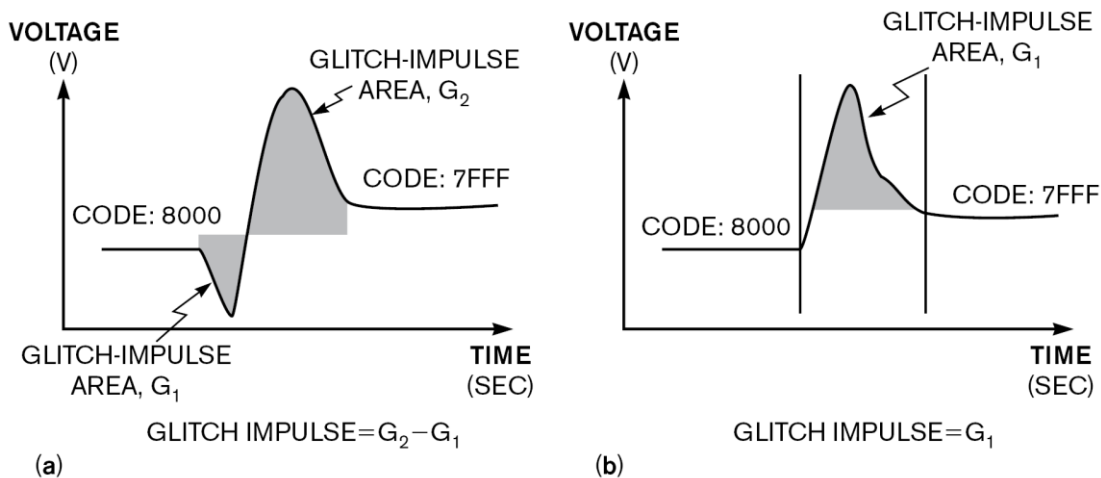


图 2 (a)R2R 型 DAC 产生的两个毛刺脉冲，总脉冲= G_2-G_1 ; (b)电阻串型 DAC 产生的一个过冲毛刺脉冲

在一个控制系统里面，这种在某些特定点上由于大量开关切换而产生 DAC 的毛刺脉冲会因为瞬间产生的错误信号而扰乱控制回路。如果这个控制系统的响应速度足够快，对毛刺脉冲的响应可能使控制回路产生振荡。我们可以通过在 DAC 输出端添加一个低通滤波器来减少毛刺脉冲的幅度，但是，低通滤波器在降低毛刺脉冲幅度的同时也会增加毛刺的持续时间。例如，如图 1 中的 16 位 DAC 毛刺的响应速度等于 96 nV-sec，峰值电压为 75 mV，持续时间为 1.6 毫秒。添加滤波器后，毛刺的峰值电压变为 37.5 mV，但持续时间却增加到 3.2 毫秒。我们也可以在 DAC 输出端使用一个与 DAC 转换同步的采样电路，这种技术可以应用在低分辨率 DAC 器件中，但是，这个采样电路可能会产生更多的问题，例如增加的模拟误差和转换时间。所以，解决这个问题的最好办法还是在进行设计时一开始就选择一个拥有低毛刺脉冲的电阻串型 DAC。

K. 你的转换器是精确的吗？

ADC 精度性的真正含义是什么？你可能会说它指的是 ADC 输出编码等于输入电压的实际值减去量化误差。这个表述很正确，但是你没有考虑到模拟输入精确的测量方法？

精确性是不是也意味着 AD 转换的结果具有可重复性？是不是在电路没有发生改变的情况下，ADC 的每一次转换结果都是具有可重复性的？

理论上，对于一个固定的输入电压，ADC 的每两个相邻数字编码输出之间的转换过渡区域应该是陡峭的。实际上，这个区域可能会很宽，甚至可能会覆盖几个输出编码。在图 1 中，转换点发生在一个特定的输入电压导致输出编码从一个到其相邻的下一个跳变时，受 ADC 内部噪声的影响，这个转换点不是一个单一的门限，而更像是一个小的不确定的区域。因此，你需要根据多次转换的统计平均值来确定这个转换点。换句话说，当输入电压值指向相邻两次数字编码产生过程的中间，而在邻近检测中你会发现转换是伴有高斯概率曲线的噪声。

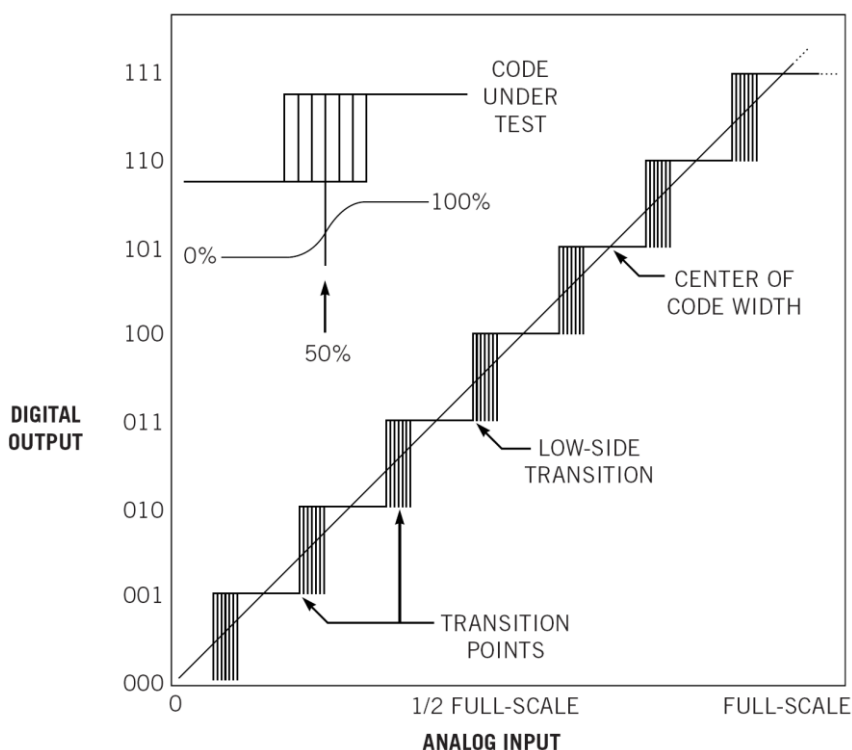


图 1 3 位的 ADC 非理想转换功能说明了每个代码的转换噪声

假设你在电路板中使用了很好的布线技巧，旁路电容等，还有一个 16 位的 ADC 去做模数转换的实验，然后在指定采样率下记录 1024 个采样值，在输出结果中会存在多个不同的值。为了说明转换器的噪声，一些制造商在 ADC 产品上表明了转换噪声的有效值。用 6.6 乘以这个转换噪声有效值就会得到一个峰峰值。

更进一步的讨论，失调、增益、微分非线性以及积分非线性等是 ADC 精确性的具体说明。一些制造商也把这些特性叫做直流参数，因为这些器件在转换测试时用的是直流电压输入。但是这些说明没有指出转换结果的可重复性，他们只是指出了在平均情况下误差不会大于或者小于芯片手册中 ADC 误差的最大值或最小值。为了更好地转换器的精度，你需要结合直流指标和交流指标来判断。

有三个重要的交流指标，其中一个是 SINAD（信号噪声及失真比），尤其有用；同样重要的是 ENOB（有效位数），其中 $ENOB = (SINAD - 1.76\text{dB}) / 6.02$ 。然后结合数据手册中的直流指标就能够更好地衡量转换的实际精度。

参考文献

- [1] Baker, Bonnie, "Anticipate the accuracy of your converter," EDN, March 18, 2004, pg 26.
- [2] Mitra, Sumit, Stan D'Souza, and Russ Cooper, "Using the Analog-to-Digital (A/D) Converter," AN546, Microchip Technology Inc.
- [3] Sheingold, David, Analog-Digital Conversion Handbook, Prentice Hall, 1986.

第三部分 电源篇

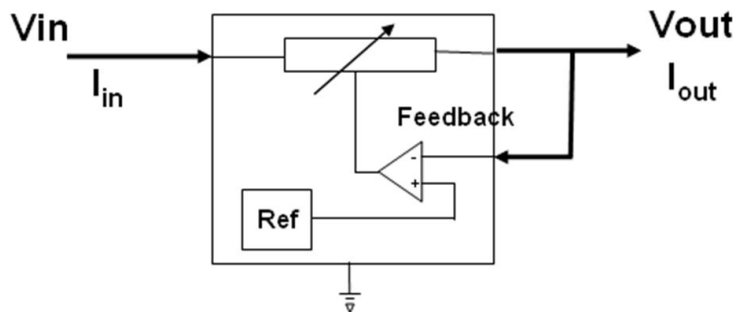
第一章 DC-DC 转换器概述

1.1 DC-DC转换器基础

本节对电源的基本概念，电源的应用场合，电源类型做概述性介绍，目的是让读者对电源有一个宏观的了解。通过本节的学习，读者可以了解到应该如何学习电源，学习中应该注意什么地方以及有哪些工具可以帮助学习和设计电源。本教材没有大量的理论推导，但是配有众多的图表和讲解，可以帮助读者将课堂上学习到的理论知识应用到实践中去，是一本实用的工具书，希望读者结合本教材能有一个快乐的学习过程。

每个电子系统都需要一个供电电源，这些电源一般都是输出恒定的。稳压源提供恒定的直流电压输出，无论输入电压还是负载电流发生变化，只要这些变化在稳压源的运行范围内，稳压源都要保证电路有恒定的连续的电压输出。在便携式系统中，输入电压常常来自电池或直流电压源。DC 到 DC 转换器接受这些电压输入，同时产生所需的输出电压，输出电压可以比输入高或者低。

当输出电压比输入电压低时，这类稳压器被称为 BUCK 转换器（例如：TPS5430，TPS62040 等）。当输出电压比输入电压高时，称为 BOOST 转换器（例如 TPS61165，TPS55340 等）。反馈信号在稳压器中是必不可少的。反馈信号用于检测输出电压的状态，使得输出电压可以保持在设计的误差范围内。稳压器通过将输出电压或者电流和内部参考源比较来控制输出的电压。



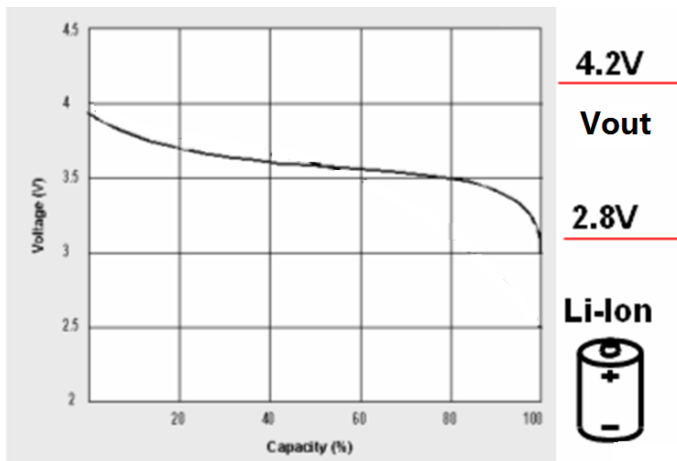
对于线性稳压器来说，能量是连续不断的从输入传递到输出。对于开关型稳压器来说，能量是以脉冲的形式从输入传递到输出，脉冲能量在输出端平稳释放。有两种主要的开关稳压器：电感型和电荷泵型。

电子系统都需要电源，在典型系统中元器件只能在一个较窄的电压波动范围内（5%-10%）工作。以电池供电系统举例，电池放电后输出电压下降，要想延长系统的工作时间，就需要

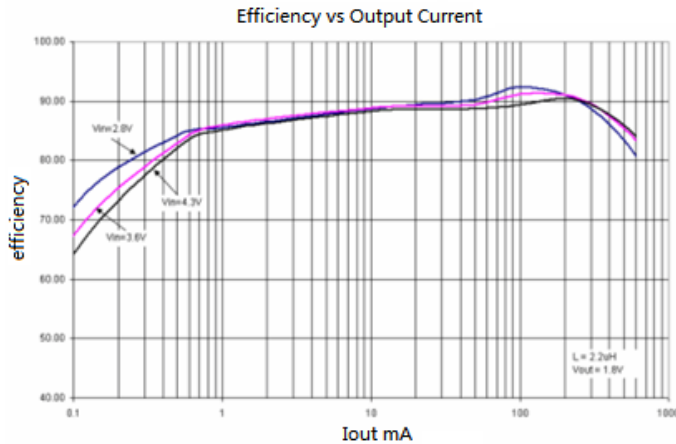
一个元器件能在电池的最低电压处工作。但是新电池的电压较高，又会超出这个元器件的工作电压上限。如果设计这个元器件工作在新电池的电压处，电池放电后电压会很快达到这个元器件的工作电压下限，系统工作时间缩短。这样就出现了矛盾的情况，要想同时满足新电池的高电压和电池放电后的低电压，一个办法是设计一个工作电压范围大的元器件，这将是一个昂贵的办法！另一个办法是使用稳压器。如果电池电压波动小（例如 NiCd 电池），一个低压差的线性稳压器（LDO）适用于产生低于输入的电压。如果系统输入电压波动大，这时开关稳压器 Boost 型和 BUCK-Boost 型就有用武之地了。

1.2 DC-DC转换器特性

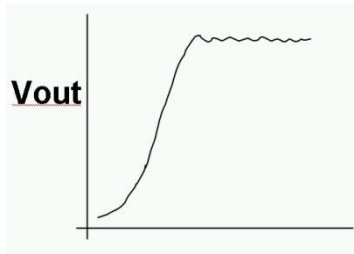
本节对稳压器的部分特性做一个简要的介绍，旨在使初次接触电源的读者对电源有个了解。详细特性在后续章节中介绍。每个稳压器设计时，把能够在给定输入电压范围内并且最大负载情况下输出特定电压作为设计目标。在开始选择稳压器前了解系统的要求非常重要。例如对于锂电池供电系统，输入的电压范围为 2.8V 到 4.2V，图中是锂电池放电时的电压。



外部电压确定后还要考虑电源效率，电源效率定义为输出功率（ $V_{out} \cdot I_{out}$ ）比输入功率（ $V_{in} \cdot I_{in}$ ）。下图显示了使用 PWM/PFM 调制的 BUCK 型开关稳压器的效率曲线，可以看到效率和电压、电流都有关系。BUCK 型稳压器在后面的章节会有讲述。参数随时间的变化，例如输出电压和电流随输入电压和负载变化而变化，称作传输响应。随输入变化的传输响应称作线性调整率，随负载变化的传输响应称作负载调整率。



理想情况下的稳压器输出电压不会变化。实际中稳压器的输出会有小的波动，甚至在输入和负载稳定状态下也有。这个波动称为稳态输出噪声。这个波动的原因可能是因为耦合了系统中的其它干扰源，例如地线和信号线。也可能是电源自身的元件引起的，例如开关电源，由于它的开关工作特性，稳态情况下输出上也有波动。



1.3 拓扑结构对比

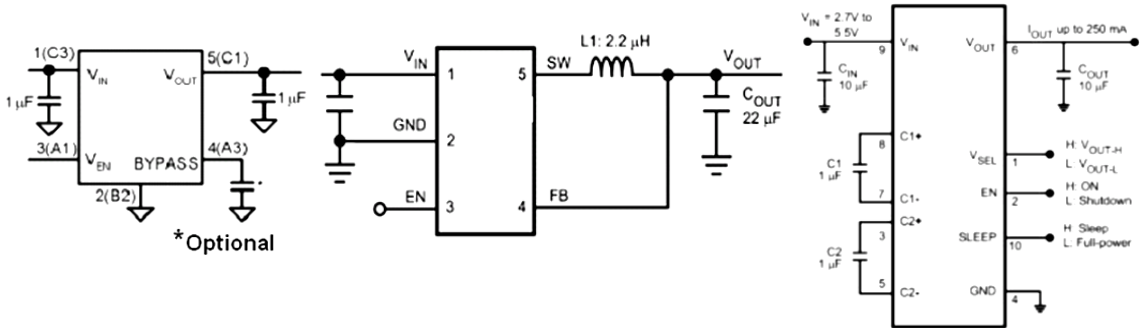
本节对比三种基本的电源拓扑结构，目的在于向读者展示拓扑结构的选择方法，TI 电源解决方案也是遵循这些电源设计优先级。最低成本的解决方案常常是线性稳压器。但是也有其缺点，例如电源效率不高，常常在负载较重的情况下引起局部过热。当 V_{in} 和 V_{out} 的电压差越大时，线性稳压器的效率越差。对于电感型开关稳压器，电感元件占用了较大的 PCB 面积，但是这是最有效率的解决方案。电荷泵解决方案介于两者之间，比电感型开关稳压器占用的 PCB 面积小，比线性稳压器的效率高。

用一个实际的例子比较，三种电源都可以提供相同的系统电源需求，也就是说在相同的输出能力和性能下进行比较，见下面表格

	线性电源	电感型开关电源	电荷泵开关电源
效率	20%-60%	90%-95%	75%-90%
PCB 面积	很小，外部元件两个电	最大，外部元件大电	中等，外部元件 3-4 个

	容	感, 两个电容	电容
纹波	很小	中等	稍大
电磁干扰 (EMI)	很小	稍大	中等
成本	最低	最高	中等

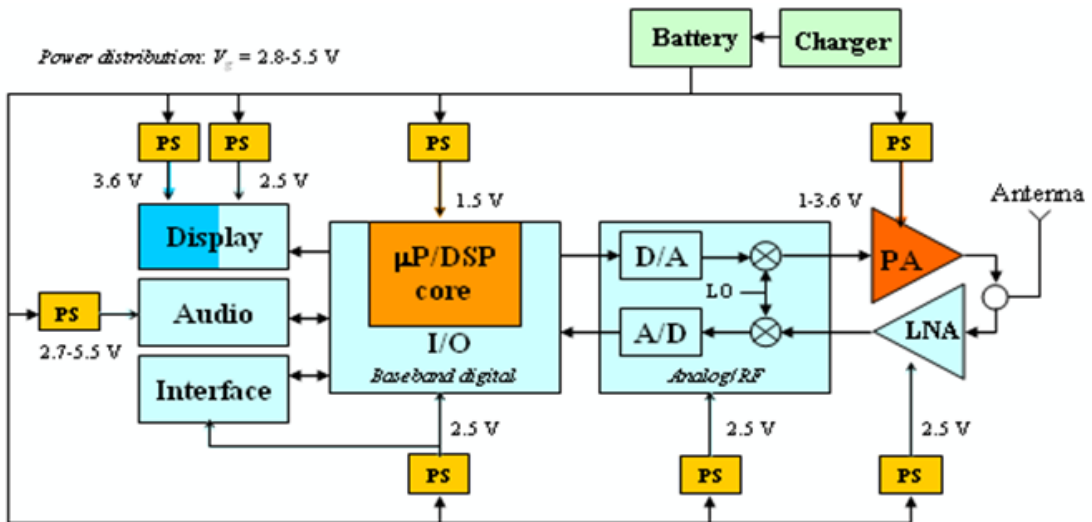
线性电源、电感型开关电源和电荷泵型开关电源配置对比:



1.4 系统中的电源要求

许多便携式电子设备中对电源的要求多种多样。例如模拟输入输出设备，像视频或者音频放大器，有许多固定电压或者电流的要求。处理器或者射频放大器则需要动态调节电压或者电流。再比如有些处理器需要多种电压来供电，核电压，I/O 电压和内部集成模拟部分的电压。

下图展示了一个手持式电子设备的内部电源例子，其内部用到了多种多样的稳压器。处理器，DSP 核和 I/O 电压，这些电压常常比电池电压低。为了达到高效率的转换，开关型稳压器常常为这些地方提供电源。

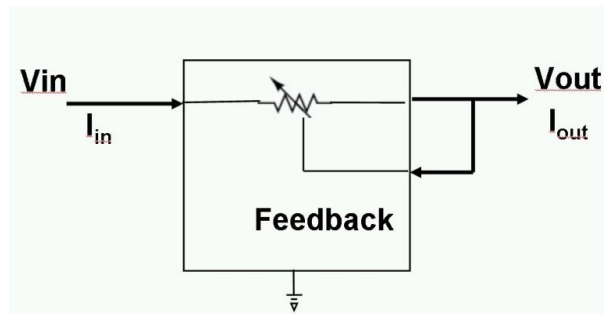


当电压差小的时候，线性稳压器是最简单最低成本的解决方案。当需要高效率宽范围的电压或电流时开关稳压器是不错的选择，例如 LED 的背光，处理器供电和射频（RF）功率放大器（PA）。

1.5 线性稳压器

线性稳压器可以看做是一个位于输入和输出之间的可变电阻。它只能提供降压功能，不能升压。线性稳压器需要最少的外部元件，产生最小的输出噪声，成本最低。但是当 V_{in} 和 V_{out} 之间电压差大的时候效率很低。

线性稳压器是典型的降压型稳压器。 V_{out} 不会比 V_{in} 高。线性稳压器的功能像是一个可变电阻，它的阻值随负载和输入电压发生变化。经过这个可变电阻的电流和负载的电流一致，所以可变电阻上消耗功率，消耗功率 = $(V_{in} - V_{out}) * I$ ，并且线性稳压器内部的反馈和控制



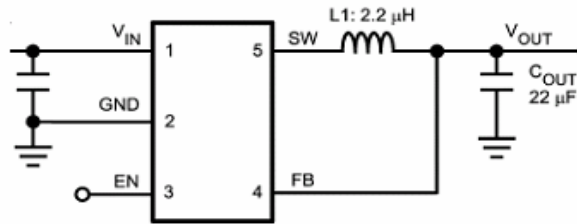
部分也消耗功率。所以当 V_{in} 和 V_{out} 电压差别大时线性稳压器效率很低。

线性稳压器的典型应用是在输出电压跟输入接近的场合。例如从 3.3V 输入中获得 3V 的输出。或者是作为开关稳压器的第二级，例如从 1.8V 中获得 1.5V 和 1.2V。

在实际产品中，鉴于线性稳压器的简单和低成本，其用量很多。例如 LP3985 这个型号的 LDO 线性稳压器至今已经销售了 10 亿片。LP3985 是 SMD 封装，只有 1mm*1.5mm，十分小巧。LP2905 则是一款低功耗的 LDO，特别适合配合 MSP430 低功耗处理器使用。

1.6 电感型开关电源

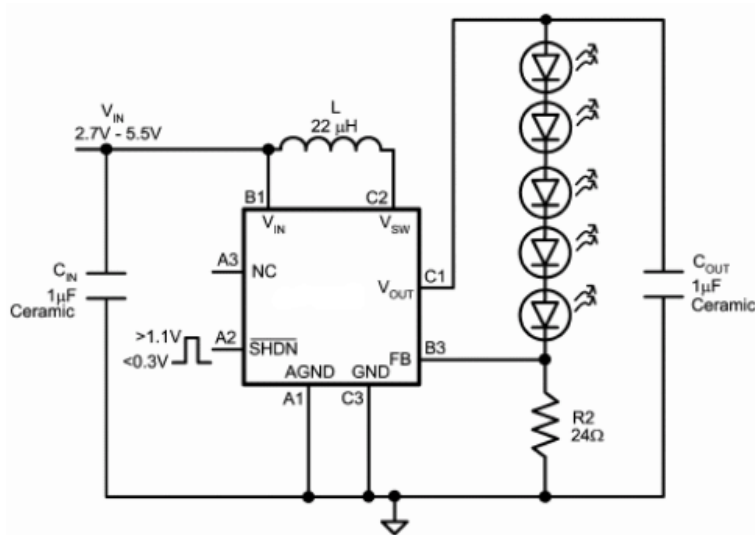
电感型开关电源是最有效率的拓扑结构，也被称作磁性稳压器，本节先简单介绍它的两种拓扑结构，让读者有个初步的认识，后续的章节中会有更详细的讲解。在电感型开关电源中，能量是以脉冲的方式通过电感从输入传输到输出。在每个脉冲期间电感就像一个蓄水池，接收并储存脉冲的能量。当输出电压达到设计要求后，脉冲中所包含的能量恰好是负载所需的，电感和输出电容配合工作，使传输过来的脉冲能量在输出端能够平稳输出。



TPS5430 原理示意图

典型应用举例：为处理器提供 1.5V, 1.8V, 2.5V 电压，输入 3.3V；为 FPGA 提供 2.5V, 3.3V 电压，输入电压为 5V。输入电压来自于上一级电源或者来自于锂电池。

上面介绍的是 BUCK 型降压开关电源，下面再介绍一种常用的 BOOST 升压开关电源。BOOST 开关电源用于 $V_{out} > V_{in}$ 的场合，是电感型开关电源的另一种典型拓扑结构。一个典型应用是给背光 LED 串供电。每个 LED 需要 3-4V 的电压导通。调节 LED 中的电流用以得到所需的亮度。将 LED 串连意味着需要提供高至 20V 的电压，这就需要将输入的电压升高后才能使用。



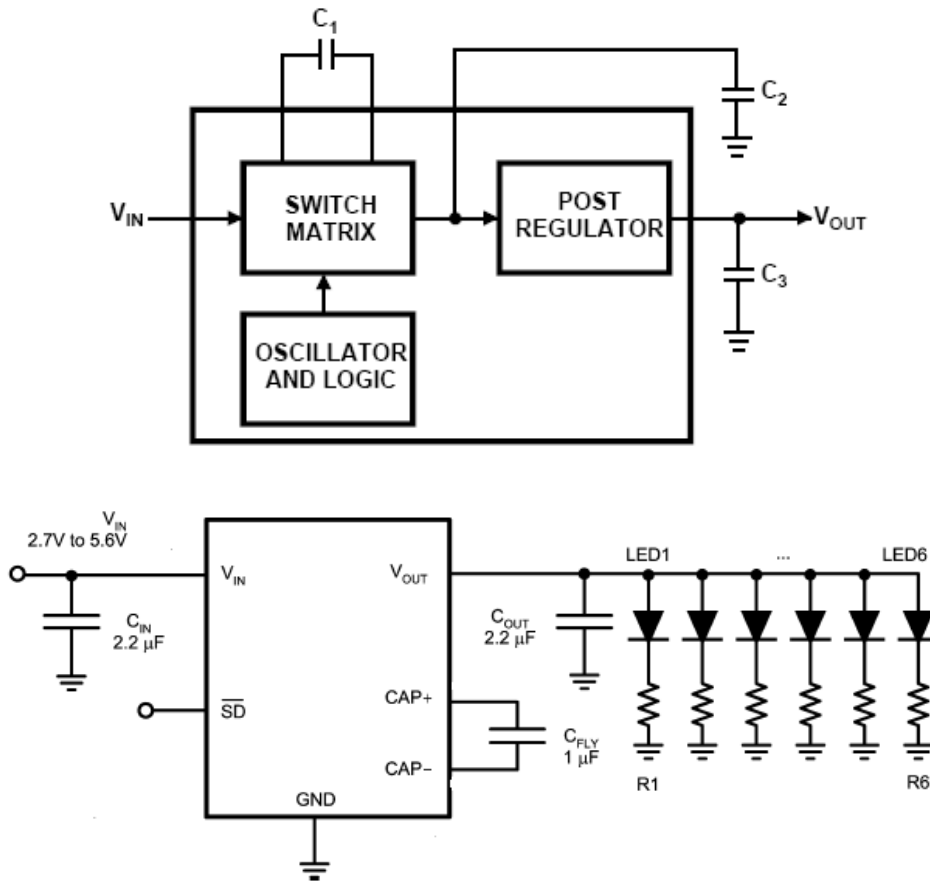
TPS61040 原理示意图

1.7 电荷泵型开关电源

电荷泵型开关电源也被称作开关电容稳压器。来自输入的电荷被存储在一个外部电容上，然后将这部分存储的电荷送到输出。一般的电荷泵型开关电源只能产生整数倍和小数倍于输入的电压，要得到精确的可细调的电压则需要一个后级稳压器，这个后级稳压器通

常是一个集成在电荷泵开关电源内部的线性稳压器。这个后级稳压器会导致效率低于电感型开关电源。通过插入多级整数或小数电荷泵开关电源来进行细调，可以使电荷泵开关电源达到更好的效率。

电荷泵开关电源经常应用在成本和空间比效率更重要的场合。但是对于输入和输出电压差大的场合，应用电荷泵开关电源比线性稳压器的效率要高。



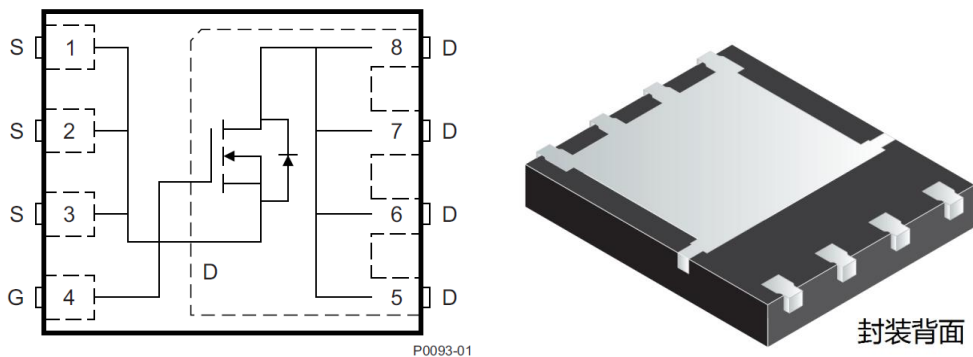
类似于电感 Boost 开关电源，电荷泵 boost 开关电源也可以给 LED 供电。不同之处在于后者被用来升压到 5V 左右，驱动并联 LED。改变拓扑结构和开关方式，电荷泵开关电源还可以输出负压，用在 TFT 显示设备中。常用的一些电荷泵型开关电源例如 TPS60400（负压产生），TPS60210（升压），TPS60500（降压）。

第二章 分立元件

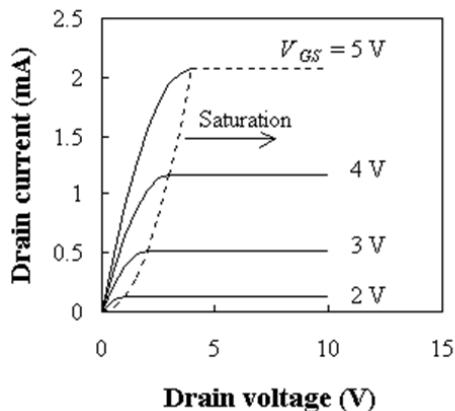
分立元件是设计稳压器的一个重要部分。输入端的电容为电源提供电荷存储。BUCK 开关电源中的电感和开关电容稳压器中的电容，在脉冲充电期间存储能量，在放电期间向负载释放能量。充分理解分立元件的特性对于在设计中选择正确的分立元件尤为重要。并且对于开关电源，并不是所有的外部分立元件都能集成在片内，并且用开关电源控制器加外部元件更灵活，能设计出多种多样的拓扑结构满足更多的需求。在 TI 电源芯片中，multi topology 系列的 TPS43000 配合外部分立元件能设计出 BUCK，BOOST 和 INVERT 开关电路。

2.1 晶体管 MOSFET

晶体管是三端元件，其两端的电压和电流由一端的电流（BJT 型的基极）或者电压（FET 型的栅极）控制。本节着重介绍 MOSFET 的特性。



MOSFET 在线性稳压器中作为可变电阻使用，在开关电源中作为电子开关使用。下图是 MOSFET 的电流-电压特性。



在虚线的左侧，也就是 V_{ds} 之间电压较低的时候，MOSFET 工作在线性区，漏源电流和漏源电压成比例。

$$I_D = \mu C_{ox} \frac{W}{L} (V_{GS} - V_T) V_{DS}, \text{ for } |V_{DS}| \ll (V_{GS} - V_T)$$

线性稳压器中的 MOSFET。LDO 中的可控电阻元件就是 MOSFET 工作在这个区域。栅源电压和晶体管沟道的长宽比决定了导通电阻 R_{on} 。其他决定 R_{on} 的因素有参杂浓度，结深度，载流子迁移率等，属于加工工艺学的范畴。最小长度也是由加工工艺决定的。很低的 R_{on} 可以通过增大芯片面积得到。芯片面积越大的器件，需要的驱动电流越大，在线性电源中效率就越低。最大的栅源电压受到稳压器工作电压的限制。

开关电源中的 MOSFET。开关电源中 MOSFET 作为电子开关使用，工作在导通和关断模式。这是通过控制 MOSFET 工作在饱和和截止区实现的。在饱和区域中，MOSFET 中的漏源电流 (I_{ds}) 随栅源电压 (V_{gs}) 变化，几乎不随漏源电压 (V_{ds}) 变化。在饱和区域中 I_{ds} 和 V_{gs} 呈平方关系，并且依赖于 MOSFET 的宽长比。

$$I_{D,sat} = \mu C_{ox} \frac{W}{L} \frac{(V_{GS} - V_T)^2}{2}, \text{ for } V_{DS} > V_{GS} - V_T$$

成本（芯片面积越大越贵）决定了 MOSFET 开关管允许的最大电流。截止区内通过 MOSFET 的电流为零（上述方程中 $V_{gs} \leq V_{th}$ 时）。 V_{gs} 低于导通电压 V_{th} 时通过的电流降为 0，进入截止区。需要注意的是 MOSFET 的栅极电容，栅极电容会影响开关管的开关速度，并影响开关损耗。现代 MOSFET 的发展方向是开发大通流能力并且栅极电容小的 MOSFET，这样就可以开发出功率大，效率高，体积更小的开关电源。

2.2 二极管

当 P 型半导体和 N 型半导体连接在一起时就组成了 PN 结，也就是二极管。二极管的种类多种多样，主要是由构成 P 和 N 型半导体的材料以及 PN 结的工艺来区别。二极管可以用在分流型稳压器中（稳压二极管），也可以用在非同步型的 buck 或 boost 开关电源中（肖特基二极管）最为电子开关。在同步型的开关电源中 MOSFET 取代二极管作为开关。

PN 节内部有自建电势差，要克服这个电势差才能使二极管导通。对于普通的掺杂半导体这个电势差是 0.7V。因此需要最小导通电压是 0.7V。特殊的掺杂半导体例如肖特基二极管这个电势差是 0.2V。

$$V_{bi} = \frac{KT}{q} * \ln \left[\frac{N_d * N_a}{n_i * n_i} \right]$$

在分流型稳压器中，二极管是加反向电压的（从 N 向 P）。所需的最小反向导通电压（从 N 到 P）由掺杂浓度决定。对于普通掺杂的二极管，这个反向导通电压（击穿电压）从 6V 到 100V。要得到更低的击穿电压需要更高的掺杂浓度，例如齐纳二极管用在给分流型稳压器中提供低压参考。

发光二极管（LED）是特殊的二极管，空穴和电子结合的能量以光的形式释放出来。例如 GaAs, GaP, GaInP 是直接能隙材料，可以提供足够的导带电子能量可以有效的发光。硅是间接能隙材料不适合做发光二极管用。

2.3 电感

电感器由导线绕在磁芯上构成。磁芯的类型和导线的圈数决定了电感值。其他的特性由线圈缠绕的方法，导线的粗细和电感的尺寸等决定。真实电感不仅仅有理论电感的 L 值，根据工艺和结构的不同还具有多种特性，实际使用中这些特性不能简单忽略。

2.3.1 实际中电感的参数

下表是真实电感的参数，表中除了电感值外，通流能力（I_{rms}）、直流电阻（DCR）、自谐振频率（SRF）、饱和电流（I_{sat}）也标示出来。

Part number ¹	Inductance ² ±20% (μH)	DCR max ³ (Ohms)	SRF typ ⁴ (MHz)	I _{sat} ⁵ (A)	I _{rms} ⁶ (A)
LPO3010-102NL	1.0 ±30%	0.140	200	1.7	1.4
LPO3010-122NL	1.2 ±30%	0.160	190	1.6	1.4
LPO3010-152NL	1.5 ±30%	0.200	150	1.3	1.0
LPO3010-222NL	2.2 ±30%	0.265	140	1.2	0.90
LPO3010-332NL	3.3 ±30%	0.335	100	0.96	0.60

² Inductance tested at 100 kHz, 0.1 V_{rms}, 0 Adc.

³ DCR measured on a micro-ohmmeter.

⁴ SRF measured using an Agilent/HP 4191A or equivalent.

⁵ I_{sat}: DC current at which the inductance drops 10% (typ.) from its value without current.

⁶ I_{rms}: Average current for a of 40°C rise above 25°C ambient.

⁷ Operating and storage temperature range -40°C to +85°C.

⁸ Electrical specifications at 25°C.

对表中的一些指标进行一下解释。这些指标对选择电感十分重要。

直流电阻（DCR）：电感的直流电阻值，由绕线圈数和线的直径决定。

通流能力（I_{rms}）：电感由于有电阻损耗所以会发热，在热量不损坏电感的情况下，最大允许持续流过的电流。

自谐振频率（SRF）：由于电感中的寄生电容，电感和自身的寄生电容有谐振频率，这个频率处电感阻抗最大，超过谐振频点阻抗开始下降，呈现容性。

饱和电流（ I_{sat} ）：带有磁芯的电感，当电流增大到一定程度时，磁场强度不再增加，继续增大电流则元件的电感量将迅速下降。这个电流称为饱和电流，所以要是带磁芯的电感正常工作，不能使电流峰值超过饱和电流。不带磁芯的空心电感不存在饱和电流，其磁场随电流增大而增大，电感量不变。

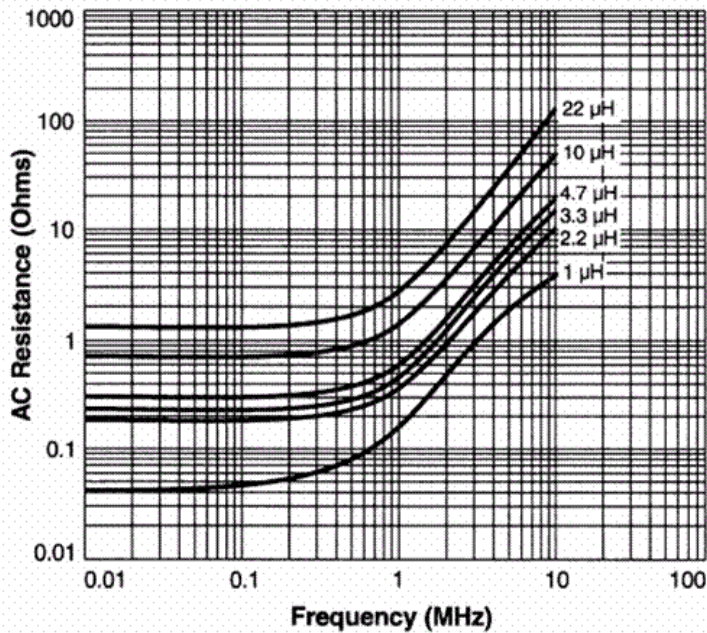
饱和电流的成因较复杂，简单说是跟磁芯的磁化有关。磁芯是铁氧体材料，可以看做是众多杂乱无章的小磁体构成，这些小磁体是自由的，方向可变。磁芯在正常情况下装入空心线圈中，磁芯内的小磁体被磁化，磁力线趋于同向，起到增强线圈磁场的作用。电流越大，被磁化的小磁体越多，磁场越强，但是这种增强作用是有限的。当超过饱和电流后磁场不再增强，并且小磁体的自由性受到限制，导致电感量下降。这也是为什么不能用永磁体作为电感磁芯的原因，永磁体内的小磁体都被限制在一个方向上。铁氧体的种类多种多样，有兴趣的读者可以去查阅相关资料。

这些真实电感的特性参数是有联系的。例如：流过电感的电流大小由加在电感两端的电压（波形和占空比）和电感阻抗决定；电感阻抗由电感的直流电阻、所加信号频率（ $j\omega L$ ）和电感温度决定；当电流流过时，由于会造成磁芯饱和以及温度升高，电感的特性也会发生变化。所以电感的特性参数不是孤立存在的，只是给出特性参数是不够的，还要给出测试的方法和测试环境。这样才能正确的使用电感，确保电感在设计条件允许的范围内正常工作。

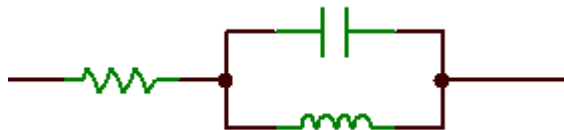
2.3.2 电感的频率特性

任何导线都固有的特性是电阻，此外导线间的绝缘材料在避免线圈之间短路的同时扮演了电介质的角色，给线圈增加了电容。所以电感或多或少都会有寄生电阻和电容的存在。与此同时在高频率下，电流分布发生变化，趋向于导体的表面（此时电流流过的横截面积变小，相当于导体的电阻发生变化）。这种现象称为趋肤效应。因此，电感的阻抗随着频率发生变化。下图展示了不同感值的电感阻抗随频率变化的曲线。

Typical AC Resistance vs Frequency

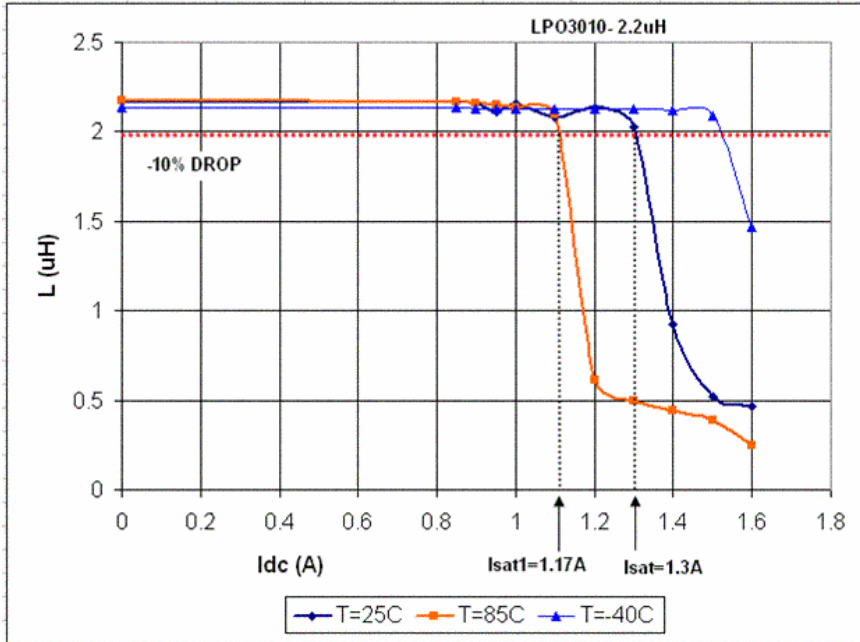


从图中可以看到在低频范围内曲线平缓，主要由电感的寄生电阻决定。当频率升高时电感阻抗增加，但是比理论值 $j\omega L$ 要小，这是因为有寄生电容的作用。当频率继续升高时（图中未画出）电感阻抗下降，呈现容性，这是因为寄生电容占据主导作用。电感的实际模型如下：



2.3.3 电感的温度特性

下图展示了实际中电感值随温度，电流变化的曲线。图中的三条曲线分别是 25 度、85 度和 -40 度时的测试结果。工业级的工作温度是 -40 度到 85 度，所以选取这三个温度点。X 轴是电流，Y 轴是电感值。可以看到三条曲线都有一个特点，当电流增大到一定程度时（例如 25 度下 1.3A）电感值出现迅速下降。这个拐点的电流就是前面介绍的饱和电流。温度不同饱和电流不同，趋势是温度越低允许的饱和电流越大。



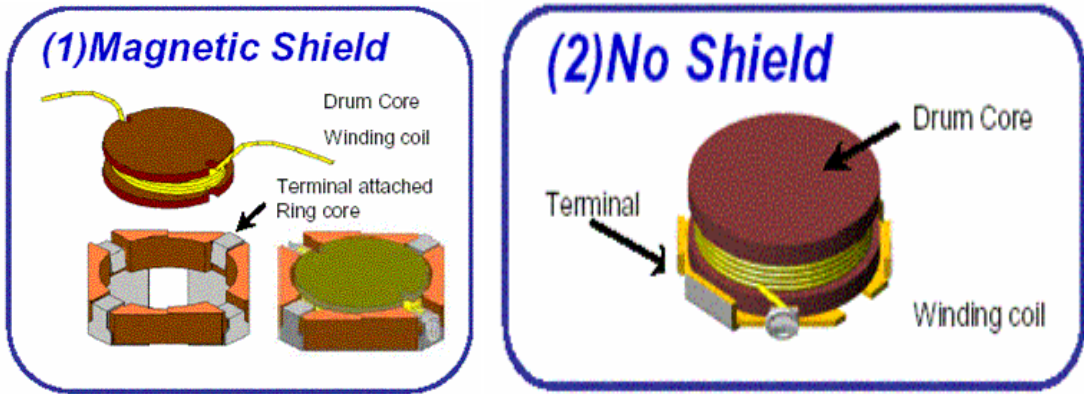
从实测结构可以看到，实际中使用电感时要留有余量，确保在全温度范围内都能正常工作。在业界有个专业术语叫做“降额”。例如一个饱和电流为 2A 的电感，在高温下使用时，考虑到 20%降额，只能当做饱和电流 1.6A 的电感使用。反之，设计中需要一个饱和电流为 1A 的电感，考虑到 20%降额（除以 80%），则应该选择 1.25A 饱和电流的电感。这样才能保证在高温下不会出问题。具体降额的程度由元件的变化范围决定，同时各公司的质量规范中也有具体降额说明。

读者可以在 <http://www.coilcraft.com> 网站上找到电感相关资料和设计方法，并且能查询到所需电感的型号。

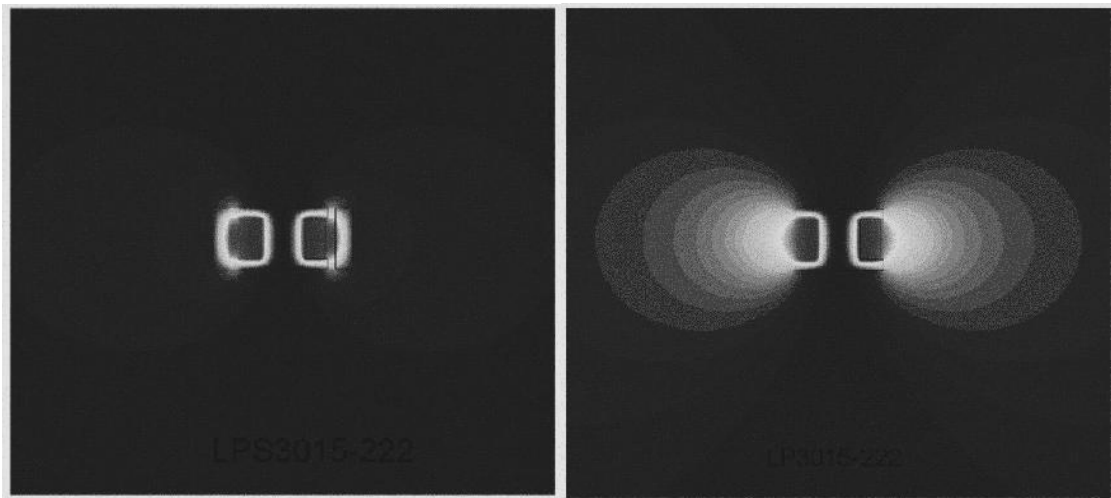
2.3.4 屏蔽结构的电感

前面介绍过了，导线缠绕在磁芯上就构成了电感。当电流流过导线时，磁芯中就建立了磁场，实际中流过电感的电流是快速变化的，所以磁场也在快速变化中，如果不加以屏蔽则会造成电磁干扰问题。要屏蔽磁场一般是采用导磁材料将电感封闭在内，电感的 N 极和 S 极产生紧耦合，磁场在这个导磁材料内形成回路，这样就对磁场起到了屏蔽左右。

下图是带屏蔽和不带屏蔽两种电感的结构对比。



对这两种结构的电感磁场进行测试，测试结果如图



左图是带屏蔽的电感，右图是不带屏蔽的电感。图中颜色越浅磁场强度越大。可以看到带屏蔽的电感只有一个很小的区域内有磁场，不带屏蔽的电感磁场扩散到周围一个很大范围内。

2.4 电容

两个导体平面之间加入电介质就构成了电容。根据电介质的不同电容器分为多种类型，各具特点。例如：电解质做介质的电容，导体平面是分为正负极的，不能反接；陶瓷、聚丙烯薄膜、云母等绝缘材料做介质的电容，导体平面是不分正负极的，可以反接。铝电解电容和钽电容是电解质电容，陶瓷电容是非电解电容。电解电容比陶瓷电容稳定，容值随温度和电压变化小，但是其 ESR（等效串联电阻）比陶瓷电容大。

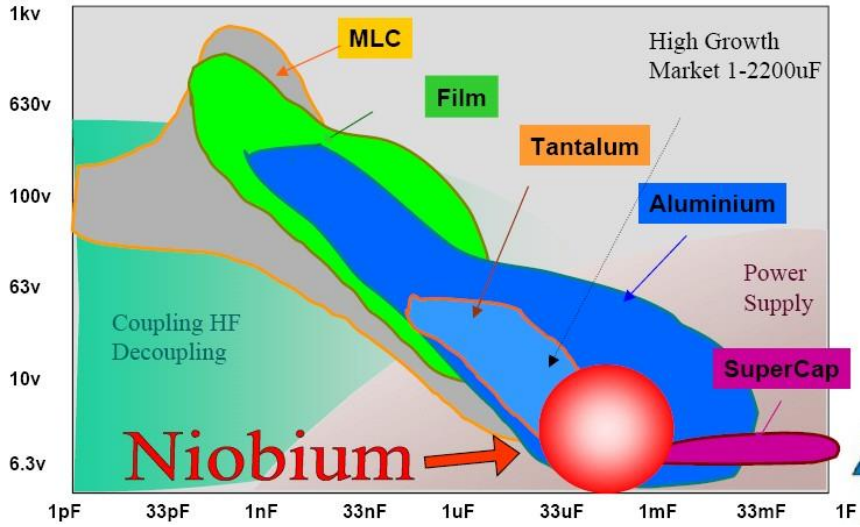
理想电容的电容值公式： $C = \frac{\epsilon \cdot A}{t}$ C 是电容值， A 是导电平面面积， t 是两导电面的距离， ϵ 是介质的介电常数。可以看到导体面积越大，距离越近电容值越大，介电常数越大电容值也越大。这几个参数是相互联系的，同时也决定了电容的其他特性，例如增加导体面积意味着电容的体积会增大，采用介电常数大的介质可以在体积不变的情况下提高电容值。需要注意的是实际电容有耐压值的限制，这点不同于理想电容。在介质不变的情况下，要提高耐压值，则需要增加导体的间距，同时为了保值电容值不变则需要增大导体的面积，这样带来体积的增大。

2.4.1 几种电容对比

下表中将常用的 4 种电容做了简单的对比，使读者对实际中的电容有个大致的了解。

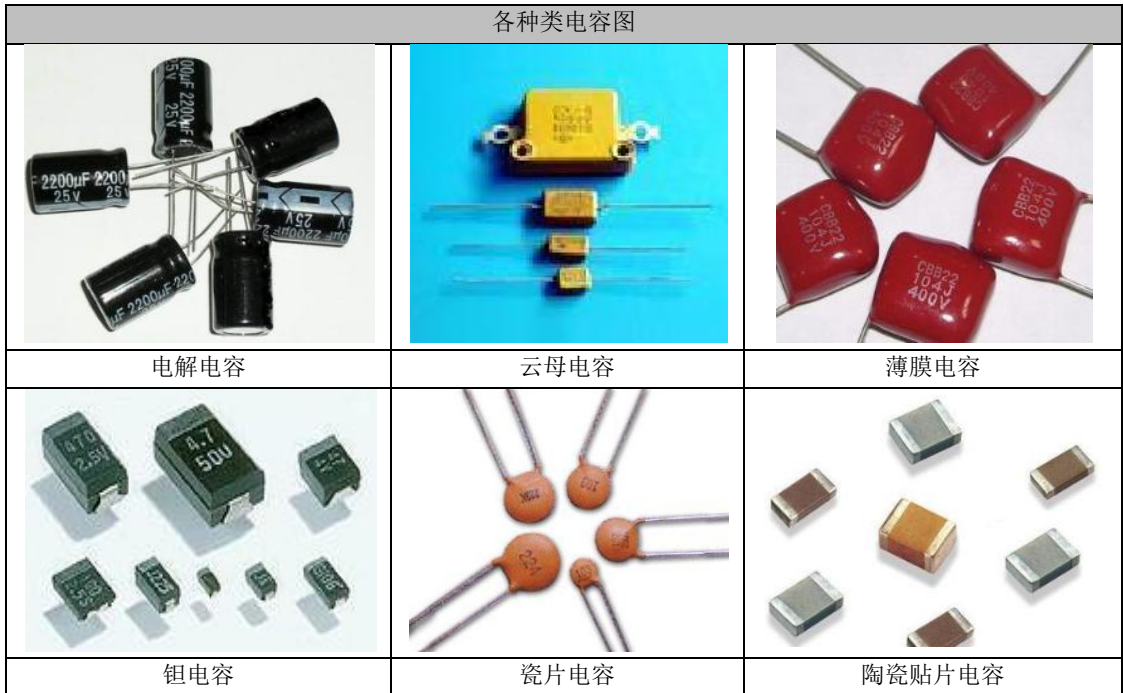
类型	铝电解电容	钽电容	高分子聚合物铝电容	陶瓷电容
ESR	几毫欧到 10 欧姆	30-150 毫欧	10-50 毫欧	1-10 毫欧
体积	大	中等	中等	小
其他特点	低成本，宽电压范围，大电容量，高 ESL（等效串联电感），ESR 在低温下增加	容量大，不能过压过流，有燃烧危险，有被钽电容取代的趋势	大容量，供应商较少	在某些应用场合可产生音频噪声，直流偏置可使容量降低，成本低

为了从宏观上看到各电容种类的应用范围，下图将几种电容画在了一个图中（MLC 多层陶瓷电容，Film 薄膜电容，Tantalum 钽电容，Aluminum 铝电解电容）。横坐标表示电容的容值，纵坐标是电容的耐压值，图中不同颜色的区域代表这个电容能覆盖的范围。从图中可以看到一般的铝电解电容可以覆盖 nF 到 mF 的容值范围，耐压值在 400V 以内。趋势是容值越大耐压值越低，这是因为受体积的限制导体面积受限，在电解质不变的情况下，增加电容量需要减小导体间的距离，距离越小击穿电压就越低。



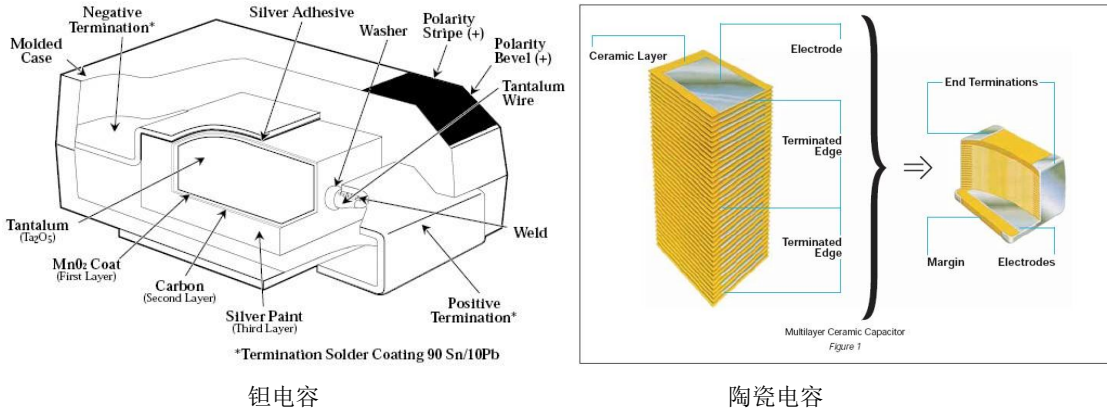
电容种类和特性对比图

下图是实际中的几种电容图片，种类不同，在体积和容量上也有较大差别。根据设计需要选择合适的电容，确保电路正常工作。



2.4.2 电容的结构

对于各个种类的电容内部结构本节不再一一介绍，例举两种常用电容的内部结构。如下图所示：



钽电容

陶瓷电容

钽电容用金属钽粉做正极，五氧化二钽做电解质，二氧化锰做负极，用金属片将正负极引出再加上塑料外壳封装。钽电容是分极型的，正极上有横线表示。陶瓷电容是无极性的，一层陶瓷一层导体极板叠加而成，两头的导体极板烧结在一起后作为电容的两端焊接使用。

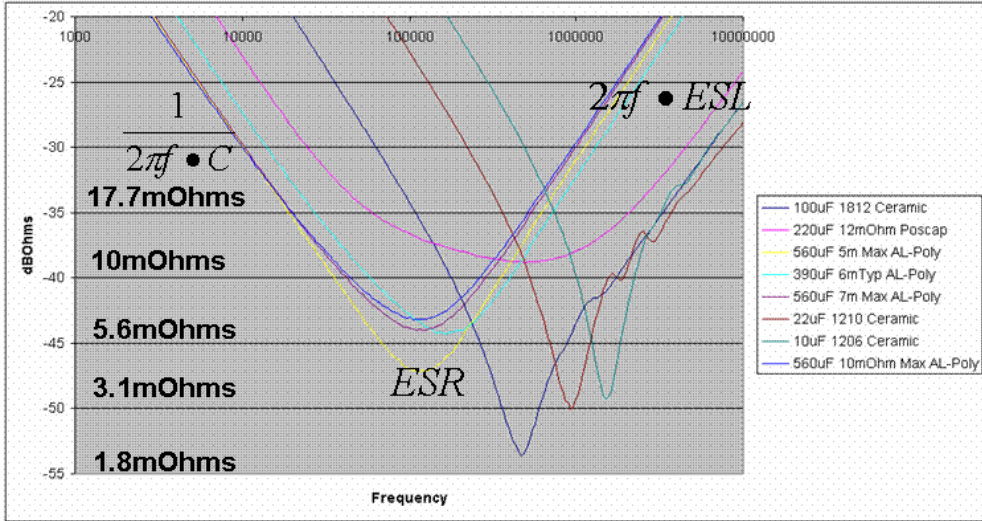
对于钽电容和陶瓷电容，贴片封装是主流，因为贴片焊接（SMD）极大的提高了电子产品的生产效率。对于贴片的电容封装，这里简单介绍一下。贴片封装用数字表示，一般用英制单位，例如 1206 表示 120mil 长 60mil 宽，0402 表示 40mil 长 20mil 宽（100mil=2.54mm）。如果说明书中以毫米为单位，则封装尺寸的数字代表 mm，例如 3216 表示 3.2mm 长 1.6mm 宽。使用中注意说明书中的单位。

2.4.3 电容的频率特性

实际中的电容由于自身的工艺结构特点，其内部和外部的导线上存在电阻（ESR 等效串联电阻），并且导线有一定的长度，同时存在寄生电感（ESL 等效串联电感）。电容的等效模型：



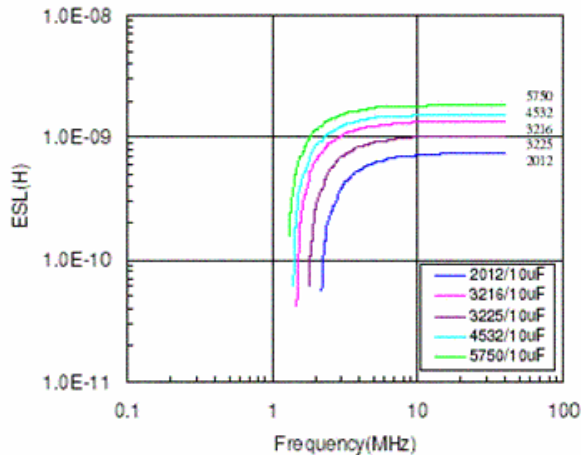
由于寄生参数的存在，电容的总体阻抗随频率发生变化。如下图：



图中是几种不同容值的电容阻抗随频率变化的曲线。横坐标是频率轴，纵坐标是阻抗。阻抗曲线的最低点是电容的谐振频点，谐振频点上 $j\omega L = 1/j\omega C$ ，得到谐振频率 $\omega = 1/\sqrt{LC}$ 。谐振频点左边， $j\omega L < 1/j\omega C$ ，电容呈现容性。谐振频点右边， $j\omega L > 1/j\omega C$ ，电容呈现感性。

	影响 ESR 的因素有如下几个	影响 ESL 的因素有如下几个
1	电极的厚度和材料	电极的长宽比和面积
2	电极的长宽比和面积	电容内部的层数和并联的电极数量
3	电容内部的层数和并联的电极数量	覆盖层的厚度
4	电极表面的平坦度和金属化程度	封装的大小
5	电介质的分布电阻	工作的频率
6	工作的频率	

下图是相同容值不同封装电容的 ESL 随频率变化的曲线，图中可以看出封装越大 ESL 越大，当频率较高时，ESL 几乎不再变化。



2.4.4 电容的温度特性

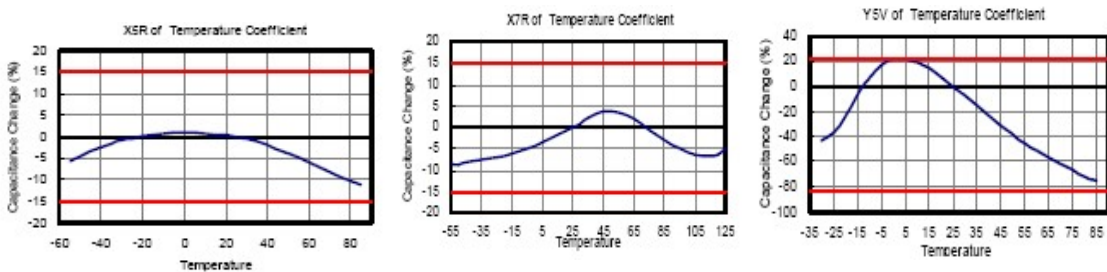
电介质随温度和电压发生变化。EIA（美国电子工业联合会）将电容分为一类（Class I）和二类（Class II）电容。由于电容内部的 ESR，有电流流过时就会发热导致电容温度升高，所以选择电容时要使电容在系统的设计温度范围内都能正常工作。

Class I 电容的容值随环境变化非常小，小于 0.3%，并且可以工作在大于 UHF 的频段，接近理想电容所以本节不再具体介绍。Class I 电容容值较小，主要用在振荡电路，滤波器和时钟电路中。

Class II 电容的命名方法如下表，由三个字符组成：第一个代表能正常工作的最低温度，第二个表示能正常工作的最高温度，第三个表示容值在这个温度范围内的误差。例如 X7R 表示以 X7R 作为电介质的电容温度范围为 -55 度到 125 度，误差 ±15%。下文将 X7R 作为电介质的电容简称 X7R 电容。

最低温度		最高温度		容值误差			
X	-55 ° C	2	+45 ° C	A	±1.0%	P	±10%
Y	-30 ° C	4	+65 ° C	B	±1.5%	R	±15%
Z	+10 ° C	5	+85 ° C	C	±2.2%	S	±22%
		6	+105 ° C	D	±3.3%	T	22%/-33%
		7	+125 ° C	E	±4.7%	U	22%/-56%
		8	+150 ° C	F	±7.5%	V	22%/-82%
		9	+200 ° C	L	+15% / -40%		

Class II 电容使用高介电常数的介质，所以小的体积下就可以得到更大的容值。这使得 Class II 电容虽然温度特性较 Class I 电容差，仍很有价值。下图展示了 Class II 电容中三种电介质的电容温度特性曲线。

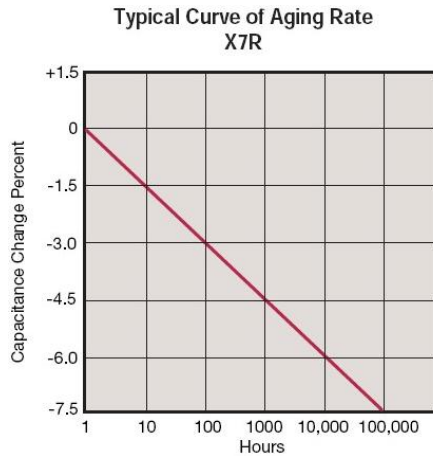


图中从左到右分别是 X7R、X5R 和 Y5V 三种电介质构成的电容。红色线是误差范围的边界。可以看到 X7R 和 X5R 的误差相似，但是 X7R 比 X5R 的温度范围宽。X5R 和 Y5V 的温度范围相似，但是 X5R 比 Y5V 的误差小。跟 Class II 的电容表格描述一致。所以选择电容时要留有余量，使电容在系统的设计温度范围内都能正常工作。

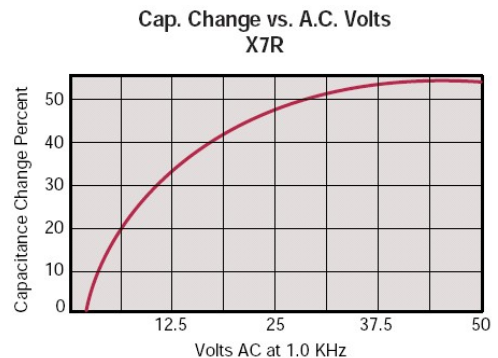
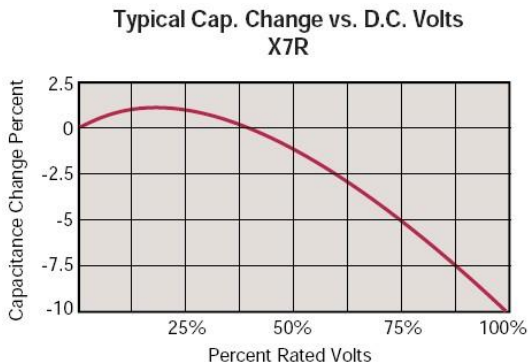
2.4.5 电容的电压特性

Class II 电容的容量随着加在其上的 DC 电压和 AC 电压变化，DC 电压使容量呈减小趋势，而 AC 电压使容量呈增大趋势，这种现象是可逆的。额定电压下使用时其容量随时间的推移而下降，这个现象称为老化，是不可逆的。

下图是 Class II 中 X7R 电容的容值随时间、DC 电压和 AC 电压变化的曲线。设计中要考虑到这些因素，使选择的电容在产品寿命内由于老化造成的容值下降不影响正常工作，并且在产品的额定 DC 和 AC 电压下容值的变化不影响正常工作。



老化曲线显示在额定电压使用中，经过 10 万小时使用后 X7R 的容值下降了 7%左右。所以设计产品时，如果产品的寿命在 10 万小时，则需要在设计容值的基础上增加 7%的余量用以弥补老化缺损。

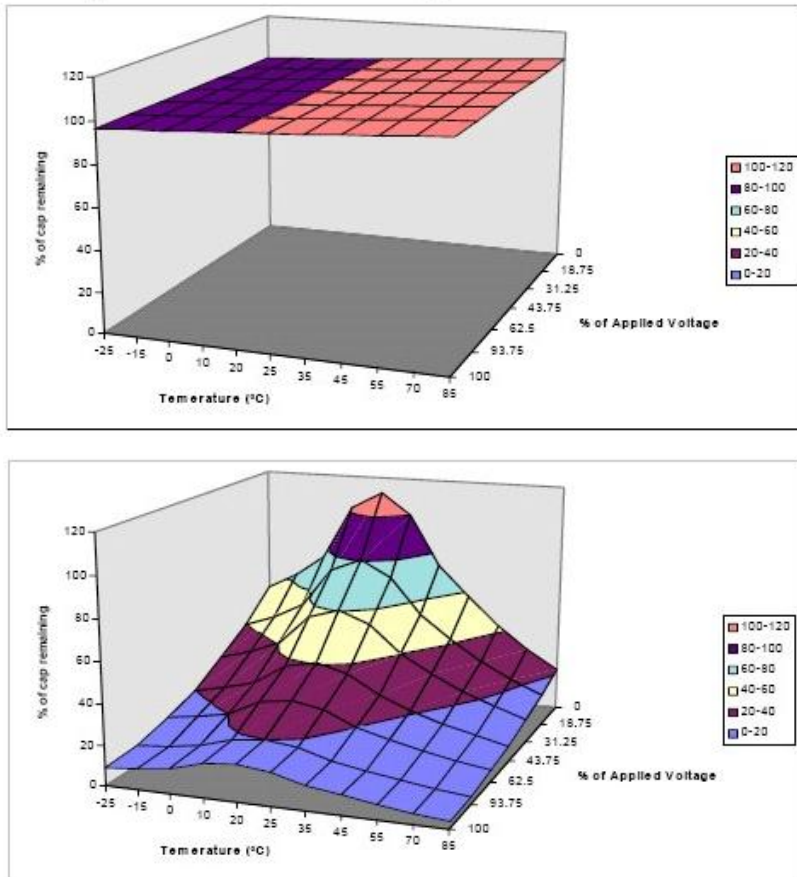


从图中可以看出在 75%额定电压下 X7R 容值下降 5%，在 100%额定电压下容值下降 10%。所以使用电容时要特别注意额定电压，超出额定电压使用不仅影响电容容量，还有可靠性问题。在 AC 电压下容量呈增加趋势，图中 50V 时增量超过 50%，所以当 Class II 电容用在交流场合时不能忽略这种变化。

2.4.6 Class I 和 Class II 电容对比

电容根据其性能分为 Class I 和 Class II 两大类，下图将 Class I 和 Class II 电容的温度和电压曲线进行对比，可以更好的了解他们的特点，如下图所示：

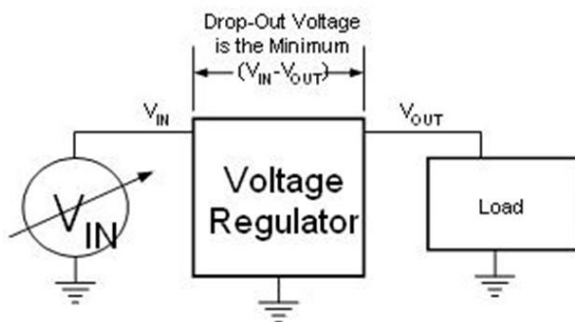
Temperature / Voltage Characteristics



图中 X 轴和 Y 轴分别是温度和电压，Z 轴是电容变化的百分比。可以看到 Class I 电容在整个温度、电压范围内变化几乎可以忽略。而 Class II 电容的变化在 10% 以上。所以这两种电容应用场合也有很大不同，Class I 主要用在主要用在振荡电路，滤波器和时钟电路等要求高精度小容量的地方。Class II 主要用在电源、去耦等需要大容量低精度的场合。

第三章 线性稳压器

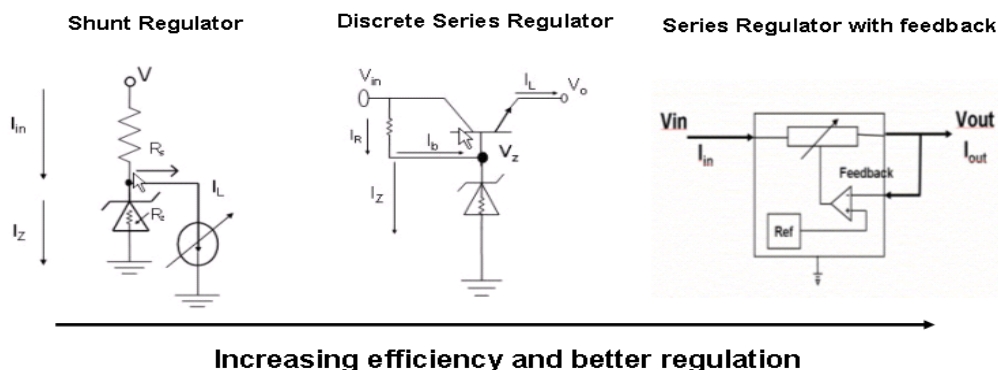
本节对线性电源知识和技术进行详细讲述，包括利用波特图解释线性电源的稳定性问题，介绍线性调整率和负载调整率，噪声分析，关断以及外部元件的选择。主要以 MOS 型 LDO（低压差）线性稳压器为主做分析介绍。



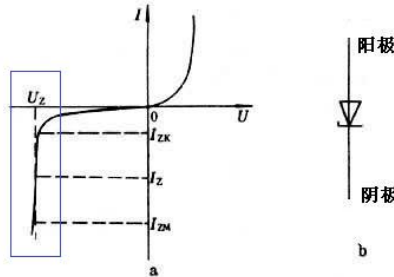
线性稳压器在输入电压和输出电压之间扮演可变电阻的角色。线性稳压器的效率不高，这主要是因为输入和输出电压差产生的功率全部消耗在这个可变电阻上。功率消耗为 $P = (V_{in} - V_{out}) * I$ ，当电压差增大时功率消耗增大。但是线性电源也有其优点，例如设计简单成本低，输出纹波小，很好的线性调整率和负载调整率，对于 V_{in} 和负载变化响应迅速，EMI 干扰小。例如 TPS7XXX 系列的 LDO 稳压器。

3.1 线性稳压器的演进

早期的线性稳压器使用齐纳二极管配合电阻、晶体管等分立器件实现。然后演进为带反馈控制和补偿网络的稳压器，可以提供比稳压二极管高的效率，更好的稳定性和低噪声。如下图所示：



上图左边是齐纳稳压管串联电阻实现稳压器，这种稳压器的优点是简单，体积小。工作原理是利用二极管施加反向电压齐纳击穿后电压保持稳定的特点。下图是稳压二极管的伏安特性曲线，方框中的 U_Z 就是齐纳击穿后的稳压区。



稳压二极管的伏安特性(a)和电路符号(b)

当连接负载后，稳压二极管电压不变但是其中的电流随负载而变化，稳压二极管起到分流调节作用相当于一个可变电阻。负载电流变小则稳压二极管电流增大，反之亦然。这样使串联的电阻中电流总和不变，从而保持 $V_{in}-R*I$ 的电压值稳定。这种稳压器所能提供的最大电流 $I_{MAX} < (V_{in}-V_{out}) / R$ ，因为保持稳压二极管的齐纳击穿也需要电流，这时负载继续增大电流则稳压二极管不能维持齐纳击穿，没有了稳压作用。并且当负载电流减小时，多余电流流入稳压二极管，再加上电阻上消耗的功率 ($P=R*I^2$) 使得效率降低。所以稳压二极管稳压器一般用在小电流的场合。例如 LM4050、REF1004 和 TL4051 等，用作参考源。

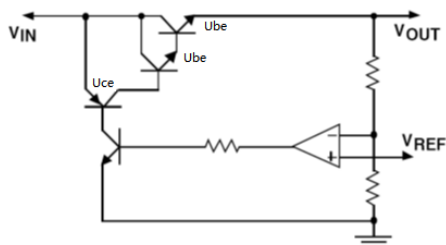
线性稳压器演进的后两幅图中，加入了晶体管来作为可变电阻。不同的是一个用稳压二极管控制基极，一个使用放大器控制基极。由于加入了放大器，使得电路响应速度提高，拥有更好的线性调整率和负载调整率。例如高 PSRR 性能的 TPS79601，带缓起动的 TPS74201 线性稳压器和宽输入范围 (100V) 的 TPS7A4001 线性稳压器。

3.2 线性稳压器的压降

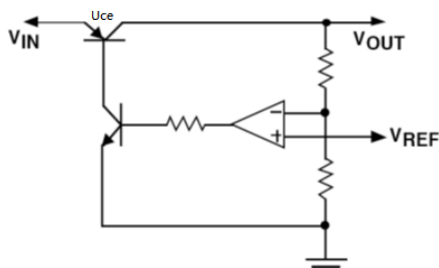
线性稳压器正常工作时，输入和输出之间要保持一个最小电压差，这个电压差称为压降 (Drop out voltage)。线性稳压器的数据手册中都会对这个最小压降进行说明。例如 LP2950 数据手册中的说明。

PARAMETER	TEST CONDITIONS	T_j	MIN	TYP	MAX	UNIT
$V_{IN} - V_{OUT}$ Dropout voltage ⁽³⁾	$I_L = 100 \mu A$	25°C		50	80	mV
		-40°C to 125°C			150	
	$I_L = 100 mA$	25°C		380	450	
		-40°C to 125°C			600	

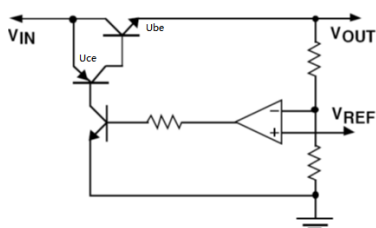
线性稳压器的分类主要是看其内部的功率管，可分为双极型和 MOS 型两大类。双极型中又分为 NPN 和 PNP 两个小类。同样 MOS 型中也分为 N 沟道和 P 沟道两个小类。下表将这几种稳压器的结构和压降进行了对比。



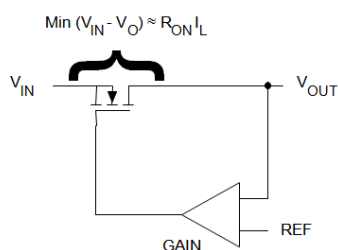
双极型 NPN, 压降 $V_{DO}=2U_{be}+U_{ce}$, 约 2V 左右



双极型 PNP, 压降 $V_{DO}=U_{ce}$, 约 300mV (例如 LM2931)



准 LDO, 压降 $V_{DO}=U_{be}+U_{ce}$, 约 1V 左右



MOS 型, 压降 $V_{DO}=R_{on} * I_L$, 小于 0.5V

线性稳压器使用 MOS 管时，压降由导通电阻 R_{on} 和电流决定。 R_{on} 由 MOS 管沟道的长，宽和栅极电压决定。增加宽度和栅极电压可以减小 R_{on} ，代价是使用更大面积的硅晶片，增加了成本。我们把压降较小的线性稳压器称为 LDO (Low drop out 低压降)。MOS 管线性稳压器的特点是：可以支持很低的压降，很小的静态电流，良好的噪声特性以及良好的 PSRR (电源抑制比)。

尽管双极型线性稳压器有较大的压降，但是它也有其优点。例如可以支持高的输入电压 (>7V) 并且比 MOS 型线性稳压器有更好的传输响应。

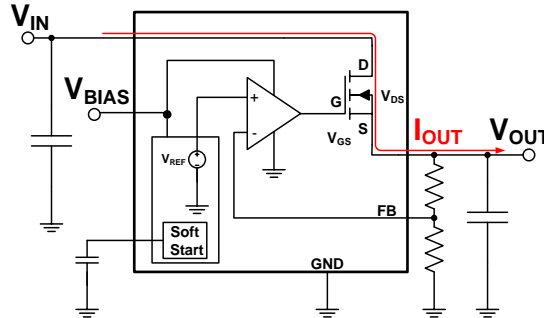
3.3 线性电源的效率

线性电源的效率计算方法如下：

$$\%Efficiency = \frac{Power\ Out}{Power\ In} \times 100 = \frac{I_{OUT}(V_{OUT})}{(I_{OUT}+I_{GND})V_{IN}} \times 100$$

效率等于输出功率比上输入功率，由于线性稳压器的输入电流等于输出电流这个特性（ I_{GND} 是其自身耗电电流，可以忽略），分子和分母上的电流相消，效率就近似等于 V_{out}/V_{in} 。

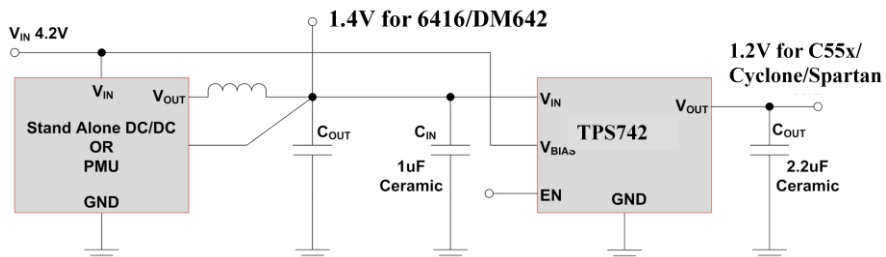
从效率公式中可以看到，要提高线性稳压器的效率就要尽可能的减小 V_{out} 和 V_{in} 的电压差，如果 $V_{out}=V_{in}$ 则效率为 100%。上面一节中介绍了 LDO 稳压器用 MOS 管改善效率。下面再介绍一种 TI 的提高效率的电源技术，如下图所示：



将电源内部单元的供电引出片外（ V_{BIAS} TPS74701 芯片），由这个管脚给芯片内部供电。这样 V_{in} 就更为灵活，不用再给内部供电，只需要给 V_{out} 供电即可， V_{in} 可以摆脱内部最小工作电压的限制。采用这种技术后效率改善情况如下表：

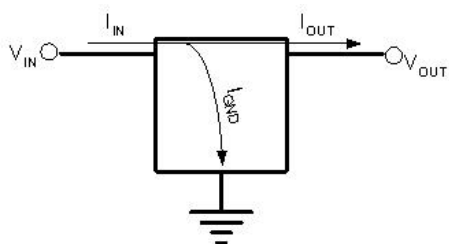
	没有使用 V_{BIAS}	使用 V_{BIAS}
V_{in}	3.3	1.5
V_{out}	1.2	1.2
V_{BIAS}	等于 V_{in}	3.3
效率	36%	80%

可以看到效率从 36%提高到 80%。带 V_{BIAS} 功能的电源芯片的典型应用如下， V_{in} 来自上一级开关电源的输出， V_{BIAS} 来自干路。这样既可以满足 LDO 的内部工作电压，又可以降低 V_{in} 。

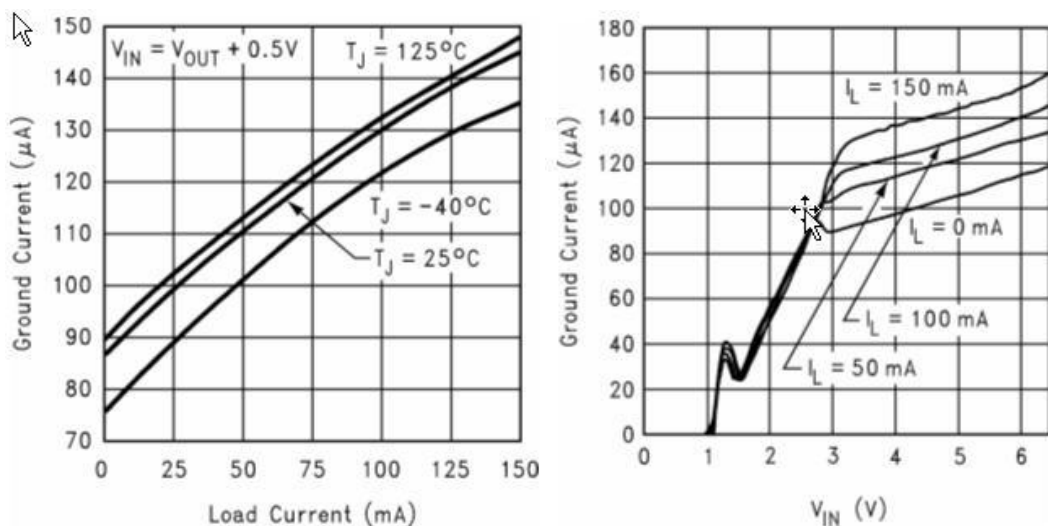


3.4 对地电流

来自输入的电流有一部分不流向负载而是流入 GND，这个电流称为对地电流，是线性稳压器自身的工作电流。跟给负载提供的电流相比，这个电流只是很小的一部分。在高负载电流时，消耗在线性稳压器内部功率管上的功耗是影响效率的主要原因。在空载或者小负载（例如小于 1mA）时，对地电流是影响效率的主要原因。



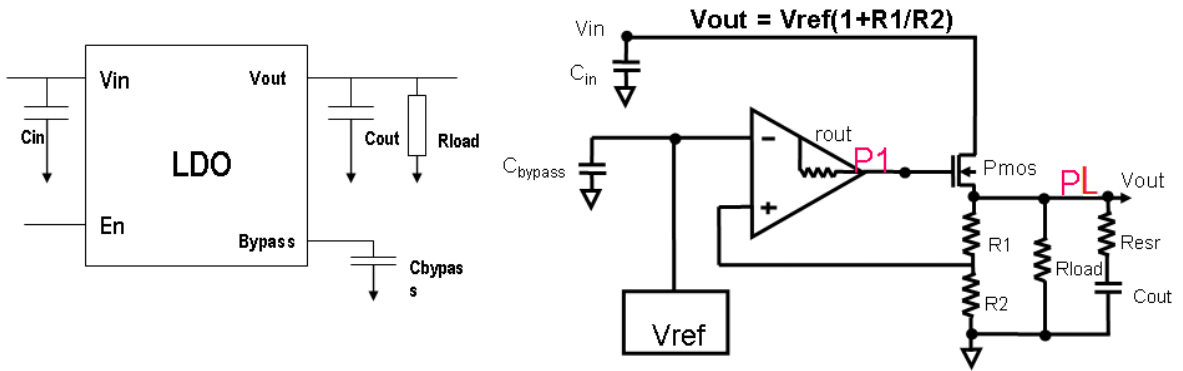
对地电流会随着温度、负载电流和输入电压变化。随温度变化是内部晶体管的温漂特性；随负载电流变化是因为内部放大器给功率管提供基极（栅极）电流所致，流过功率管的电流越大对地电流越大；随输入电压变化是因为输入电压同时给内部放大器、基准源供电，电压升高则相应功耗增加。对地电流的变化趋势如下图：



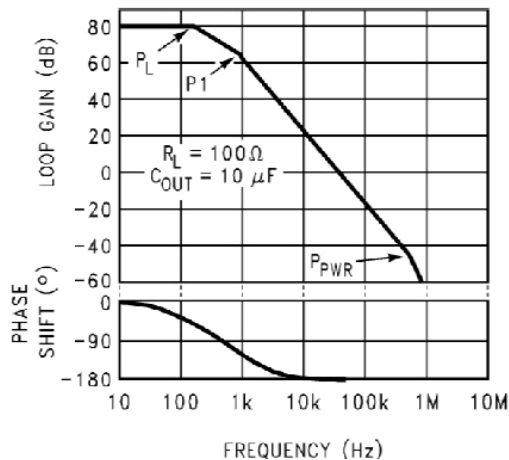
需要注意的是，在设计低功耗的电路时，对地电流的大小就显得格外重要。它将影响电路的效率，或者说影响电池的使用时间。例如 LM1117 的对地电流在 5mA，uA7805 的对地电流 4.5mA，这些线性稳压器的自身消耗电流比 MSP430 处理器还多，所以低功耗中应该选择 LP2950（静态电流在 75uA），TPS78001（静态电流 500nA），这类的稳压器。

3.5 LDO 的稳定性

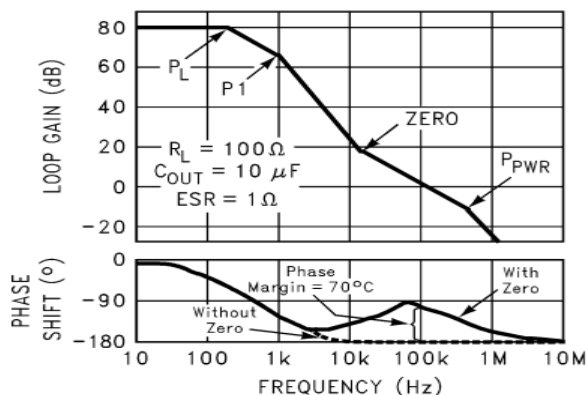
LDO 中有放大器工作在负反馈模式下进行电压调节，也就是说有反馈电路存在，这样必然会涉及到稳定性问题。这就需要跟外部元件一起来分析零点和极点。



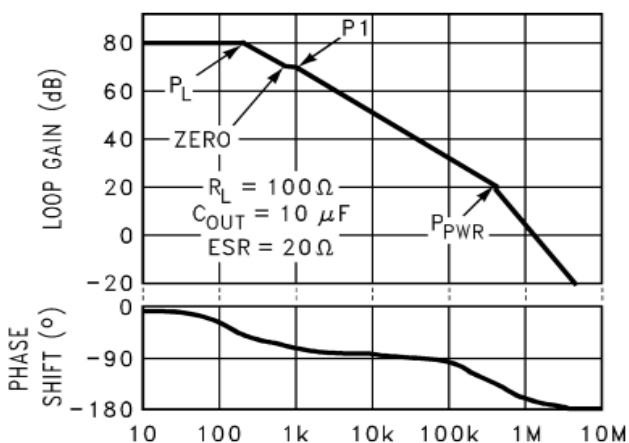
LDO 的外部元件包括滤波电容（负载电容）和负载（负载电阻）。如上图所示。考虑到滤波电容的 ESR（等效串联电阻），可以得到右边的等效电路。先不考虑电容的 ESR，则环路有三个极点：P1 极点是放大器的输出电阻和负载电容构成的， P_L 是负载电阻和负载电容构成的， P_{PWR} 极点来源于内部功率管，极点频率比前两个高很多，不影响稳定性在分析中可以忽略。P1 和 P_L 这两个极点的存在，可以产生 180 度相移，使环路不稳定。如下图，环路增益在 0db 的时候，相移-180 度。



考虑到 ESR 电阻，则 ESR 和负载电容产生一个零点，如果这个零点位于 P1 后面，使相位偏移得以修正，环路可以达到稳定。如下图，加入零点后环路增益为 0db 的时候，相位偏移在-90 度。

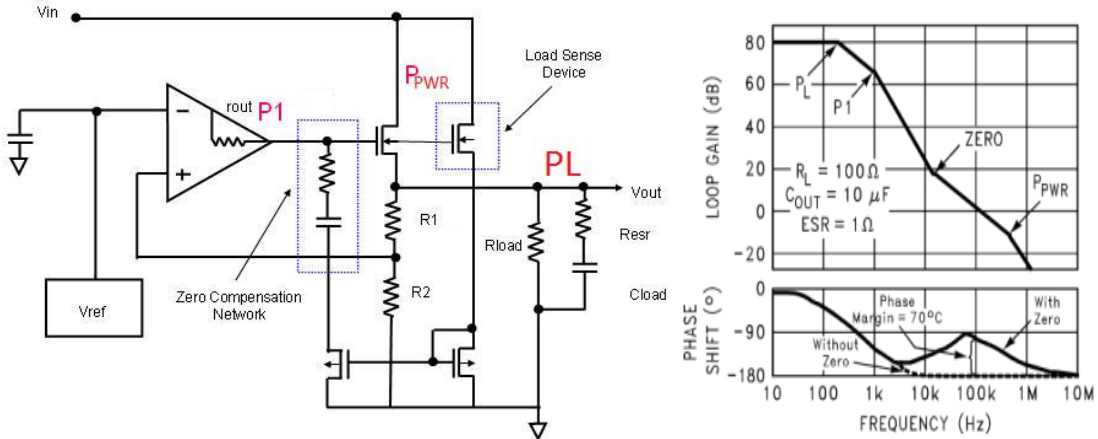


如果电容的 ESR 不合适，例如 ESR 过大，则添加的零点到 P_1 之前，这样环路在高频部分增益为 0db 时相移仍会达到 -180，产生不稳定。如下图 1M 频率处。



所以在设计 LDO 电路时，有些公司的稳压器会对电容的 ESR 有要求，手册中会给出允许的范围。陶瓷电容的 ESR 很小，钽电容的 ESR 适中，不带内部补偿的 LDO 往往推荐使用钽电容。但是钽电容的成本远大于陶瓷电容，这样对设计是个不利因素。

为了解决稳定性问题，可以在芯片内部添加自适应补偿电路，这样就不需要外部的 ESR 来进行补偿，原理框图如下



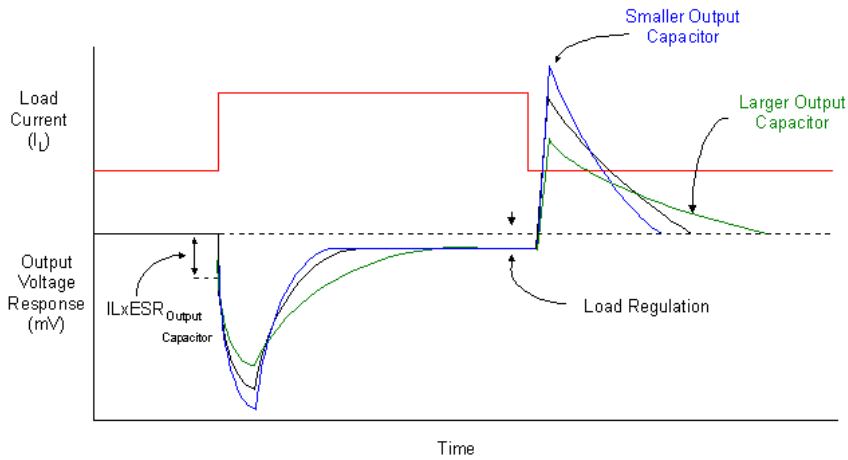
自适应补偿电路在 P1 极点后添加，抵消相位的偏移。由于添加了负载检测电路（load sense device）自适应零点可以跟随 P1 极点随负载的变化而变化。有了自适应零点后电源芯片就不再需要 ESR 产生的零点补偿，从而对输出电容不再有苛刻的要求。TI 推出 cap-free 型的 LDO，例如 TPS73xxx, TPS742xx, 使工程师不再受稳定性的困扰，可以选择陶瓷电容使用。

3.6 LDO 的调整率和瞬态响应

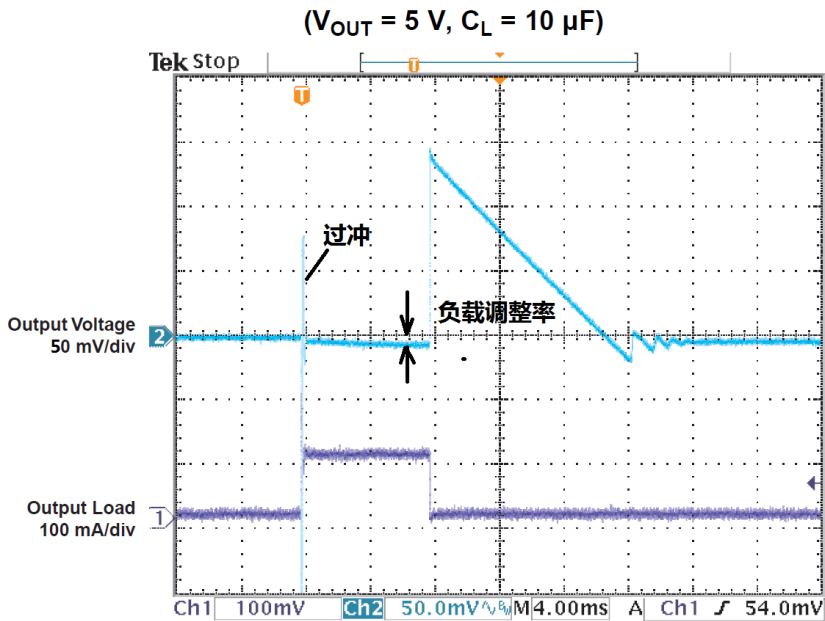
调整率分为负载调整率和线性调整率，调整率跟瞬态响应、对地电流和效率有直接的联系。反馈环路获得的电流越大，则环路内电容充电和放电越快，环路响应越快，电路调整的越快。尽管如此，环路响应越快则越有可能使 LDO 的输出产生过冲，并且不稳定性加强（相位裕度越小响应速度越快，其中相位裕度=180-相位偏移，当相位偏移为 180 时，相位裕度为 0，此时负反馈变为正反馈，电路振荡）。电源芯片的数据手册中会看到这两个参数，下面分别介绍负载调整率和线性调整率。

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
$\Delta V_{OUT}\% / \Delta V_{IN}$	Line regulation ⁽¹⁾	$V_{OUT(NOM)} + 0.3V \leq V_{IN} \leq 6.5V$		0.02		%/V
$\Delta V_{OUT}\% / \Delta I_{OUT}$	Load regulation	$500\mu A \leq I_{OUT} \leq 200mA$		0.002		%/mA

负载调整率 (load regulation) 定义为在正常工作范围内，输出电压的变化量与负载电流变化量的比值，常用百分数表示。它表示了电路应对变化负载维持恒定输出电压的能力。下图是负载调整率的测量曲线，展示了输出电压对负载电流的响应。输出电压有三条曲线，分别对应不同的输出电容，输出电容越大曲线波动越小，因为大电容对电流变化的补偿多。图中 $I_L * ESR$ 的电压变化是由于输出电容的等效串联电阻导致。

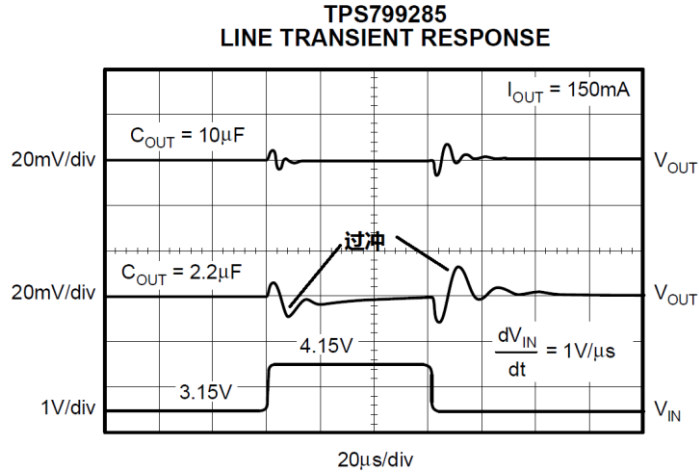


从图中可以看到负载电流发生阶跃变化时，LDO 对输出电压进行快速调整（瞬态响应），使电压回归到允许的误差范围内。但是 LDO 不能做到在不同的负载情况下输出电压绝对一致。如上图 load regulation 所示的误差。



上图是实测 LP2950 电源芯片的负载调整率和瞬态响应，图中可以看到负载电流跃变时输出电压有一个瞬间下降，LDO 对输出调整后会产生一个过冲（高于输出电压的毛刺）。电源芯片的环路参数不同这个过冲的大小也不同。电流变化越大，过冲越大。LP2950 最大输出 100mA，所以电流变化 100mA 看到的过冲是 LP2950 的最大过冲。最大过冲 150mV，占输出的 3%，不会对后级造成影响。过大的电源过冲会使后级芯片瞬间超过允许的最大电压，长期工作会造成可靠性问题。

线性调整率 (line regulation) 定义为在正常工作范围内，输出电压变化量跟输入电压变化量的比值。它表示了电路应对输入变化维持恒定输出电压的能力。TPS799285 的实测线性调整率和瞬态响应如下



图中可以看到，TPS799285 的线性调整率很好，输入变化 1V，输出稳定后几乎看不出变化。根据数据手册中的指标线性调整率 0.02%则输出只会变化 $1V \times 0.02\% = 0.2mV$ 。由于环路的快速响应，输出有一点过冲，过冲幅度小于 20mV，不影响后续电路。并且利用输出电容的蓄流能力可以进一步减小过冲。

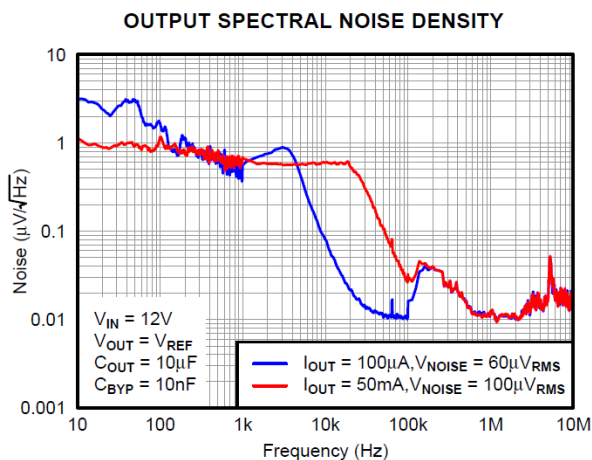
3.7 电源的噪声

负载电流稳定时 LDO 电源输出上也会有小毛刺，这个被称为电源噪声。输出噪声反应了内部电路产生的干扰。主要的噪声来自于内部参考源。数据手册中是以频谱密度来描述噪声大小的，噪声单位 $\mu V/\sqrt{Hz}$ ，使用中看噪声的大小要和带宽结合使用，例如 TPS7A4001 的噪声参数如下表

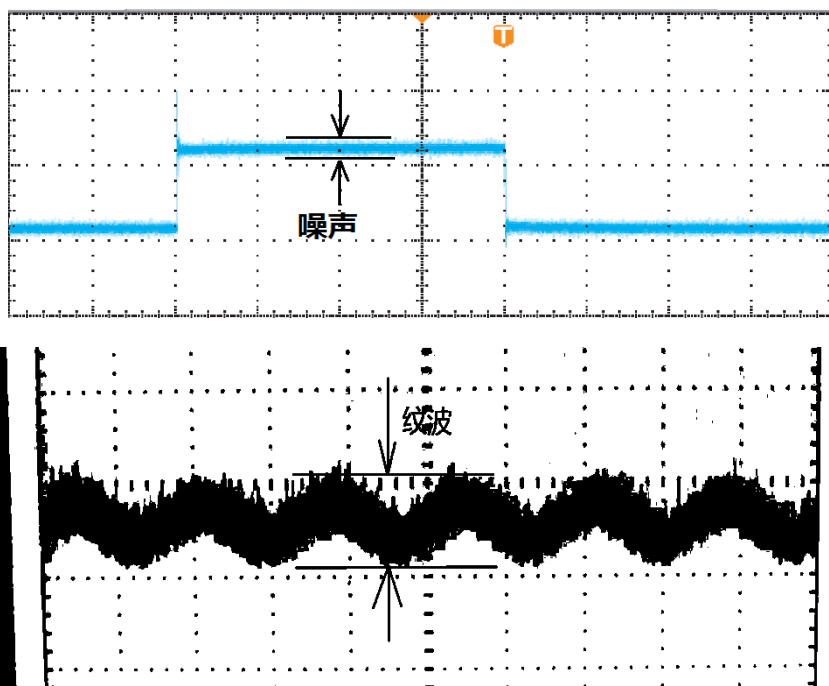
V _{NOISE}	Output noise voltage	V _{IN} = 12V, V _{OUT(NOM)} = V _{REF} , C _{OUT} = 10µF, BW = 10Hz to 100kHz	58	µV _{RMS}
--------------------	----------------------	--	----	-------------------

TPS7A4001 噪声（带宽 10Hz 到 100kHz）

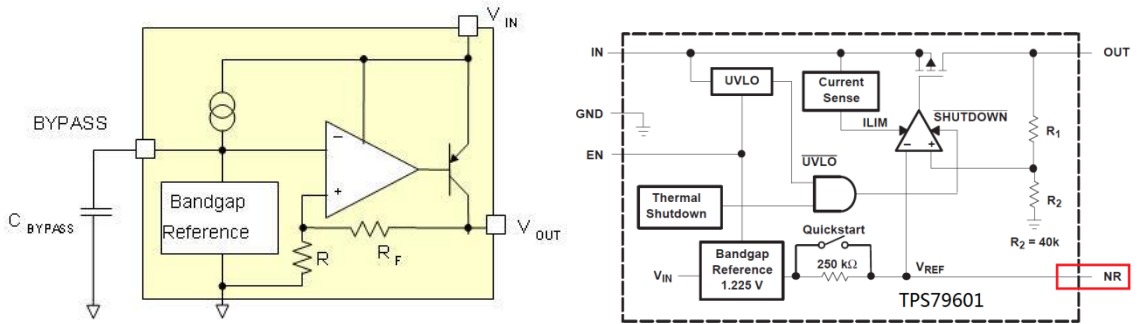
在 10Hz 到 100kHz 范围内积分后得到上表中的 $58\mu V_{RMS}/\sqrt{Hz}$ ，这个值是个电压值，平方后除以电阻即可得到 10Hz 到 100kHz 范围内噪声功率，单位变为 W/Hz。TPS7A4001 的实测噪声图如下



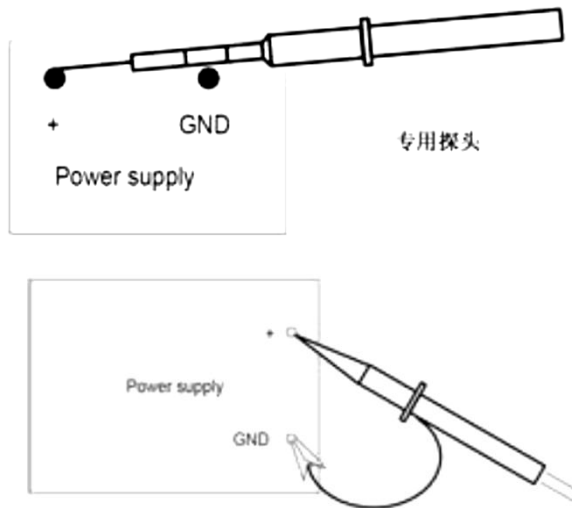
需要注意的是纹波 (ripple) 和噪声 (noise) 的区别, 纹波是指在稳定电压输出上叠加的交流分量, 噪声是随机的没有明显的周期和频率。



LDO 的噪声注意来自于内部的能带隙参考源, 要降低噪声可以在参考源的 BYPASS 管脚添加滤波电容, 如下图左。例如 TPS79601 带有 NR 管脚和内部参考连接, 外加滤波电容后可以提高噪声性能 (下图右)。



在测试电源噪声时要注意探头的接地方法，不要使探头尖和接地点之间形成大的环路。这样的环路会引入电磁干扰。应该按照下图左的方法进行测试，利用示波器探头上的接地环接地，而不是采用下图右的接地夹子。



实验室中的示波器探头前端有一圈接地环，比使用接地夹子来接地效果好的多。在测量小信号时要正确接地，才能得到正确结果。

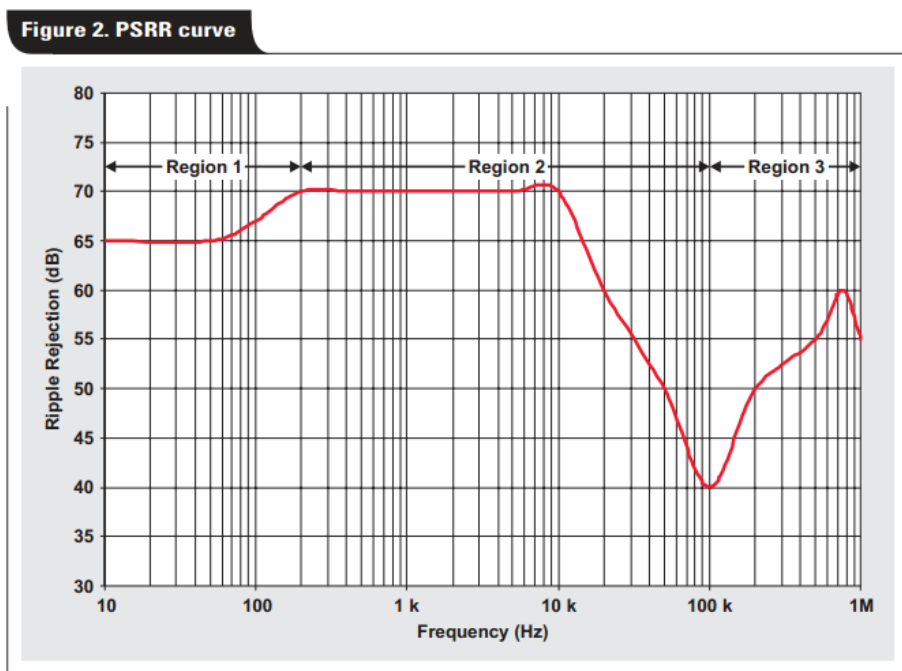


3.8 电源纹波抑制比

电源纹波抑制比（PSRR）定义为对某一个电压，在一定频率范围，其输入电压的纹波或者瞬时变化对输出电压的影响。一般定义式如下：

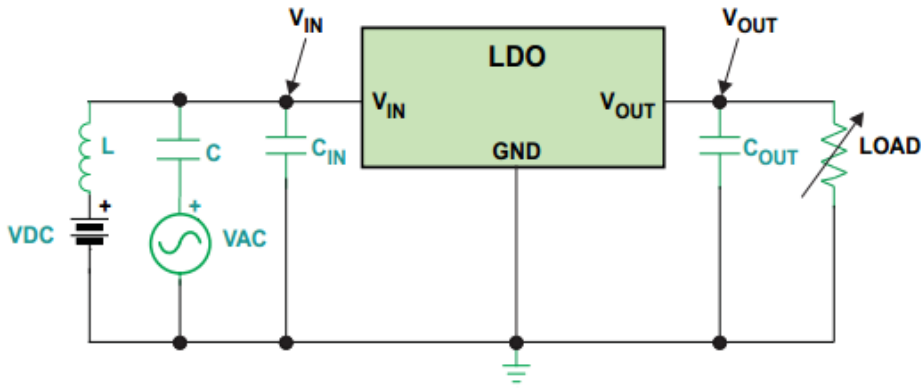
$$PSRR = 20 \log \frac{\text{Ripple}_{\text{Input}}}{\text{Ripple}_{\text{Output}}}$$

PSRR 与线路调整率有着紧密的联系，一个改善，两个的性能都会改善。

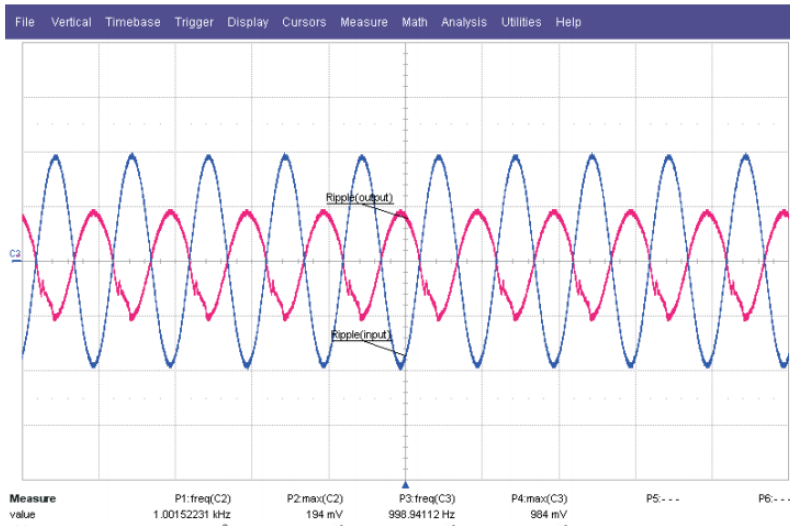


高的开环增益有助于提高抑制比。如上图所示，region1 从直流到带隙滤波器带宽的频段，主要受开环增益和带隙的 PSRR 影响；region2 是从滤波器衰减带宽到单位增益带宽间的频段，抑制比主要受调整管的影响；region3 是大于单位增益带宽的频段，主要受输出电容的影响，一个大容值，低 ESR 的输出电容，对改善 region3 的 PSRR 以及环路稳定性有帮助。其中，增加内部参考上的低通滤波对于 region1 和 2 的抑制比改善也是明显的。

用示波器测量 PSRR：



- a. $V_{out} = 3V$
- b. $I_{load} = 150mA$
- c. $VAC = 1V$ (p-p) at 1kHz
- d. $VDC = 4.3V$ dc



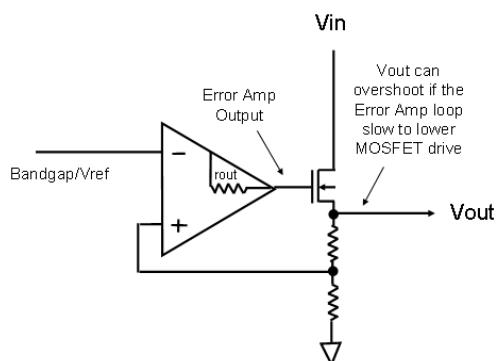
使用叠加交流信号来模拟各个频段的交流噪声，用示波器来测出输出端纹波大小，再计算每个频点的抑制比。

通常情况下给 LDO 的供电输入来自于开关电源，开关电源由于自身的工作原理会产生较大的纹波，LDO 的 PSRR 性能可以净化开关电源的输出，为后级对电源敏感的模拟电路（运放，AD，DA，时钟）提供高质量的供电。高 PSRR 性能的 LDO 有 TPS71701，TPS7201X 系列，LM2941 等。

3.9 LDO 的启动

启动时间也称为初始负载响应或上电时间，在高性能系统中对此要求很严格（例如严格的上电时序）需要快速的上电。线性稳压器的 ON 状态是指输出电压达到额定输出 95%时。

启动时间受反馈环路的增益，带宽，输出电流以及 V_{in} 和 V_{out} 的压降影响。LDO 的原理图如下



要得到快速的启动就要是 MOS 管尽快的导通。MOS 管由误差放大器控制，能带隙参考源 (bandgap) 又是误差放大器的输入，所以要求能带隙参考快速启动。快速的启动会导致输出产生过冲，并且快速的电压上升使输出电容的充电电流很大，可能产生可靠性问题，所以启动时间能满足需要即可。

在有些场合中 (例如 射频功放)，需要 LDO 减小过冲并慢速启动，这就需要在能带隙参考上添加电容，不仅能减小过冲而且可以降低噪声。例如 TPS74201、TPS74401 具备缓起功能 (soft start)，在外部添加 C_{SS} 电容即可实现。

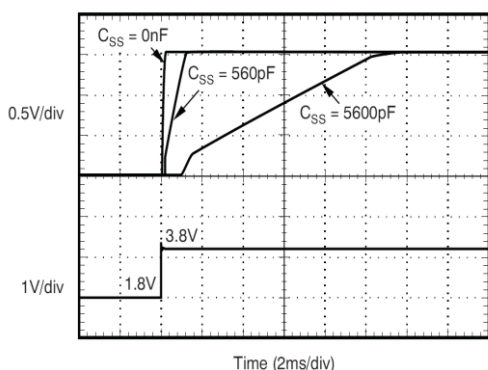
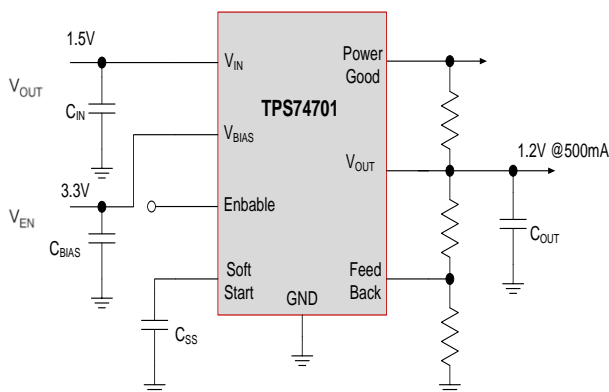


Figure 2. Turn-On Response

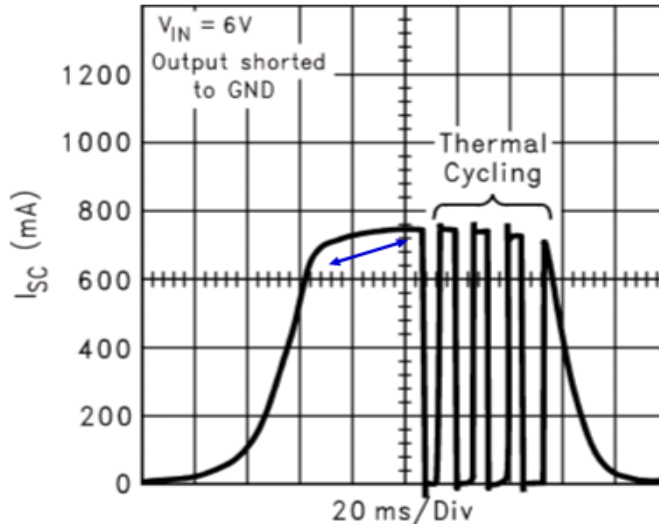


3.10 LDO 的关闭

LDO 的关闭有过热关闭和主动关闭两种，过热关闭是一种保护措施，避免 LDO 器件损坏。

谈到 LDO 的发热先来回顾一下 3.3 节中介绍的 LDO 效率，当对地电流相对于 I_{out} 很小时，LDO 的效率 = V_{out}/V_{in} 。LDO 消耗的功耗 $P = P_{in} * (1 - V_{out}/V_{in}) = I_{out} * (V_{in} - V_{out})$ 。可以

看出 V_{in} 和 V_{out} 压差越大 LDO 效率越低，自身消耗的功率越大，发热越大。当发热使温度达到过热关闭门限时，LDO 的保护电路启动，关闭 LDO 的输出。



上图是将 LDO 的输出短路，来快速测试 LDO 过热关闭功能，X 轴是时间，Y 轴是电流。LDO 输出短路后，LDO 输出最大电流，消耗功耗最大。从图中可以看到，短路后电路骤然增加，经过 40ms 左右超过过温门限，LDO 关闭，电流为零，再经过 5 个毫秒左右温度低于过温门限，LDO 恢复输出。由于短路情况没有消除，这个过程循环进行，直到将短路情况去除（电流为 0）。过温恢复是有迟滞门限的，避免过于频繁的震荡。

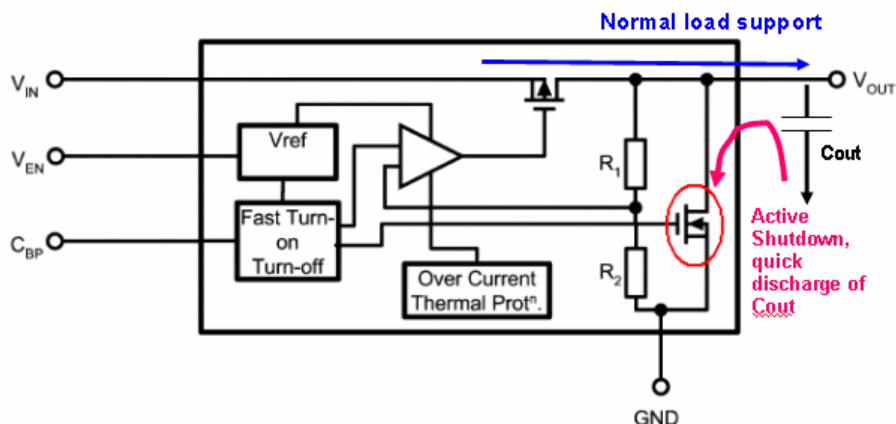
所以为了使 LDO 在正常工作电流范围内不过温关闭，就要做好 LDO 的散热。LDO 的热阻可以从手册中查看，例如 LP2950 的热阻说明，要根据所选的封装看热阻参数。例如当 $V_{in}=12V$, $V_{out}=5V$, 电流输出 150mA 时，LDO 消耗功率 $(12-5) \times 0.15=1.05W$ 。环境温度在 30 度时，选择 D 型封装，通过热阻推算硅片 PN 结温度 $=30+1.05 \times 97=131$ 度。大于最大允许温度 $T_j=125$ 度，会产生过温关断。所以在这种情况下要选择热阻更小的封装，或者外加风扇或散热片减小热阻，或者减小 V_{in} 和 V_{out} 的电压差。

θ_{JA}	Package thermal impedance ⁽⁴⁾	D package ⁽⁵⁾	97°C/W	
		DRG package ⁽⁶⁾	52.44°C/W	
		LP package ⁽⁵⁾	140°C/W	
		P package ⁽⁵⁾	84.6°C/W	
T_J	Operating virtual junction temperature	-40	125	°C

LP2950 的热阻和 T_j

LDO 的主动关闭是电源控制的一种方法，例如控制下电时序或者控制某一部分电路进入低功耗，主动关闭通过 EN 管脚实现。需要注意的是由于 LDO 的输出有滤波电容，并且后级芯片的电源管脚上接有电容，所以在关闭后由于电容存储的电荷使输出电压缓慢下降。电压下

降缓慢致使后级电路在低电压上停留的时间较长，对于数字电路可能使电路在非正常供电电压下进入错误状态，这些错误状态可能触发某些危险操作。所以为了避免这些情况需要下电迅速，也就是 LDO 关闭后需要对电容放电。如下图



LDO 在输出端集成了 MOS 管，在关闭输出时对电容放电。例如 LP3995、TLV711 双路输出系列电源芯片，集成了这个功能。

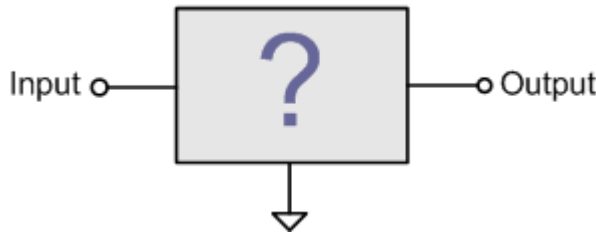
3.11 LDO 的应用场景选择

当输入和输出电压差距不大，效率要求不高时，LDO 是最好的选择。LDO 可以提供很好的噪声、PSRR 性能，并且成本低，占用 PCB 面积小。但是不是所有 LDO 都同时具备这些好的性能，每种型号的 LDO 都有其特点特长，下面根据常见的电子系统例举一些 LDO 的选择，给读者在 LDO 性能选择上提供一个参考。

应用供电场景	低功耗 (低 I_q)	低压 差	高 PSRR	低噪 声	高输出 电流	原 因
低噪放 (LNA)，锁相环 (PLL)			是	是		噪声敏感器件，对射频系统前端影响大。
基带数字器件		是			是	低电压大电流，对噪声不敏感
基带模拟器件			是	是		噪声敏感器件，影响系统指标
温补晶振 (TCXO)			是	是		噪声敏感器件，影响系统指标
电池供电实时时钟	是					低功耗器件
电池供电音频 (MP3)	是	是		是		低功耗，有模拟需要低噪声

第四章 电感型稳压器

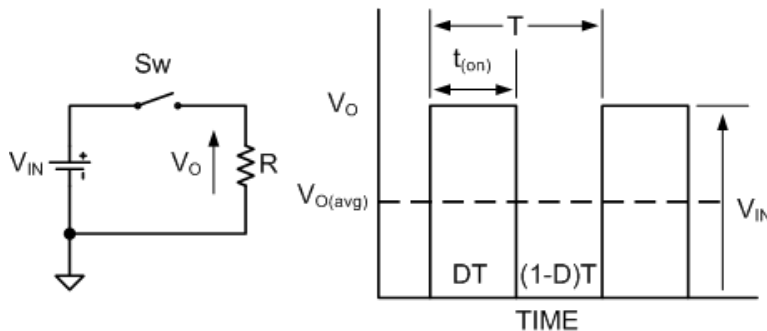
第三章中通过介绍线性稳压器，我们知道了稳压器的作用就是通过某种方法把 V_{in} 转变为 V_{out} 。把稳压器当做一个黑盒子，可以看到这个盒子如下图



输入的能量通过黑盒的转换得到输出的能量。线性稳压器是把多余的能量消耗在黑盒中，从而得到需要的 V_{out} 。有没有一种方法减少这种消耗，让能量更充分的转化为输出，而不是变成热量呢？本节将介绍一种新型电源：开关电源。分析其让能量高效转化的原理。

先来看一个日常生活中的例子。冬天很多人都会用到暖手宝，它是一个有热容性的电气。例如使用一个 100W 的暖手宝，先将其插在电网上加热，然后拔下来暖手。加热过程中迅速产生的热量由暖手宝中的油吸收，然后在暖手过程中缓慢释放。这样如果插电时间占 30%，暖手时间占 70%，则暖手宝的平均功率为 30W。这样除去加热过程中产生的散热损耗，大部分的能量提供给暖手使用，通过分时的方法将 100W 转化为 30W。

上面讲的例子就是引入占空比的思想，通过分时传递能量的方法来控制平均能量。也就是通过分时接通 V_{in} 来控制它的平均电压。对比线性电源，相当于将其中的功率管的工作状态从线性（连续导通）变为开关状态（分时导通）。



如上图所示，通过控制开关器件的开通与关断，负载的平均电压为：

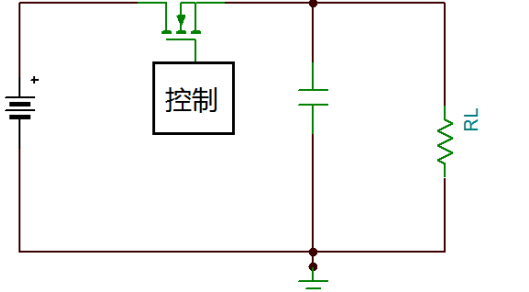
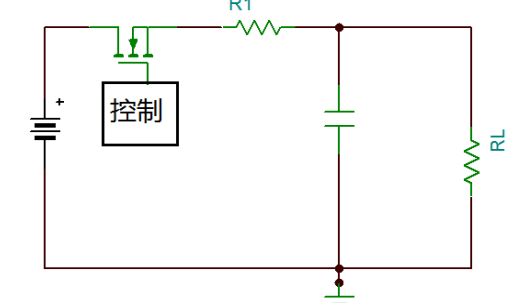
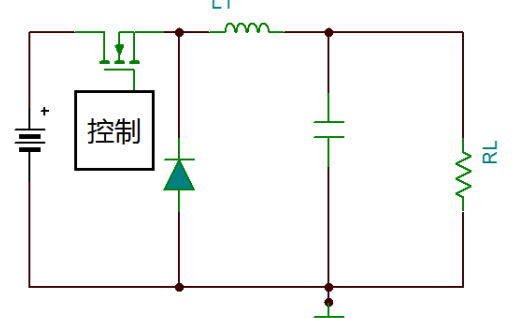
$$V_{O(avg)} = V_{IN} D$$

其中

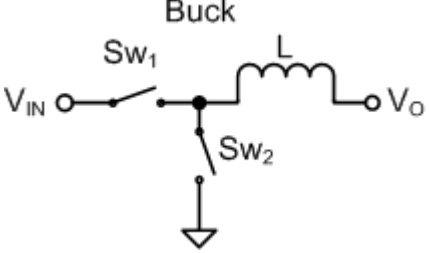
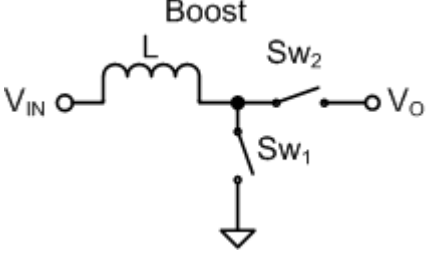
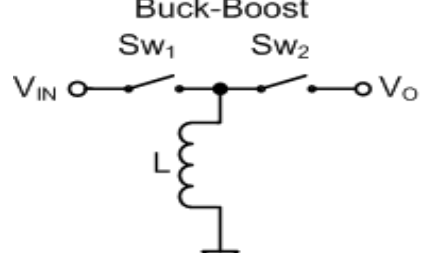
$$D = \frac{t_{(on)}}{T}$$

通过改变占空比 D 可以改变负载平均电压，这种控制方法称为脉宽调制，主要应用于固定频率的开关型调整器。由于将线性电源中的功率管从线性区换到开关区，功率管上的功耗大大减小，因为功率管上的电压和电流不再重合， $V \cdot I$ 几乎等于零。仅用一个开关器件对灯光和加热器控制是非常合适的。当需要直流电压输出时，要额外滤波器。

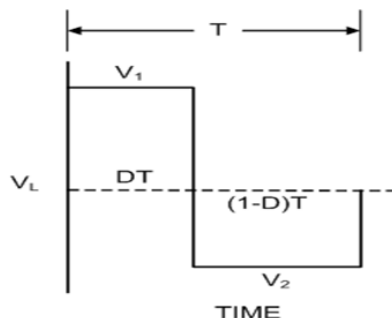
电容是一个不错滤波器，在输出端加一个电容后的电路如下，分析一下添加电容作为滤波器后这个开关电源的性能改变。

性能改变	电路
<p>由于加入了电容储存能量，输出比之间的矩形波要好的多，但是由于 $i=C \cdot du/dt$，会产生很大的电流冲击，这对 MOSFET 和 V_{in} 都是一个巨大影响。为了限制这个电流冲击，在电流中串联 R1。</p>	 <p>The diagram shows a power source on the left connected to a control block and a switch. The switch is connected to a capacitor, which is in series with a load resistor RL. The other end of the load resistor is connected to ground.</p>
<p>串联 R1 后，电流冲击被大大减小，但是由于电容的充放电电流流经 R1，造成了功率损耗，损失的能量在 R1 转化为热量。为了进一步提高效率，考虑到电感元件。电感可以阻止电流变化，能限制电流冲击，起到跟 R1 相同的效果，并且电感是电抗元件没有损耗。</p>	 <p>The diagram is similar to the previous one, but it includes a resistor R1 in series with the capacitor. The capacitor is now connected to the load resistor RL.</p>
<p>用电感取代 R1 后，L 和 C 组成的储能单元不仅对矩形波有很好的滤波作用（能量平均作用），并且不会产生电流冲击。在电路中再加入二极管提供电流通路，在开关断开后，电感的能量可以继续释放给电路使用。</p>	 <p>The diagram shows a power source connected to a control block and a switch. The switch is connected to an inductor L1. The inductor L1 is connected to a diode (pointing towards the load) and a capacitor. The diode and capacitor are in parallel with the load resistor RL. The other end of the load resistor is connected to ground.</p>

第三个电路就构成了最基本的 BUCK 型 DC-DC 开关电源。对于 DC-DC 变换器，电感是用来平均开关电压。基本的开关型调整器有三个端子，这就意味着仅仅有三个地方电感与之相连接，这是一个很重要的概念。所有的感应开关至少要用到以下模块的一种。

电路特点	电感连接方法
<p>Buck 变换器的电感器连接到输出端子，直流（平均）电感电流等于输出电流，这将降低输入电压而产生同极性的低电压。</p>	
<p>Boost 变换器的电感器连接到输入端子，直流（平均）电感电流等于输入电流，这将增大输入电压而产生同极性高电压。</p>	
<p>降压-升压转换器的电感器连接到地面终端。直流（平均）电感电流等于其输入加输出电流。该变换器将使输入产生一个较高或较低的相反极性的输出电压。</p>	

无论电感器连接在什么地方，其作用是一样的。在稳定状态，电感器的平均电压为零， V_1 和 V_2 是由开关和应用电路电压决定。如图：



我们可以得到一个很重要的基本等式：

$$V_1 \cdot D = V_2 \cdot (1 - D)$$

利用这个基本原理，来分析一下三个基本开关调整器的输入电压和输出电压关系。参考上面例举的三个基本电路，可以看到L上的电压，如下表

类型	SW1 通， SW2 断，L 左边电压	SW1 断， SW2 通，L 右边电压	等式	输出电压
BUCK	$V_{in}-V_o$	V_o	$(V_{in}-V_o) \cdot D = V_o(1-D)$	$V_o = V_{in} \cdot D$
BOOST	V_{in}	$V_{in}-V_o$	$V_{in} \cdot D = (V_{in}-V_o) \cdot (1-D)$	$V_o = V_{in} / (1-D)$
BUCK-BOOST	V_{in}	V_o	$V_{in} \cdot D = V_o \cdot (1-D)$	$V_o = V_{in} \cdot D / (1-D)$

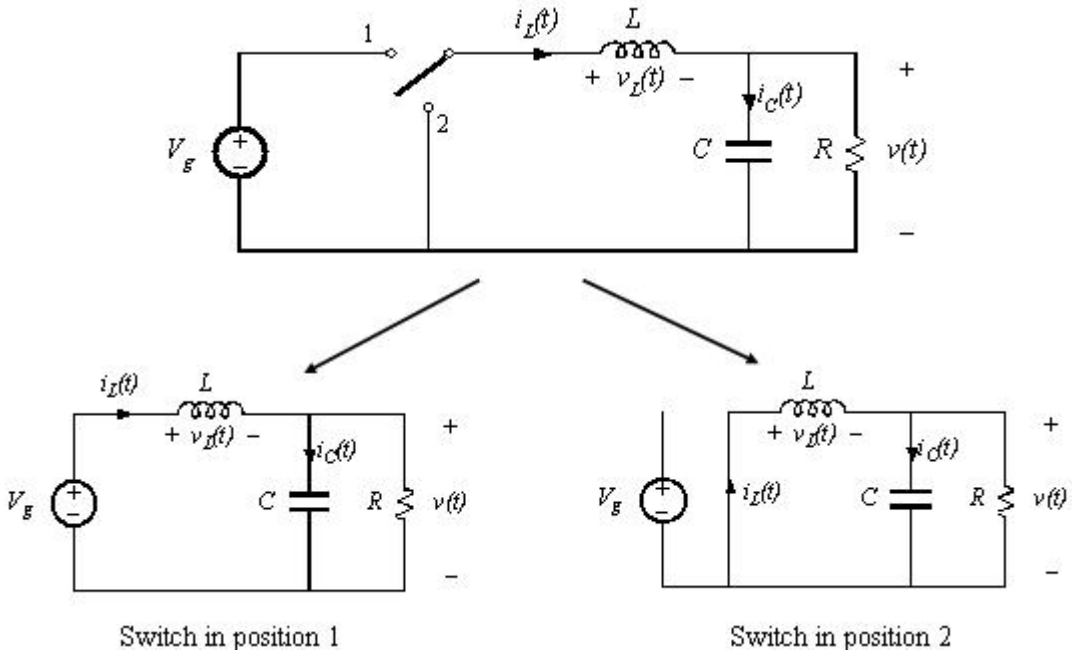
从表中的 V_o 结果可以看出 ($0 < D < 1$)，BUCK 是降压型，BOOST 是升压型，BUCK-BOOST 在 $D=0.5$ 时 $V_o = V_{in}$ ， $D < 0.5$ 时 $V_o < V_{in}$ ， $D > 0.5$ 时 $V_o > V_{in}$ ，所以 BUCK-BOOST 具备降压和升压功能。常见的几种电感型开关稳压器例如：TPS54331 (BUCK)，TPS61222 (BOOST)，和 TPS43000 (BUCK-BOOST)。

4.1 电压控制降压型稳压器

上一节简要介绍了开关电源的演进，以及三种基本的拓扑结构。这三种结构的工作原理和分析方法类似，本节以 BUCK 电路作为原型，详细分析其电流变化和电感、电容的计算选择。

4.2 开关模型

先分析一下 BUCK 型开关电源的开关模型。如下图：



图中开关可以在位置 1 和 2 之间切换，当开关处于位置 1 时，电感 L 和电容 C 从输入 V_g 中获得能量。当开关处于位置 2 时，电感有电流保持作用，释放能量到输出。下面分两个步骤来分析电感电压和电流的变化情况。

开关在位置 1 时，电感上的电压为：（ $v(t)$ 由于电源的负反馈控制波动很小，近似为常量 V ）

$$v_L = V_g - v(t) \quad v_L \approx V_g - V$$

电感的基本物理公式：

$$v_L = L \frac{di_L}{dt}$$

将电感电压 v_L 带入可以得到电感充电电流变化的斜率（ V_g 是输入电压， V 是输出电压）：

$$\frac{di_L}{dt} = \frac{v_L}{L} \approx \frac{V_g - V}{L}$$

从公式中可以看出电感充电电流斜率近似为常量。

开关在位置 2 时，电感上电压：（ $v(t)$ 由于电源的负反馈控制波动很小，近似为常量 V ）

$$v_L = -v(t) \quad v_L \approx -V$$

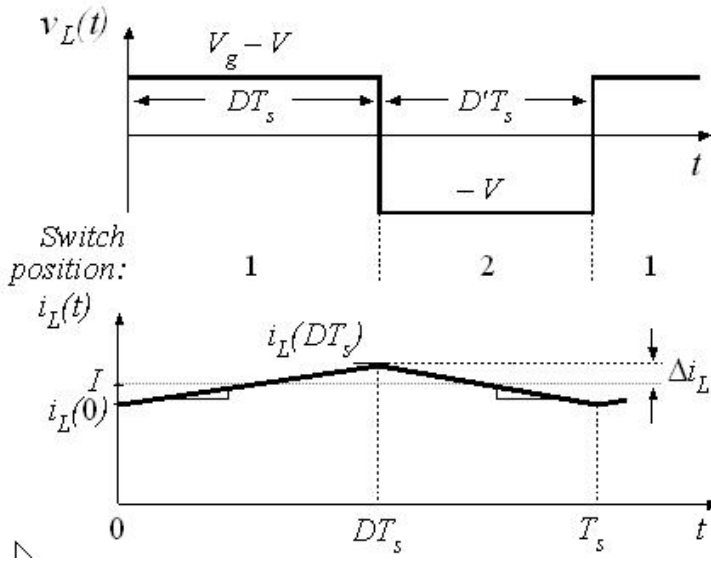
电感的基本物理公式:

$$v_L = L \frac{di_L}{dt}$$

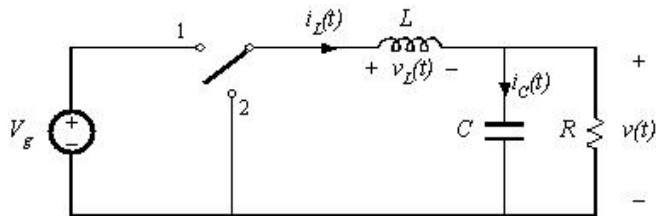
将电感电压 v_L 带入可以得到电感放电电流变化的斜率:

$$\frac{di_L}{dt} = \frac{v_L}{L} \approx -\frac{V}{L}$$

从公式中可以看到电感的放电斜率也近似为常数。通过公式分析可以看到电感在接通 V_g 进行充电过程中电流斜率近似常数，在接通 GND 放电过程中电流斜率也近似常数。如下图，从时域上描述了电感中的电压和电流变化。



下面分析一下输出电压和输入电压的关系。



在上图中，根据电流定律可以找出电流等式：电容电流=电感电流-负载电流

$$i_c(t) = i_L(t) - \frac{v(t)}{R} \approx i_L(t) - \frac{V}{R} = i_L(t) - I_o$$

对等式两边积分，考虑到电容吸入的电流等于输出的电流，所以电容电流的积分为 0。

$$\langle i_c \rangle = \frac{1}{T_s} \int_0^{T_s} i_c dt = \langle i_L \rangle - I_o = 0, \therefore \langle i_L \rangle = I_o$$

可以得到电感平均电流等于负载电流。

模型中电感是无损耗器件，只是起到一个能量搬运作用。并且根据上面分析输入电流等于电感电流也等于负载电流，输入 V_g 接入电路中的时间为 $T \cdot D$ ，所以根据能量守恒：

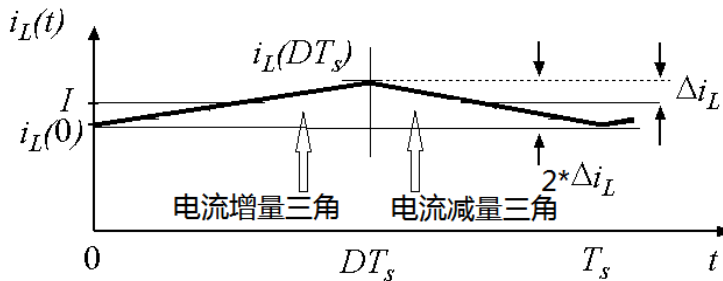
$$P_{in} \cdot D \cdot T = P_{out} \cdot T \quad \rightarrow \quad V_{in} \cdot D \cdot I = V_{out} \cdot I \quad \rightarrow \quad V_{in} \cdot D = V_{out}$$

从上面的分析可以看到 BUCK 开关电源的一个重要的电压关系：输出电压等于输入电压乘以占空比。这个跟伏秒定理得到的结果一致，可以看出伏秒定理跟能量之间的关系是一致的。

不是所有的 BUCK 型稳压器性能都相似，在选择 BUCK 型稳压器时要根据不同的芯片特点来进行，例如 TPS62040 适合低功耗的应用，TPS54331 适合应对轻负载，TPS54610 适合大电流输出，TPS5430 适合一般应用场合。

4.3 电感选择分析

电感在开关电源中担任储能元件的角色，电感值过小输入的能量超过电感的存储能力导致电感饱和，电感值过大输入能量只占其容量的一小部分，造成了不必要的浪费（电感成本和电感体积）。所以要根据电路参数选择合适的电感。下面分析一下电感的计算方法



$$\frac{di_L}{dt} = \frac{v_L}{L} \approx \frac{V_g - V}{L}$$

回顾之前的电感充电公式，充电时的电流斜率为：

充电时电感中电流增加量是上图中的三角形的高（ V_g 是输入电压， V 是输出电压）：

$$2\Delta i_L = \frac{V_g - V}{L} DT_s$$

用 $T_s = 1/f_s$ 代入上式可以得到电感：

$$L = \frac{V_g - V}{2\Delta i_L f_s} D \quad (\text{充电时所需电感})$$

回顾之前的电感放电公式，放电时电流斜率为：
$$\frac{di_L}{dt} = \frac{v_L}{L} \approx -\frac{V}{L}$$

放电时电感中的电流减小量是上图右边三角形的高：

$$2\Delta i_L = \frac{-V}{L} * (1-D) * T_s$$

用 $T_s=1/f_s$ 代入上式可以得到电感：

$$L = \frac{-V * (1-D)}{2\Delta i_L f_s} \quad (\text{放电时所需电感})$$

因为 $V_g * D = V$ ，代入充电、放电所需电感公式中可以发现两个公式得到相同的电感值：

$$L = \frac{V}{2\Delta i_L} \frac{1}{f_{s\min}} \left(1 - \frac{V}{V_{g\max}} \right)$$

(公式中 f 取最小， V_g 取最大，得到所需的最小 L 值)

从这个公式中可以看到一些重要的规律：

- 开关频率不变的情况下，增大电感值可以减小输出电流波动。
- 电感值不变的情况下，提高开关频率可以降低输出电流波动。
- 在保证输出电流波动不变的情况下，提高开关频率可以有效的减小所需电感值，即减小电感体积。

4.4 电感选择实例解析

根据上一小节的分析，根据开关电源的参数就可以定量的计算所需电感。例如一个 BUCK 型开关电源要求如下表

参数	最小值	典型值	最大值	单位
Vin	5	5.5	6	V
Vout		1.8		V
Fs	1.6	2	2.6	MHz
MOS 管 Ids			2	A

首先要考虑选择电感不能使开关电源出现损坏。BUCK 电路中 MOS 管是负责给电感充电的，所以要求电感 L 充电的最大电流不能超过 MOS 管的 I_{ds} 电流上限。电感中的最大电流为 $I + \Delta i$ ，一般考虑 Δi (峰峰值波动的一半) 的波动范围为 I 的 20%，则 $1.2 * I = 2A$ ，可以得到 $I = 1.67A$ 。20% 的 I 可得 Δi 为 333mA。代入电感公式计算出 $L = 1.18\mu H$ 。

$$L = \frac{V}{2\Delta i_L} \frac{1}{f_{s\min}} \left(1 - \frac{V}{V_{g\max}} \right)$$

考虑到电感厂家生产时的误差和高低温下的电感值波动，一般要留有余量，取 20% 的余量则电感为 1.4uH。

选择电感时只考虑理论值是不够的，参考 2.3 节电感元件介绍可以看到实际中的电感除了自身感值 L 外还有多个关键参数：通流能力 (Irms)、直流电阻 (DCR)、自谐振频率 (SRF)、饱和电流 (Isat)。Irms 关系到电源带负载能力，DCR 关系到电源的效率，SRF 关系到电感的最大工作频率，Isat 关系到电感的最大承受电流。

从电源系统角度来选择电感要考虑到：电感体积不能超出系统限制；根据理论计算电感值，过大和过小都不好；根据电流输出要求考虑电感承受电流的能力；根据系统要求的 EMI (电磁干扰) 和成本选择电感封装；根据电源系统温度选择电感的温度范围。

下面例举一些电感参数选择不当会造成的后果，用于指导工程师正确选择电感。

- 没有考虑系统的温度。2.3.3 节中提到的电感温度特性为：高温下饱和电流会降低。如果选择的电感温度范围窄，高温下就会因为电感饱和导致输出纹波过大，甚至损坏 MOS 管。
- 选择电感的饱和电流 $I_{sat} < I_{rms} + \Delta i$ ，(Δi 是电感充电造成的波动)。这样在电源带重负载时，由于占空比增大会导致电感饱和，电感的储能能力急剧下降导致纹波过大甚至损坏 MOS 管。
- 选择电感的 Irms 小于系统输出电流要求。这样电感的温度增加将超过其温度范围，导致电感饱和或者过热损坏电感的绝缘层。
- 电感的值选择比理论值过小。参考 4.2 的介绍，电感的充电斜率会过大，这样充电期间的 Δi 增加过大，以至于 $I_{rms} + \Delta i$ 超过电感的饱和电流，并且输出电压纹波过大。
- 电感的值选择比理论值过大。跟理论值时的电感相比，在保持体积不变的情况下，由于导线匝数增多，线径变细 DCR 变大，导致发热和效率降低。如果保持 DCR 不变，则需要更粗的导线，体积增大成本升高，并且寄生电容增大。

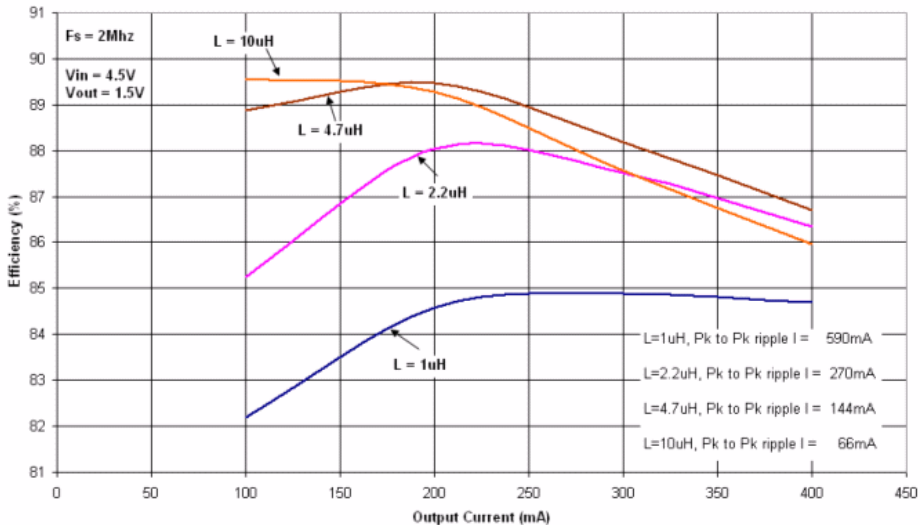
下面用实例来说明电感选择，设计条件为输入电压 4.5V，输出电压 1.5V，fs 开关频率 2MHz，电感电流波动 144mA。根据前面介绍的电感计算公式

$$L = \frac{V}{2\Delta i_L} \frac{1}{f_{s\min}} \left(1 - \frac{V}{V_{g\max}} \right)$$

可以得到下面表格中的电感选择值。

变量	值
ripple (A)	0.144
vin (V)	4.500
vout (V)	1.500
fs (MHz)	2.000
理论值 uH	3.472
加 20%余量后 uH	4.167
实际选择电感 uH	4.700

下图中测试了几组不同电感情况下的效率和输出电流的关系曲线。对比了在理论值两边的电感效果。这些电感的选择考虑到了 $I_{sat} > I_{rms} + \Delta i$ ，电感不会出现饱和。



图中测试了不同电感下的电流波动值（右下角，Fs 相同都为 2MHz），可以看出电流波动跟电感成反比，这跟之前的分析一致。再按输出电流的大、中、小进行对比分析一下效率。

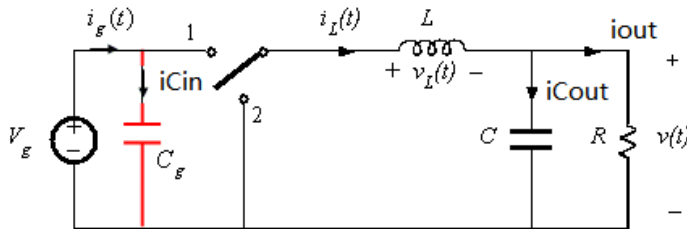
- 在输出电流 100mA 时，可以看到电感值越大效率越高，这是因为电感越大波动电流 Δi 越小，在均值电流相同的情况下， Δi 造成的损耗越小，效率越高。此时由于输出功率小，MOS 管的开关损耗占主要部分，效率还没有达到最优。
- 在输出电流 200mA 时，可以看到 4.7uH 的效率曲线开始高过 10uH 的效率曲线。这是因为随着电流增大，电感的 DCR 造成的损耗开始凸显出来，10uH 电感在体积跟 4.7uH 相似的情况下 DCR 较大。这个电流下损耗增大的同时输出功率也增大，损耗和输出功率比例使效率接近最优。
- 在输出电流 400mA 时，DCR 造成的损耗使 10uH 电感的曲线效率下降更明显。

从上面的分析可以看出，电感的选择在开关电源中非常重要，不仅关系到电路的性能，也关系到电路的可靠性。不能盲目的越大越好，要仔细分析电路工作条件找出最优值。开关

电源在设计前最好先仿真，可以使用 WEBENCH 软件进行电路，热方面的仿真。WEBENCH 的具体使用方法参考后续章节内容。

4.5 外部元器件中的电流

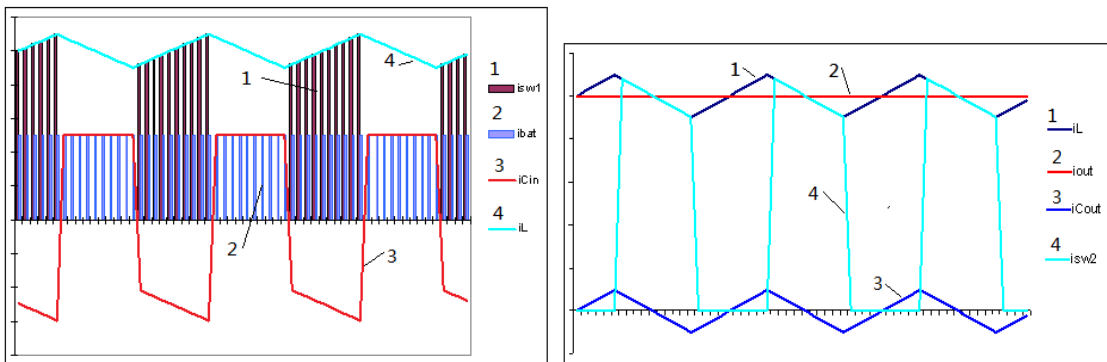
通过 4.2 节的开关模型分析，介绍了 BUCK 电源的充电和放电回路，了解了电感的电流情况。本节介绍一下电路中所有元件的电流情况，帮助工程师更好的理解电感型开关电源，掌握其基础原理。



上图是典型的 BUCK 电路，开关 1 处接 PMOS 管控制充电，开关 2 处接 NMOS 管控制放电。电流关系为： $i_g = i_{Cin} + i_L$ 。 $i_L = i_{out} + i_{Cout}$ 。电流波形可参考下面两个图，右面图中画出了 PMOS (SW1) 电流、输入电流 (i_{bat})、 C_{in} 电流和电感电流。右图中 i_{SW1} 电流和 i_{bat} 电流用阴影区来表示。左面图中画出了电感、输出电流、 C_{out} 电流和 NMOS 管 (SW2) 电流。

左图中充电 (i_L 的上升斜坡) 时 SW1 导通，电感中的电流和 SW1 电流相等， C_{in} 输出电流补偿 V_g 的电流，放电时 i_{SW1} 电流为 0， C_{in} 被 V_g 充电。由于 C_{in} 的蓄流作用，输入电流 i_{bat} 近似为恒定，并且 i_{Cin} 有正负。

右图中充电时 (i_L 的上升斜坡) SW2 关断， i_{SW2} 为 0，放电时 SW2 导通， i_{SW2} 跟 L 电流相同。 C_{out} 在电路冲放电过程中对输出进行补偿，所以电流有正负， i_{out} 近似恒定。



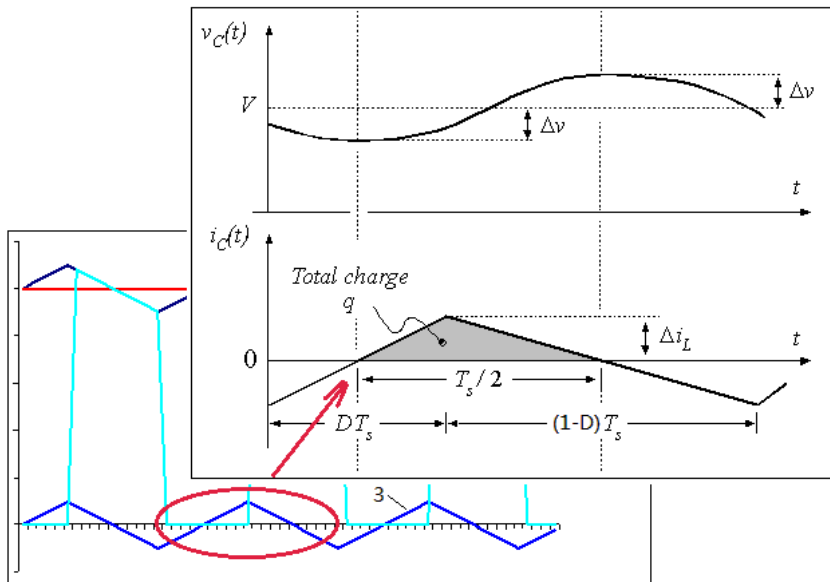
元件电流图 (占空比 50%)

本节中对元件电流不作推导，以图示的方法给出定性分析，给出参考公式，如下表。

说明	参考公式
PMOS 管的均值电流	$I_p = \langle i_p(t) \rangle \approx DI_o$
PMOS 管的有效值电流	$I_{p,rms} = \sqrt{\langle i_p^2(t) \rangle} \approx \sqrt{D}I_o$
NMOS 管的有效值电流	$I_n = \langle i_n(t) \rangle \approx (1-D)I_o$
NMOS 管的有效值电流	$I_{n,rms} = \sqrt{\langle i_n^2(t) \rangle} \approx \sqrt{1-D}I_o$
输出电容 Cout 上的有效值电流	$I_{CoutRMS} = \frac{\Delta I}{\sqrt{3}}$
输入电容 Cin 上的有效值电流	$I_{CinRMS} = \sqrt{D \left[I_{out}^2(1-D) + \frac{\Delta I^2}{3} \right]}$

4.6 输出电容选择分析

参考上一小节中电容电流波形图，输出电容提供蓄流能力减小输出电压上的波动，输入电容可以防止本级电源的电流变化对输入电压造成波动，并防止这个波动干扰到同级的其它电源。由于输入电容的选择跟前级电源的输出能力相关，所以本节分析输出电容的选择。



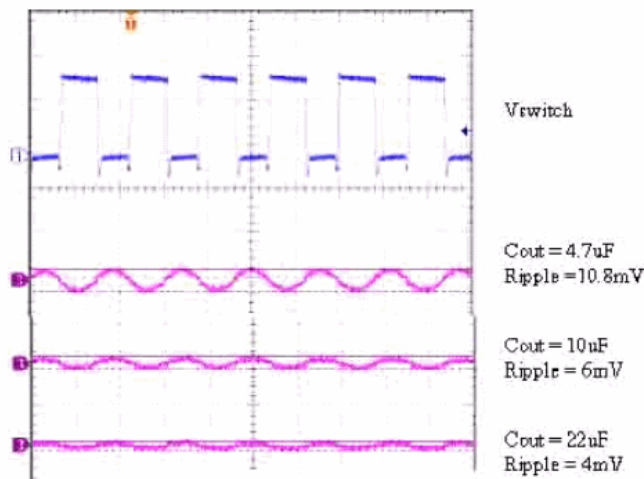
将输出电容 Cout 的电流波形进行放大分析。如上图， i_C 中 0 以上的部分为充电，0 以下的部分为放电，充放电相同所以电流波形关于 X 轴对称。

推导步骤	公式
根据电路的物理公式	$q=i*t$ 和 $q= C*U$
充电获得的电荷为（阴影面积）：	$q = \frac{1}{2} \Delta i_L \frac{T_s}{2}$ $q = C(2\Delta v)$
将等式中的 q 消去得到电压波动为：	$(2\Delta v) \approx \frac{\Delta i_L}{4Cf_s}$ (neglecting esr)
考虑电容的 ESR（参考 2.4 节），电压波动为	$\Delta v = \frac{\Delta i_L}{8Cf_s} + \Delta i_L * ESR$
最后可以得到电容的计算公式：	$C = \frac{\Delta i_L}{8f_s (\Delta v - \Delta i_L * ESR)}$

输出电容的 ESR 值和电感器值会直接影响输出电压纹波。总的输出电压纹波是由输出电容的 ESR 引起的纹波和由输出电容充放电引起的电压纹波之和。从输出电容的计算公式和电压波动公式可以看出：

- 提高 f_s ，其它条件不变的情况下可以减小 C 值，这意味着可以节省电源的体积和成本。
- f_s 不变， Δi 不变时，增加 C 值可以减小 Δv ，一种减小电压波动的方法。
- C 值不变， Δi 不变时，提高 f_s 可以减小 Δv ，另一种减小电压波动的方法。
- 使用 ESR 较小的 C 可以减小电压波动，第三种减小电压波动的方法。

下图是 f_s 不变， Δi 不变时，增加 C 值的实例，可以看到输出电压的波动随 C 增大而减小。图中 Vswitch 的周期是 f_s 的周期。

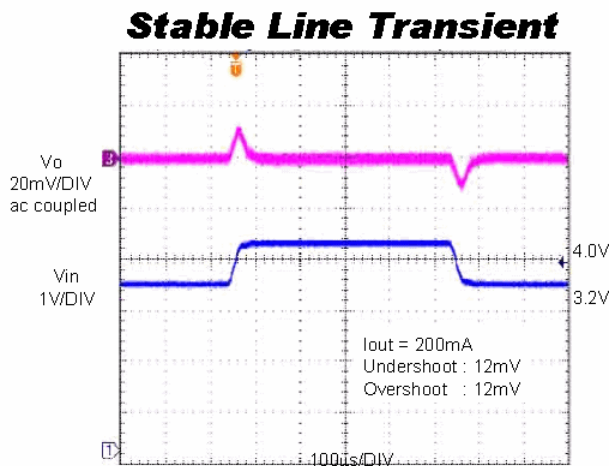
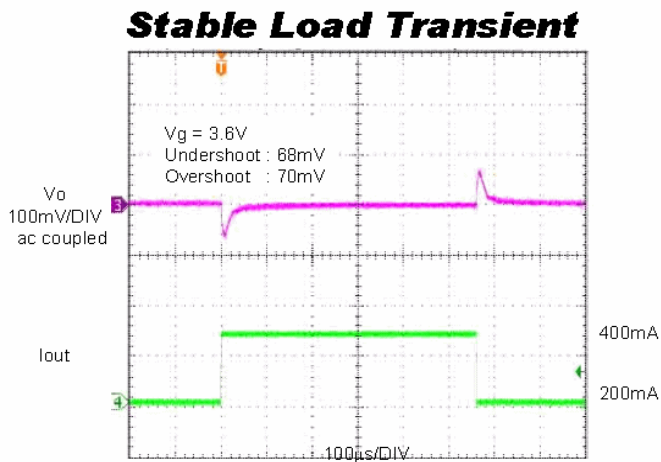


从前面电感和电容分析可以看出 f_s 的重要性， f_s 控制整个电路的电压和电流重复周期，或者说 f_s 控制电压和电流的变化速度。开关电源是一个能量脉冲的传递和平均化过程，能量脉冲从输入端进入，在输出端平均。 f_s 控制这个能量脉冲的大小，可以在一个单位时间 T 内

传输一个大的能量脉冲，也可以传输多个小的能量脉冲，只要保证总的能量相同即可。这样输出要对一个大的能量脉冲平均就需要大的 L 和 C，并且平均不能做到理想直流，输出电压波动也大。如果用小能量脉冲，则可以减小 L 和 C，并减小输出电压波动。

4.7 暂态响应

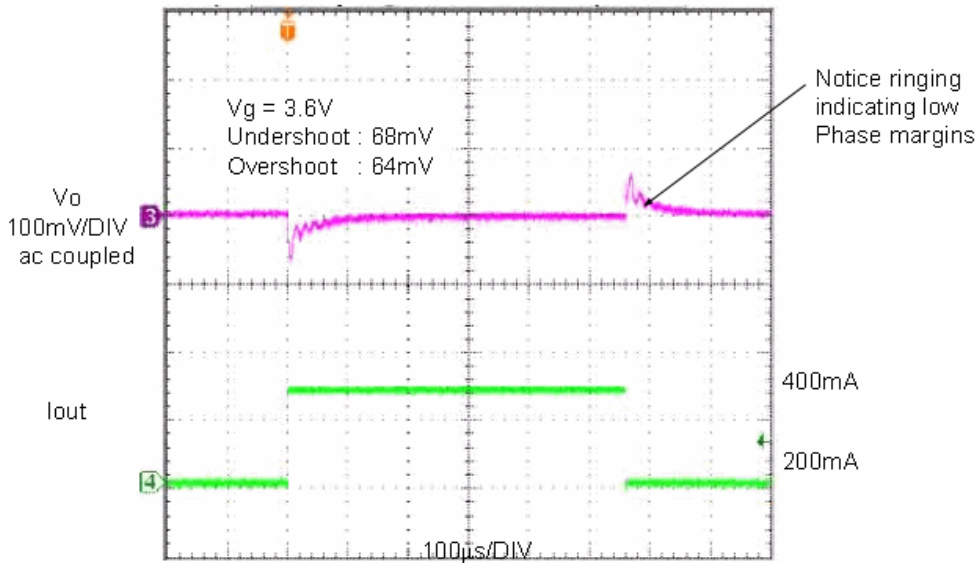
跟 3.6 节中介绍 LDO 暂态响应一样，开关电源也需要良好的暂态响应，用于应对输入和负载的快速变化。先对比一下调整率和暂态响应的区别。负载调整率和线性调整率分别表示电源应对变化负载和输入变化维持恒定输出电压的能力，调整率描述的是一个稳态指标，是电源根据外部变化经过自身调整稳定后的输出电压情况。暂态响应是描述的这个调整过程，看调整的速度和稳定情况，暂态响应也分为线路暂态（line transient）和负载暂态（load transient）。下图例举实测的线路暂态和负载暂态响应



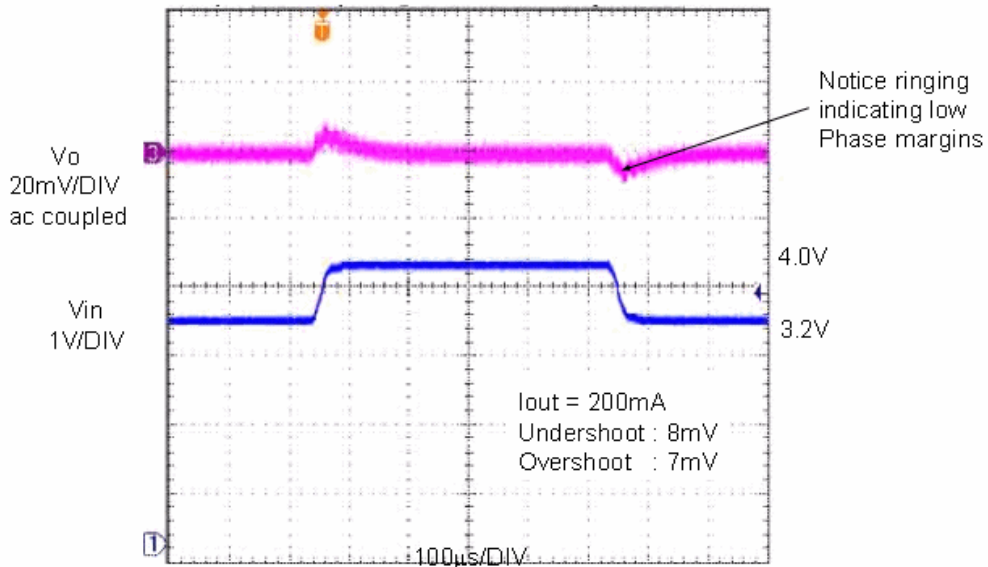
上图是相位裕度充足的 line 和 load 的暂态响应。可以看到调整过程的“小尖”波形平滑无振铃。相位裕度是描述负反馈系统稳定性的参数，其中相位裕度=180-相位偏移，当相位偏移为 180 时，相位裕度为 0，此时负反馈变为正反馈，电路振荡。

下图是相位裕度临界的 line 和 load 的暂态响应，可以对比其调整过程的波形。

Low phase margin Load Transient



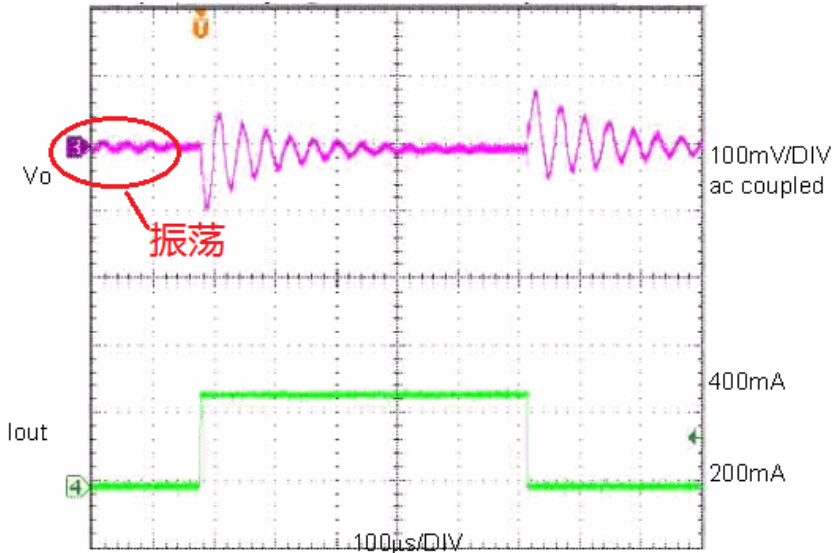
Low phase margin Line Transient



从图中可以看到，当相位裕度临界时调整过程会出现“振铃”，这个种情况跟用方波测试运放的稳定性类似，相位裕度临界的电路在外界条件变化（如温度）或者元件有误差时（批量生产）会有更大的概率出现电源振荡。

相位裕度不够的电源如下图：

Unstable Load Transient

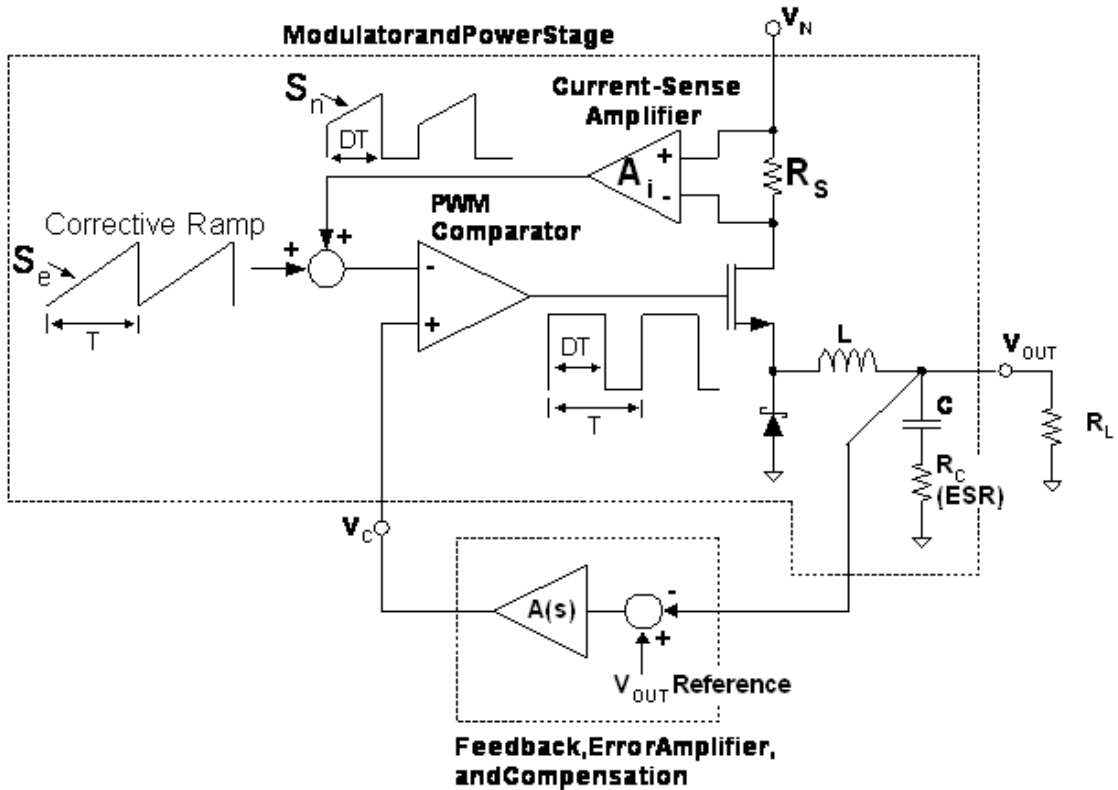


可以看到由于相位裕度不足，电源在稳定时期内都会有轻微振荡，暂态过程中振荡更严重。

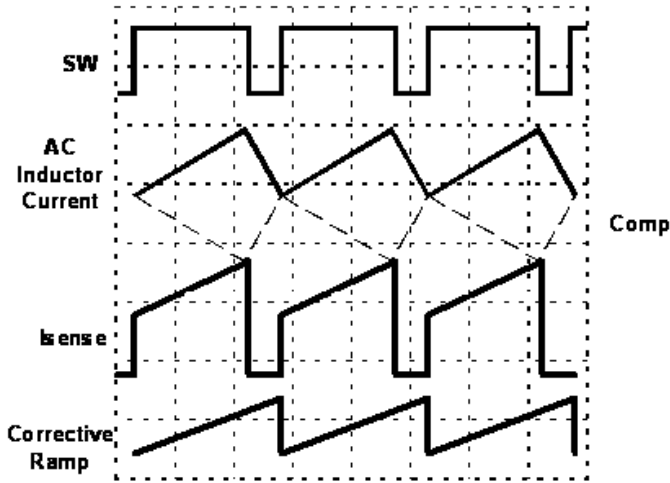
4.8 集成电流反馈的开关电源

下图是带有电流反馈的开关电源结构，可以看到在传统电压反馈环路（ V_{out} 经 $A(S)$ 到 V_c 的输入）上增加了电流反馈环路（ R_s 经 A_i 到 PWM 比较器）。PWM 波在两个反馈的共同作用下控制 MOSFET 的导通和关断。采用这种结构后，开关电源就如同是“跨导放大器”，提供输入电压产生经调整的电流给输出。

这样不同于电压反馈，电流反馈的环路增益不再受 V_{in} 变化的影响，而是受负载电阻的影响，同时其环路增益是 A_i 电流检测放大器增益和锯齿波斜坡的函数。



下面定性的分析一下主要的信号波形，如下图所示。第一行是开关管的 S 极电压波形。当开关 S 极电压为高时，MOSFET 导通给电感充电，电压为低时 MOSFET 关断，电感放电。受 MOSFET 的控制，电感的电流波形称斜坡变化，如第二行所示，这里画出了电感电流的 AC 成分。第 3 行是 A_i 输出的电流检测信号，跟电感 AC 电流比抬高的部分是平均电流，当 MOSFET 关断时 R_s 中没有电流，所以电流检测信号不连续，检测不到电感的放电电流。最后一行是矫正斜坡电压，跟电流检测信号相加后送入 PWM 比较器，用于抑制电流反馈的不稳定状态。图中虚线部分是补偿信号的 AC 部分 ($A(S)$ 的输出)，来自于电感的电流波动在输出电容 ESR 上产生电压波动，电压波动经过 $A(S)$ 反向放大器后送入 V_c 。

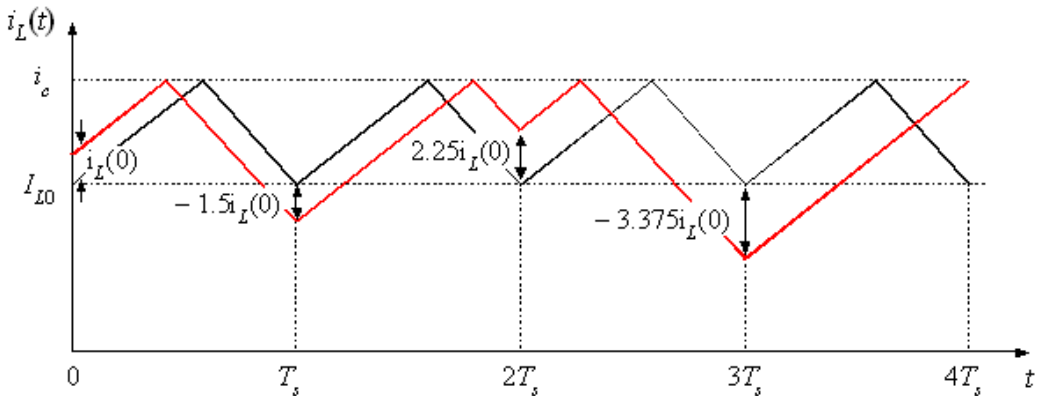


4.9 电流反馈中的补偿

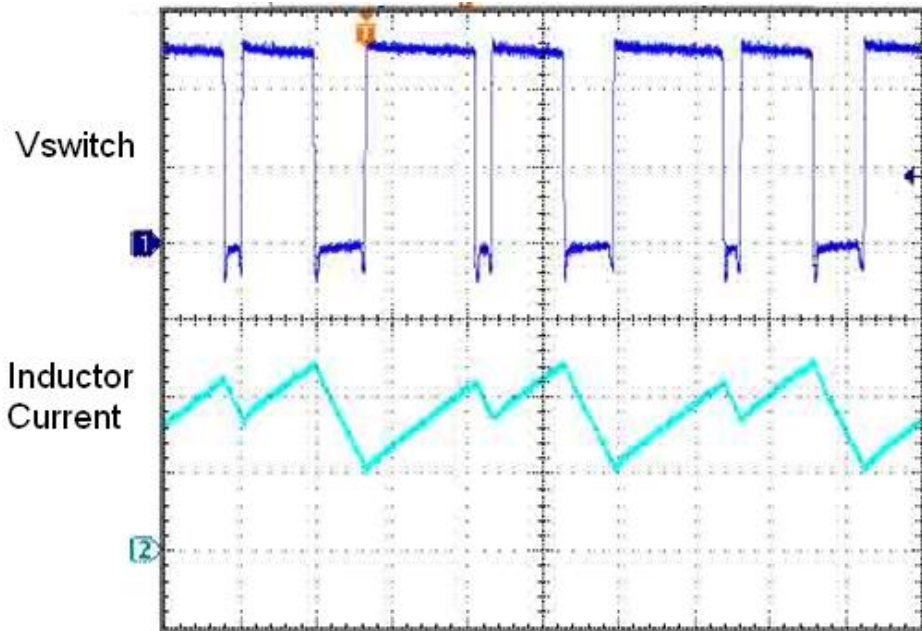
在上一小节中可以看到电流反馈控制中有 i_{se} 信号提供斜坡补偿，保证电流控制的稳定性。本节例举介绍一下斜坡补偿的重要性。电流控制由于在负载前提取反馈信号，对电流的变化响应迅速，或者说相位裕度较小。当占空比大于 50% 时，电流反馈的调节作用使误差逐渐放大，可能引起电源输出不稳定。如下面公式，当 D 大于 0.5 时， i 的波动逐渐增大。

$$\Delta i_L(T_s) = -\frac{D}{1-D} \Delta i_L(0)$$

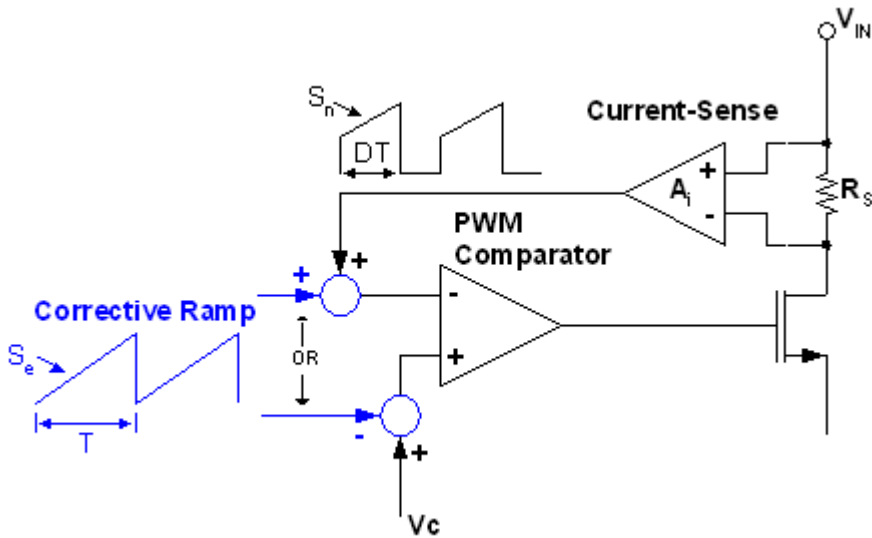
下图中黑色是理想电流变化，红色是调节后的电流变化，可以看到双箭头所指的 i 差别越来越大。



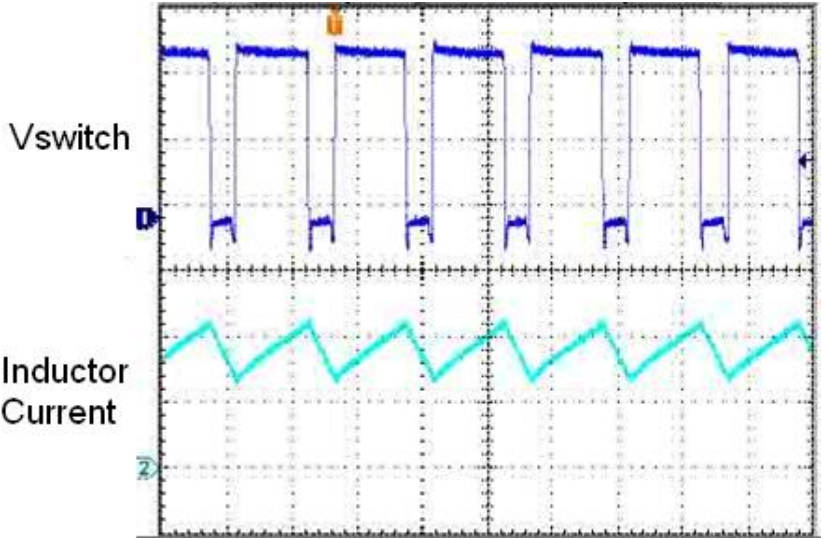
实测这个现象如下图，可以看到电感中的电流振荡。



要避免这个现象就需要斜坡补偿信号，对电流反馈的控制作用加以调节。添加补偿的框图如下：



添加补偿后可以调节电流反馈的相位裕度，避免振荡现象出现。实测添加补偿后的电感电流波形如下。



4.10 电流控制 VS 电压控制

上面介绍了带电流反馈的开关电源，本节介绍一下电流控制的优点和缺点。电流反馈控制的优点如下：

- 电流反馈控制是“前馈”特性。由于电感中的电流变化跟输入电压紧密相连，输入电压的改变会立即反应到电感电流的斜率上，电流反馈会感应到这种变化并立即调整占空比，这样比通过电压反馈去感应到输出电容上的电压变化再调整占空比快得多。
- 在电流反馈开关电源中，误差放大器用于控制输出电流而不是电压，这样电感的稳流作用就被弱化，从而输出滤波器相当于只提供了一个极点。这样可以使补偿电路更为简单，比电压反馈型开关电源留有更大的相位裕度。
- 电流反馈的另一个优点是更容易实现多电源并联。

在小信号动态范围内，例如电源的稳态中 FB 上的信号波动很小，这时电压反馈控制和电流反馈控制效果一样好。但是当出现大信号时，例如输入大幅变化或者负载出现较大波动，这时 FB 上的信号幅度变大，电压反馈控制电路中，可使误差放大器输出超出线性范围，这相当与暂时使放大器工作在开环状态。经过暂态调整后放大器重归于线性范围，但是反馈路径上的电容电压储存了非线性时的状态，需要较长时间才能调整回来。

但是电流反馈控制的路径上电容小，调整快捷，所以电流反馈对小信号和大信号都有很好的调节作用。

电流反馈控制的确如下：

- 在某些情况下会成为噪声源，引起电流尖峰噪声。
- 在不加补偿的时候，当占空比大于 50%时会有不稳定现象

- 电路中有了电流反馈和电压反馈，使得分析变得更为复杂

4.11 确定开关电源最恶劣的情况

通过上面的章节介绍，读者已经对开关电源有了清晰的认识。设计一个可以工作的开关电源也许不是一件难事，但是设计一个性能良好，可靠性高的开关电源不是一件容易的事情。根据前面的分析，我们知道开关电源里的电流是周期性变化的，电流的变化跟哪些变量有关，电流变化最恶劣的情况又是如何？本节对这个问题进行分析，并充分利用图示和 WEBENCH 仿真的方法说明电流变化情况。也希望读者在以后的电源学习和开发中利用图表帮助理解电源并解决问题。在初学开关电源的时候，建议读者先把各个器件当做理想器件，暂不考虑无效的压降和损失的电流，搞清楚开关电源的规律后再将各种实际因素加入。

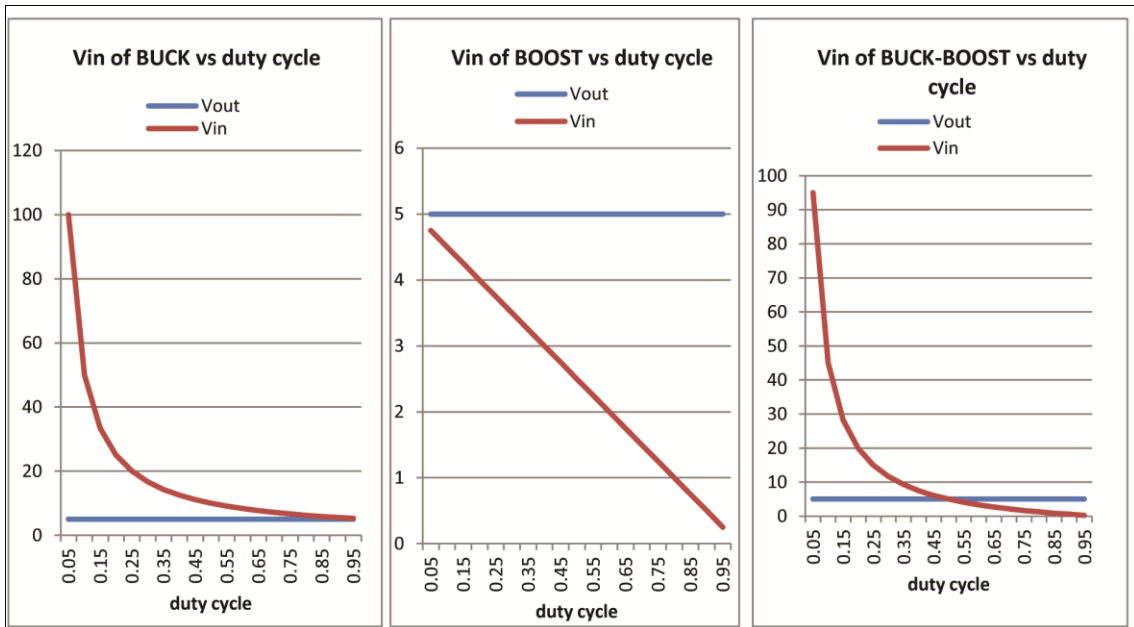
将电源看做一个黑盒，它的输入是 V_{in} ，开关频率是 f ，输出是 V_{out} ，输出电流是 $I_{load} = \frac{V_{out}}{R_{Load}}$ 。应用当中由于电源的负反馈作用， V_{out} 可以保持不变（恒压源），这样分析电源的变化规律就方便一些。 V_{in} 和 f 的变化会引起电源内部的调节，以维持 V_{out} 和 I_{load} 不变。所以理解 V_{in} 、 f 跟电源内部 ΔI 和 I_{DC} 参数的变化规律至关重要。 ΔI 和 I_{DC} 的和就是 I_{peak} ，所以了解了 I_{peak} 的变化规律，就掌握了开关电源功率器件的选型。

4.11.1 先看一下 V_{in} 和占空比 D 的关系

回顾一下 4.1 节前的内容，根据伏秒定理得到 V_{in} 和 V_{out} 、 D 的公式：

类型	输出电压
BUCK	$V_o = V_{in} * D$
BOOST	$V_o = V_{in} / (1 - D)$
BUCK-BOOST	$V_o = V_{in} * D / (1 - D)$

从公式可以看出 V_{in} 只跟 V_{out} 和 D 有关，跟开关频率 f 无关。我们将这个关系绘制出曲线更为直接，根据一般应用可以固定 $V_{out} = 5V$ ， D 从 0.05 线性变化到 0.95，用电子表格计算 V_{in} 的变化，然后将 V_{in} 作为 Y 轴， D 作为 X 轴绘图：

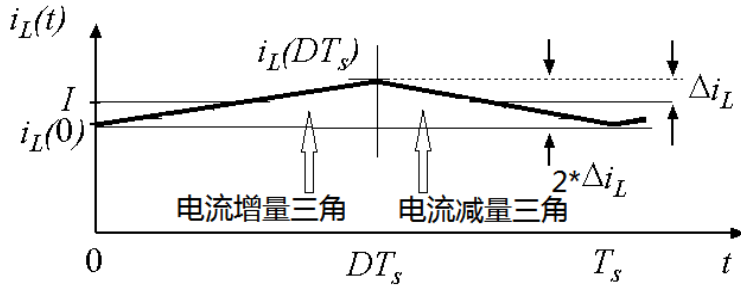


从图中可以看出 V_{in} 跟 D 成反比，虽然变化的速率不同，但是变化的趋势是一致的。图中 V_{in} 随 D 的变化规律也有各自的特点。

- 对于 BUCK 电路，当 V_{in} 很高的时候需要电路能提供很小的 D 以维持 V_{out} 的恒定，所以对于 BUCK 电路芯片，如果允许的输入电压范围越宽，则芯片的占空比调节能力越强。输入电压范围同时跟芯片的最高耐压有关。
- 对于 BOOST 电路，当 V_{in} 小于 V_{out} 较多时，需要电路提供较大的 D 才能满足升压需要。所以输入电压范围越宽，芯片占空比调节能力越大。
- 对于 BUCK-BOOST 电路，在 $D=0.5$ 时， $V_{in}=V_{out}$ 。 D 大于 0.5 则工作在升压， D 小于 0.5 则工作在降压。

4.11.2 分析一下 ΔI 随 V_{in} 变化规律

先回顾一下 4.3 小节中分析 ΔI 的过程，其中是用 BUCK 举例分析。基本原理就是 $2*\Delta I = \text{充电斜率} \times \text{充电时间}$ 。细心的读者可以发现 $2*\Delta I$ 也等于 $\text{放电斜率} \times \text{放电时间}$ 。这是因为电感在开关电源稳定工作的时候，吸收的能量等于释放的能量。 ΔI 重要的原因是 ΔI 是叠加在直流电流 I_{DC} 上的分量，它的峰值影响到电流最大值，也就是影响到开关电源中元件的最大电流选取。

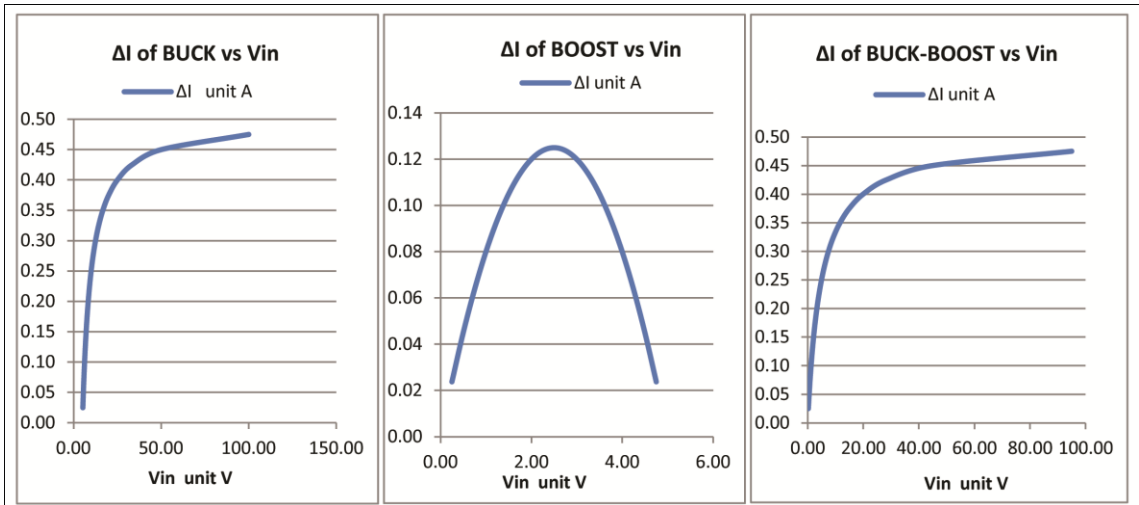


在电感 L 两端加恒压时，电感中的电流以固定斜率增加，同理电感中的电流以固定斜率释放时，产生恒定电压。这个原理跟电容相似，电容给予恒定电流时，电容上的电压以固定斜率增加，电容上的电压以固定斜率放电时，电容产生恒定电流输出。电感和电容的对偶特定在电源分析中很有帮助。（开关电源频率 f，占空时间分别为 $D \times 1/f$ ， $(1-D) \times 1/f$ ， V_{out} 由于负反馈的作用保持定值，绘图时当作常量）

ΔI 求解表格			
Topology	BUCK	BOOST	BUCK-BOOST
Circuit			
充电周期电感 电流斜率	$\frac{V_{in} - V_{out}}{L}$	$\frac{V_{in}}{L}$	$\frac{V_{in}}{L}$
放电周期电感 电流斜率	$\frac{V_{out}}{L}$	$\frac{V_{out} - V_{in}}{L}$	$\frac{V_{out}}{L}$
充电时间	$D \times 1/f$	$D \times 1/f$	$D \times 1/f$
放电时间	$(1-D) \times 1/f$	$(1-D) \times 1/f$	$(1-D) \times 1/f$
ΔI= 0.5 × 充 电斜率 × 充电 时间	$\Delta I = 0.5 * \frac{V_{in}-V_{out}}{L} * D \times 1/f$	$\Delta I = 0.5 * \frac{V_{in}}{L} * D \times 1/f$	$\Delta I = 0.5 * \frac{V_{in}}{L} * D \times 1/f$
伏秒原理	$V_{out} = V_{in} * D$	$V_{out} = V_{in} / (1-D)$	$V_{out} = V_{in} * D / (1-D)$
用伏秒原理消 去 Δ I 中的 D	$\Delta I = 0.5 * \frac{V_{in}-V_{out}}{L} * \frac{V_{out}}{V_{in}} \times 1/f$	$\Delta I = 0.5 * \frac{V_{in}}{L} * \frac{V_{out}-V_{in}}{V_{out}} \times 1/f$	$\Delta I = 0.5 * \frac{V_{in}}{L} * \frac{V_{out}}{V_{in}+V_{out}} \times 1/f$

（注：从ΔI 的公式可以看出，f 在分母上，当其他变量不变化时，增大 f 可以减小ΔI，也就是提高开关频率可以使输出电压纹波变小）

从公式中很难直观看出Δ I 的变化规律，所以我们在理解了公式推导后，就需要借助图表的方法画出曲线来分析规律，直观的看出变化趋势。将 $V_{out}=5V$ ，开关频率 $f=1MHz$ ， V_{in} 作为 X 轴，Δ I 作为 Y 轴，绘图。

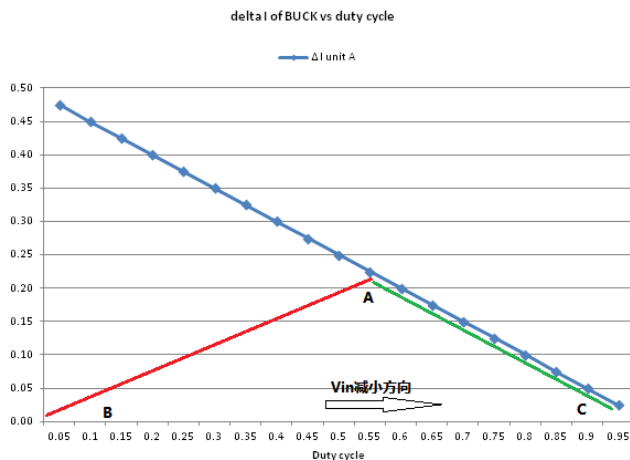


从图中可以看出 ΔI 的变化规律

- 对于 BUCK 和 BUCK-BOOST 电路， ΔI 随 V_{in} 的增加而增加。这说明 V_{in} 的增加会使电流波动增加。
- 对于 BOOST 电路， ΔI 随 V_{in} 的增加有从小到大再到小的过程，所以在 V_{in} 处于中间电压时 ($D=0.5$) 电流波动最大。

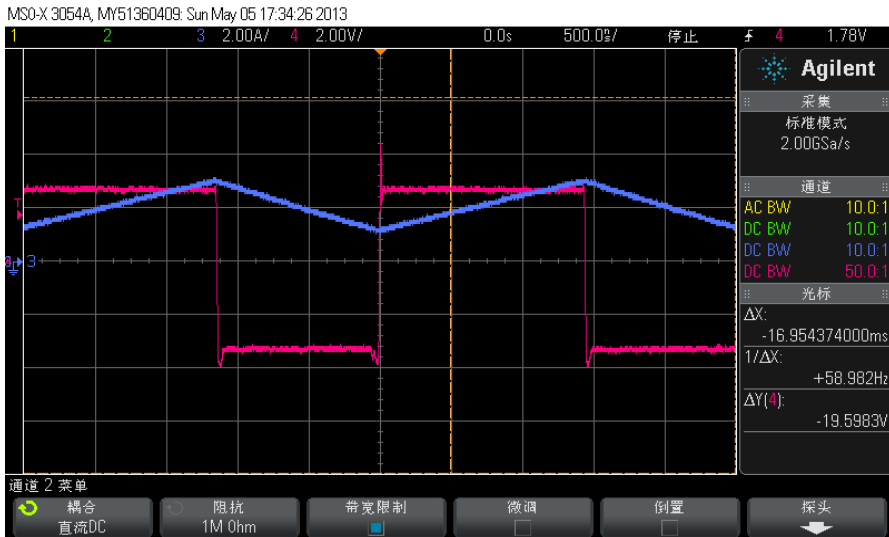
4.11.3 分析 ΔI 和 D 的变化关系

在求解 ΔI 的表格中，如果利用伏秒原理将 V_{in} 消去，就可以得到 ΔI 和 D 的关系，绘制曲线如下，这个曲线有用的地方在于横坐标是 D ，占空比 $D \times$ 开关周期 T 就变换到时间，就相当于 X 轴是时间。这样 Y 轴电流 I 的变化量的斜率就是电感 L 的充电和放电速率（电流变化量=电流斜率*时间）。例如下图 BUCK 电源的 ΔI 和 D 曲线：

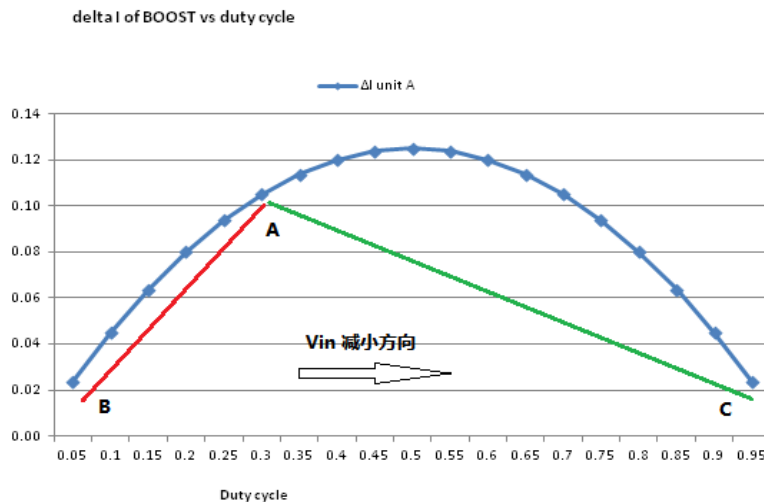


AB 段对应 X 轴的 D，AC 段对应 (1-D)，AB 段就是 L 的充电速率，AC 段就是 L 的放电速率，可以看出 AC 段的斜率是不变的，也就是 V_{out} 恒定 (BUCK 放电速率 = $\frac{V_{out}}{L}$, V_{out} = 放电斜率 * L)。AB 段随着 A 点位置变化 (也就是 D 变化)，AB 段的斜率从大到小变化。结合前面 V_{in} 和 D 的曲线图可以看到： **V_{in} 和 V_{out} 越接近，充电斜率越小，并且 ΔI 越小。**

这个曲线的另一个有用之处在于，它上面画出的折线跟用示波器测试电感电流的交流分量是一致的，反应的就是 ΔI 随时间的变化。一副 BUCK 电源的电感电流实测图如下，方波是 MOSFET 的 V_{ds} 电压，用于标明占空比 D，三角形的是电感电流波形，其中的直流分量是 I_{DC} 后面小节会讲到。(读者可以用示波器实测一下，当改变 V_{in} 时，占空比 D 变化，但是放电斜率不变。)

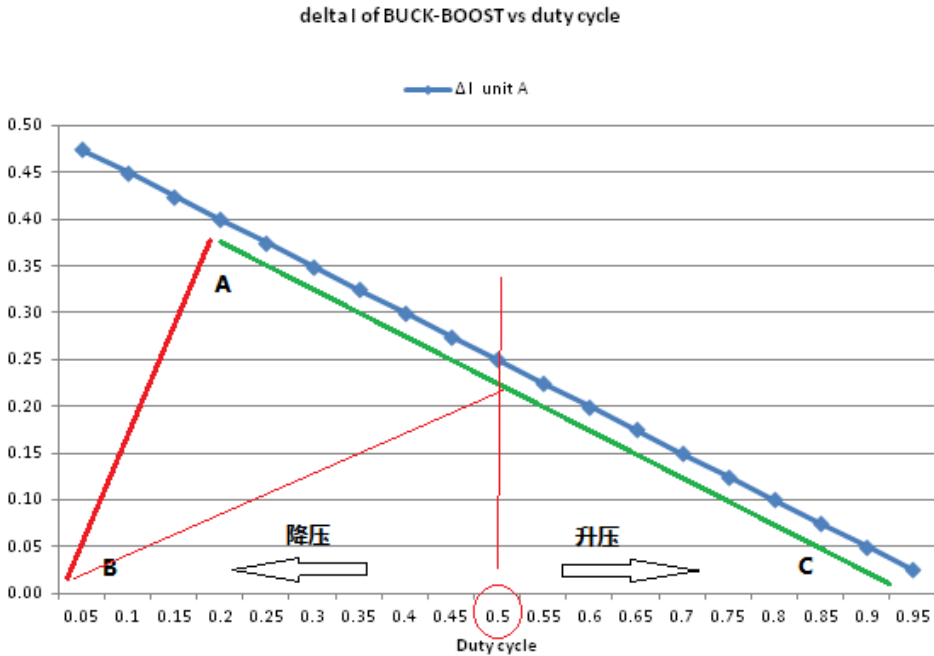


再看一下 BOOST 的 ΔI 和 D 关系曲线。跟 BUCK 的绘制方法类似，如下图：



图中画出 AB 和 AC 折线，这里的折线斜率也是 L 的充电和放电斜率。由于 BOOST 的电路结构，放电斜率不恒定（公式见前面表格， $V_{out} = \text{放电斜率} * L + V_{in}$ ）。同理折线跟用示波器观察 L 的交流分量一致。

最后看一下 BUCK-BOOST 的 ΔI 和 D 关系曲线，参考前面 BUCK-BOOST 电路结构和公式表格，电感充电时跟 V_{in} 相连，充电斜率 $\frac{V_{in}}{L}$ ，放电时电感和负载相连，放电斜率 $\frac{V_{out}}{L}$ 。所以 AB 端的斜率表示 V_{in} 电压，AC 端的斜率表示 V_{out} 。



在 $D=0.5$ 时， $V_{in}=V_{out}$ ，两直线斜率相等。0.5 右边 AB 斜率小于 AC 斜率，即 $V_{in} < V_{out}$ 是升压功能。同理小于 0.5 的部分是降压。可以看到通过图形分析 BUCK-BOOST 电路特点一目了然。

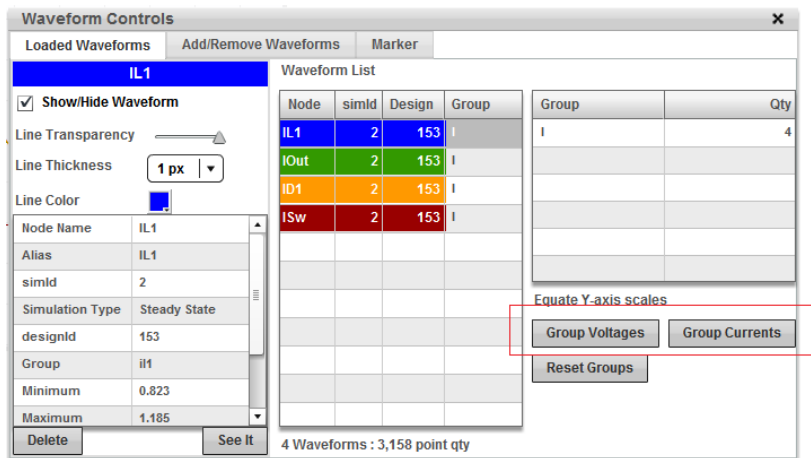
4.11.4 电流直流分量 I_{DC} 分析

分析完了交流分量 ΔI ，再来看看直流分量 I_{DC} 。 I_{DC} 分量十分重要，因为 $I_{DC} + \Delta I$ 可以得到电流的峰值。在分析 I_{DC} 前，我们先看看输出电容 C_{out} 的影响。由于 V_{out} 恒定，所以 C_{out} 流入的电流和流出的电流相同，也就是说 C_{out} 提供的电流只影响输出电流的交流分量，对电流直流分量的贡献为零。

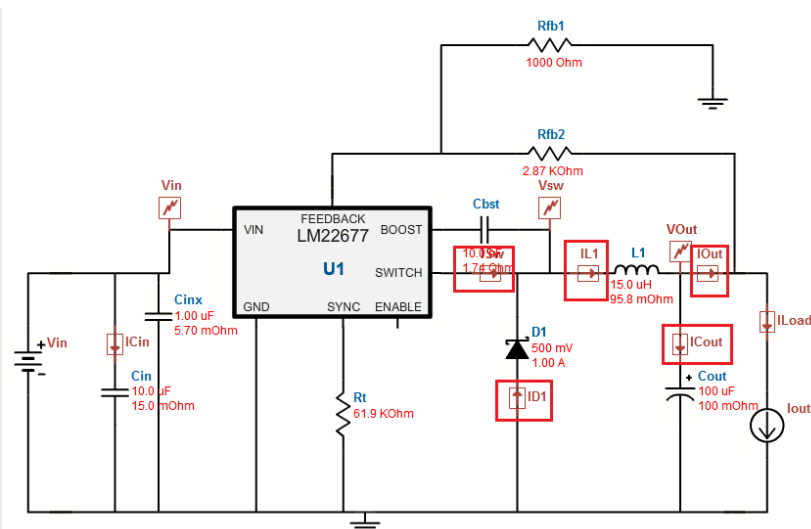
在推导 I_{DC} 前，先看看电感，MOSFET，二极管中的电流，以及负载电流 I_{out} 和输出电容电流 I_{Cout} 。通过直观的认识这些电流的关系，帮助读者更好的理解负载电流 I_{out} 和 I_{DC} 的关系，以及那些元件需要承受 I_{DC} ， I_{DC} 随 V_{in} 变化的关系。

LM22677 是一款典型的 BUCK 开关电源，其内部集成了 MOSFET，外部接电感、电容和二极管即可工作。我们以 LM22677 为例，在 WEBENCH 中进行仿真，观察这些电流的变化关系。WEBENCH 仿真工具的使用请参考第六章。下面仅对关键步骤截图说明。

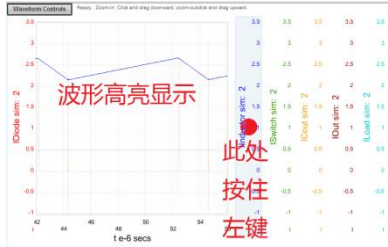
在 WEBENCH 的稳态仿真中添加各波形后，需要对 Y 轴坐标进行统一，这样方便观察波形间的幅度联系。打开“wave controls”菜单，在“loaded waveforms”中点击“group voltages”“group currents”对 Y 轴坐标统一刻度。如下图：



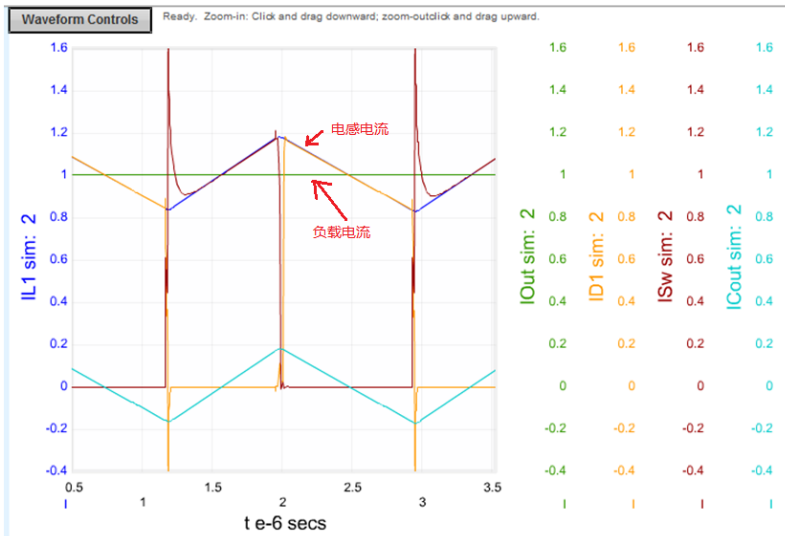
LM22677 原理图如下，在进行完“稳态仿真后”双击方框中的测试点即可添加波形到显示窗口。



本例中添加了几个关键的电流波形。读者有兴趣的话可以再添加其他测试点观察。双击测试点后，波形以先后顺序显示在窗口中。（在波形名称上按住左键，相应波形会高亮显示，用于波形重叠的时候）



仿真电流波形如下图：（纸质版不清楚的可以参看电子版的彩色图）



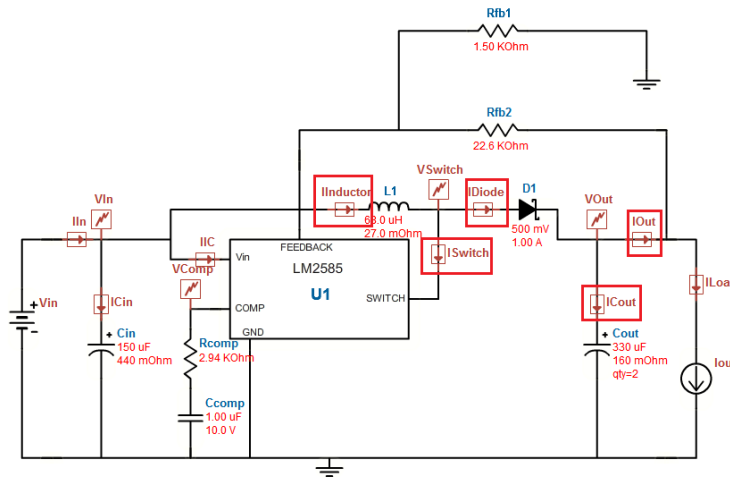
I_{out} 是负载电流， I_D 是二极管电流， I_{SW} 是 MOSFET 电流， I_{Cout} 是输出电容电流

从图中可以看到负载电流在电感 ΔI 波动的中间。也就是负载电流 I_{out} = 电感的直流分量 I_{DC} 。这是因为 BUCK 电路结构将 L 连接到输出端。L 的充电和放电时的电流都会传递到输出端。所以电感电流直流分量 I_{DC} 等于 I_{out} 。

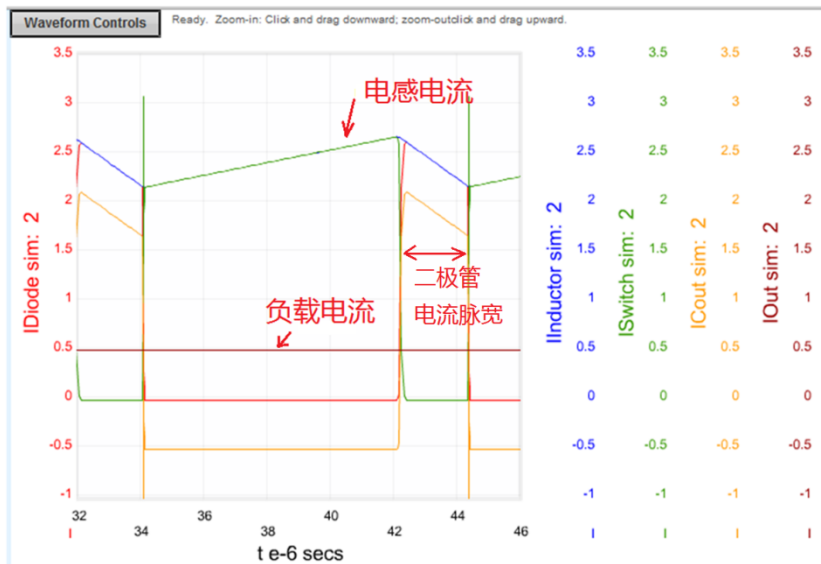
另外图中电容电流 I_{Cout} 的正向电流面积和反向电流面积相同，也就是流入电容电流和流出相等，输出电容对 I_{out} 的直流分量不影响。

图中跟电感 L 电流曲线重合部分是 I_{SW} 和 I_D 电流， I_{SW} 在 D 内给电感充电， I_D 在 1-D 内给电感提供放电路径，一个电流存在时另一个电流为零。所以 I_{SW} 和 I_D 电流组合起来就得到电感电流。

再看一下 BOOST 电路中的电流情况。LM2585 是一款典型的 BOOST 电路，内部集成了 MOSFET，外部接电感、电容和二二极管就可以工作。进行稳态仿真后，同样将下图方框中的电流测试点加入波形显示。



依次加入关键电流后的仿真波形如下图：



图中可以看到负载电流远低于电感电流直流分量 I_{DC} 。这是因为 BOOST 电路结构将二极管跟负载相连，二极管的脉冲电流直流分量提供给 I_{out} 。所以二极管电流脉宽 $(1-D)$ 越窄，所需的 I_{DC} 越大。从二极管的脉冲电流面积跟 I_{out} 面积相等可以得出

$$I_{out} = (1 - D) * I_{DC}$$

另外从 ICout 电流可以看出，在电感充电期间（D 内），ICout 等于 Iout（图中-0.5），此时电容放电；在电感放电期间 ICout = ID - Iout，电容充电。电感充电期间的能量完全由 Cout 提供，所以可以看到 Cout 中的电流流动比 BUCK 电路大得多，也就是对于 BOOST 电路，Cout 要承受更大的应力。

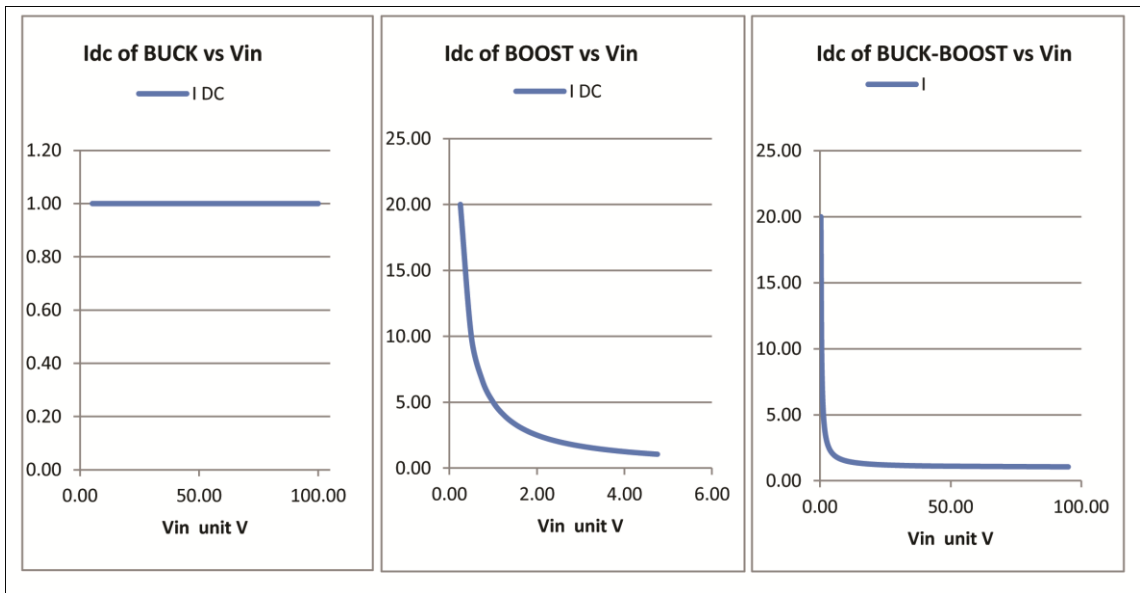
BUCK-BOOST 电源与 BOOST 类似，都是二极管作为输出电流开关，可以得到跟 BOOST 相同的结果

$$I_{out} = (1 - D) * I_{DC}$$

通过上面的分析，我们直观的了解了 I_{DC} 的变化规律。将 I_{DC} 和 I_{out} 的关系汇总在表格中

类型	I _{DC} 和I _{out} 的关系
BUCK	I _{out} = I _{DC}
BOOST	I _{out} = (1 - D) * I _{DC}
BUCK-BOOST	I _{out} = (1 - D) * I _{DC}

现在将 I_{DC} 跟 Vin 的关系绘制为曲线图，如下（Vout=5V，Iout=1A，用伏秒定理将公式中的 D 用 Vin 和 Vout 代替，即可画出 Vin 和 I_{DC} 曲线图）：

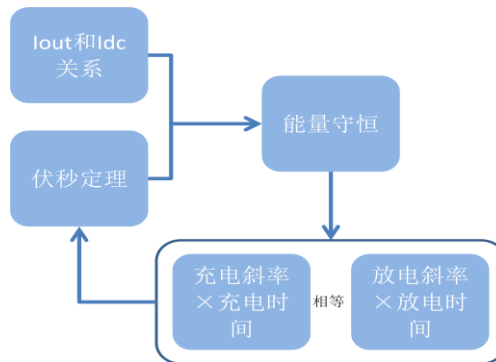


从图中可以看到 BUCK 电路中，I_{DC}不随 Vin 变化。BOOST 和 BUCK-BOOST 中的 I_{DC}随 Vin 增大而减小，参考之前分析的 Vin 和 D 的关系，这是因为 Vin 增大后 D 减小，二极管的脉宽 1-D 增大，面积增大，I_{out} 不变时 I_{DC}降低。

前面的分析中我们了解了伏秒定理以及 I_{out} 和 I_{DC} 的关系，这里用这两个规律推导一下 P_{in} 和 P_{out} 的关系。

	BUCK	BOOST	BUCK-BOOST
I_{out} 和 I_{DC} 的关系	$I_{out} = I_{DC}$	$I_{out} = (1 - D) * I_{DC}$	$I_{out} = (1 - D) * I_{DC}$
V_{in} 接入电源时间	$D * T$	T	$D * T$
V_{out} 输出时间	T	T	T
输入功率 P_{in}	$V_{in} * I_{DC} * D * T$	$V_{in} * I_{DC} * T$	$V_{in} * I_{DC} * D * T$
输出功率 P_{out}	$V_{out} * I_{out} * T$	$V_{out} * I_{out} * T$	$V_{out} * I_{out} * T$
伏秒定理	$V_{out} = V_{in} * D$	$V_{out} = V_{in} / (1 - D)$	$V_{out} = V_{in} * D / (1 - D)$
输出功率（将伏秒定理代入）	$V_{in} * D * I_{out} * T$	$V_{in} / (1 - D) * I_{out} * T$	$V_{in} * D / (1 - D) * I_{out} * T$
输出功率（将 I_{out} 代入）	$V_{in} * D * I_{DC} * T$	$V_{in} * I_{DC} * T$	$V_{in} * D * I_{DC} * T$
结果	$P_{in} = P_{out}$	$P_{in} = P_{out}$	$P_{in} = P_{out}$

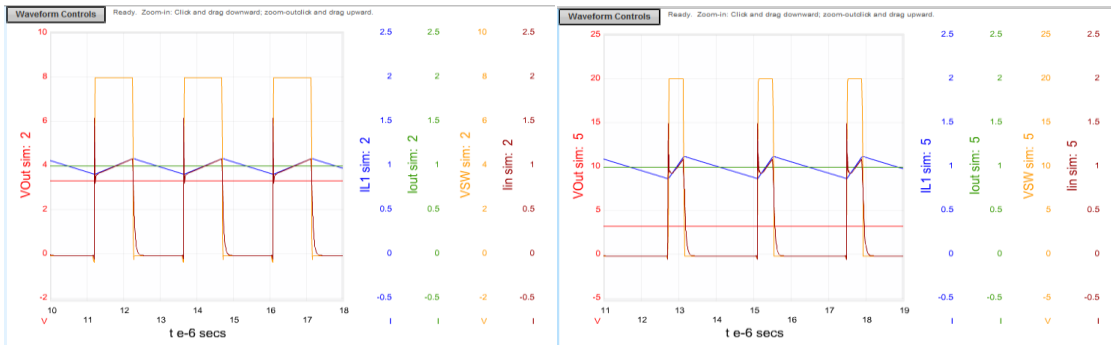
从这个表格推导过程可以看出，这些物理关系的最终情况都是能量守恒（理想器件，不计损耗情况下）。所以在学习电源的过程中，把握住能量的流动方向、流动规律是学好电源的捷径。



4.11.5 WEBENCH 对 ΔI 和 I_{DC} 仿真验证

用 WEBENCH 仿真工具来看一下 I_{DC} 随 V_{in} 的变化情况。考虑到 BUCK-BOOST 跟 BOOST 的情况类似，这里用 BUCK 和 BOOST 电路来仿真。

用 BUCK 电路仿真

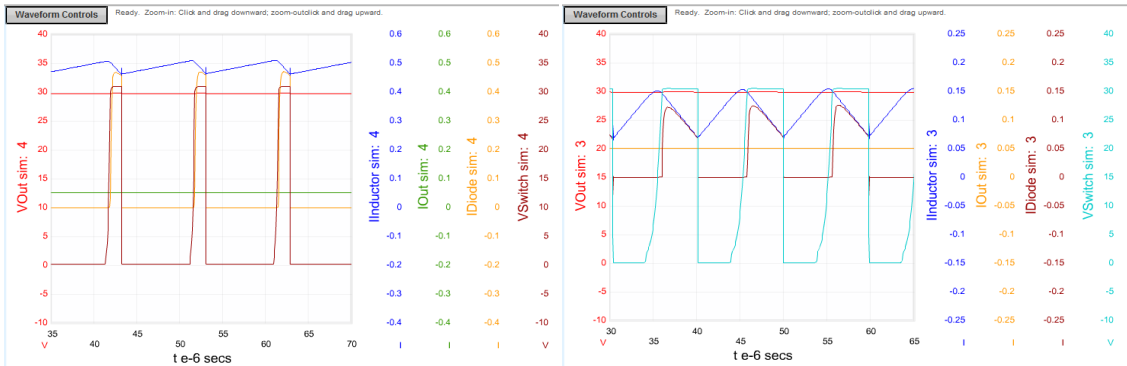


IL 电感电流，Iout 负载电流，VSW 为 MOSFET 源极电压，Iin 输出电流

	Vin	Vout	L uH	F kHz	delta I A	IDC A	Iout A
左图	8	3.3	27	324	0.171	1	1
右图	20	3.3	27	324	0.247	1	1

可以看到 vin 变化后IDC不变，但是Δ I 变大，这跟之前的分析一致。

用 BOOST 电路仿真



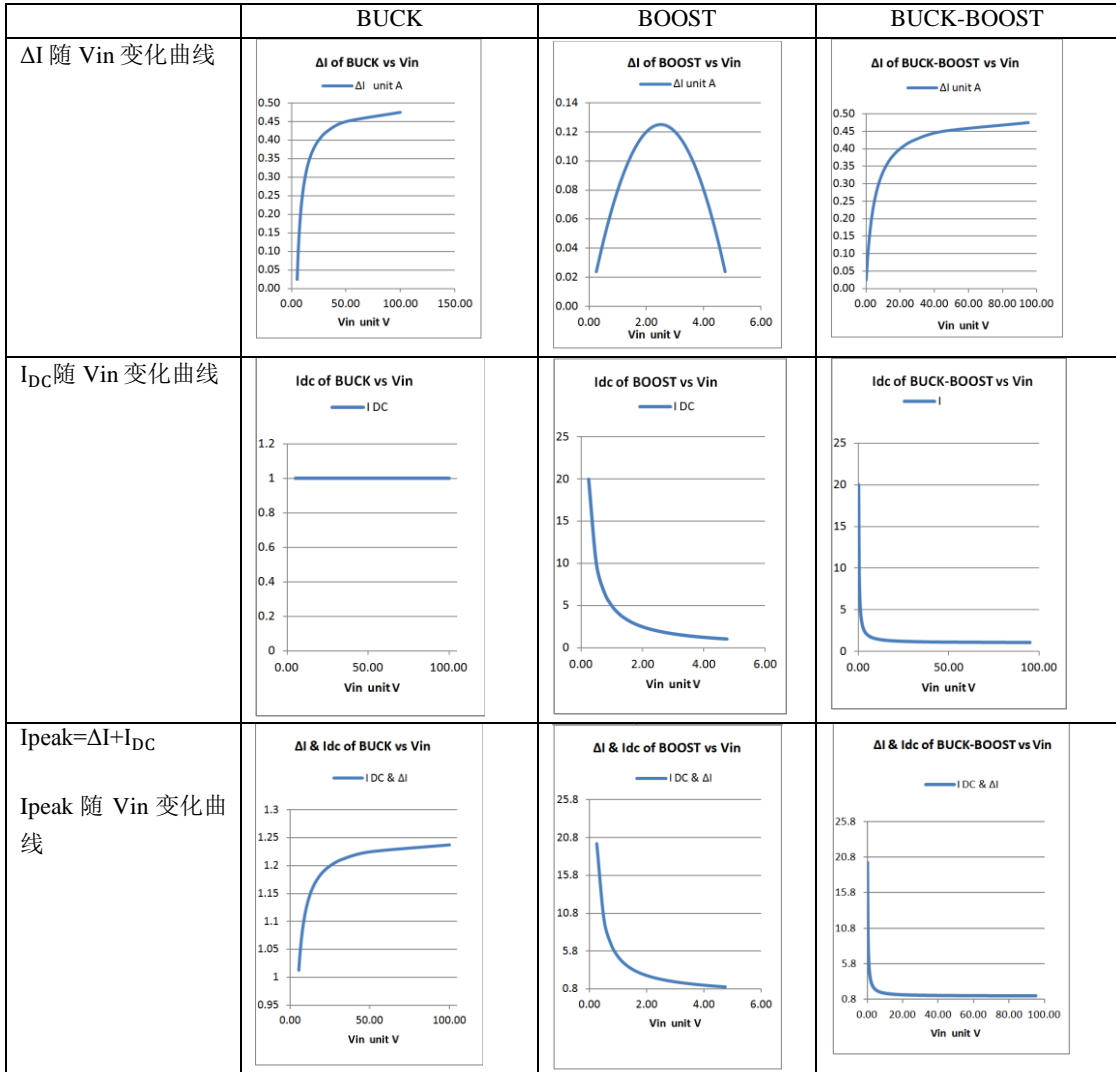
IL 电感电流，Iout 负载电流，VSW 为 MOSFET 源极电压，Iin 输出电流

	Vin	Vout	L uH	F kHz	delta I A	IDC A	Iout A
左图	5	30	820	100	0.044	0.48	0.05
右图	15	30	820	100	0.086	0.12	0.05

可以看到 vin 变大后IDC减小，Δ I 变大 (Vin=15V 时 D=0.5，Δ I 最大)，这跟之前的分析一致。

4.11.6 总结 Ipeak 最恶劣的情况

通过本节分析，读者可以看到图表的重要性，更能帮助工程师找到电源参数变化的规律。并且结合仿真工具 WEBENCH，对电源的学习起到事半功倍的效果。下面将Δ I 和IDC随 Vin 变化图放在一起，图片缩小，只需要看到变化趋势即可。



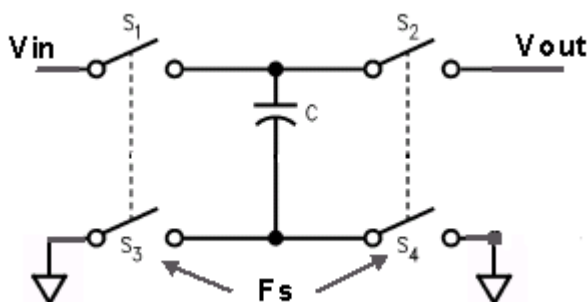
从 I_{peak} 随 V_{in} 变化的曲线可以看出：设计 **BUCK** 电路时要按照最大输入电压设计，在最大输入电压时条件最苛刻。设计 **BOOST** 和 **BUCK-BOOST** 时要按照最小输入电压设计，在最小输入电压时条件最苛刻。

第五章 电荷泵型稳压器

电荷泵型稳压器的基本工作原理是用电容从输入端充电，然后再将电容连接到输出端放电。根据电容连接到输出端的方式，电荷泵型稳压器可以实现倍压（电容串联）和反压（电容反接）。本节介绍几种常见的电荷泵型开关稳压器及其工作原理。

5.1 电荷泵基础

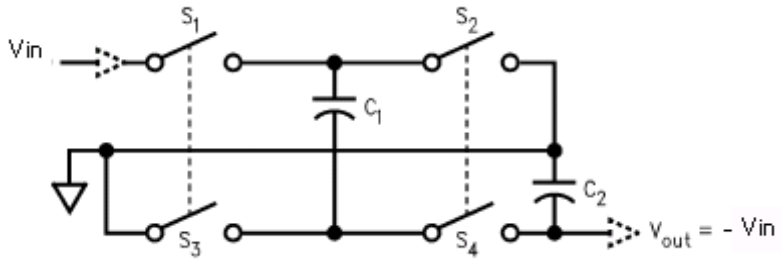
先看一下最简单的单倍电压传输和反压。单倍电压传输是电容性开关电源最简单的模型，如下图，有 4 个开关控制电容的充电和放电。充电周期 S_1 和 S_3 闭合， S_2 和 S_4 断开；放电周期 S_2 和 S_4 闭合， S_1 和 S_3 断开。根据电容的物理公式： $q=C*U$ 。可以得到在充电周期内电容获得的电荷 $q_1=C*V_{in}$ 。放电周期内电容释放电荷，为外部电路提供能量，电容电压等于 V_{out} 时，放电周期结束，电容上剩余电荷： $q_2=C*V_{out}$ 。根据电荷守恒可以得到传输的电荷： $q_1-q_2=C*(V_{in}-V_{out})$ 。



单倍电压传输电荷泵开关电源

开关切换的频率为 F_s ($F_s = 1/t_s$)，则电荷传输产生的平均电流 $I_{out} = (q_1 - q_2) / t_s = C * F_s * (V_{in} - V_{out})$ 。电荷泵开关电源的等效内阻为 $R = (V_{in} - V_{out}) / I_{out} = 1 / C * F_s$ 。当开关频率较低时， F_s 导致的内阻占主要部分。当 F_s 较高时，内部开关导致的电阻（传导损耗和开关损耗）占主要部分。

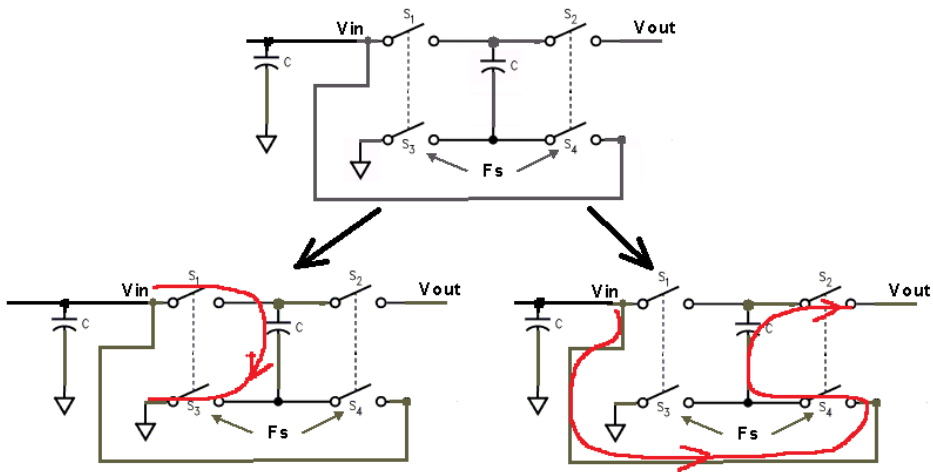
介绍了单倍电压传输，根据其结构将电容的极型反接到输出即可实现反压。如下图：



反压型电荷泵开关电源

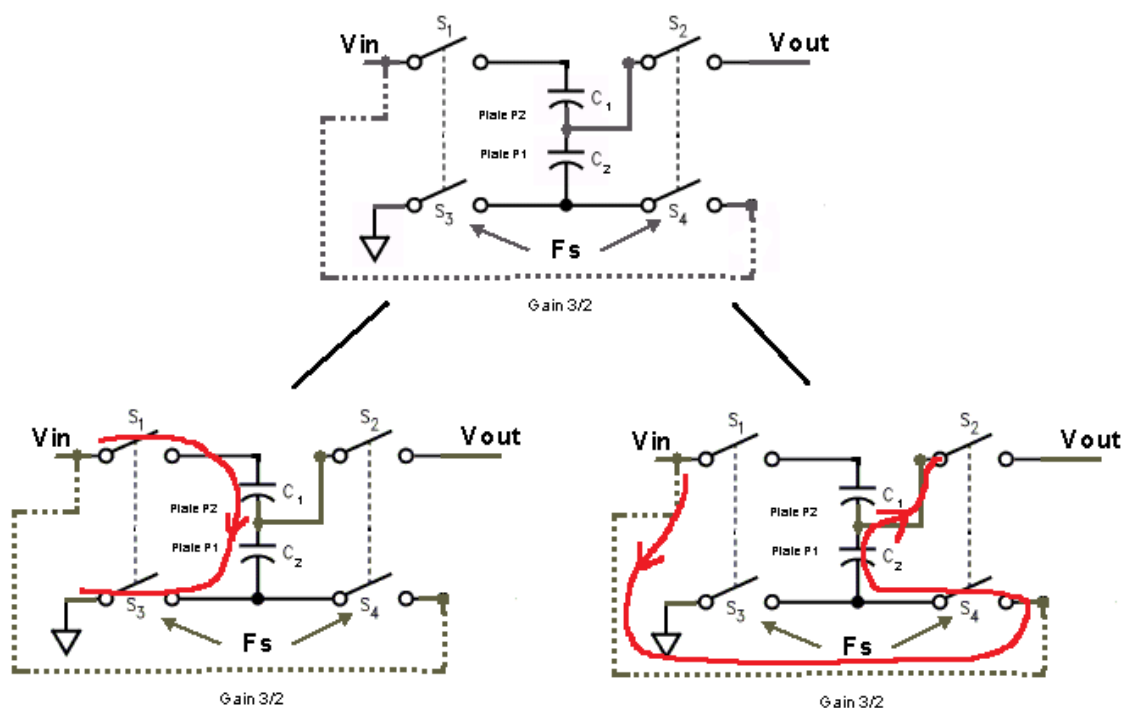
对比单倍电压电路可以看出，反压电路中将输出端 V_{out} 和 GND 进行了调换， S_2 接 GND， S_4 接 V_{out} 。这样在充电完毕后 S_2 上的电压比 S_4 高，放电时 S_2 和 S_4 闭合，电容上的电压依旧保持，就相当于 GND 比 V_{out} 电压高， V_{out} 相对 GND 就是负压了。

再分析一下双倍电压产生和半电压产生。如下图所示，在单倍电压电路上做一些改动，将 V_{in} 连接到 S_4 的另一端。这样在充电周期 C 上的电压 $V_c=V_{in}$ ，在放电周期 C 串联在输出和输入之间， $V_{out}=V_c+V_{in}=2*V_{in}$ ，实现了倍压功能。



如何实现 $1/2$ 电压转换呢？很简单，将电路倒过来用， V_{out} 和 V_{in} 交换。充电时 C 和输出电容 C 串联， V_{in} 对 2 个串联的 C 充电，充电完毕时每个 C 上有一半的 V_{in} 。放电时两个 C 并联，将 $1/2$ 的 V_{in} 送到 V_{out} 。

在半压电路上再稍作改变，将中间的电容 C 拆分为两个串联电容 C_1 和 C_2 ，可以实现 $3/2$ 电压转换。如下图

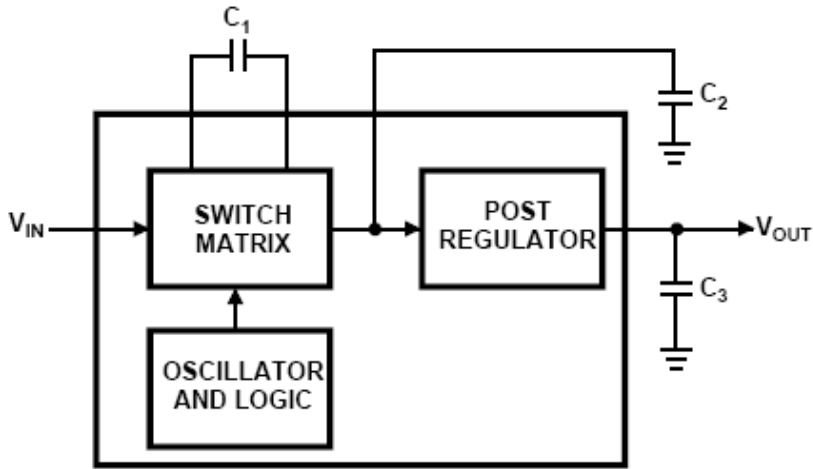


充电周期 C_1 和 C_2 的电压和为 V_{in} ，则 C_1 和 C_2 的中间点电压为 $0.5V_{in}$ ，放电周期 C_2 串联在 V_{out} 与 V_{in} 之间， $V_{out}=V_{in}+0.5V_{in}=3/2*V_{in}$ 。实现了 3/2 倍电压转换。

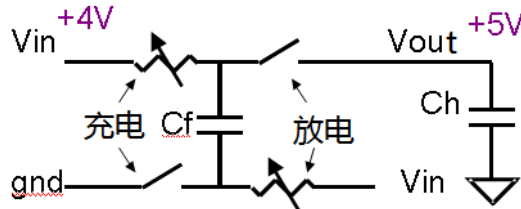
从上面的分析可以看出电荷泵型的开关电源既有趣又巧妙，通过内部开关改变电容的连接方式就能实现多种电压转换功能。电荷泵型开关电源还有多种拓扑结构，这里不再一一累述。常用的几款电荷泵稳压器例如：TPS60500 用于高效的降压，TPS60110 低噪声升压电源，TPS60400 低功耗反压等。

5.2 开关电容稳压器的细调功能

从上节的分析可以看出，电荷泵型开关电源的输出是 V_{in} 的整数倍或者离散的小数倍，不能达到像 LDO 那样的任意值。如果要使电荷泵型开关电源具备这样的能力就需要在后面添加线性调整器 (post regulator)，在电荷泵调压的基础上线性调整器再次进行调节。由于线性调整器的存在，电荷泵开关电源就存在损耗问题。



除了这种方法外，还有一种使电荷泵开关电源精细调节输出的方法。根据前面章节的介绍，线性调整器中是使开关管工作在线性区来分压进行调节。同理，在电荷泵开关电源中加以改进，使控制电容连接的开关管工作在线性区，分压后给电容充电或者放电，也可以达到精细调整。如下图所示，充电和放电回路上有开关工作在线性区进行分压。



调整开关上的分压得到所需输出

这种方法跟线性稳压器的原理类似，由于开关管工作在线性区，其上的分压 V 和流过的电流 I 相乘就产生损耗。

第三种方式是利用 F_s 改变电荷泵开关电源的等效内阻。根据前面分析，电荷泵开关电源的等效内阻为 $R = (V_{in} - V_{out}) / I_{out} = 1 / C * F_s$ 。 R 随着 F_s 的增大而减小，所以调节 F_s 可以调节等效内阻上的分压，进而实现对 V_{out} 的细调。这个方法原理上是用 PFM（脉频调制）来实现电容 C 的充电放电控制。这种方法中开关管仍然工作在开关状态，损耗比线性区少，但是代价是输出纹波较大并且开关损耗增大。

5.3 电荷泵电压增益调节

从上节可以了解到电荷泵开关电源为了实现细调功能会引入较多的损耗，从而导致效率降低。为了改善这个情况，电荷泵开关电源可以使用电压增益调节功能。在分析这个功能的原理前，先介绍几个定义。

电压增益是指不使用细调功能时 V_{out} 和 V_{in} 的比值 $Gain = V_{out}/V_{in}$ ，例如 $V_{out} = V_{in}$ 则电压增益为 1， $V_{out} = 1/2 V_{in}$ 则电压增益为 0.5（不使用细调功能，电容仅靠改变连接关系实现倍压和分压）。

电荷泵开关电源效率：输出功率/输入功率。

不考虑损耗时电源能量守恒： $V_{in} * I_{in} = V_{out} * I_{out}$ （电流为平均电流）

根据电压增益 $Gain = V_{out}/V_{in}$ 得到 $I_{in} = V_{out}/V_{in} * I_{out} = Gain * I_{out}$ 。

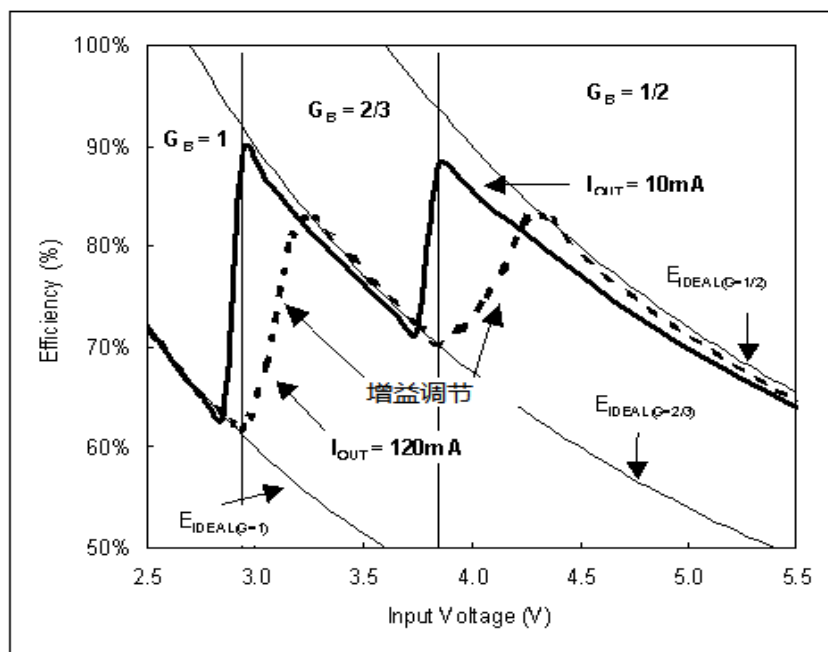
考虑到电源自身消耗的能量，输入电流为 $I_{in} + I_q$

输入功率为： $V_{in} * (I_{in} + I_q) = V_{in} * (I_{out} * Gain) + V_{in} * I_q$

代入效率公式可以得到

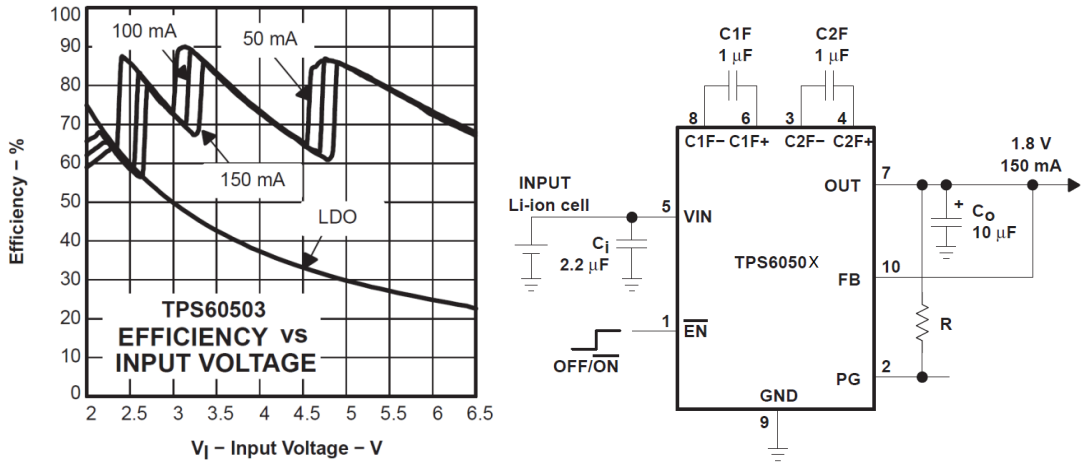
$$E_{ff} = \frac{V_{out} * I_{out}}{V_{in} (I_{out} * Gain) + V_{in} (I_q)}$$

这个公式中可以看到当 V_{out} ， I_{out} 和 $Gain$ 不变时， V_{in} 越高效率越低。要改变这一状况就要使 $Gain$ 能跟随 V_{in} 进行调节， V_{in} 变高时 $Gain$ 调小，由于 I_q 较小，可以显著减小分母变大的趋势。效率得到提高。下面举例看一下增益调节带来的作用

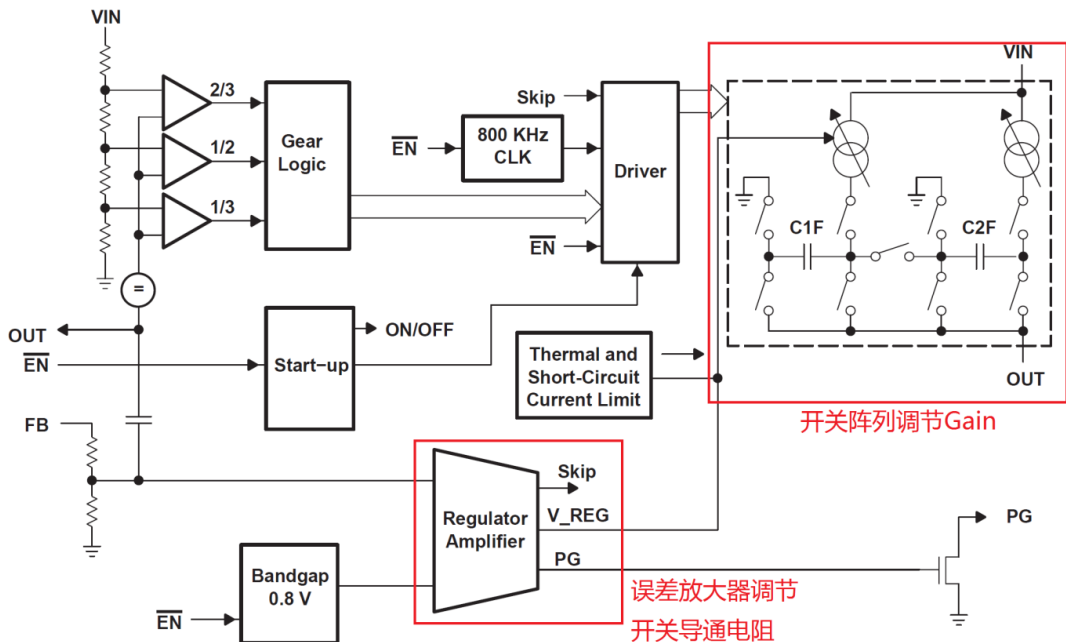


上图是效率随增益调节后的变化曲线图。X轴是 V_{in} ，Y轴是效率。图中有两条曲线，实心黑色曲线是 $I_{out} = 10mA$ 时，虚线是 $I_{out} = 120mA$ 时。 E_{IDEAL} 箭头所指的三条曲线（图中三条双曲线形状）分别是 $Gain$ 等于 1、2/3 和 1/2 时，效率随 V_{in} 变化的理论曲线。可以看到随

随着 V_{in} 增大，在 $V_{in}=3V$ 时将 Gain 调整到 $2/3$ ，效率从 60% 提高到 90%。在 $V_{in}=4V$ 左右时，将 Gain 调整到 $1/2$ ，效率从 70% 增加到 85% 以上。可以明显的看到 Gain 在改善效率中发挥的作用。



TPS6050X 系列的电荷泵稳压器正是利用了这个原理实现效率的提高，上图是 TPS60503 的效率随输入变化的曲线，可以看到可以远远高出图中 LDO 的效率。下图是 TPS6050X 的内部框图，使用了开关阵列来调节电容的连接方法从而实现 Gain 的调节。并且集成了误差放大器，用于调节开关的导通阻抗，实现细调功能。



前面提到的在电荷泵开关电源后加 LDO 实现细调，这个电流结构中如果加入 Gain 调整作用相当于减小了 LDO 的输入电压，使 LDO 两端的压差降低，所以提高了效率。

5.4 开关电容的优点

通过上面的分析，电荷泵开关电源的效率介于 LDO 和电感开关电源之间，能提供较高的效率和较小的 PCB 占用面积。应用在整数倍压和反压时特别合适。总结为以下几条指导建议：

电荷泵开关电源的几个优点

- 提供比 LDO 高的效率
- 比电感型开关电源更节省 PCB 面积。
- 比电感型开关电源的辐射小
- 成本比电感型开关电源低

设计中需要注意的地方

- 由于外部电容在切换中经常要倒换极性，所以尽量不要使用电解电容，优选陶瓷电容
- 电容充放电中 ESR 会导致损耗，优选 ESR 低的电容
- 为了提高工作温度范围，优选 X7R 和 X5R 电容
- 输出、输入电容越大，输出、输入电压波动越小
- 中间的电容负载从输入传递能量给输出，所以容量越大提供电流能力越强。

第六章 使用 WEBENCH 选择合适的稳压器

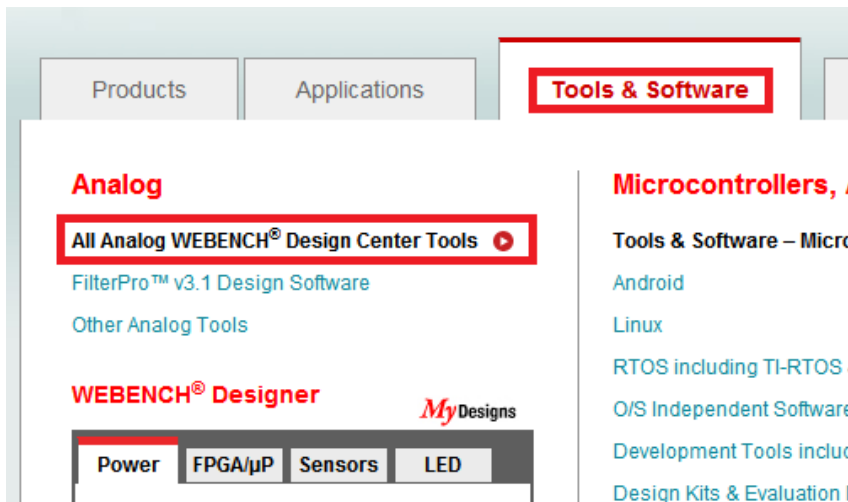
6.1 WEBENCH 模拟设计工具包概述

现代电子系统设计涉及的芯片越来越多，芯片功耗越来越大。之前 74 加 51 时代一个 5V 电压统治全板的情况不复存在。现代的电子系统对电源要求多种多样，电压方面：1V、1.2V、1.8V、3.3V 和 5V 等；性能方面：大电流的，高精度的，低噪声的，低功耗和高效率的等等。为了应对如此之多的需求，多种多样的电源芯片应运而生。

电源系统一般采用树形结构进行设计，各个芯片的电源作为树叶，各模块的支路电源作为树枝，为各个支路供电的电源作为树干。电源树中的电压自顶向下逐级变换，电源树中的电流自下而上逐级汇聚。根据这些电压和电流情况，并考虑到需要的性能、功耗和体积，工程师从众多的电源芯片中选型并优化。这是一个复杂而辛苦的过程，急需一种软件工具配合工程师工作，TI 为电源的设计选型提供了强大的设计软件：WEBENCH

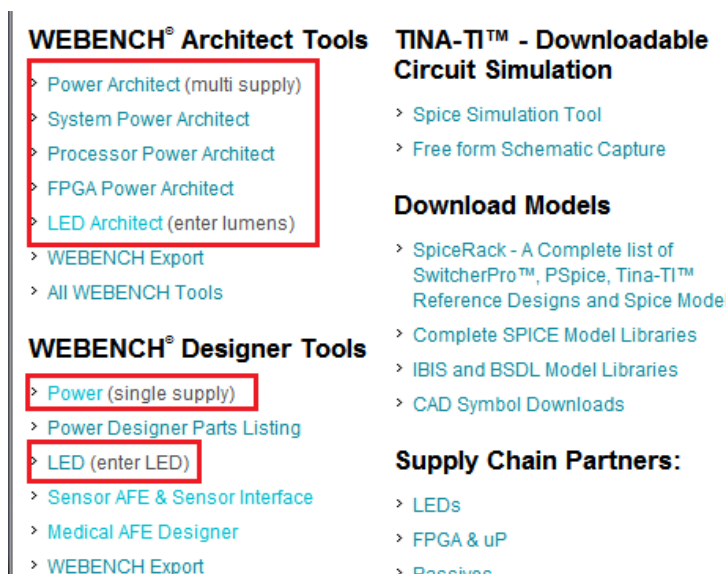
6.2 WEBENCH 电源设计工具

TI 的电源芯片种类齐全，按用途有 AC-DC，DC-DC 和 DC-AC，按照拓扑结构常见的有 buck、boost 和 buck-boost 等。从这些海量芯片中选取合适的芯片一个个看数据手册进行筛选是一件效率很低很耗精力的事情。TI 提供了电源设计软件，来帮助用户完成设计，并可以优化和仿真。

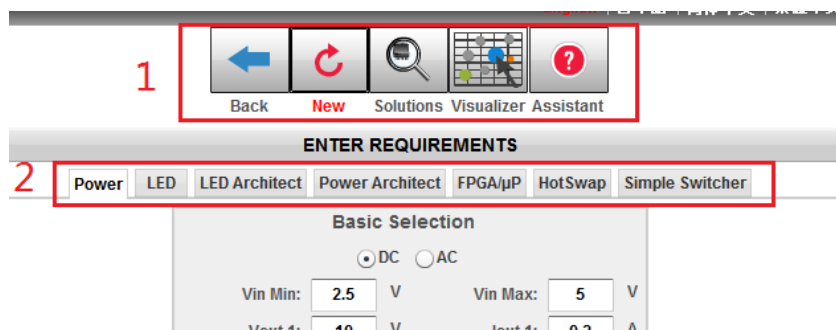


从主页 www.ti.com 进入，可以看到上图方框中所示选项，在“tools & software”中可以看到电源设计工具：WEBENCH。

本章对 WEBENCH 的操作界面和设计流程进行介绍，旨在使读者对 WEBENCH 有一个直观的了解。掌握 WEBENCH 的基本操作，熟悉它的各项功能。点击“All Analog WEBENCH Design Center tools”可以进入 WEBENCH 工具中心。进入 WEBENCH 工具中心后可以看到有很多 tools 被分类排列出来。



上图方框中的工具是和电源设计相关。其中方框中的工具是电源选型、设计和优化仿真时使用，从方框中的分类可以看出 WEBENCH 工具有：系统电源架构、处理器电源架构、FPGA 电源架构、多电源架构和单电源架构，还有 LED 电源设计。这些并不是说 WEBENCH 有多个不同版本，而是进入 WEBENCH 相应功能的快捷方式。WEBENCH 工具包括这些设计功能。



WEBENCH 的软件界面如上图所示，图中方框 2 内的选项是 WEBENCH 包含的各个子功能。从左到右分别是：单电源设计（power）、LED 选型（LED）、LED 架构设计（LED Architect）、多电源架构设计（Power Architect）、FPGA 和处理器电源架构设计（FPGA/uP）、热拔插设计（HotSwap）、电源芯片选型（Simple Switcher）。LED 的设计在此暂不

作说明。按照先易后难的顺序，对电源选型，单电源设计、电源架构设计和 FPGA/处理器电源设计进行说明。

6.2.1 电源选型

电源选型是根据用户输入的电压和电流参数，从库中搜索中满足条件的芯片。点击“Simple Switcher”进入如下界面。

输入 Vin 电压的范围、Vout 电压和 Iout 后，点击下方“Show ICs”绿色按钮系统开始筛选满足要求的芯片。第一个界面系统默认是在“solutions”下进行的（图片中的放大镜）。

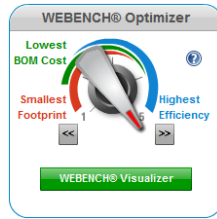
Module		Regulator	
LM3475		LM22676-ADJ	
Design Note	Hysteretic Buck ...	Design Note	Adjustable for V...
Topology	Buck	Topology	Buck
Footprint (mm2)	0	Max Current	3.00
Efficiency (%)	NA	Pk Efficiency	92%
Frequency (kHz)	0	Max Freq	500
BOM Cost (\$)	NA	IC Cost	\$1.80

系统给出两个推荐芯片列在网页的最上面。同时系统会把满足要求的芯片列表也给出，显示在网页的下方，列表中包含了芯片的特性和价格。供用户参考。

Switcher Solutions: (11 found) Show All Columns

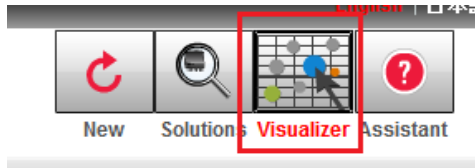
Part	Create	WEBSENCH Tools	Efficiency (%)	Footprint (mm2)	Frequency (kHz)	BOM Cost (\$)	BOM Count	I _{out} Max (A)	New TEAM	Dist TEAM	Design Considerations	IC Cost
LM22676-ADJ	Open Design		88%	362	500	\$2.66	12	3.00	Y	TEAM	Adjustable for V _{out} less than 5V, Low Part Count	\$1.80
LM22688-ADJ	Open Design		83%	329	482	\$2.68	12	2.00	Y	TEAM	Low Part Count	\$1.70
LM22673-ADJ	Open Design		88%	375	500	\$2.83	13	3.00	Y	TEAM	Adjustable for V _{out} less than 5V, Low Part Count	\$1.85
LM22676-ADJ	Open Design		88%	429	482	\$2.68	12	3.00	Y	TEAM	Adjustable for V _{out} less than 5V, Low Part Count	\$1.85
LM3102	Open Design		87%	293	537	\$2.86	12	2.50	Y	TEAM	High Efficiency	\$2.15
LM22678-ADJ	Open Design		85%	446	500	\$3.32	10	5.00	Y	TEAM	Adjustable for V _{out} less than 5V, Low Part Count	\$2.45
LM22677-ADJ	Open Design		86%	459	482	\$3.38	11	5.00	Y	TEAM	Adjustable for V _{out} less than 5V, Low Part Count	\$2.50
LM22679-ADJ	Open Design		85%	459	500	\$3.29	11	5.00	Y	TEAM	Adjustable for V _{out} less than 5V, Low Part Count	\$2.40
LMR24220	Open Design		82%	247	470	\$2.81	12	2.00	Y	TEAM	High Efficiency	\$2.06
LM26003	Open Design		87%	455	335	\$3.41	17	3.00	Y	TEAM	High Efficiency Sleep Mode	\$2.10
LM3475			NA	0	0	NA	1	5.00	Y	TEAM	Hysteretic Buck Controller, Small size	\$6.48

筛选芯片只是 WEBENCH 的一个小功能，优化选项是它的一个强项。用户可以在“recommended parts”旁边看到“旋钮”图标，从旋钮的刻度上可以看到有：效率、成本、封装三个优化刻度，这三个刻度是相互制约的，不能同时都达到，需要用户调节。旋钮有 5 个档位，用户选择后 WEBENCH 会在用户选择的 3 个特性条件下优化芯片选型，重新计算出芯片列表。

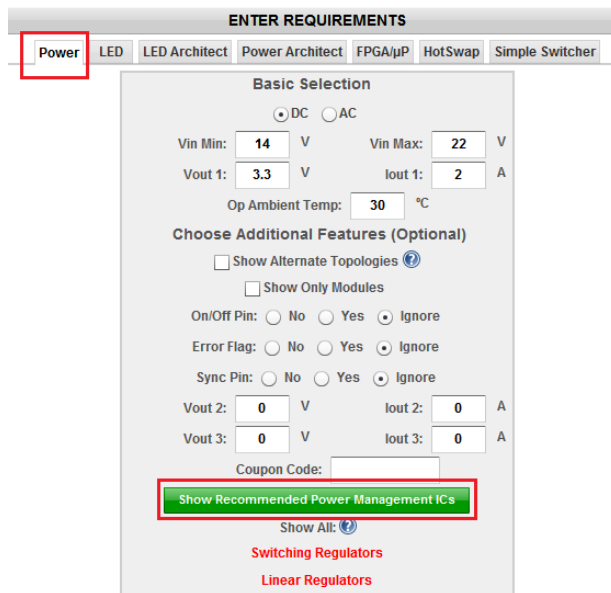


6.2.2 单电源设计

有两种方法进入单电源设计界面。第一种方法是在电源选型页面选择“visualizer”进入电源设计。如下图所示

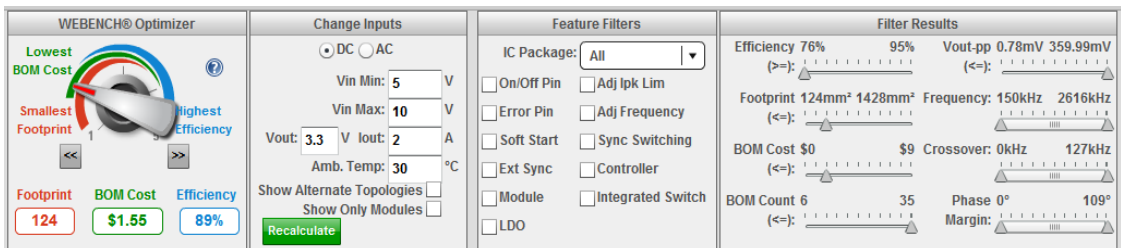


第二种方法是回到开始界面，选择“power”，输入电源的设计条件，按绿色按钮进入电源设计界面。



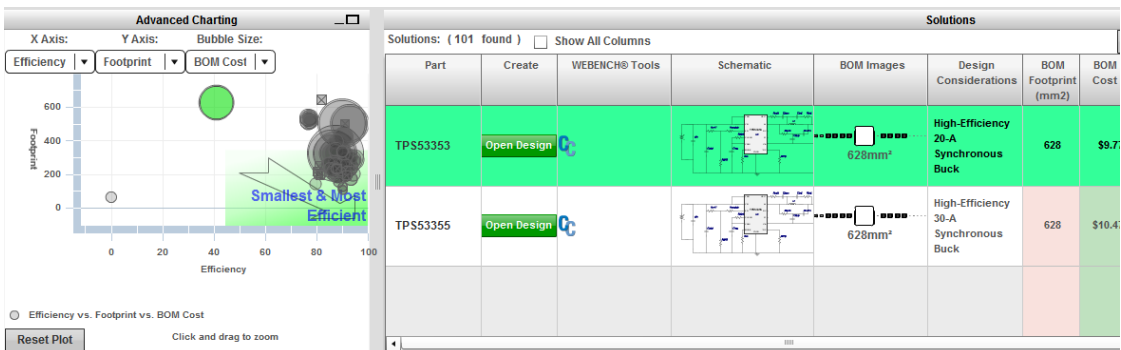
单电源设计是针对某个型号的 power IC 进行设计。在设计的过程中对效率、成本、封装三个方面进行优化。这个优化的步骤由 WEBENCH 工具辅助进行。先介绍一下单电源设计界面内几个主要的窗口。这些窗口对快速使用 WEBENCH 非常重要。

第一行是控制面板，“optimizer”旋钮控制优化算法，改变后工具会重新计算满足条件的器件，需要一定的时间相应。在设计过程中如果要改变先前的输入和输出条件，可以使用“change inputs”。重新输入参数后点击“recalculate”，工具会重新计算满足条件的器件。后面两个是“filter”筛选项，从当前结果中筛选，工具不会重新计算。可以看到“feature filter”中有电源常用的特性，封装、使能管脚、缓起、条件开关频率等等，可以勾选需要的选项从结果中二次筛选。“filter results”是对筛选结果进行细调，拖动三角块，即可改变筛选条件，在结果中二次筛选。

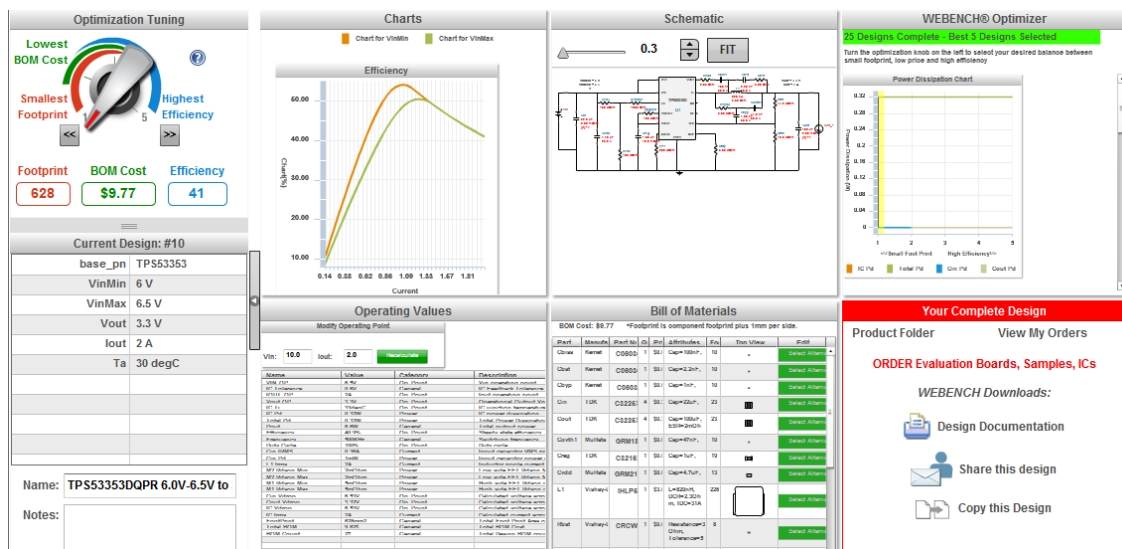


电源设计控制面板

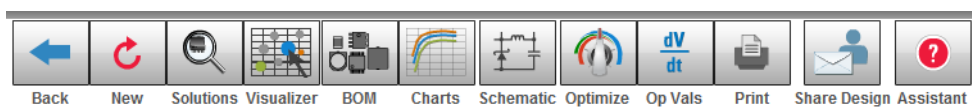
第二行是筛选结果，工具用二维图和电路图可视化了筛选结果，非常方便用户使用。先介绍左边的二维图，二维图的 X 轴是效率，Y 轴是封装大小，灰色圆圈的面积表示成本。右边的表格是芯片型号和特性参数。非常好用的地方在于表格和二维图是一一对应的，选择表格中的器件，则二维图中对应的圆圈变绿，圆圈对应的 X 坐标是芯片的效率，Y 坐标是封装的大小。同样选择二维图中的圆圈，表格中自动跳转到对应的器件。这样的可视化操作非常方便工程师根据项目的偏好选择适合的器件。



从可视化表格中选择需要的器件，点击“open design”进入到这个芯片的设计界面。



在芯片的设计界面中依旧有“optimization tuning”旋钮，可以对芯片的外围电路进行优化。改动旋钮，工具会自动计算外围电路的参数。“Charts”图用于显示优化后电流和效率的关系。“Schematic”是芯片的原理图。“Operating value”表格汇总了电路的主要参数。“bill of materials”是电路的料单，汇总了电路所需的元器件的参数值、封装、厂家、封装图片和价格等，用于采购器件。有了原理图和器件工程师就可以把这个设计好的电源移植到自己项目的大图中。点击这些图和表就会放大，便于查看，点击“back”返回到从前。



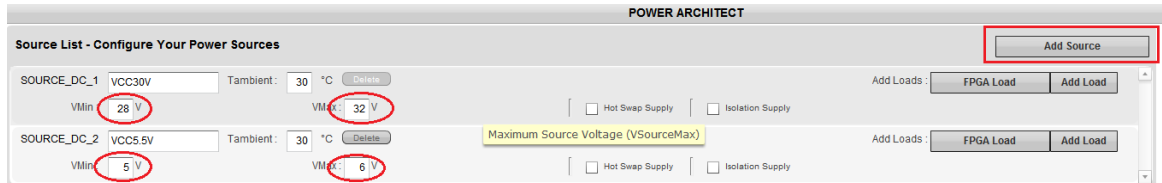
从上图这个工具条中的“bom”“charts”“schematic”“op vals”也可以进入原理图、料单、参数等大图。

6.2.3 电源架构设计

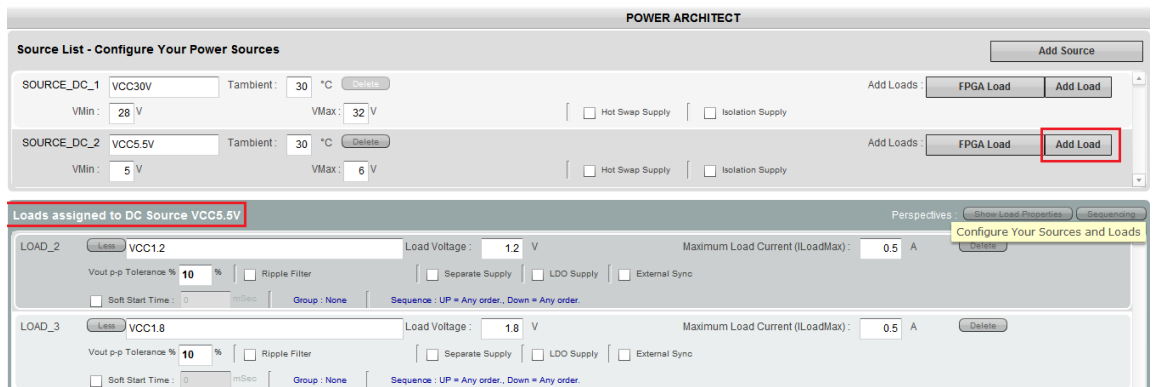
电源架构设计是用在系统中的设计方法。系统中各个工作单元众多，每个工作单元都需要电源供给，这些电源从总电源中分支成为支路电源，支路电源再分支成为某个芯片或者区域的电源。将这些电源画出来就成为树的结构，称之为“电源树”。电源架构设计就是应对电源树的设计方法。**电源架构设计步骤：电源树设计→电源树芯片组优化选择 →电源芯片优化选择 →电源外部电路优化 → 仿真和原理图导出**



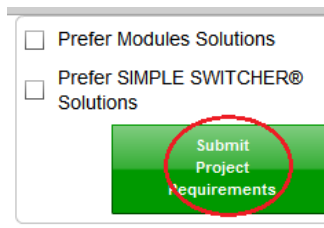
在 WEBENCH 的开始界面点击“power architect”进入电源架构设计。WEBENCH 的电源架构设计正是本着“电源树”的设计思想进行设计的，把工程师从繁重的电流加减，电压分配、芯片选型中解脱出来，把精力放在系统电源总体设计上。



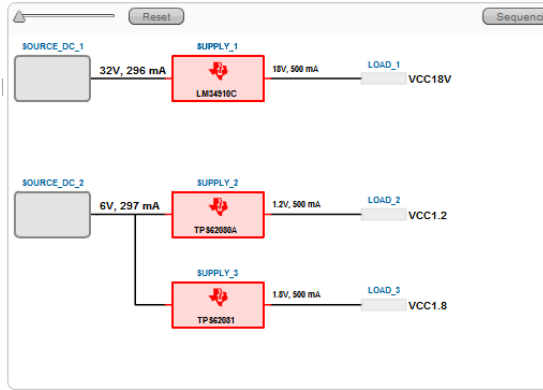
电源架构设计包括两个部分，电源树根的设计和电源树枝的设计。上图是电源树根的设计，“add source”是添加电源树的根。如果只有一个根则不用添加，如果电路板有两个电源输入就添加另一个根。例如上图中添加了 30V 和 5.5V 两个根，并同时设定电源的电压范围。



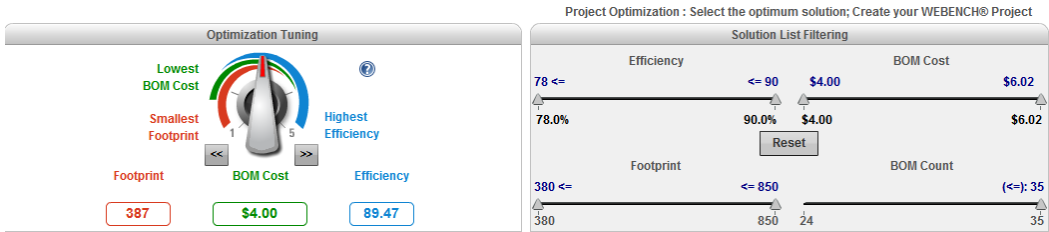
添加完电源树根后，就开始添加电源树的枝。在电源树根后面点击“add load”可以添加支路电源。注意这里有对应关系，例如点击 VCC5.5V 的“add load”，可以看到第二行的红圈中“loads assigned to DC source VCC5.5V”。图中例举添加了 1.2V 和 1.8V 两个支路。类似可以在 VCC30V 中也添加支路。



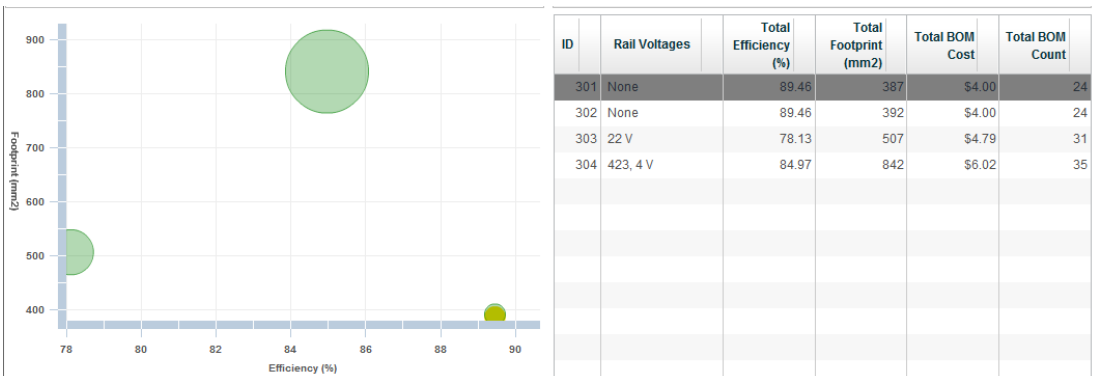
添加完毕后点击“submit”提交给 WEBENCH 处理。处理后的结果显示为多个图表。其中一个图形化的电源树，简析明了。



优化旋钮在电源树的设计中依旧存在，给工程师带来了很大便利，这里不再详述优化操作，可以参考之前的说明。



优化选择的二维图和选项表格也可以在这里看到，依旧保持对应关系，点击圆圈或者表格可以在两者间切换，非常方便按照项目的偏好确定效率、成本和封装的均衡。黄颜色代表被选择的圆圈。这里表示的是电源树整体的效率、成本和封装大小。



整体上的优化结束后，WEBENCH 工具计算出了待选器件。点击下图中的“view project details”进入下一步。

Selected Project: Next Step: [View Project Details](#)

Project ID: 3

Project Name: PA_Project_301

Intermediate Rails: None

Total Efficiency: 89.5%

Power Dissipation: 0.8 W

Total Footprint: 387 mm²

Total BOM Cost: \$4.00

这个步骤中对电源树上的具体的芯片进行选型。电源树（右边）和待选型表格（左边）有对应关系，

PA_Project_305 (modified from 304) [Rename](#) \$6.20 85.7% 864 mm²

Regulator Design Load List

VinMin: 3.60 V VinMax: 4.40 V

Vout: 1.2 [Update](#)

Iout (calculated): 0.5000 Iout Max: 0.6

Recommended Solution: LM3674-1.2

Select Alternate Regulator	Efficiency %	Footprint mm ²	BOM Cost \$
LM3674MF-1.2/NOPB	0.824	74	\$0.1
LM3671MF-1.2/NOPB	0.780	66	\$0.1
LMR10515YMF/NOPB	0.747	119	\$0.1
LMR10510XMF/NOPB	0.735	113	\$0.1

每选择一个器件，工具都会计算具体的效率、成本和封装大小，并以饼图的形式显示出来，如下图所示。

View Edit Compare

Project Charts Summary

Power Dissipation (Watts)

Next Step: [Cancel Changes](#) [Save Changes](#) [Create Project](#)

BOM Cost (\$)

Footprint (mm²)

点击饼图右上角的“creat project”生成最后的工程。可以看到工程中还有“优化按钮”存在，可以保持芯片不变的情况下对外部电路进行优化，真可谓优化无处不在。

POWER ARCHITECT SUMMARY

Project ID: 2 [Rename](#)

Project Name: PA_Project_0 (modified from 0)

Intermediate Rails: 423.4 V

Total Efficiency: 88.6 %

Power Dissipation: 1.2 W

Total Footprint: 740 mm²

Total BOM Cost: \$6.20

Optimization Tuning: Lowest BOM Cost, Smallest Footprint, Highest Efficiency

Current Design: #11

IC: LMR34910C

VinMin: 20.7 V

VinMax: 25.3 V

Vout: 18 V

Iout: 0.5 A

Name: LMR34910CSDNOPB 20.7V-25

Operating Values: Efficiency vs. Load Current chart

Schematic: Circuit diagram showing the regulator and its connections.

Bill of Materials: Table listing components, quantities, and costs.

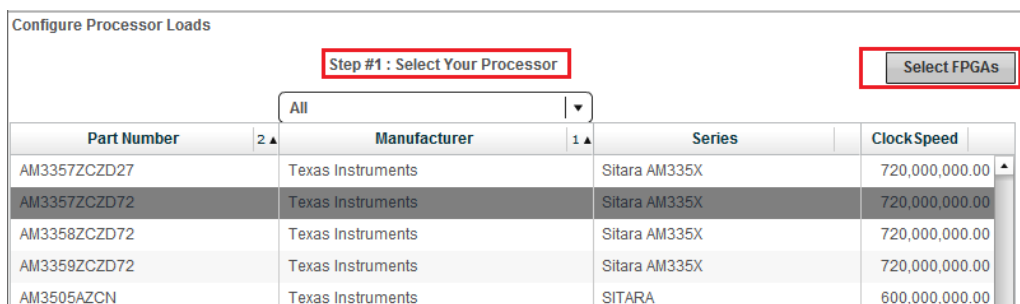
WEBENCH® Optimizer: Power Dissipation Chart

Your Complete Design: Product Folder, View My Orders, ORDER Evaluation Boards, Samples, ICs, WEBENCH Downloads: Design Documentation, Share this project, Copy this Design

从上面的过程可以看出，电源架构的设计是这样一个过程：电源树设计->电源树优化筛选出一部分芯片->选择具体芯片->芯片外部电路优化。经过这样的过程，一个项目的电源就设计完毕了，工程师从众多的电源芯片中挑选出自己需要的芯片，所需的时间也就是十几分钟，按一下“optimizer”旋钮这么简单！有了 WEBENCH 谁都会爱上电源设计。

6.2.4 FPGA/处理器电源设计

FPGA 和处理器电源设计跟电源架构设计很相似，只是在最开始多了一个界面帮助导入 FPGA 和 CPU 的电源需求。例如下图，先选择好处理器和 FPGA 型号。



选择好型号后就会在右面的表格中显示出 FPGA 或者处理器的电源种类和电流。点击“add load”就把这些电源添加到电源架构设计中。



添加完 FPGA 和 CPU 的电源后，就进入了“电源架构”设计界面，可以参考上一个小结的讲解。

6.2.5 LED 电源设计

LED 电源设计方式之一：用户选择 LED 管和 LED 拓扑，WEBENCH 选择电源。然后进入电源设计。

Back **New** Solutions Visualizer Assistant

ENTER REQUIREMENTS

Power **LED** LED Architect Power Architect FPGA/µP HotSwap Simple Switcher Filters

Filter Your Results

Manufacturer: **Avago**

Color: **All**

Io(→): **All** | 0 | >2

Lumi. Flux(→): **All** | 0 | 600

FootPrint(←): **All** | 0 | 500

Configure LED

LED Operating Current: **0.7** A

Part #: **ASMT-MW22-NN**

Vforward: **4.00** V

Rdynamic: **0.00** Ω

Or Use Custom LED:

Configure LED Array

Series: **3** | Vload: **12** V

Parallel: **1** | Iload: **0.7** A

Configure Power Source

DC AC

Vin Min: **24** V | Max: **32** V

Amb. Temp: **30** °C

Reset All **Next**

Selected LED:

Vendor	Family	Part#	Color	Image	Lumin	Color	Lamb	Vf	Io	Flux	Angle	Power	Rd	Price	FootPrint
Avago	Moonstone	ASMT-MW22-NN	white		51.79	5,500	4.00	0.70	145.0	120	2.80	0.00	IA	216	

Total: (2 of 512) parts. Click on a row below to select an LED:

Vendor	Family	Part#	Color	Image	Lum	Color	Lamb	Vf	Io	Flux	Angle	Power	Rd	Price
Avago	Moonstone	ASMT-MW22-NN	white		51.79	5,500	4.00	0.70	145.0	120	2.80	0.00	IA	216
Avago	3W mini power LED	ASMT-JG31-NN	green		42.86	525	4.00	0.70	120.0	165	2.80	0.00	IA	

LED 电源设计方式之二：用户输入对光源的要求，WEBENCH 选择 LED，然后提供用户 LED 拓扑选择，最后再进入电源设计

LED ARCHITECT

Power **LED** LED Architect Power Architect FPGA/µP HotSwap Simple Switcher Filters

WEBENCH LED Optimizer

Lowest BOM Cost | Smallest Footprint | Highest Efficiency

Footprint: **14.10** | BOM Cost: **\$28.12** | Efficacy: **66.35**

LED Requirement

DC AC

Vin Min: **14** V | Max: **22** V

Amb. Temp: **30** °C

Light Out: **500** lm

Color: **All**

Show Advanced Inputs >> | Recalculate

Filter Results

Efficacy: 23 | 106 | LED Io (→): 0.11A | 0.67A

Footprint 4cm² | 174cm² | Color 6300 | 7500

BOM Cost \$0 | \$54 | Lumens/ 9 | 167

Total # 3 | 53 | Junction 71 | 109

LEDs (←): | Temp: |

Step 1: LED and Heat Sink Selection

LED Array Solutions: (5 found) Show All Columns

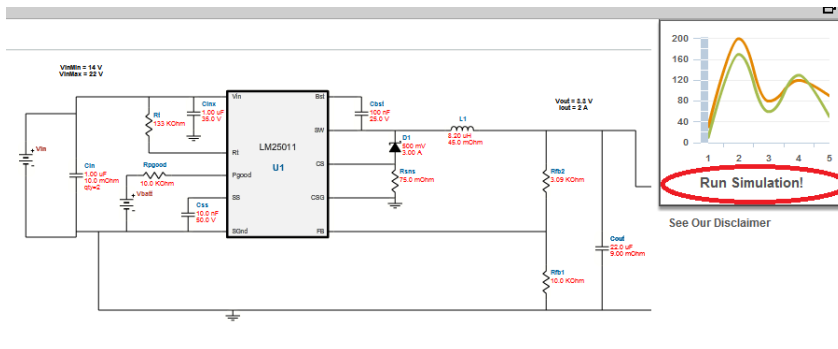
Select	LED Part Number	LED Manufacturer	LED Top View	# of LEDs	LED-HS Cost (\$)	HS Footprint (cm²)	Efficacy (lm/W)	Color Temp (K)	Heatsink Top View	Heatsink Part Number
Select LED Customize LED	ASMT-JW33-HSU01	Avago		7	\$21.00	44.06	49.43	7,250		66365
Select LED Customize LED	XRCWHF-L1-R250-0090	Cree		7	\$27.67	24.47	54.94	6,500		66365
Select LED Customize LED	GW5BNF15L10	SHARP Electronics		3	\$48.24	103.80	63.26	6,500		61585
Select LED Customize LED	GW5BNC15L12	SHARP Electronics		4	\$48.67	80.11	56.58	6,500		60585

6.2.6 电源仿真

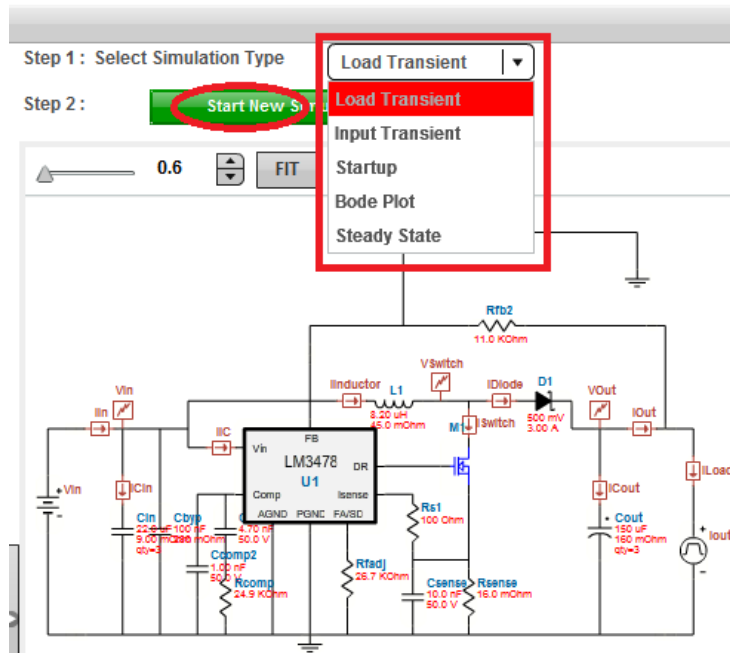
WEBENCH 工具不只能对芯片进行选型，也可以对电源芯片进行仿真。在上述电源设计的过程中，会看到设计面板，如下



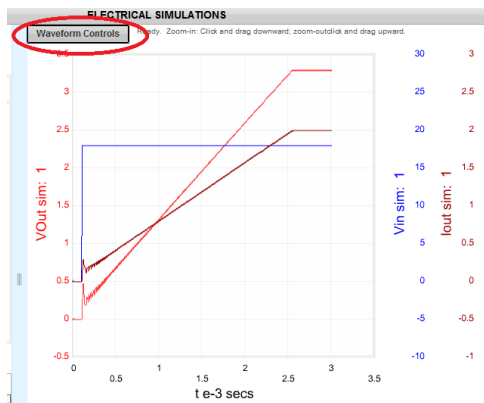
设计面板的原理图中可以进行仿真，点击原理图后即可进入电源电路，可以看到右上角有 Run Simulation，可以对电路进行仿真。



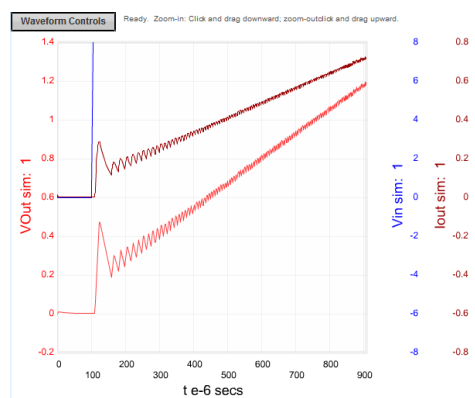
进入仿真界面，可以看到左上角的下拉菜单中的仿真项，从上往下分别可以对电源的“负载暂态响应”“输入暂态响应”“上电”“波特图”“稳态”进行仿真，从仿真结果中可以看到电路的性能。需要注意的是“波特图”仿真不是每个芯片都有，在选择带有外部补偿电路的芯片才可以进行这项仿真（有 comp 管脚）。



选择仿真项后，点击 start new simulation，仿真数据提交给 webench，仿真完毕后显示出图形曲线，这个过程根据网速不同一般要等待 1 分钟左右，上电仿真图如下

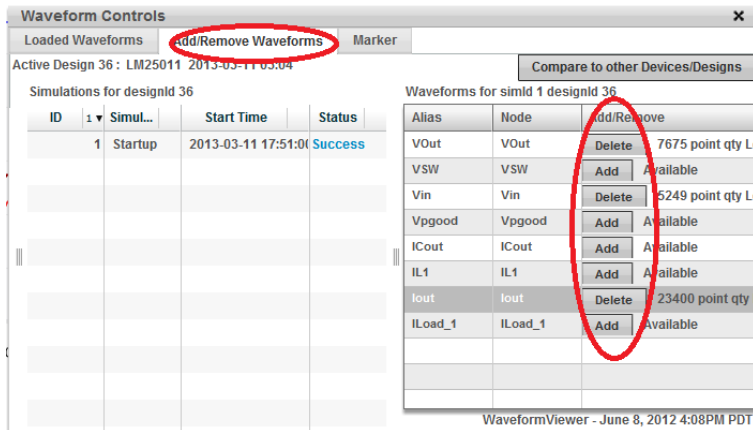


上电仿真图



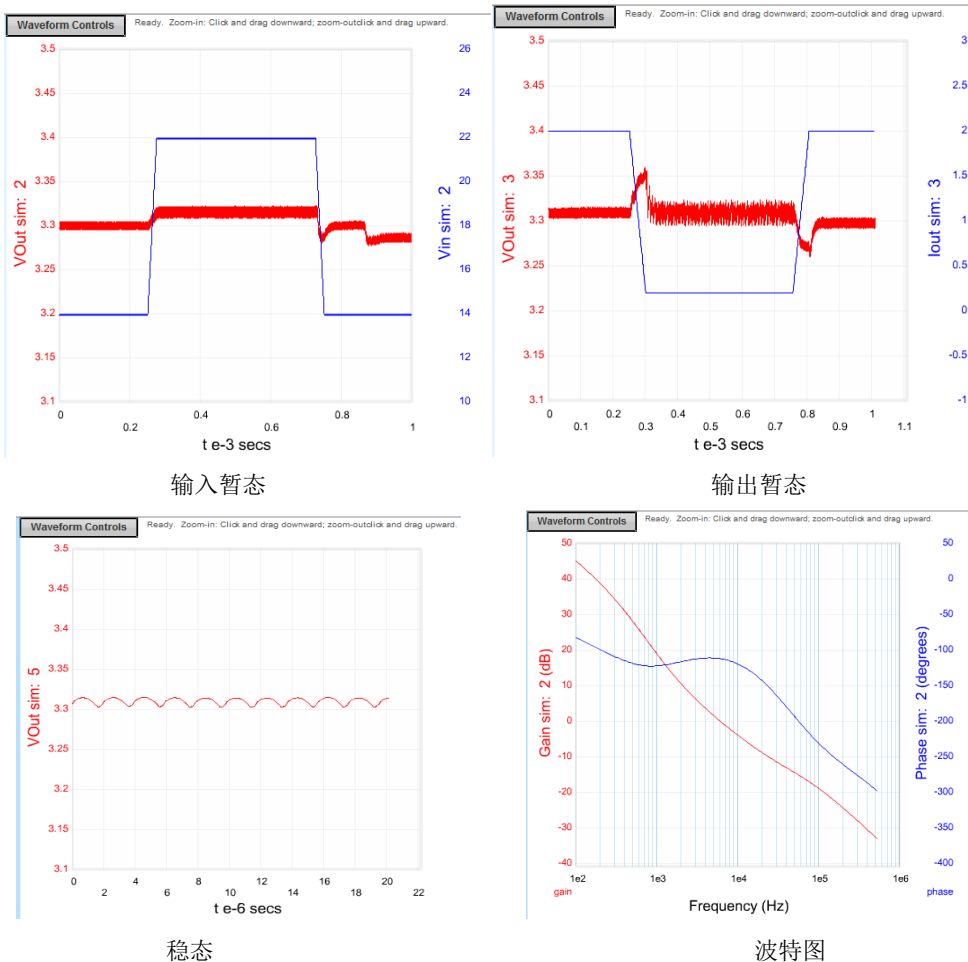
从左上角向右下角左键框住图形即可放大

图中默认将输入电压 V_{in} 和输出电压 V_{out} 进行显示，点击 Waveform control 按钮可以添加更多电路中的参数波形

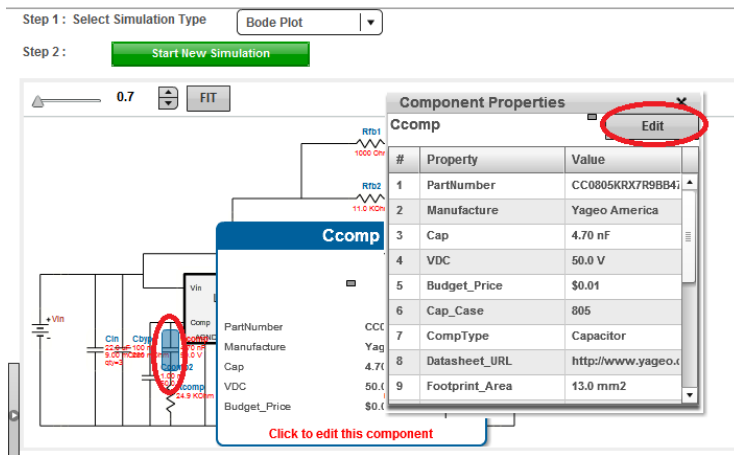


在 Waveform control 界面中选择 Add/remove waveforms 选型卡，可以看到右侧有更多电路参数可以添加或者删除，图中将 Iout 添加。

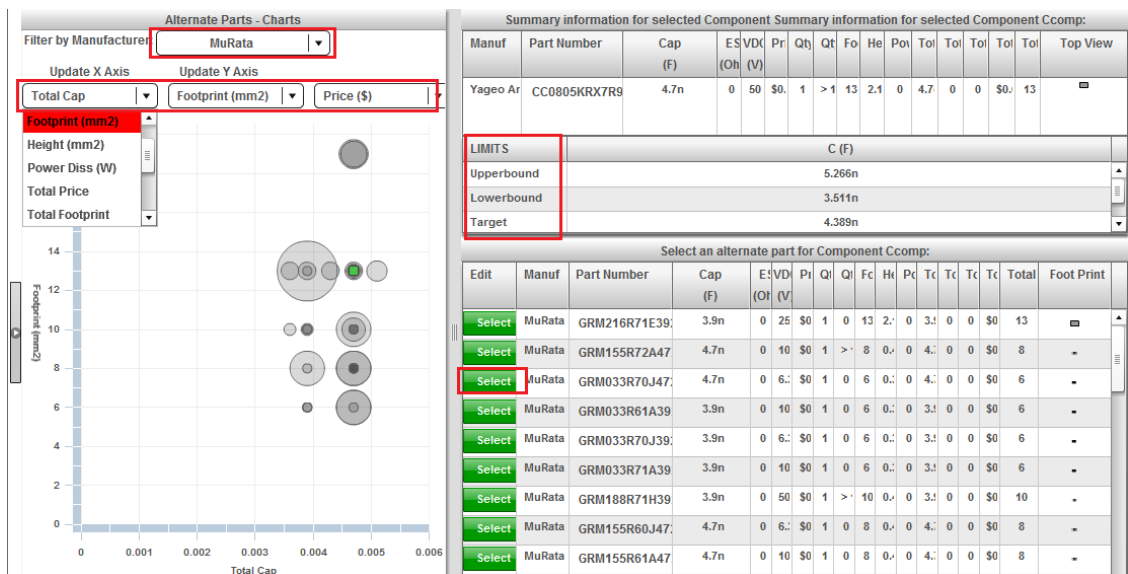
用相同方法，可以进行“输入暂态响应”“负载暂态响应”“稳态”“波特图”仿真，仿真图如下



在仿真过程中，用户可以改变元件的值查看仿真结果，这样可以用 WEBENCH 按照用户对电路进行二次设计。修改元件的方法如下



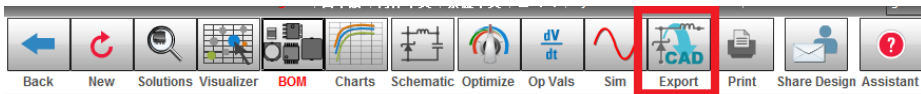
用鼠标左键点击元件，即可看到对话框，点击 Edit 后即可选择其他参数的元件。在下图元件编辑界面中分为两个部分。左边是以图形进行综合显示，帮助用户从整体上对元件的参数，第一行的下拉菜单可以对元件的厂家进行选择，第二行有三个下拉菜单，可以对图中的 X, Y 和 Z 轴进行控制，例如可以设置用 X 轴表示电容值，Y 轴表示封装大小，Z 轴表示价格（Z 轴用颜色的深浅表示）。右边是以表格的形式进行显示，表格中列出了元件的参数和厂家。右边最上边显示的是当期选择的元件，中间是 WEBENCH 推荐的元件参数的上限和下限，下方是各种待选元件。



左边的图形和右边的表格是互相对应的，在图形中选择可以在表格中看到结果，在表格中选择可以在图形中看到所处的位置。点击表格中的“Select”对元件进行选择后即可返回到设计界面继续进行设计。

6.2.7 原理图导出

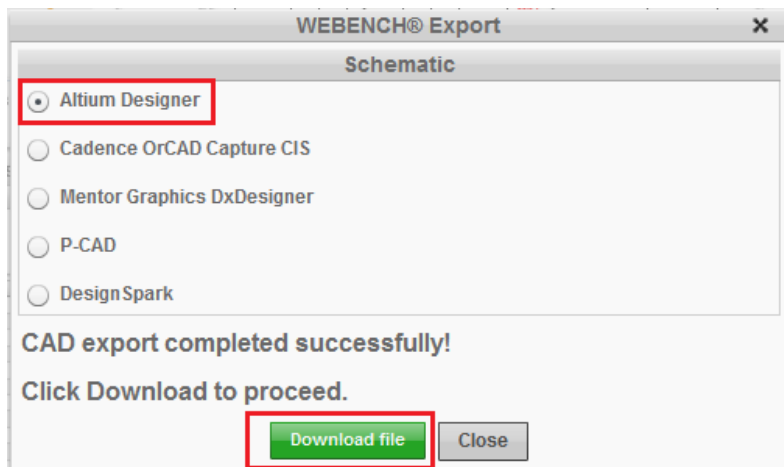
设计好电源后，可以对设计原理图进行导出，在 WEBENCH 界面的第一行可以看到“CAD export”按钮，控制对原理图的导出。



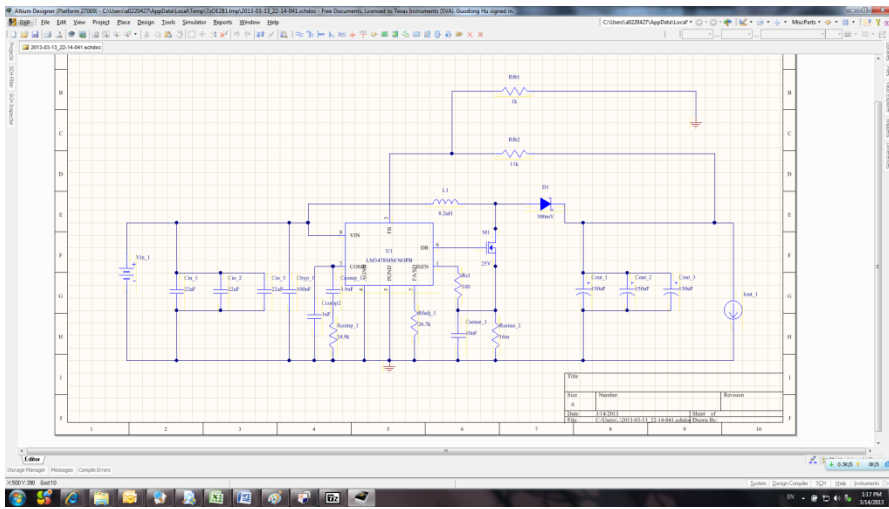
点击“CAD export”按钮后，打开导出对话框



WEBENCH 可以对业界多种 CAD 软件进行原理图导出，以 Altium 为例，选择 AltiumDesigner 后点击 export



WEBENCH 开始对原理图进行格式转换，转化完毕后点击“Download file”即可下载原理图。



将 Altium 格式的原理图下载保存后，用 Altium 打开可以看到设计好的电源原理图。需要注意的是元件封装没有包含在原理图中，需要用户根据实际采购的物料加入封装信息，然后导入 PCB 进行电路板设计。

综上所述 WEBENCH 工具最大优点是具备系统级的设计方法，并且每个步骤都具有优化功能，可以辅助工程师从电源芯片的海洋中挑选出适合项目的芯片和电源方案，并且具备详细的仿真功能，可以查看电路中的关键节点。是一个系统级的电源设计工具。

6.3 开关电源参数间的矛盾和联系

利用 WEBENCH 进行电源的设计和学习是一件很有意思的事情，WEBENCH 的最大好处在于它可以进行优化选择，在进行优化时 WEBENCH 也是遵循开关电源工作原理进行的。本小节对开关电源的几个相互制约的参数进行介绍，帮助读者更好的理解电源优化设计的过程。

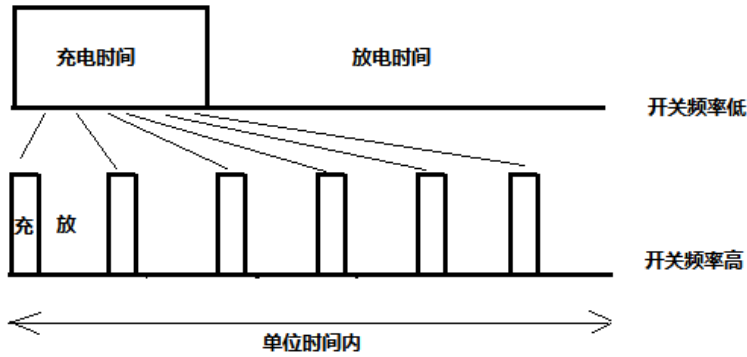
开关电源设计中主要关心的是效率、成本和体积，这几个方面不能同时达到最优。WEBENCH 也是围绕这三个方面进行优化的。跟效率、成本和体积紧密相关的因素包括：开关频率，电感，MOS 管开关损耗和 MOS 管导通损耗。

6.3.1 开关频率和电感

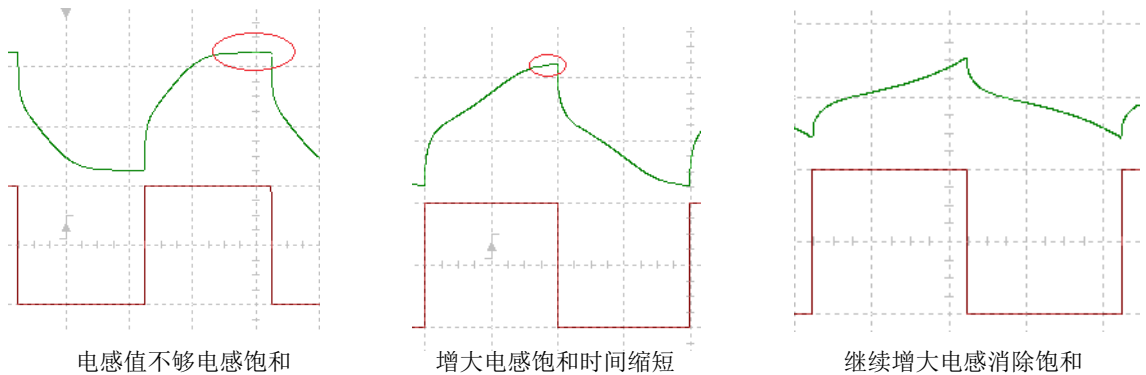
先来分析一下开关频率和电感之间的关系。开关电源中用到的就是电感的基本物理特性： $U=L*di/dt$ 。把电感移到等式左边，电流的微分用电流变化量比上时间变化量来表示，即可得到

$$L = \frac{U}{\Delta i} \frac{\Delta t}{1} \frac{U D}{\Delta i f_s}$$

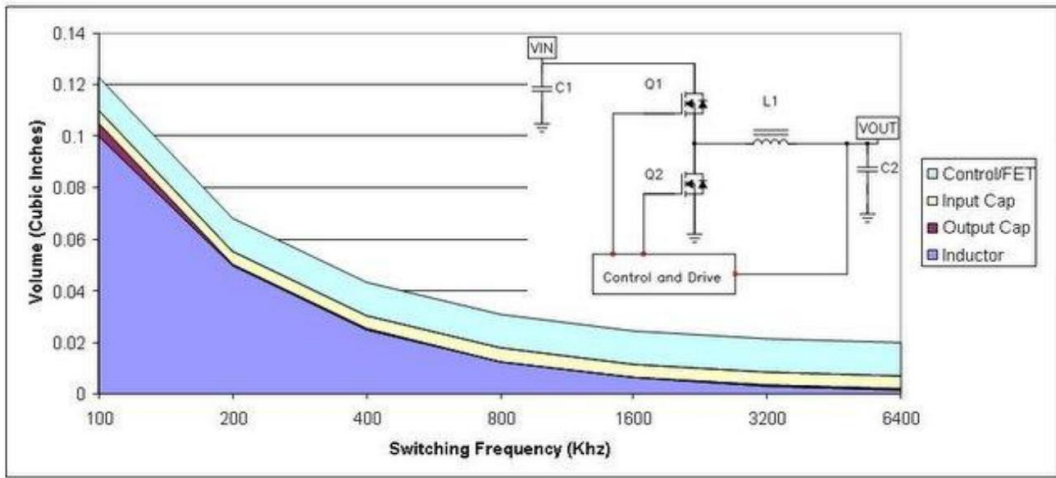
考虑到开关电源的占空比则 $\Delta t = \frac{D}{f_s}$ ，这样可以很清楚的看到电感和开关频率 f_s 的关系。在 Δi 不变的情况下开关频率增大可以降低 L 的值， L 值降低则意味着电感体积的减小。用图来解释更为直观，如下图：



图中将一个长时间的充电分散成为多个短时间的充电，总的充电时间不变。对于电感来说相当于一个储能元件，充电时将电流转换为电磁能，放电时将电磁能转换为电流。开关频率低时，充电时间长，就需要一个容量大的电感来吸收这些能量（电感容量越大，电感感值越大），如果容量不够则会引起电感的磁饱和。下图是电感值变化和磁饱和的关系图，从左至右随着电感值增加，电感饱和现象逐渐消失。



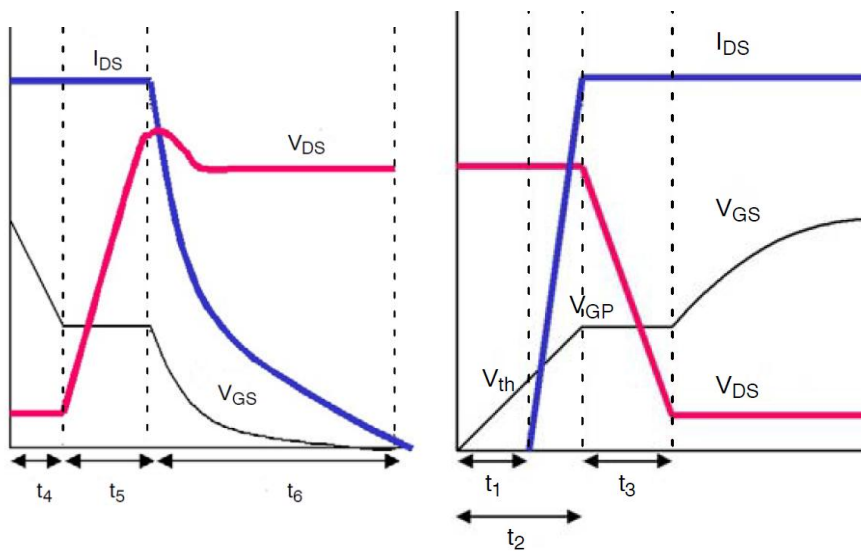
根据这个原理，在单位时间内将一个长时充电分散为多个短时充电，这样所需的电感容量就会下降。这样对应到开关电源中就是**升高开关频率可以有效降低电感体积**。如下图所示，Y轴表示体积，X轴表示开关频率。用一个基础的开关电源模型仿真，可以看到随着频率增加，电感（inductor）体积逐渐减小。



需要注意的是，开关频率不能过高，要考虑到电感磁芯的高频损耗。

6.3.2 开关频率和 MOS 管

再来分析一下开关频率和 MOS 管之间的关系。MOS 管在开关电源中是作为电子开关使用的，工作中截止和导通两个状态交替进行。下面分析一下这个交替过程中的电流和电压。下图是 MOS 管的关断和导通时的暂态，图中将这个短暂的瞬间进行了时间上的放大，清晰的展示了 I_{DS} 和 V_{DS} 的关系（ I_{DS} 是漏源电流， V_{DS} 是漏源电压，两者相乘就是 MOS 管的功率消耗）。



MOS 管关断时的暂态

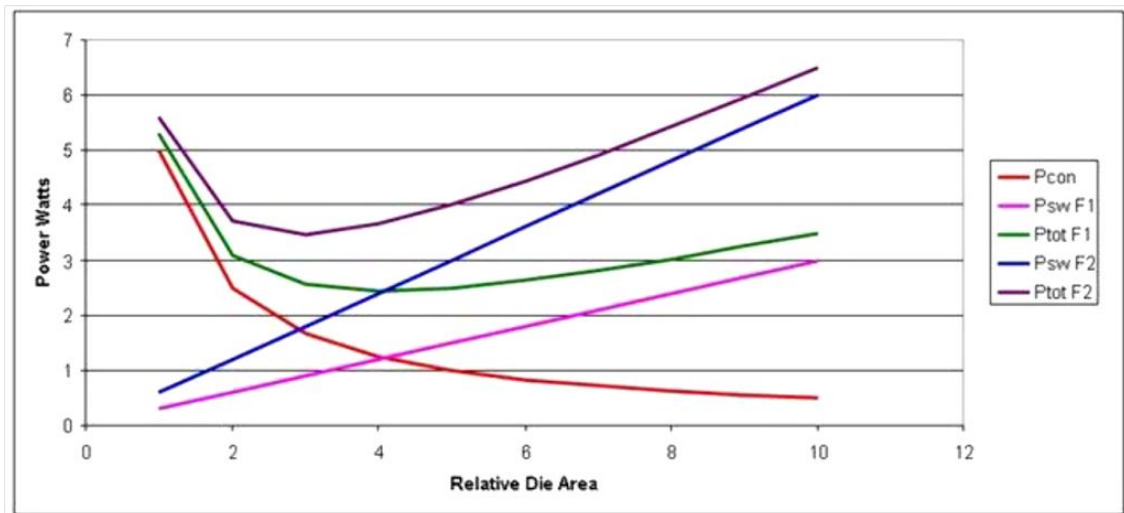
MOS 管导通时的暂态

从图中可以看出，MOS 管并不是理想的开关，关断和导通是需要时间来完成的，在这个时间内（左图的 t_5 ，右图的 t_3 ） I_{DS} 和 V_{DS} 的乘积不能忽略，这个就是 MOS 管的开关损耗。这个损耗转化为 MOS 管的发热，关断和导通状态转换越多损耗越大，这也是所有数字器件工作频率越高功耗越大的原因。通过对 MOS 的分析，可以看出开关电源中，开关频率越高 MOS 管的开关损耗越大。

最后分析一下 MOS 管的开关损耗和传导损耗的关系。MOS 管的另外一个损耗是传导损耗，这个是因为 MOS 管导通后有电阻所致， $I^2 * R$ 就会产生功率损耗。这个损耗跟 MOS 管的裸片面积成反比关系。MOS 管面积越大，其电阻和传导损耗就越低，但是大体积器件因为栅极输入电容较大延长了关断和导通的转换时间，增加了开关损耗。所以开关损耗跟传导损耗也是一个矛盾关系。MOS 管的数据手册中会说明导通电阻 $R_{DS(on)}$

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
Static Characteristics					
$R_{DS(on)}$ Drain to Source On Resistance	$V_{GS} = 4.5V, I_{DS} = 30A$		1.2	1.5	$m\Omega$
	$V_{GS} = 10V, I_{DS} = 30A$		0.9	1.07	$m\Omega$

下图显示了两种不同工作频率（频率 $F_2 > F_1$ ）下开关损耗和传导损耗之间的关系。X 轴表示 MOS 管芯的面积，Y 轴表示功率损耗。传导损耗 (P_{con})与工作频率无关，只随管芯面积增大而减小。而开关损耗 ($P_{sw F1}$ 和 $P_{sw F2}$) 与工作频率成正比例关系。因此更高的工作频率 ($P_{sw F2}$) 会产生更高的开关损耗。当开关损耗和传导损耗相等时，每种工作频率的总损耗最低。



但是，在更高的工作频率下，最佳裸片面积较小（例如 F_2 频率下最佳裸片面积小于 F_1 频率下的），从而带来成本节约。实际上，在低频率下，通过调整裸片面积来最小化损耗会

带来极高成本的设计。但是，转到更高工作频率后，我们就可以优化裸片面积来降低损耗，从而缩小电源的半导体体积。

通过上面的分析可以看出 MOS 管和电感对开关频率需求的矛盾关系，一方面提高开关频率可以有效的降低电感体积，即节省了 PCB 面积、节省了电感成本；另一方面提高开关频率增大了 MOS 管的开关损耗和电感磁芯损耗。这样就需要利用 WEBENCH 提供的优化旋钮，用户选择优化方向后 WEBENCH 计算出合适的开关频率，电感和 MOS 型号。总结几点常用的规律，列在表格中。

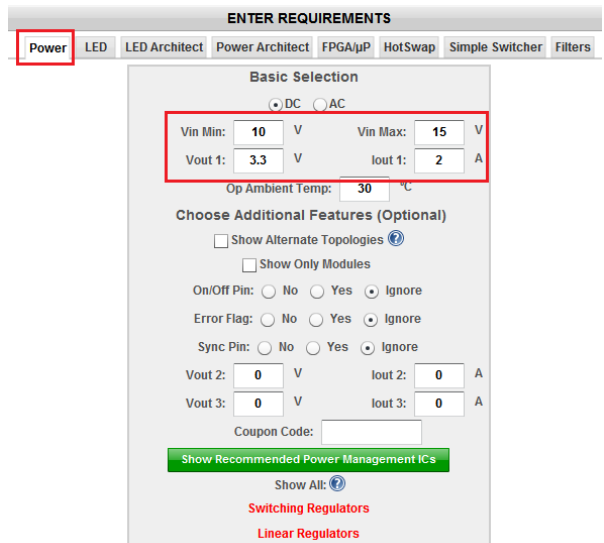
变量 1	变量 2	变量 3	变量 4	规律
开关频率	电感体积	效率	开关损耗	频率越高，电感值越小，感值越小电感体积越小，但是开关损耗越大，电源效率下降
MOS 管的传导电阻	MOS 管芯面积	开关频率	电感体积	MOS 管传导电阻越小，管芯面积越大，管芯面积越大允许的开关频率越小，开关频率越低电感体积越大

6.4 buck 开关电源设计实例

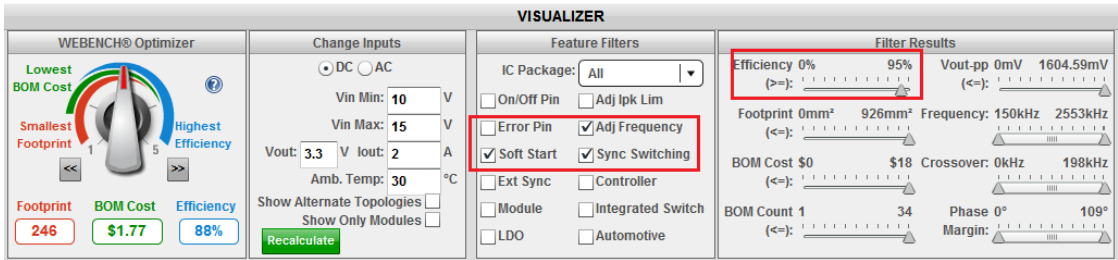
例如设计一个 BUCK 型降压开关电源，要求输入电压范围 10V-15V，输出 3.3V，负载电流 2A，效率优先并要求效率 90%以上。对电源的功能要求，要求带缓起（soft start），同步开关和开关频率可调。这个电路设计需要经过芯片优化选择和芯片外围电路优化两个步骤。

6.4.1 芯片优化选择

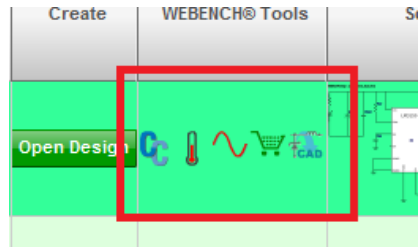
先进行芯片优化选择，按照之前单电源设计章节介绍进入 WEBENCH 开始界面，在 basic selection 中输入电压和电流的要求，然后点击“show recommended power management ICs”让 WEBENCH 选择合适的开关电源。



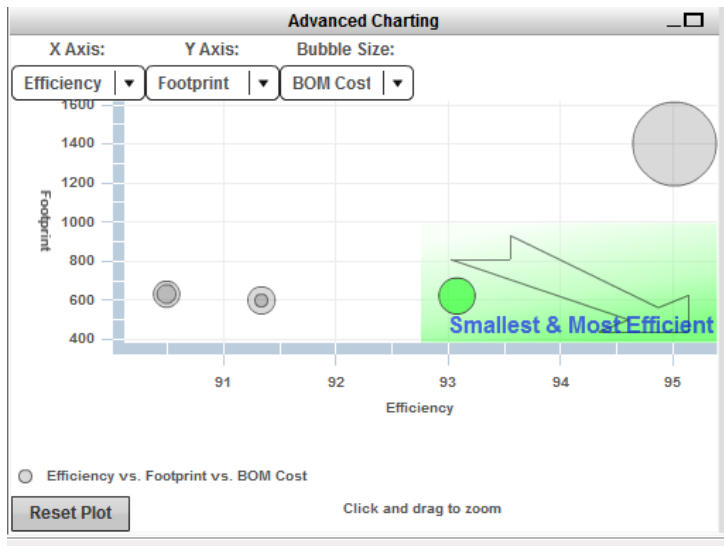
WEBENCH 进入设计界面，设计要求效率优先，可将优化旋钮调节在靠近“Highest efficiency”的位置（设计如果要求成本或者体积优先则可以波动到相应的位置），在设计界面中看到”feature filters”，选择所需要的功能，缓起，同步开关和开关频率可调。在“filter results”中对效率“efficiency”选项进行修改，拖动滚动条到 90%位置。WEBENCH 将按照用户输入的条件对电源列表进行选择，选择出能满足条件的电源芯片。



在列出的电源芯片中，可以看到 WEBENCH tools 一栏有 5 个小图标，这 5 个小图标表示这个芯片在 WEBENCH 能支持的功能。“cc”表示电路计算器，“温度计”表示可以进行热仿真，“正弦波”表示这个芯片电路可以仿真，“购物车”表示能够买到这个芯片的 demo 板，“CAD”表示支持原理图导出功能。

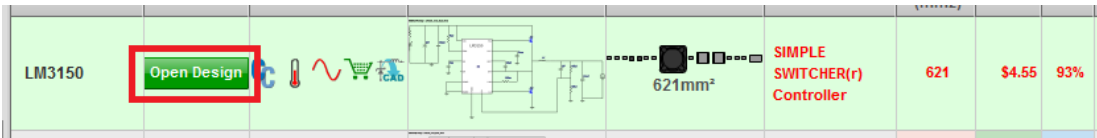


在图标中可以看到 WEBENCH 筛选出的几个解决方案。X 轴表示效率，Y 轴表示占用 PCB 面积，Z 轴表示成本（用圈的面积表示大小）。可以看到成本和效率较为折中的方案是中间的圆。右上方的圆虽然效率很高，但是成本和面积太大。点击中间的圆，可以看到表格中显示出 LM3150 芯片解决方案。



6.4.2 外围元件优化选择

点击 LM3150 的 “open design” 进入芯片外围电路设计界面。



在设计界面中有几个地方可以进行优化，一个是“优化旋钮”在效率、成本、面积之间优化，一个是开关频率。优化旋钮下方可以看到优化结果的面积、成本和效率。需要注意的是频率的选择框中要打勾才能进行频率修改。

Name	Value	Category	Description
Vin _{OP}	15V	Op_Point	Vin operating point
IC Tolerance	0.01V	General	IC Feedback Tolerance
I _{in} Avg	0.46A	Current	Average input current
I _{OUT_OP}	2A	Op_Point	Iout operating point
P _{out}	6.6W	General	Total output power
Efficiency	93.3%	Op_Point	Steady state efficiency
Frequency	321KHz	General	switching frequency
Duty Cycle	22.9%	Op_Point	Duty cycle
V _{out} p-p	0.02V	Op_Point	Peak-to-peak output ripple v
C _{in} IRM _s	0.84A	Current	Input capacitor RM _s ripple c
C _{out} IRM _s	0.13A	Current	Output capacitor RM _s ripple c
L _{ipp}	0.46A	Current	Peak-to-peak inductor ripple
SVV _{ipk}	2.23A	Current	Peak switch current
I _{lim}	3.27A	Current	Current limit threshold
C _{in} Pd	1.41mW	Power	Input capacitor power dissip
C _{out} Pd	880uW	Power	Output capacitor power dissip
L Pd	0.19W	Power	Inductor power dissipation
IC Pd	0.09W	Power	IC power dissipation

Part	Manufa	Part No.	Q	Pr	Attributes	Fo	Top View	Edit
C1F	Yageo A	CC080	1	\$0.1	Cap=330pF, ESR=90nH	13		Select Altern
Cbst	Taiyo Yu	EMK21	1	\$0.1	Cap=470nF, ESR=90nH	13		Select Altern
Cbyp	AVX	08053C	1	\$0.1	Cap=100nF, ESR=0.280h	13		Select Altern
Cin	MuRata	GRM21	1	\$0.1	Cap=4.7uF, ESR=2mOh	13		Select Altern
Cout	AVX	TP5D1	1	\$0.1	Cap=150uF, ESR=0.050h	59		Select Altern
Ccs	Yageo A	CC080	1	\$0.1	Cap=15nF, ESR=90nH	13		Select Altern
Cvcc	Taiyo Yu	EMK21	1	\$0.1	Cap=2.2uF, ESR=90nH	13		Select Altern
L1	Bourns	SRR12	1	\$0.1	L=18uH, DCR=0.0500hm	210		Select Altern


6.4.3 三种优化方案对比

先来看看 WEBENCH 对 LM3150 在最高效率、最小面积和中间方案中的优化对比结果。方案对比如下：




方案	面积	开关频率	效率	成本
效率最高	1350	100K	95	10.71
面积最小	485	537.8K	92	3.87
折中	595	342.3K	93	4.07

可以看到在效率最高的方案中开关频率最低但占用面积最多，面积最小方案中开关频率最高但效率最低，这跟上一个小节中介绍的原理完全一致。高的开关频率使电感体积减小但是增大了 MOS 的开关损耗，低的开关频率则相反。从对比结果中还可以看到效率最高方案的成本是其他两个的 2 倍还多，下面的对比分析能说明其中的原因。

再来看看这几个方案中电感元件的对比。从对比中可以看到效率最高方案中电感的直流阻抗最小损耗最小，但是由于开关频率低需要使用大电感导致电感占用面积最大（直流电阻小的电感需要更粗的线圈，也增加了电感的体积）。这也验证了上一个小节的分析结果。并且其成本是其他两个电感的 30 倍，这样权衡下来选择效率最优方案并不明智。

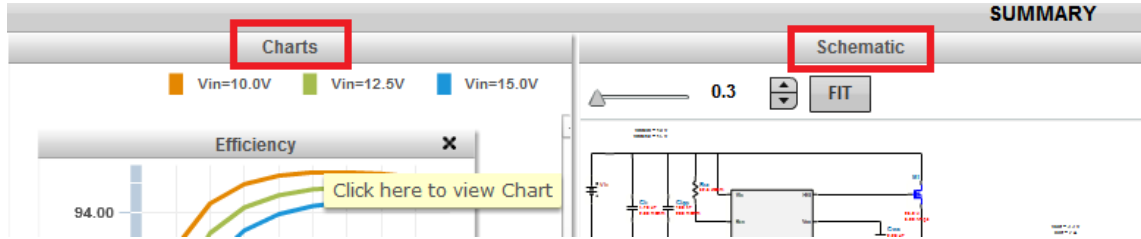
方案	型号	直流电阻 欧	面积	感值	功率损耗	成本	图片
效率最高	7443634700	0.012	541	47uH	0.061	6.7	
面积最小	SRN8040	0.033	100	6.8uH	0.165	0.21	
折中	SRR1240-100M	0.032	210	10uH	0.16	0.41	

最后再对比一下 MOS 管的不同，在效率最高方案中为了降低 MOS 管的传导损耗，WEBENCH 选择了裸片面积大的 MOS。这个 MOS 具有最小的导通电阻，最强的通流能力，但是同时带来了两倍的占用面积和两倍的成本。这同时验证了上一节介绍的提高效率时 MOS 管的选择趋向。

方案	型号	导通电阻 RdsOn	封装 foot print	通流能力 current	成本 cost	图片
效率最高	CSD17308Q3	0.0094	58	47	0.34	
面积最小	CSD17313Q2	0.026	32	5	0.17	
折中	CSD17313Q2	0.026	32	5	0.17	

6.4.4 方案的仿真分析（图表、热、稳态、缓起）

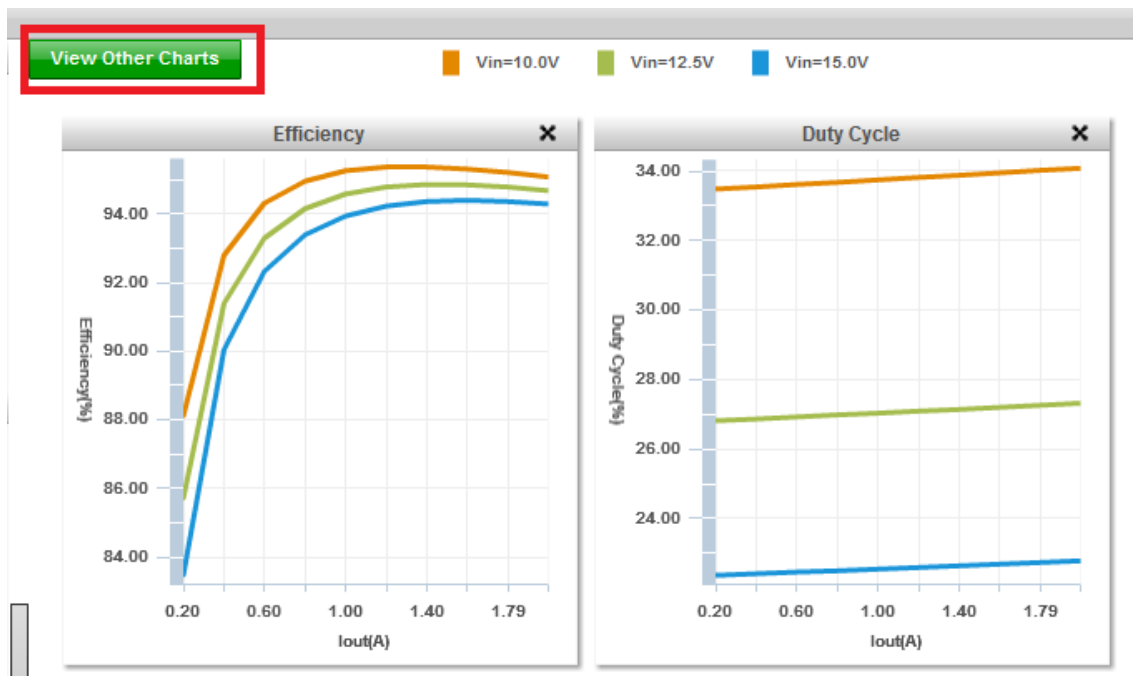
在选择了芯片和芯片外围方案后，就需要对电路进行仿真，查看电路的关键电气特性，例如效率随电流的变化，损耗随输入电压变化以及暂态响应、稳态响应等等。下面对 WEBENCH 可以提供的强大仿真功能进行分析和讲解。



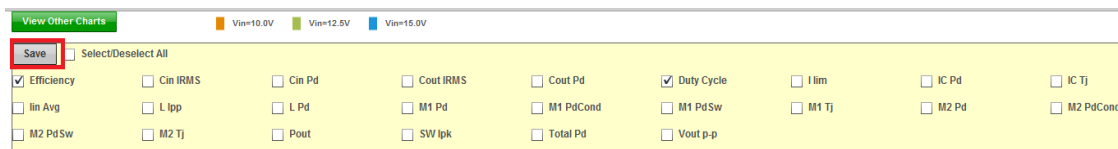
在 WEBENCH 的设计界面上有“Charts”和“Schematic”两个窗口可以对电路进行仿真。这两个仿真的不同之处在于“Charts”窗口是以图表的方式将电路的参数随输出电流，输入电压的变化规律表示出来，“Schematic”窗口是用时域图和频域图表示电路的暂态、稳态以及环路特性。从这两个仿真的特点可以看出，“Charts”是从宏观上分析电路，“Schematic”则分析电路的细节。电路设计者需要从整体上查看电路能否满足输入和输出要求时可以进入“Charts”进行仿真，需要检查电路的时域响应时可以进入“schematic”进行仿真。下面分别对这两个仿真窗口进行介绍。

6.4.4.1 图表仿真举例——理解效率随 V_{in} 变化曲线

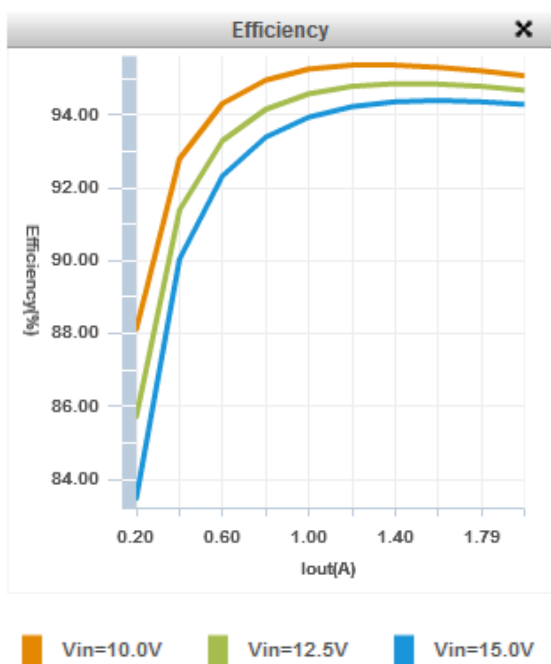
在电源设计界面点击“Charts”进入图表仿真。可以看到系统默认将效率和占空比仿真图绘制出来。



除了这两个重要的图表外，WEBENCH 还提供多个参数的图表，点击“View other Charts”可以添加多个参数随输入电压和输出电流的变化曲线。如下图，在方框中选择并点击“Save”即可。



下面对图表中的几个常用参数进行分析，使读者能结合 WEBENCH 更深入的理解开关电源的工作原理和规律。



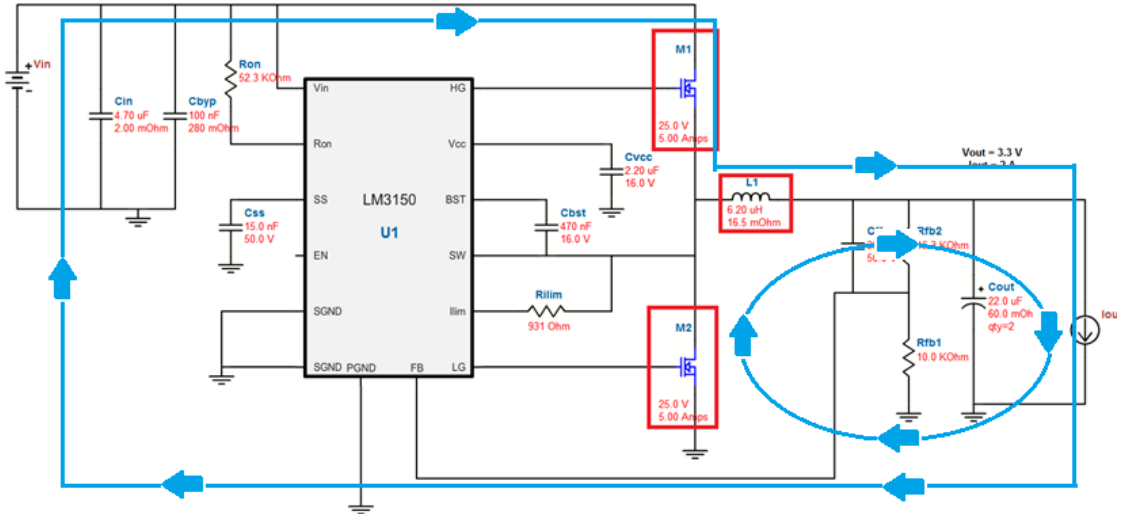
效率随输入电压和输出电流曲线

这个图是开关电源都会给出的效率曲线，它表示了开关电源在其应用场景中的效率表现。效率是衡量开关电源的一个很重要的指标，所以理解这个图对设计 BUCK 型开关电源使其工作在最佳效率很有帮助。图中 X 轴是输出电流，Y 轴是开关电源的总体效率。图三条曲线分别是低、中、高三个输入电压下的仿真结果。可以看到 BUCK 型开关电源效率曲线有两个变化规律：1、随输出电流变化有一个最高点，在这个最高点两边，效率都会下降。2、效率随输入电压的升高而降低。

在分析这个变化规律前，先看一下开关电源效率的定义。 $E = \frac{\text{输出有用功率}}{\text{输入总功率}}$ 。其中输入总功率减去输出有用功率等于开关电源的功率损耗。这是一个能量守恒的公式，开关电源本身不能产生能量，它只能把输入的能量进行转化，满足后续电路要求。在这个过程中开关电源的有源和无源元件都会产生损耗，使效率不能达到 100%。根据公式要分析效率的变化规律就

要搞明白功率损耗的变化规律，理解了损耗的产生就能有目的并且有效的调整电路，使效率达到最优。

第一步：确定主要损耗元件



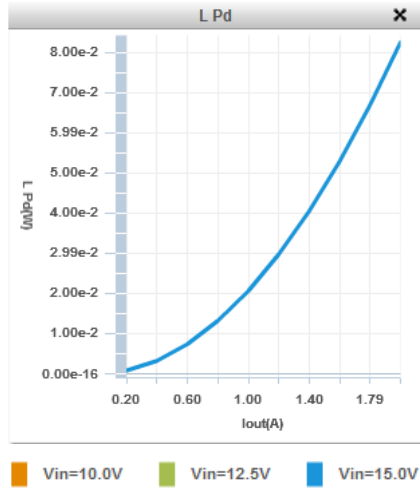
LM3150 同步 BUCK 电路

分析损耗前先看一下电路结构。WEBENCH 设计的 LM3150 是一个典型的 BUCK 型同步开关电源，之所以叫“同步”是因为 LM3150 有 LG 端口控制 M2 开关管，M2 替代了二极管最为放电中的回路开关。M1 和 M2 的通断状态是相反的同步的，所以称为“同步”型开关电源。充电周期 M1 导通 M2 关断，电流按照上图中大圈流动。放电周期 M1 关断 M2 导通，电流按照上图中小圈流动。图中重要的功率相关外围元件包括：输入电容、输出电容、储能电感、MOS 管。其它元件是模拟小信号电路中的，自身损耗极小。在 WEBENCH 仿真中添加各个元件的损耗曲线，查看最大损耗汇总表格如下（M1 和 M2 选择了相同的型号 CSD16301Q2）：

元件	储能电感	MOS 管 M1	MOS 管 M2	输入电容	输出电容
损耗 (mW)	80	60	125	1.79	1.6

从表中可以看出，电路中 MOS 管和电感是功率损耗的主要元件，它们的损耗规律对开关电源的效率影响最大。

第二步：分析电感损耗随 Vin 变化

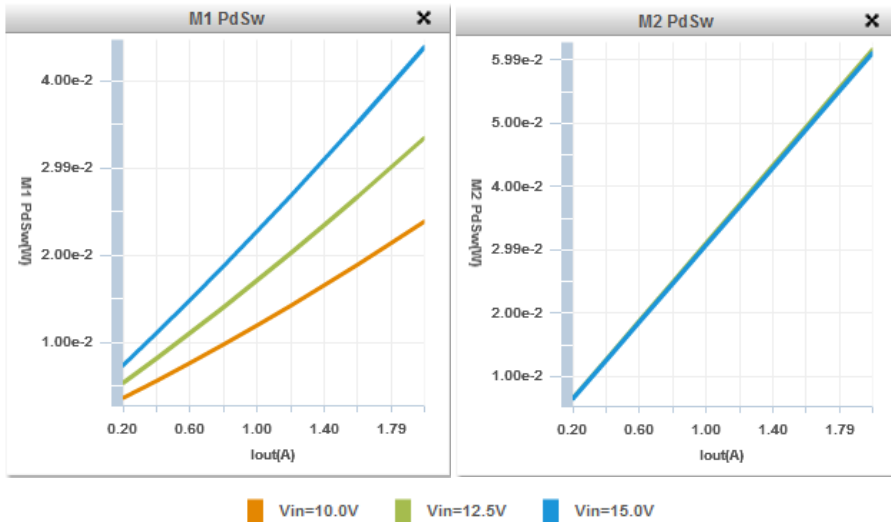


电感损耗

先看一下上图的电感损耗，X 轴是输出电流，Y 轴是损耗功率，三种颜色代表不同的输入电压。电感是无源器件，因为功率电感是带磁芯的线圈，线圈有电阻，所以电感存在磁损耗和电流损耗。磁损耗跟开关频率有关，不随输入电压变化，线圈的电阻损耗跟电流成正比。所以图中电感损耗的三条曲线重叠在一起，并随输出电流的增加而增加。

第三步：分析 MOS 管损耗

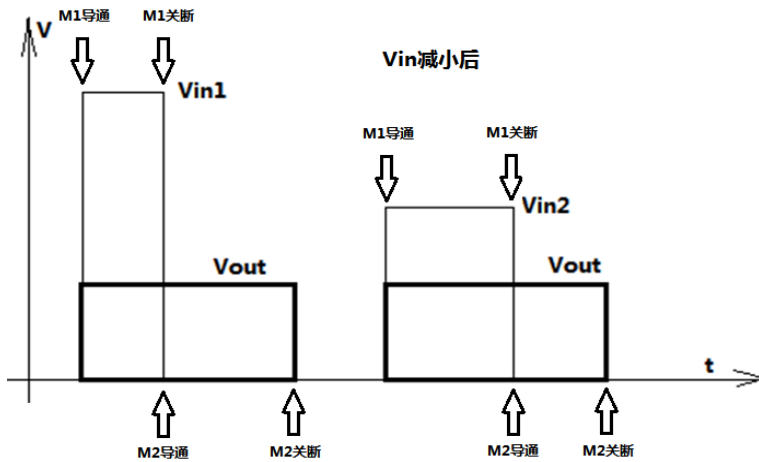
再来看一下 MOS 管的损耗，在同步型开关电源中有两个 MOS 管，负责充电回路的为 M1，负责放电回路的为 M2. 如 3.1.2 节所述，MOS 管分为开关损耗和传导损耗，WEBENCH 仿真的开关损耗如下图：



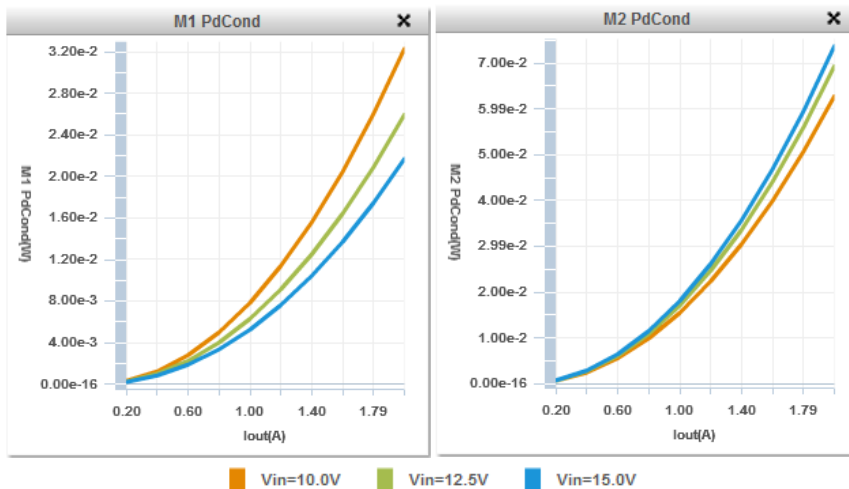
MOS 管开关损耗

可以看出 M1 和 M2 开关损耗有很大的不同，M1 开关损耗随输入电压变化较快，而 M2 的开关损耗随输入电压变化缓慢。两个 MOS 管随输出电流变化的趋势一致，随输出电流变大损耗增加。需要注意的是开关损耗是一个非线性过程，仿真软件很难做到跟实际电路一模一样，需要在实验中具体调试。

下面对比一下 M1 和 M2 的传导损耗，开关电源不同于 LDO 的连续能量传输，开关电源是一个非连续转换能量的过程，输入电压通过 M1 以脉冲方式给电感电容充电，放电过程通过 M2 进行。示意图如下



忽略元件损耗时输入能量近似等于输出能量，在上图中就是 V_{in} 的充电面积等于 V_{out} 的放电面积。 V_{out} 的面积没有变化，所以就要求 V_{in1} 和 V_{in2} 的面积相同，当 V_{in1} 降低为 V_{in2} 时为了保持能量不变， V_{in2} 的持续时间将会增加，图中表现为脉宽变宽。对应到开关电源中， V_{in} 降低时，M1 的导通时间增加（充电时间），M2 的导通时间缩短（放电时间），反之亦然（可参考上面 LM3150 同步 BUCK 电路图）。



MOS 管传导损耗

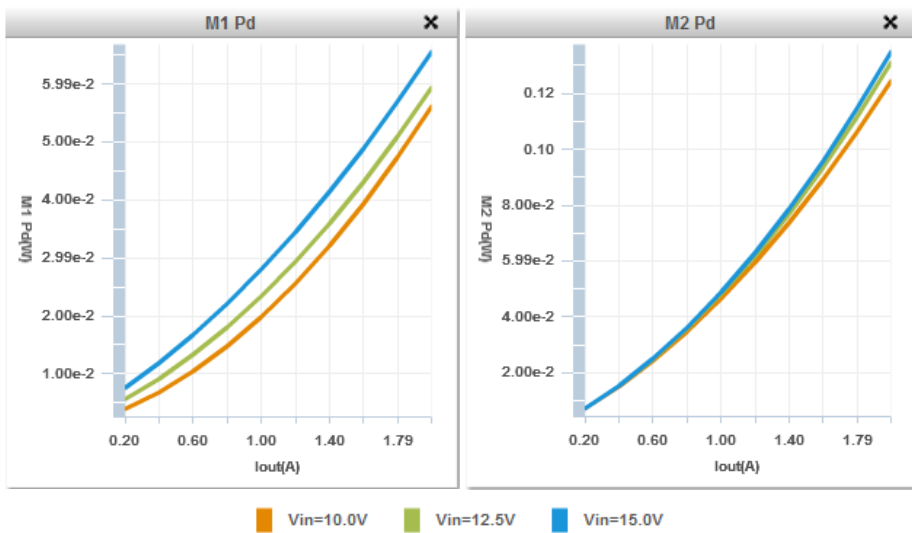
传导损耗跟导通时间和电流有关成正比。从上面的开关电源充放电分析可以看出， V_{in} 的大小影响了 M1 和 M2 的导通时间（占空比）。M1 和 M2 的导通关断是互补的，此消彼长，表现在图中也是随 V_{in} 的变化相反。

从 M1 和 M2 的传导损耗图中还可以得到一个很有用的规律：在不同的 V_{in} 条件下，M1 和 M2 的导通损耗和不变。正是由于 M1 和 M2 的互补性产生这一规律。从图中取点进行验证（鼠标指针放在在曲线上即可），如下表

Iout=1.4A 时			
Vin(V)	M1(W)	M2(W)	sum(W)
15	0.0356	0.0104	0.046
12.5	0.0336	0.0124	0.046
10	0.0305	0.0155	0.046

Iout=1.79A 时			
Vin(V)	M1(W)	M2(W)	sum(W)
15	0.0595	0.0174	0.0769
12.5	0.0559	0.0209	0.0768
10	0.0507	0.026	0.0767

可以看到尽管 V_{in} 不同时 M1 和 M2 传导损耗不同，但是二者的和是不变的。上表中任意选择了 1.4A 和 1.79A 两个位置进行验证，都符合这一规律。



MOS 管总体损耗

分析完 MOS 管的开关损耗和传导损耗，将两者加起来就可以得到 MOS 管总损耗，上图是 MOS 管的总损耗，可以看到随 V_{in} 的变化规律： V_{in} 越大 MOS 管的总损耗越大。结合开关损耗和传导损耗的分析结果得到：随着 V_{in} 增大，M1 的开关损耗增大而传导损耗减小，但是增大的幅度大于减小的幅度，最终 M1 表现为随 V_{in} 增大总损耗增大。对于 M2，随 V_{in} 增大，M2 的开关损耗不变，传导损耗增大，最终表现为随 V_{in} 增大总损耗增大。

通过对电感和 MOS 管随 V_{in} 的损耗分析可以看到，电感的损耗不随 V_{in} 变化，而 MOS 管损耗随 V_{in} 变大，这也就是为什么 BUCK 开关电源的效率会随 V_{in} 增大而降低的原因。在最优点的两边，效率都会下降，这个可以通过对比损耗 Pd 和有用功率 P_{out} 的变化率来分析，如下表：

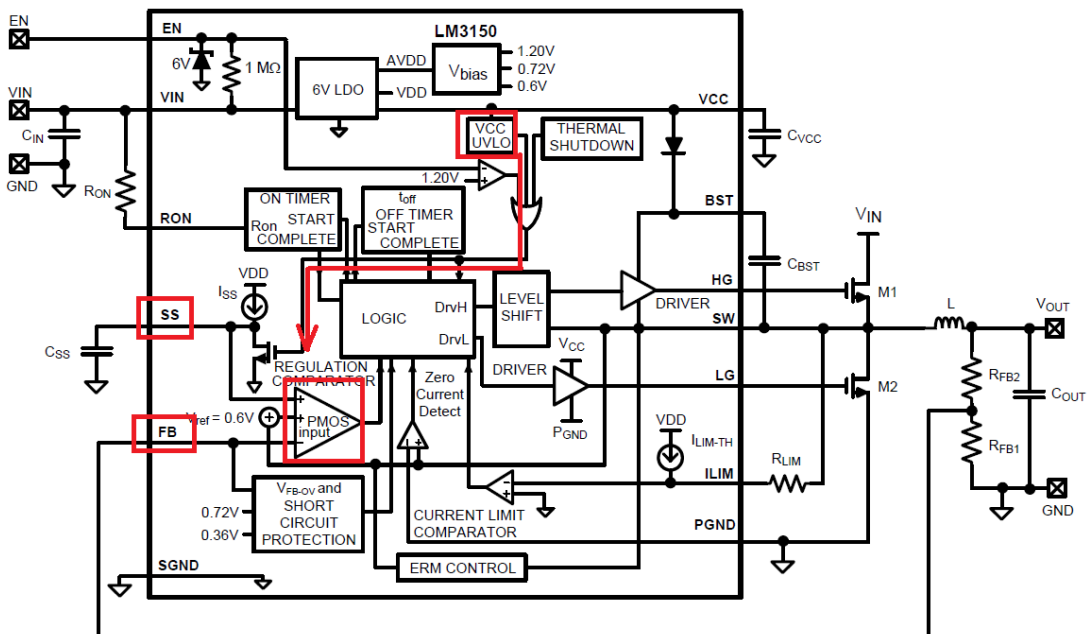
Vin=10V 变化率是相对于 1.2A 时								
Iout (A)	M1 Pd (W)	M2 Pd (W)	L Pd (W)	IC Pd (W)	总 Pd (W)	Pd 变化率	Vout=3.3V Pout 功率 (W)	Pout 变化率
2.000	0.056	0.124	0.083	0.076	0.339	0.779	6.600	0.667
1.200	0.026	0.059	0.030	0.076	0.191	0.000	3.960	0.000
0.600	0.010	0.024	0.007	0.076	0.118	0.380	1.980	0.500

Vin 不变时，当 Iout 大于最优点的输出电流时，这时元件的损耗增加速度 (77.9%) 会大于有用功率增加速度 (66.7%)，当 Iout 低于最优点的输出电流时，特别是输出电流较小时效率会有急剧下降。这是因为损耗随 Iout 减小速度 (38%) 慢于有用功减小速度 (50%)。所以在最优点的两边，效率都会下降。

通过 WEBENCH 的仿真可以帮助用户对开关电源有更深入的了解，从效率的分析可以看出，开关电源效率不只是跟电路的设计有关，也跟外部的输入电压和负载电流有关，在设计和测试开关电源时就要保证输入电压和负载电流不变，这样才能对比调节电路产生的效果。

6.4.4.2 原理图仿真举例——开关电源的缓起

LM3150 具备缓起功能，缓起功能是为了调整开关电源的上电时间，使上电的启动斜率变缓，这样可以减小后级电路中电容的充电电流 ($I=C*\frac{dU}{dt}$)。先看看 LM3150 的内部结构，了解一下缓起实现的方法。

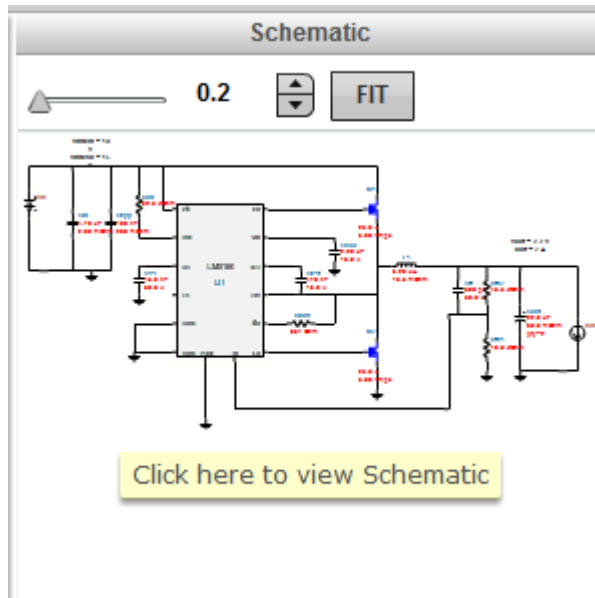


如上图所示，缓起单元由外部电容 C_{SS} 、内部电流源 I_{SS} 、内部比较器、内部参考 $Ref0.6V$ 以及反馈 FB 组成。在上电的时刻，当 V_{in} 没有超过 $UVLO$ (under voltage Lock out) 门限时，电流源 I_{SS} 会被下方的 MOS 管接地，也就是 SS 管脚接地。这时 V_{out} 被限制在 $0V$ ，这是一种保护机制，防止外部电压低时 V_{out} 出现异常对后级电路造成影响（例如 CPU 供电异常时其 IO 口会出现错误状态，误触发外部硬件造成损坏）。当 V_{in} 超过 $UVLO$ 门限后， I_{SS} 电流源开始对 C_{SS} 充电，这时 SS 管脚电压以斜坡方式增加，充电电流恒定则斜率不变。在 SS 管脚电压没有达到 $0.6V$ 前，会限制 FB 跟随 C_{SS} 的充电斜率进行上电。由于 V_{out} 乘以分压等于 FB 电压，所以 V_{out} 也会以这个斜率上升直至达到额定电压。缓起时间由 C_{SS} 决定，计算公式如下：

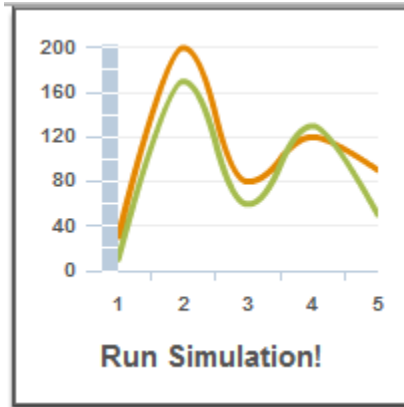
$$C_{SS} = \frac{I_{SS} \times t_{SS}}{V_{ref}}$$

$V_{ref}=0.6V, I_{SS}=7.7\mu A$

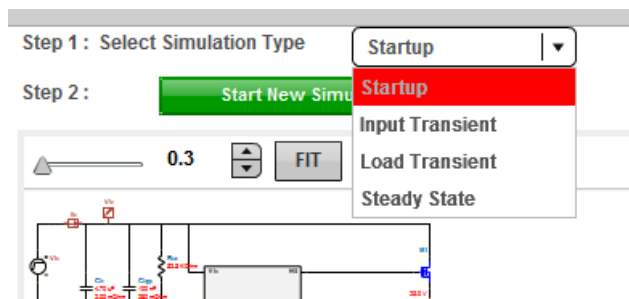
了解了 LM3150 的缓起功能后，可以用 WEBENCH 进行仿真，看看缓起的效果。在设计界面点击“Schematic”原理图即可进入仿真



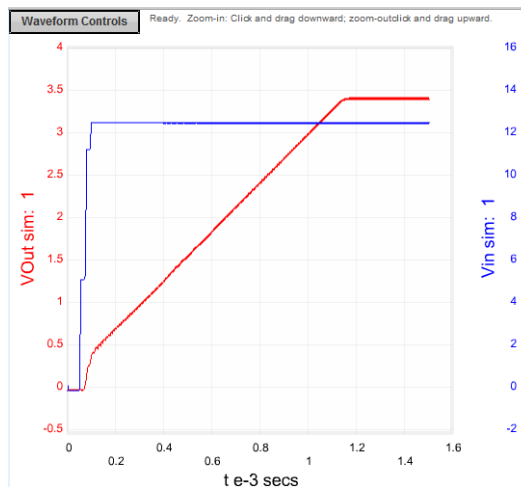
在仿真界面可以看到右上角的“simulation”图标，点击图标



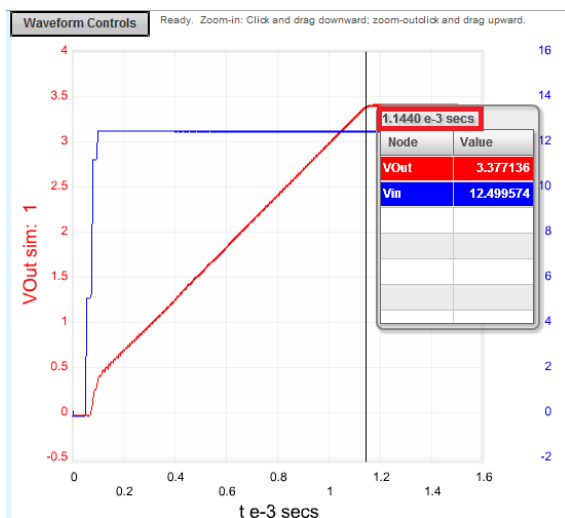
可以进入仿真控制窗口，在这里可以选择仿真的类型，我们选择 start up 仿真启动过程。



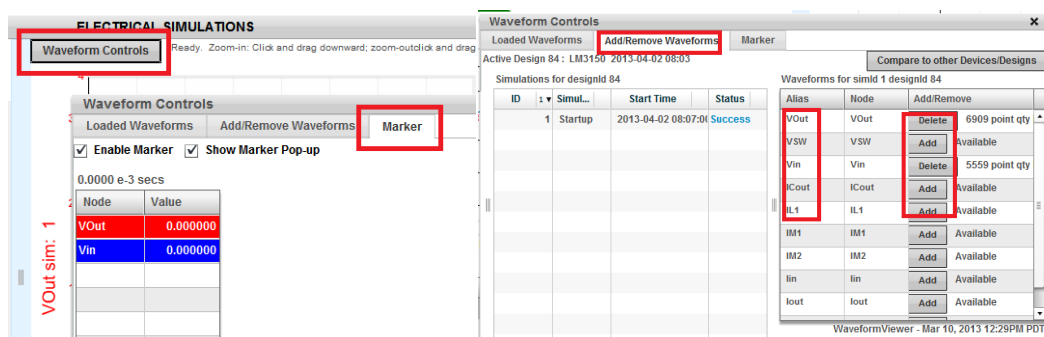
点击“start new simulation”进行仿真，几秒钟的计算后可以看到仿真结果



从图中可以看到蓝色 V_{in} 快速上电后 V_{out} 并没有立即上电，而是以斜坡方式缓起动。启动时间通过添加 Marker 点查看，在电压达到额定电压时上电时间为 1.144ms。原理图中 C_{ss} 取值为 15nF 带入前面公式，可以得到上电时间 $T_{SS}=1.17ms$ 。两者十分吻合。



Mark 点的添加可以通过在仿真图左上角的“wave control”中进行，点击“wave control”按钮后可以看到如下对话框，不仅能添加 mark 点，也能添加原理图中其他元件的电参数波形。



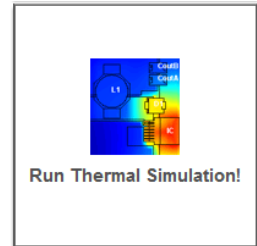
6.4.4.3 热仿真和PCB 布局

利用 WEBENCH 平台进行完毕芯片选型优化，电路优化和仿真后，一个电路方案已经初具雏形了，但是还有一个关键的步骤没有进行——这就是热仿真。热设计对于初级电子工程师来说较为陌生，当你将设计好的电路交给项目经理时，项目经理会问：这个电路发热量为多少？我需要让结构工程师设计多大的散热器来降温？这个电路的热量是否会使临近电路过温或者机壳温度超标？这些问题都涉及到热设计，你不能让结构工程师等你调试完电路并测试完发热量后才开始设计整机的结构。WEBENCH 提供强大的热仿真功能，帮助你提交更全面的设计方案，快速完成设计工作！

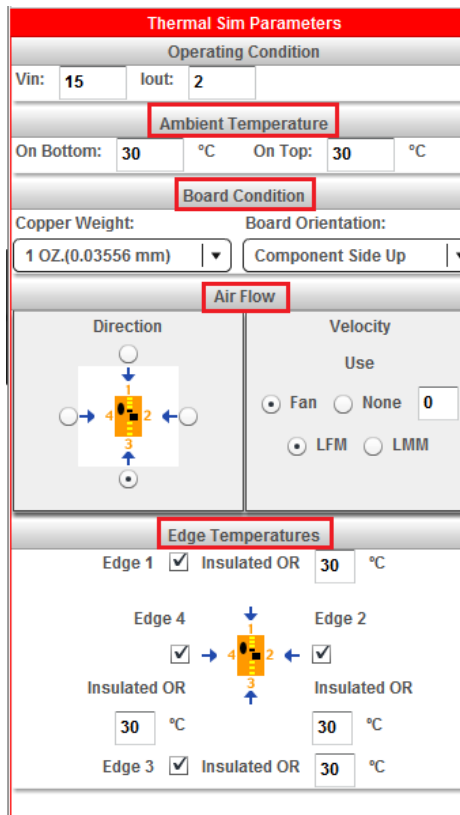
在介绍 WEBENCH 热仿真前先简单介绍一下热设计。为什么要进行热设计？高温对电子产品的影响：绝缘性能退化；元器件损坏；材料的热老化；低熔点焊缝开裂、焊点脱落。 温度

对元器件的影响：一般而言，温度升高电阻阻值降低；高温会降低电容器的使用寿命；高温会使变压器、扼流圈绝缘材料的性能下降，一般变压器、扼流圈的允许温度要低于 95C；温度过高还会造成焊点合金结构的变化—IMC 增厚，焊点变脆，机械强度降低；结温的升高会使晶体管的电流放大倍数迅速增加，导致集电极电流增加，又使结温进一步升高，最终导致组件失效。热设计的目的：控制产品内部所有电子元器件的温度，使其在所处的工作环境条件下不超过标准及规范所规定的最高温度。最高允许温度的计算应以元器件的应力分析为基础，并且与产品的可靠性要求以及分配给每一个元器件的失效率相一致。

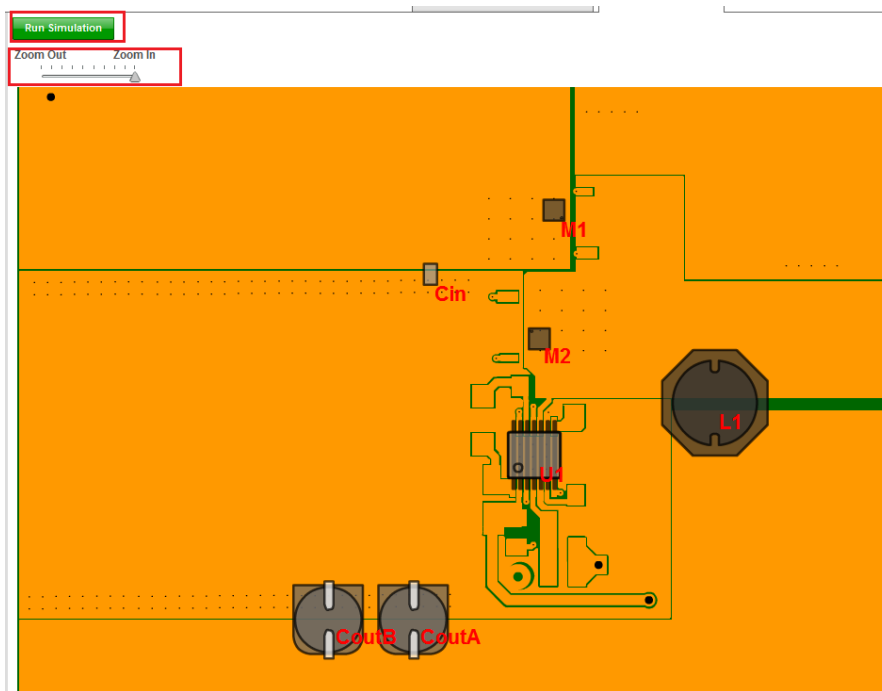
在原理图仿真界面的右上角可以看到“Run thermal simulation”图标，点击后即可进入热仿真



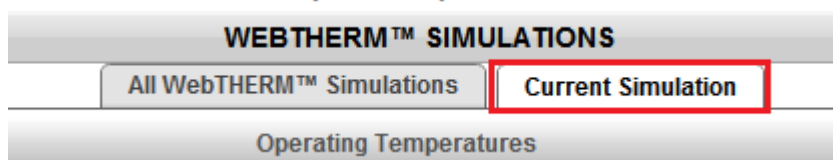
热仿真要仿真的准确就要把电路所处的散热环境设定好，跟散热相关的一般包括：环境温度，PCB 铜皮厚度和芯片布局，风，单元电路周边区域温度。这些设置在 WEBENCH 热仿真中都支持，在热仿真界面的左边可以看到“thermal sim parameters”设置窗口。从上到下依次为：工作条件，环境温度，电路板条件，气流，边缘温度。气流窗口中有 4 个方向可以设定风扇吹风的走向，也可以设定不用风扇自然散热。



在热设置窗口右面是 WEBENCH 热仿真用的 PCB 布局布线，需要注意的是，电源 PCB 中走线多用覆铜进行，图中看到的细线是分割线，分割线是没有铜的地方。覆铜代替走线可以增大导线的面积，提高通流能力，并且降低寄生电感，使滤波电容起到好的效果。调节放大和缩小将图调整到合适大小。点击“run simulation”即可开始热仿真。



热仿真计算量大，系统需要 2 到 5 分钟的时间，仿真完毕后点击“current simulation”查看仿真结果



设置不同条件的仿真结果都存在“all webTHERM simulations”里，可以双击打开对比查看。要改变条件进行新仿真可以点击“creat a new simulation”按钮。

WEBTHERM™ SIMULATIONS

All WebTHERM™ Simulations **Current Simulation**

Operating Temperatures

WEBTHERM™ SIMULATIONS

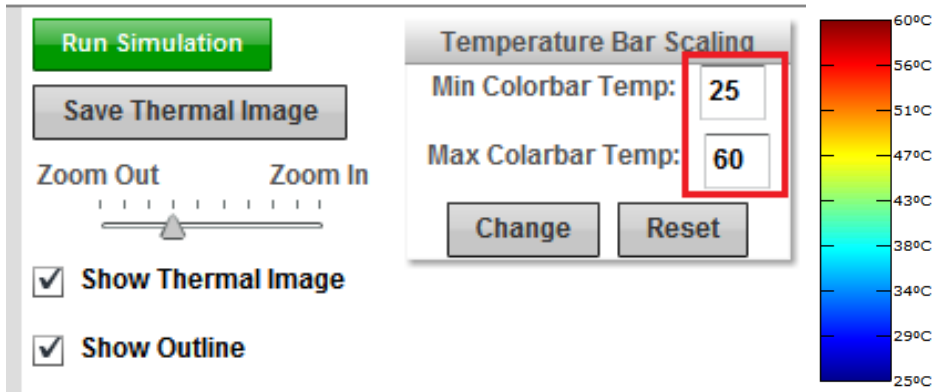
All WebTHERM™ Simulations Current Simulation

Create a New Simulation

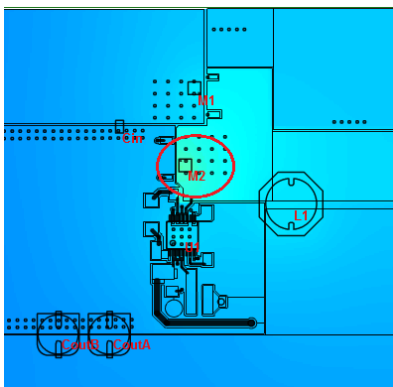
ID	Name	Status	Submitted Date	Run Date	Comments
1	Simulation for Design 84	Completed	Apr 02, 2013 07:47 PM	Apr 02, 2013 07:48 PM	
2	Simulation for Design 84	Completed	Apr 02, 2013 08:20 PM	Apr 02, 2013 08:20 PM	

仿真结果是用颜色来表示的，越红温度越高，越蓝温度越低。查看时需要根据电路的发热情况设计最大和最小温度，才能使颜色分明方便查看。例如如果电路的最高温度在 50 度，

设置显示的温度范围为 30 度到 125 度，则看到一片蓝色，高温区不明显了。应该设置为 25 度到 60 度，这样才能使颜色分明。



仿真结果如下图，可以看到 M2 的温度比 M1 高，M2 的功率损耗 140mW，M1 的功率损耗 65.6mW，所以在近似的散热条件下 M2 的温度升高的多一些。MOS 管 CSD16301Q2 数据手册上给出“junction to ambient”硅片热源到表面空气的热阻为 $R_{ja}=69$ 度/W，“junction to case”芯片热源到芯片表面的热阻为 $R_{jc}=8.4$ 度/W，这样可以得到芯片表面到空气的热阻 $R_{ca}=R_{ja}-R_{jc}=60.6$ 度/W。仿真设定的环境温度为 30 度，可以计算得到 MOS 管 M2 的表面温度为 $0.14 * R_{ca} + 30 = 38.5$ 度。WEBENCH 仿真汇总表中的 M2 温度 41 度，这是因为 WEBENCH 考虑到了周围器件的发热，所以比理论计算的 38.5 度高一些，更接近实际。有了 WEBENCH 的辅助功能，省去了热计算的繁琐工作，电路温度一目了然。

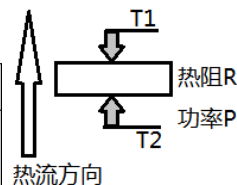


Operating Temperatures				
Layer	Max T	PDiss.	Manufacturer	Part Number
PCB - Top	41°C			
IC - Die	36°C	0.4 W	Texas Instruments	LM3150MH/NOPB
L1	36°C	8.25e-2 W	Bourns	SRU1038-6R2Y
Cout	33°C	1.60e-3 W	Sanyo	20SVP22M
Cin	34°C	1.40e-3 W	MuRata	GRM21BR61E475MA1
M1	37°C	6.56e-2 W	Texas Instruments	CSD16301Q2
M2	41°C	0.14 W	Texas Instruments	CSD16301Q2
PCB - Bottom	39°C			

下图是 MOS 管 CSD16301Q2 手册中的热阻，热阻参数不止一个，描述的热阻位置也不一样。热阻的概念类似电阻，电流经过电阻会产生电压差，热流经过热阻会产生温差。电流从高压向低压流动，热流从高热向低热流动。如图根据热流方向： $T_2 - R * P = T_1$ 。

THERMAL INFORMATION

THERMAL METRIC ⁽¹⁾⁽²⁾		CSD16301Q2	UNITS
		6 PINS	
θ_{JA}	Junction-to-ambient thermal resistance ⁽³⁾⁽⁴⁾	69	°C/W
$\theta_{Jc(top)}$	Junction-to-case (top) thermal resistance ⁽³⁾	8.4	
θ_{JB}	Junction-to-board thermal resistance		



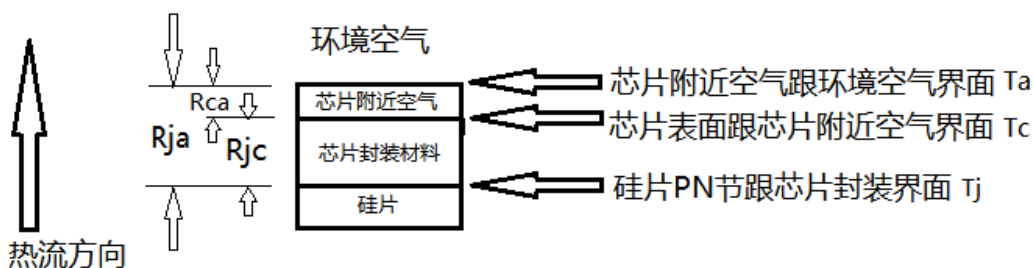
数据手册中常给出以下热阻参数： R_{jc} （硅片 PN 节到芯片封装表面的热阻）， R_{ja} （硅片 PN 节到芯片附近空气的热阻）。热设计中 T_j 为硅片 PN 节的温度，芯片手册对这个温度有最大值要求，过温影响芯片性能或者损坏。根据前面热流分析，这些参数有如下关系：

芯片表面温度 $T_c = T_j - R_{jc} * P$ 或者 $T_c = T_a + R_{ca} * P$

芯片 PN 节温 $T_j = T_a + R_{ja} * P$

芯片表面到环境空气热阻 $R_{ca} = R_{ja} - R_{jc}$

这些公式都中在实际中可以测量到的是 T_a （环境空气温度）和 T_c （芯片表面温度）以及 P （芯片功耗），根据手册的热阻可以计算出 T_j 温度， T_j 要求在手册说明的范围内电路才可靠。如果 T_j 超温就要改进散热途径，使 T_a 降低（例如加风扇或者加散热片，加散热片后芯片不再接触空气，使用 R_{jc} 热阻即可）。



以 LM3150 的手册热阻为例，如果测试芯片附近空气温度为 50 度，芯片功耗 0.1W，4 层板，则 $T_j = 50 + R_{ja} * P = 50 + 40 * 0.1 = 54$ 度。

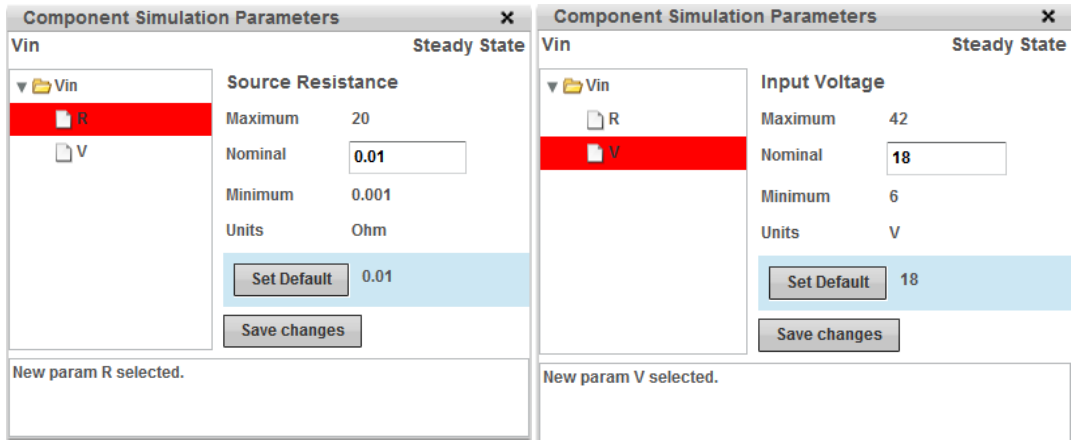
Symbol	Parameter	Conditions	Min	Typ	Max	Units
T_{SD}	Thermal Shutdown	Rising		165		°C
	Thermal Shutdown Hysteresis	Falling		15		°C
θ_{JA}	Junction to Ambient	4 Layer JEDEC Printed Circuit Board, 9 Vias, No Air Flow		40		°C/W
		2 Layer JEDEC Printed Circuit Board, No Air Flow		140		
θ_{JC}	Junction to Case	No Air Flow		4		°C/W

6.4.4.4 开关电源稳态仿真

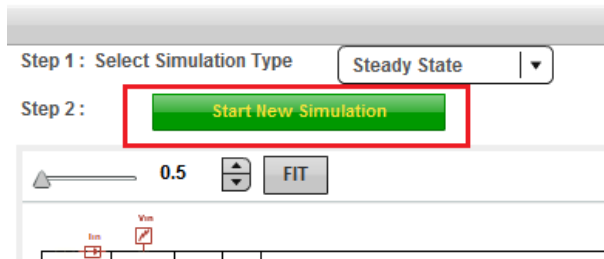
开关电源的稳态仿真是用于观察开关电源达到稳定后各部分的电压和电流。作用相当于用示波器的电压探头和电流探头对稳定工作的开关电源进行测试。所以利用 WEBENCH 提供的稳态仿真来设计开关电源是帮助读者理解和分析开关电源工作原理的好方法。

稳态仿真的进入方法在前面的内容中已经讲过，这里不再累述。下面举一个例子，看看如何利用 WEBENCH 的稳态仿真来分析开关电源。

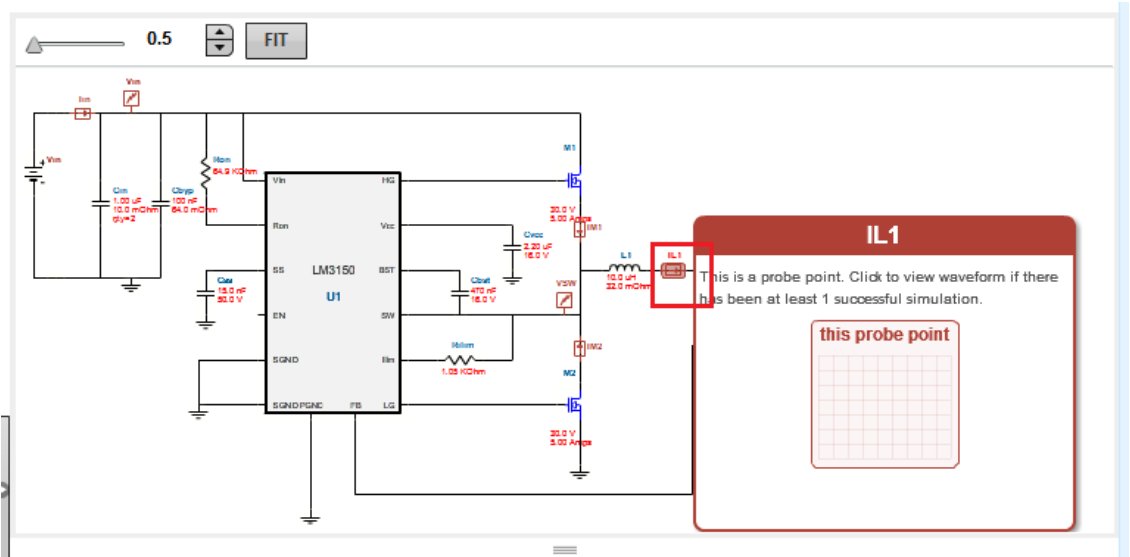
看一下占空比 D 随 V_{in} 的变化。在仿真界面的原理图中点左键点击电源进行设置，如下图所示



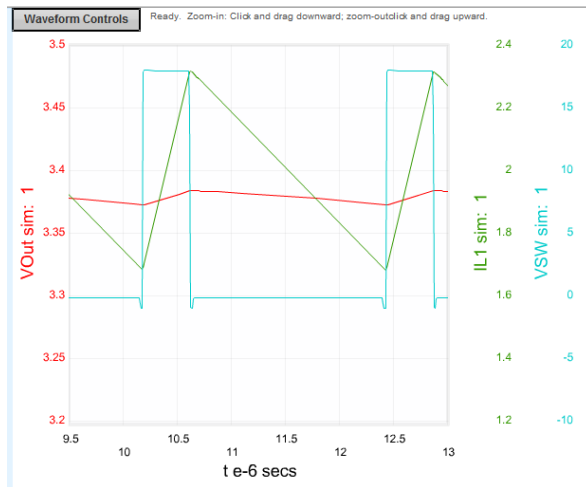
电源有两个设置项，一个是内阻，一个是电压。设定好电源电压后点击“save changes”进行保存才可以生效。然后点击“start new simulation”将设定好的电压进行仿真。



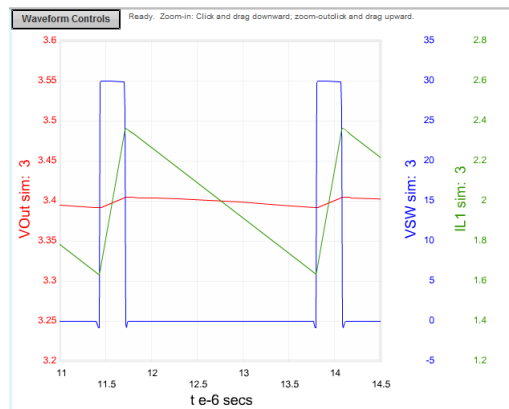
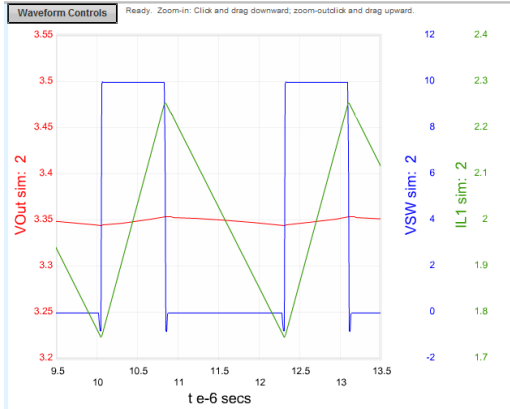
稳态仿真需要的时间较多，因为系统要计算电路中各元件的电压和电流。仿真结束后，默认将 V_{out} 波形显示出来。要查看更多元件的参数，需要手动添加，例如添加电感 $L1$ 的电流 I_{L1} ，在原理图上左键双击 I_{L1} 即可， I_{L1} 的波形立即显示出来。鼠标指针放在 I_{L1} 上可以看到系统给的提示。如下图所示



按照这个方法，我们将 VSW 电压波形添加显示。下图中截取了显示图，图中将一个周期进行了放大，方便查看。VSW 的电压高低反映出开关的导通和关闭状态，也就是占空比状态，高电压时 M1 导通，电感充电，低电压时 M2 导通，电感放电。可以看到电感的充放电斜率符合前面章节介绍的内容。



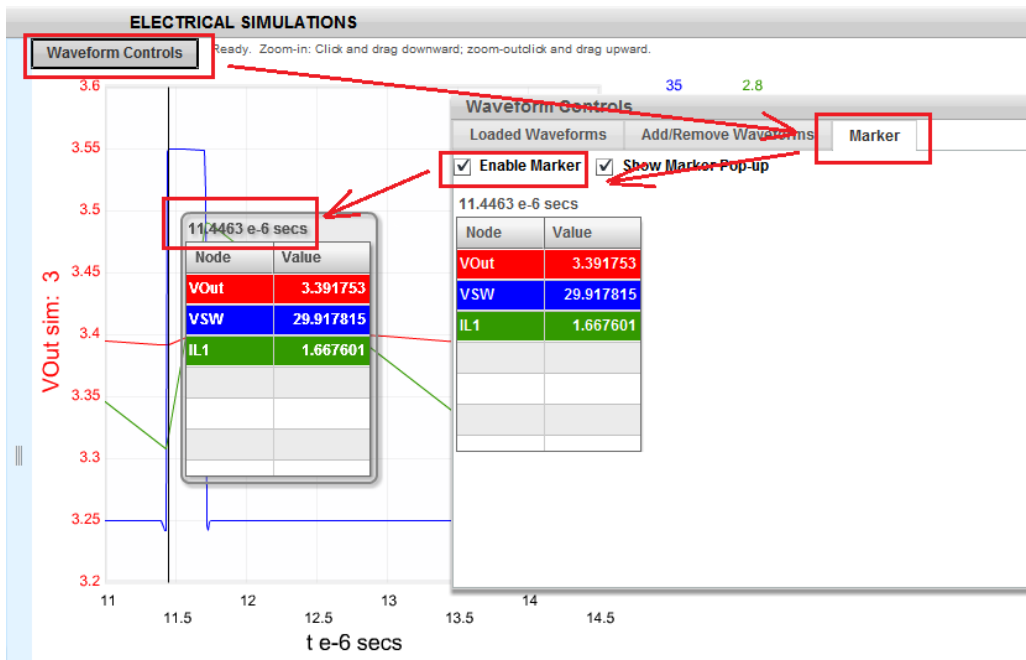
为了对比占空比随 Vin 的变化，我们将 Vin 分别设定为 10V 和 30V，将电感电流和 VSW 显示。从图中可以看到占空比的明显变化。



Vin=10V

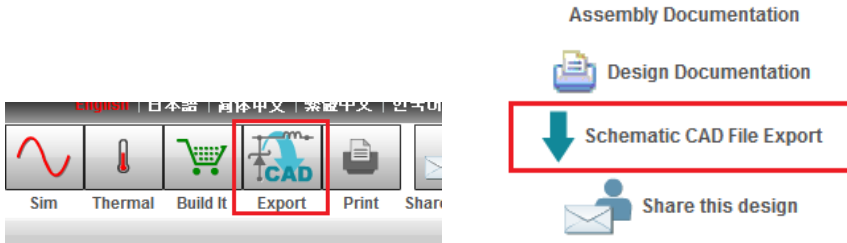
Vin=30V

在“waveform controls”菜单中使能 marker 功能，即可用鼠标指针查看图中具体的参数值，可以看到占空比具体的变化量。



6.4.5 方案原理图导出

设计方案经过优化和仿真后就要开始设计原理图和 PCB 了，WEBENCH 提供原理图导出功能，这样工程师不要再把设计原理图抄到 EDA 软件中了，节省了大量时间。在设计界面的上方工具条中点击“CAD”或者在右下角中选择“CAD export”。

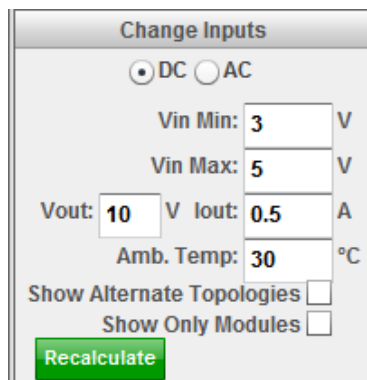


可以看到 WEBENCH 支持几种业界流行的 EDA 软件，例如 Altium、Cadence 和 Mentor 等。导出方法可以参考前面章节，此处不再累述。



6.5 boost 开关电源设计实例

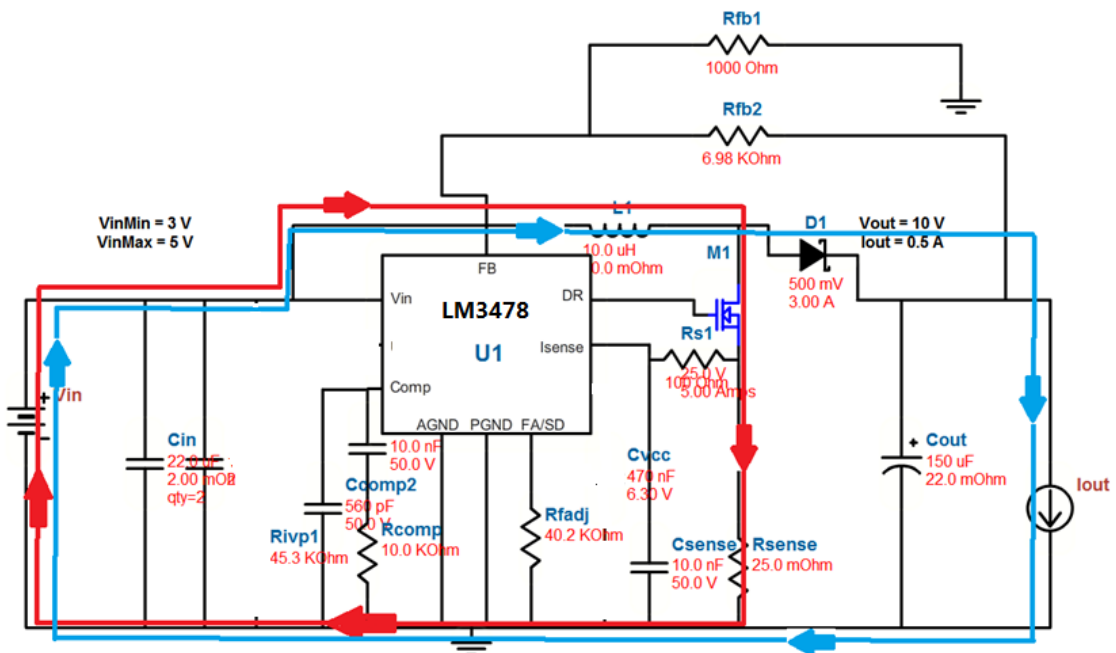
Boost 开关电源设计优化过程跟 BUCK 型开关电源类似，一些基本规律也一致，例如电感体积随开关频率升高而减小，开关损耗随开关频率升高而增加。充分理解开关电源的一个基本拓扑后对学习其它类型的拓扑很有帮助。在选型对话框中输入 V_{in} 电压范围和 V_{out} 电压，当 V_{out} 大于 V_{in} 后要求电源有升压功能，WEBENCH 会自动选择 BOOST 开关电源。



BOOST 开关电源选型中也会有类似 buck 电源的优化，在效率，体积，成本三个条件中进行，芯片选型后再进行外围电路优化，可以参考 buck 电源设计一节，这里不再累述。本节用一个具体例子介绍一下 boost 跟 buck 开关电源的区别。目的在于抛砖引玉，希望工程师在用 webench 设计电源中能充分利用其选型和仿真功能，快速高效的设计开关电源。

6.5.1 Boost 电路电流路径分析

下图是 LM3478 boost 开关电源电路，以这个基本 boost 电路为基础介绍一下 boost 电路以及和 buck 电路的区别。



根据 WEBENCH 推荐的电路，先看一下 boost 电路的外围功率器件，LM3478 是 boost 电路的控制器，L1 是功率电感，M1 是外部 MOS 管控制充电，D1 是放电回路中的二极管。Cin 和 Cout 是输入和输出电容。

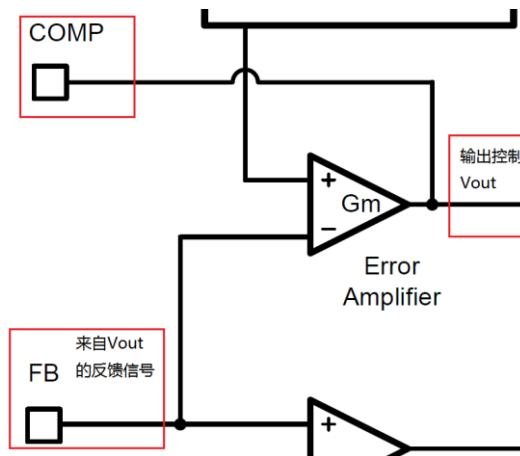
LM3478 是异步开关电源，让我们对比一下同步开关电源和异步开关电源的区别。上一节中介绍的 BUCK 电路 LM3150 有两个外部 MOS 管，一个负责对电感充电一个负责放电，此处 boost 电路中只有一个负责充电 MOS 管，电路中放电开关由 D1 二极管取代。D1 二极管是不受 LM3478 直接控制的，由加在两端的电压控制导通关断，所以 LM3150 这类两个 MOS 管的开关电源称作“同步开关电源”，LM3478 这类一个 MOS 加一个二极管的称作“异步开关电源”。

再分析一下 LM3478 电路的电流回路。在充电周期：M1 导通，M1 导通后 D1 的正向端接地，D1 关断，电流从 Vin 流出对 L1 充电后由 M1 流回 Vin 电源（如上图小圈回路）。放电周

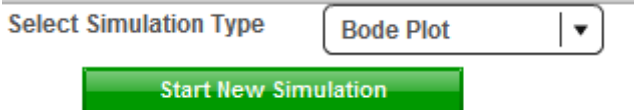
期：M1 关断，D1 的正向端得到释放，由于在 M1 断开时 $\frac{di}{dt}$ 较大，所以 L1 的感应电动势会比 V_{in} 还高，D1 正向端电压为 $V_{in} + L \cdot \frac{di}{dt}$ 高于负向端电压，D1 导通，电流从 V_{in} 流出经过 L1 再经过 D1 和负载流回 V_{in} 电源（如图中大圈回路所示）。Boost 电路利用了 L1 的感应电动势高的特点，使 V_{out} 得到升高，可以达到 V_{in} 的数倍。

6.5.2 开关电源的波特图仿真

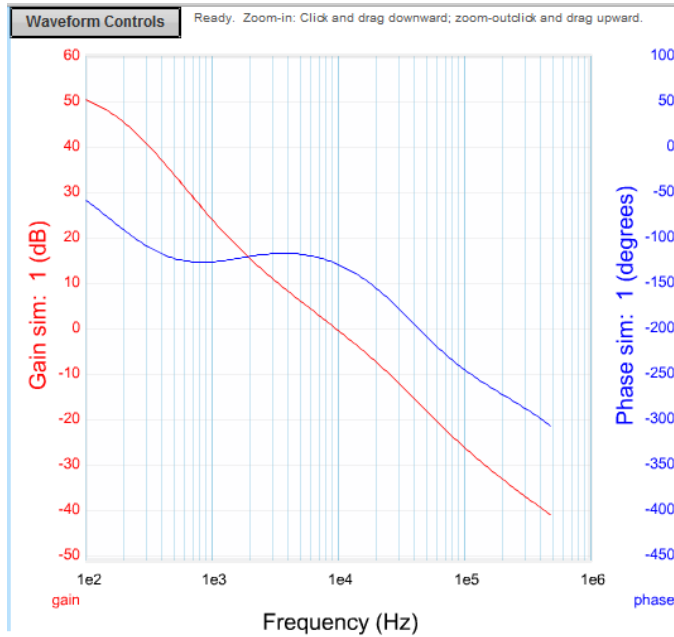
LM3478 开关电源有 COMP 管脚用于调节控制环路的补偿。所以在 LM3478 电路图仿真中有“bode plot”波特图仿真这一项。不只是 LM3478，只要是带有 COMP 管脚的控制器在 WEBENCH 中都有波特图仿真功能。上面介绍的 LM3150 没有 COMP 管脚，它的控制环路补偿基于“Constant On-Time (COT)”技术在芯片内部完成，节省了外部器件的数量。下图是 LM3478 的内部原理框图中误差放大器部分。



可以看到误差放大器的输出用于控制 V_{out} 电压， V_{out} 电压经分压后送入 FB 反馈管脚，FB 是连接在误差放大器的负向端，属于负反馈系统。与《模拟电子线路基础》课程中所讲的负反馈原理一致，开关电源的负反馈系统也涉及到稳定性问题，如果反馈的相移过大超过 180 度，则负反馈变为正反馈，开关电源将产生震荡。所以设计开关电源时要仿真其波特图，验证稳定性。

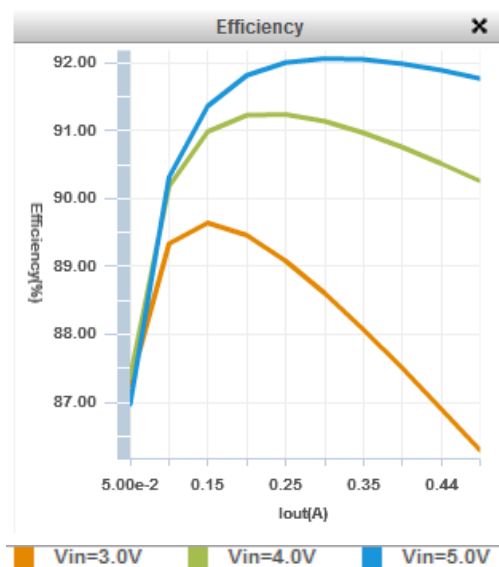


在原理图仿真界面中，选择仿真类型为“bode plot”，然后点击开始仿真，WEBENCH 将绘制电路的波特图。仿真结果如下，蓝色线是相位偏移，红线为环路增益，可以看到在环路增益 0db 时，相位偏移为正 20 度，满足稳定性条件。



6.5.3 boost 开关电源效率仿真

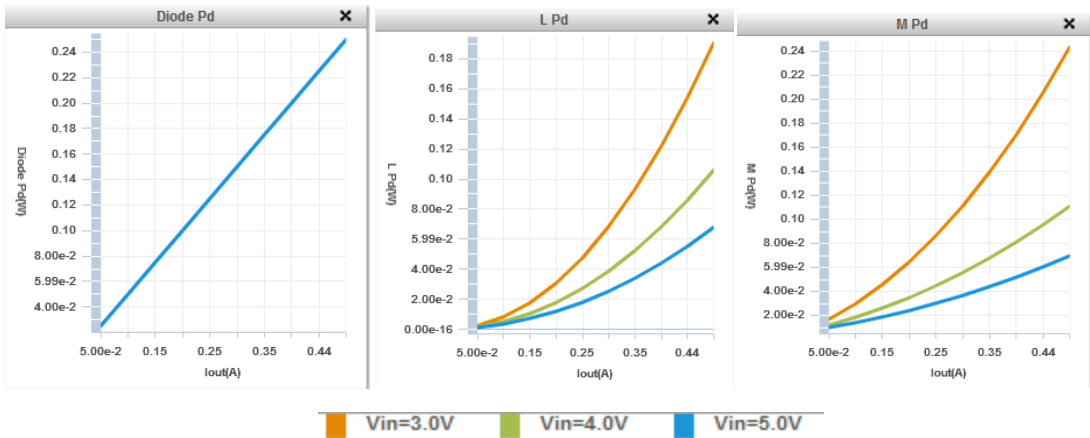
分析完稳定性再来看一下效率变化情况。在图表仿真中可以发现 Boost 开关电源与 buck 开关电源在效率随 Vin 变化上有区别：Vin 越高效率越高。这个变化跟 buck 电路正好相反。



同样的分析思路，先看看电路中损耗最大的元件，在图表仿真中将各个功率器件的损耗列入下表

元件	储能电感	MOS 管 M1	二极管管 D1	输入电容	输出电容
损耗 (mW)	190	243	249	0.04	13.4

可以看出储能电感、MOS 管和二极管是损耗最大的元件，分析他们的损耗情况就能找出效率随 V_{in} 变化的原因，下面导出他们的损耗曲线，如下图



从仿真结果可以看到，除了二极管随 V_{in} 变化的三条曲线重合外，MOS 管和 L 的损耗都是随 V_{in} 变大而降低。所以总体损耗也是随 V_{in} 增大而降低，从而得到效率随 V_{in} 增大而增加的结果。

从 BUCK 和 BOOST 开关电源的效率分析可以看出一个共同点：当 V_{in} 和 V_{out} 的差值缩小时电源效率升高。这原因从理想开关电源的角度递推更为直观：当 V_{in} 和 V_{out} 的差距缩小时，占空比逐渐增大，当 V_{in} 等于 V_{out} 时，占空比达到 100%，开关不用再切换，直接将 V_{in} 供给 V_{out} 即可，这种情况下效率能接近 100%。

6.6 FPGA 电源设计实例

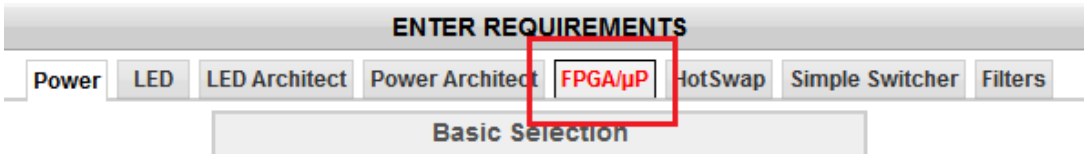
FPGA 和处理器是大规模的集成电路，一般都分为核电压和 IO 口电压，并且根据芯片内部的集成资源还会有模拟电压和时钟电压等。所以这类芯片的供电设计是一件较复杂辛苦的事情。在没有 WEBENCH 软件时，工程师要阅读 FPGA 手册，详细看了电源说明后才能着手设计电源树并为电源树选择供电芯片。这将耗费工程师大量的时间和精力，如果因为不熟悉芯片出现错误，那么多层 PCB 板将报废并且耽误项目进度。

考虑到这种情况，WEBENCH 提供了支持 FPGA 和处理器电源设计的功能，合理使用此功能可以大大提高电源设计效率和成功率。

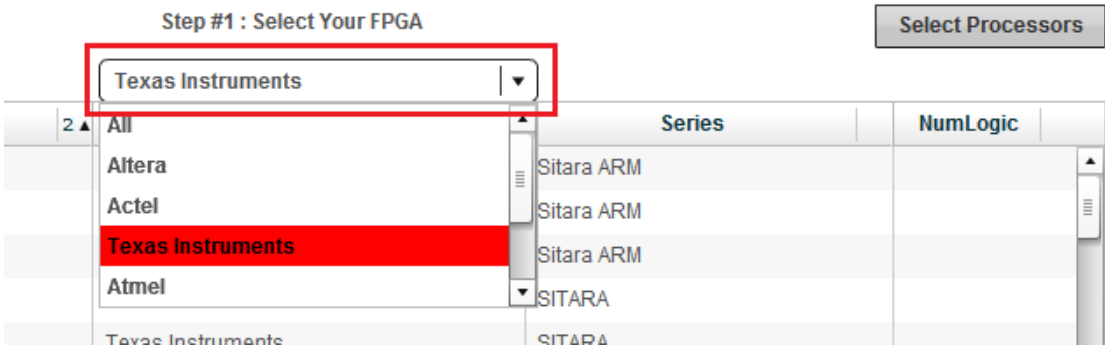
在前面的 2.3 和 2.4 节中简单介绍了 WEBENCH 中 FPGA 电源设计功能，本节将对这个功能详细介绍，一步一步进行 FPGA 电源设计。

6.6.1 FPGA 芯片选择

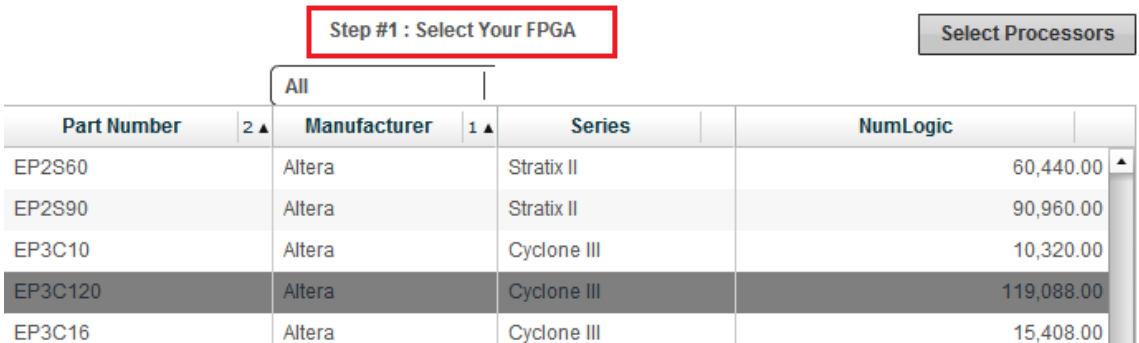
在 WEBENCH 首页选择 FPGA 和处理器电源设计，进入 FPGA 电源设计页面。



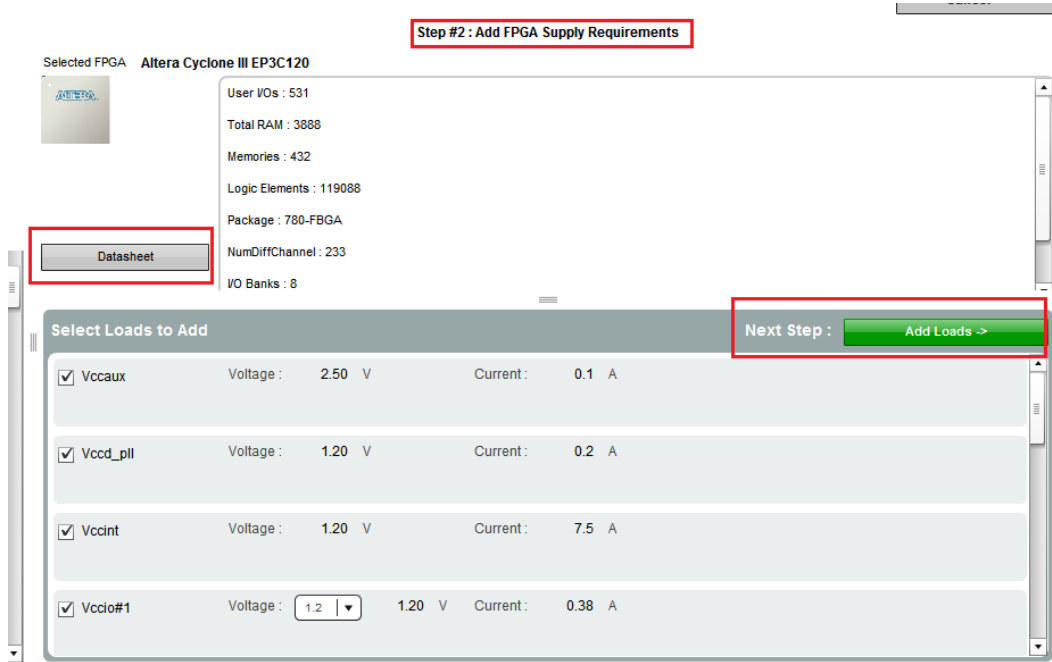
在下拉菜单中选择 FPGA 或处理器厂家，可以看到 WEBENCH 支持业界多家知名厂家的芯片，非常方便设计。



在此节的设计举例中选择 Altera 的 Cyclone III 作为例子。如下图



选择好芯片后可以看到右上角的芯片资源汇总，并且 WEBENCH 提供芯片 datasheet 的链接。列表中是 FPGA 的各个电源种类和典型电流。点击“add load”即可将这些电源添加入电源树。

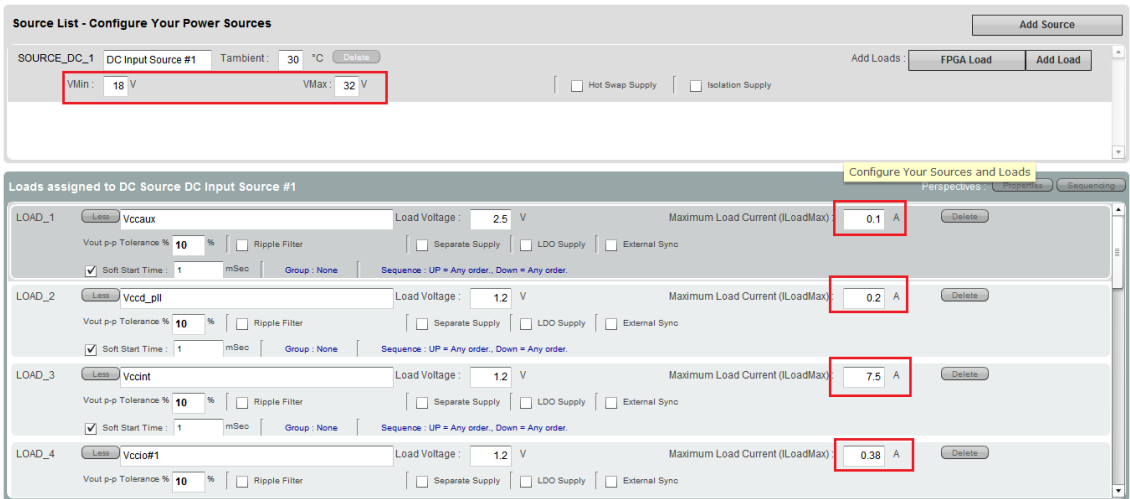


WEBENCH 为设计人员提供了最大的灵活性，每个 IO bank 的电压都可以根据项目选择。如下图所示：

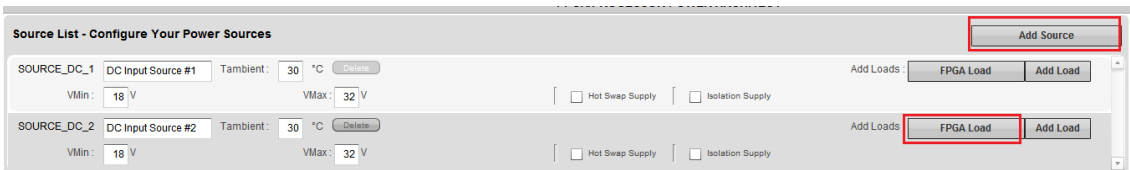


6.6.2 供电芯片组电源树设计

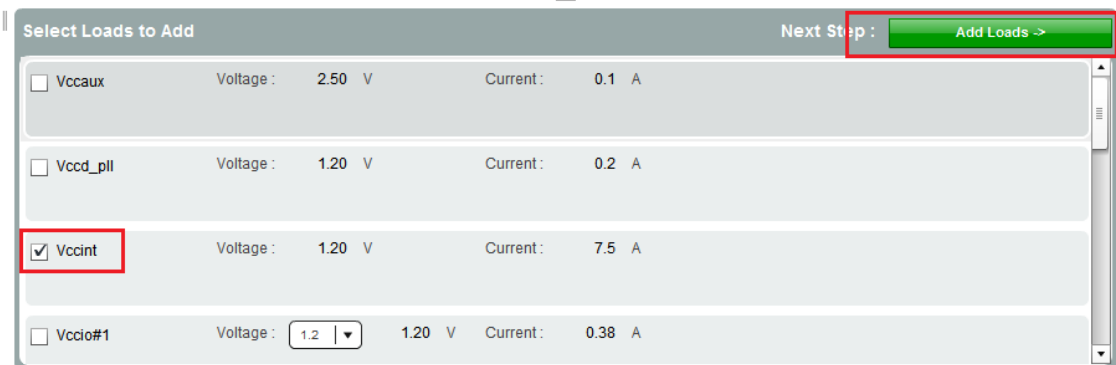
将 FPGA 电源添加进电源树后即可进入电源树设计界面，如下图，电源树第一行是“树根”下面几行是“树枝”。对树根的电压范围可以根据项目需求设置，并且 FPGA 的电源电流还可以进行设置，用以应对逻辑资源不同工作频率不同带来的功耗变化。



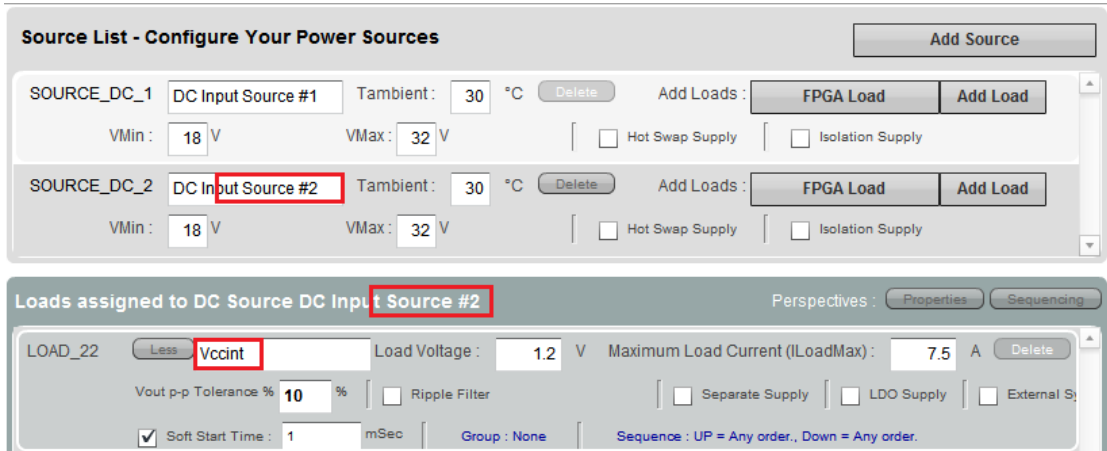
如果需要用两个“树根”给 FPGA 供电，例如将电流很大的核电压 Vccint 单独供电，可以另添加一路“树根”，点击“add source”即可。点击 add source 后可以看到“树根”出现了新的一行，为 source 2。



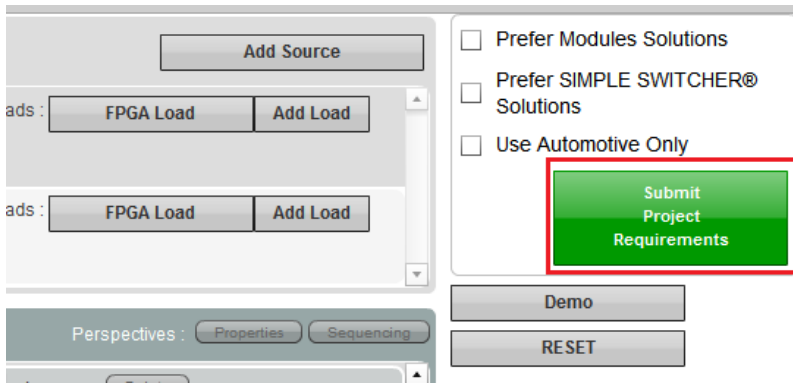
在 source 2 上点击“FPGA load”即可对新添加的“树根”选择 FPGA 电源。需要注意的是要把 source 1 中的 vccint 删除，避免出现重复。



添加好 FPGA 电源后可以看到 Vccint 出现在“树枝”行，并且行上标注 source 2，树枝和树根是一一对应的。如下图

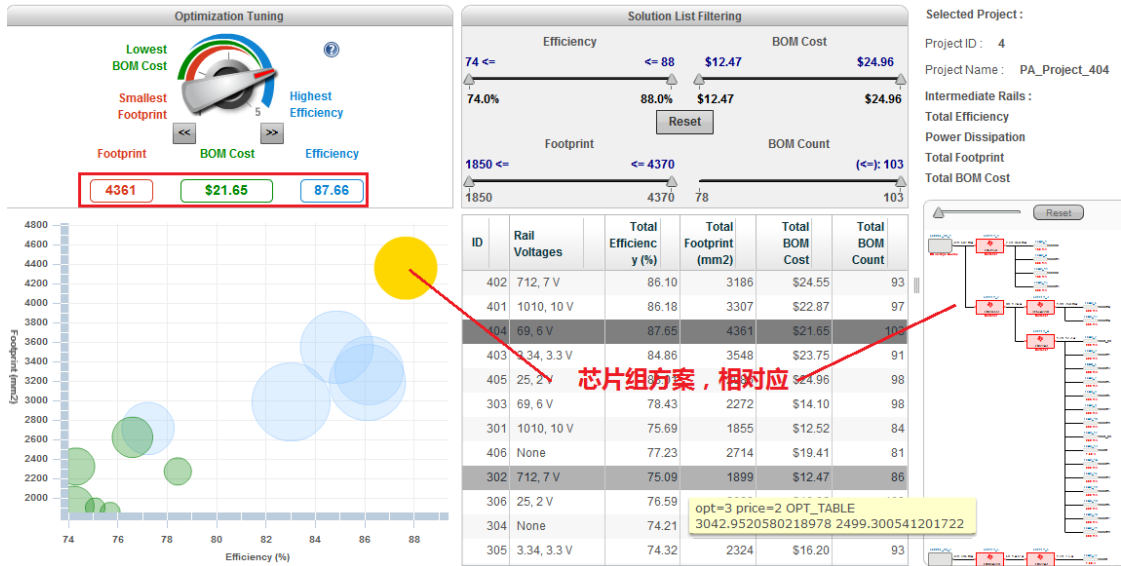


FPGA 电源分配完毕后点击“submit project”即可进行电源树的优化。



6.6.3 电源树优化设计

在电源树的优化中要完成芯片组的对比，选择合适的芯片组给电源树供电。WEBENCH 会将合适的芯片组列在待选方案中，用三维图表表示出来，X 轴是效率，Y 轴是占用 PCB 面积，Z 轴是成本，用圈的面积大小表示。待选方案的树形结构也会被绘制出来，方便工程师直观查看。如下图。

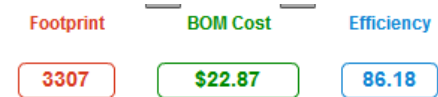


在这个步骤中，工程师不必纠结与具体芯片，只需关注芯片组的整体效率、成本和 PCB 占用面积。这也正是 WEBENCH 自顶向下的设计方法。下表例举了两个方案的对比，介绍方案选择的基本方法。

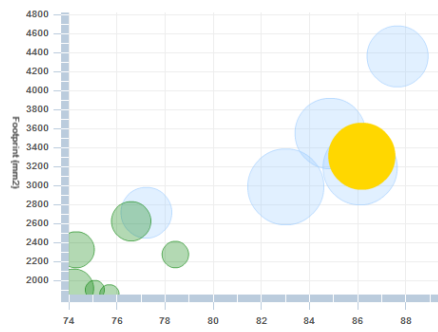
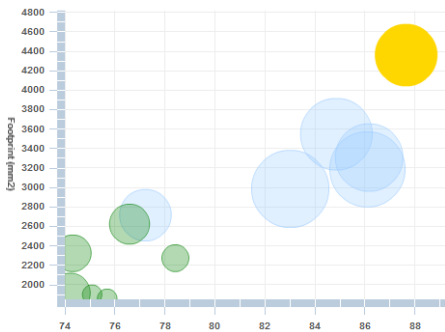
方案 1

方案 2

效率，面积和成本对比

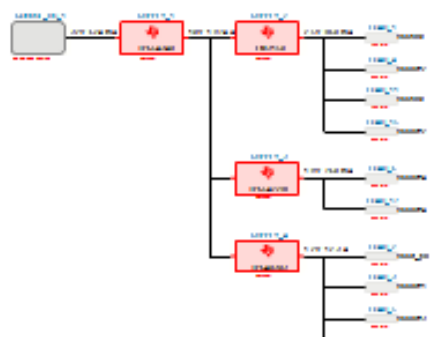
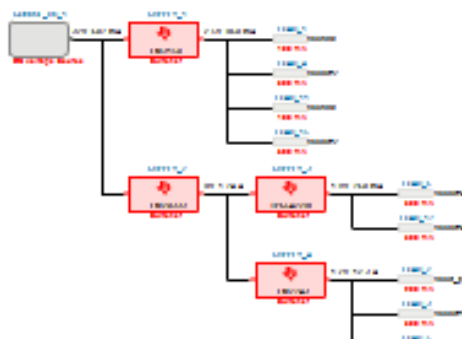


方案在待选芯片组中的位置



Y 轴 面积
X 轴效率
圈面积成本

电源树拓扑对比



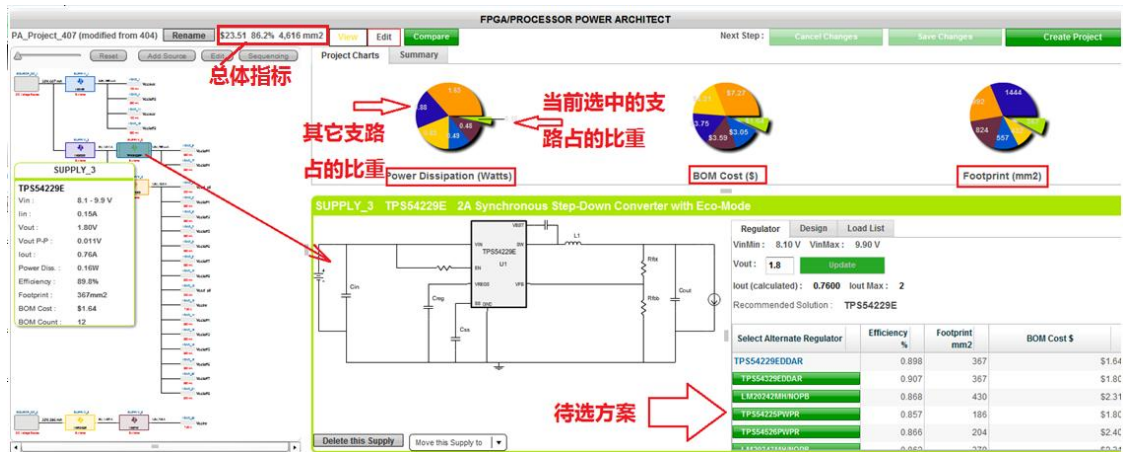
从表中可以看出，方案 2 效率降低了 1.5 个百分点，但是 PCB 占用面积缩减了 24%，成本相当，这个交换很划算。所以优先选择方案 2。

确定了芯片组方案后，点击“view project details”进入芯片优化选择。如下图



6.6.4 电源芯片优化选型

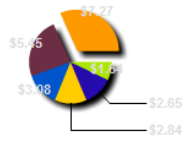
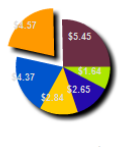
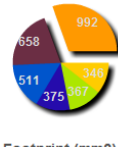
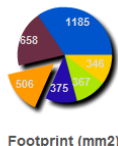
进入芯片优化选择页面后可以看到这个页面没有优化旋钮了，左面是电源树，右面是饼图和待选芯片列表。没有优化旋钮是因为 WEBENCH 已经优化过了芯片组，选择了一组推荐芯片。这个页面是提供给工程师更多的灵活性，对优化结果进行调整。



调整过程中电源树的每个芯片都可以被调整，WEBENCH 列出多个待选芯片。在这个步骤中要充分利用“饼图”的功能，三个饼图分别表示功耗、成本和占用 PCB 面积。饼图的每一块对应电源树中的一个树枝。从饼图中可以看到占比重最大的电源芯片。

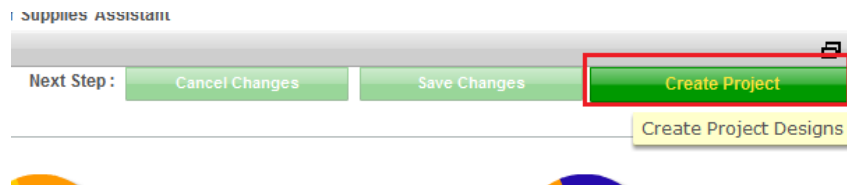
例如项目对成本敏感，则可以对成本饼图中最大的一块（supply 4）对应的芯片进行调整，可以用效率或者面积还换取成本。WEBENCH 的待选芯片中有成本低一些的 TPS40305 方案。下表中将 WEBENCH 推荐的 TPS40303 和待选芯片中的 TPS40305 对比。

	Supply4 用芯片 TPS40303	Supply4 用芯片 TPS40305	变化
功耗饼图			Supply 4 功耗增加了 78%
总效率	86.2	84.2	总效率降低 2%

成本饼图			Supply 4 成本降低 37%
总成本	22.93	21.52	总成本降低 6%
面积饼图			Supply 4 面积减小 49%
总面积	3249	3437	总面积增大 5.8%

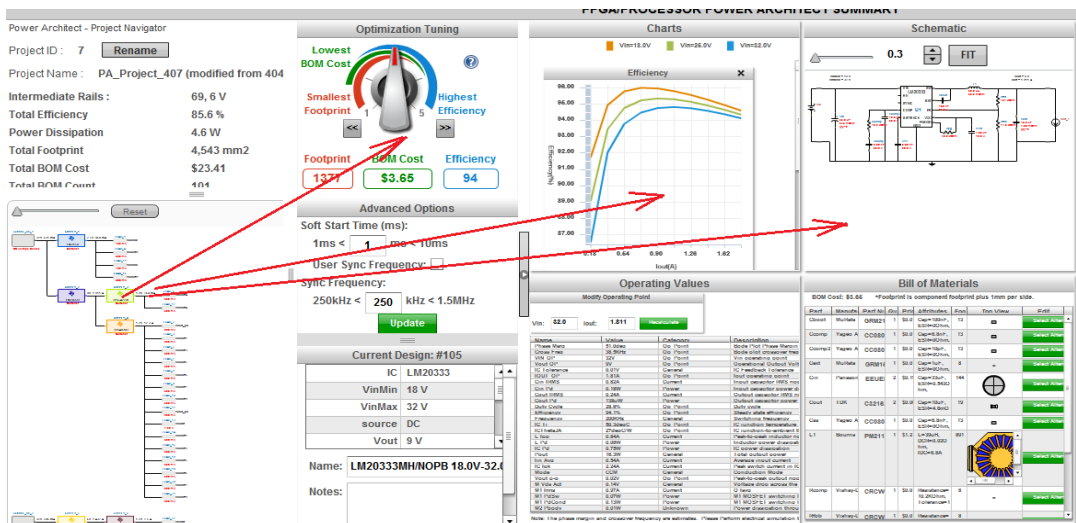
从表中的对比可以看出，调整 supply 4 后总成本被降低了 6%，但是由于功耗增加导致 supply 4 前级供电 supply 1 要增加供电能力，带来了总面积 5.8% 的增大和总效率 2% 的降低。这么来看增加的 PCB 面积抵消了成本优势，并损失了效率。所以选择 WEBENCH 推荐的芯片。

选定电源芯片后点击“creat project”进入芯片外围电路优化。如下图：



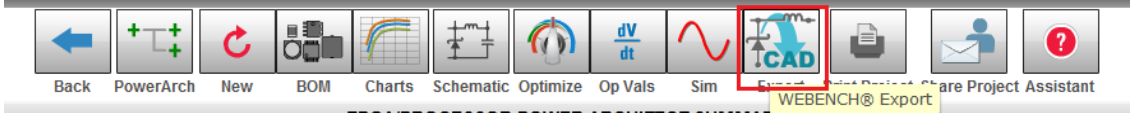
6.6.5 电源芯片外围电路优化

在芯片外围电路优化中，又看到了优化旋钮和仿真界面。这时就和之前的单电源设计一样了。依次将电源树中的芯片优化和仿真，这里不再累述。

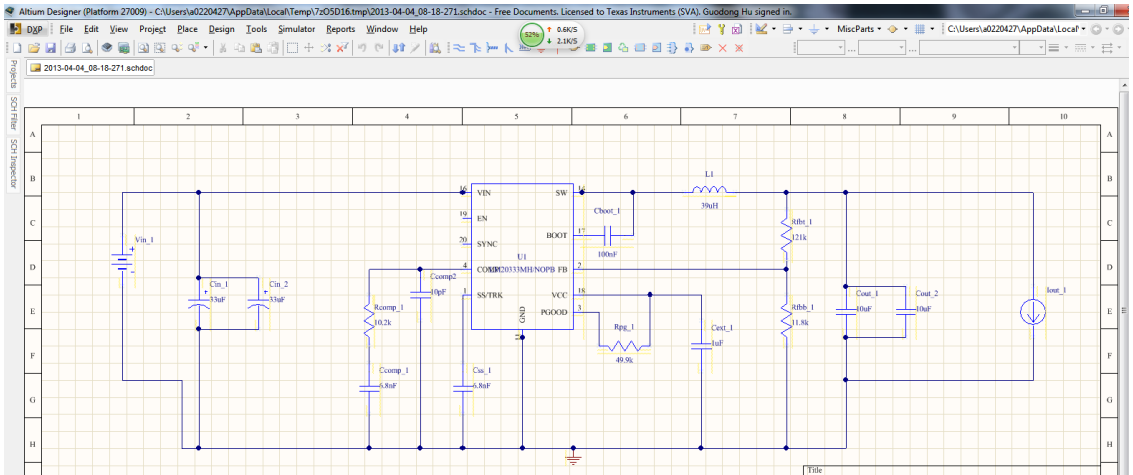


6.6.6 原理图导出

芯片外部电路确定后就可以导出原理图进行 PCB 设计了。WEBENCH 还不能将电源树的原理图一次性全部导出，需要工程师逐个导出。



导出后将原理图下载到本地，即可用 EDA 软件打开。如下图。



第七章 开关电源的 PCB 布线

开关电源不同于 LDO，根据前面的介绍它是工作在开关状态，会发生电流的快速变化。并且由于是电源电路，电路中的电流较大，所以开关电源对外界的干扰要远远大于 LDO。如果开关电源的 PCB 没有布好，这个干扰不仅会影响其它部分电路同时会影响到开关电源自身的小信号（例如反馈控制），造成电源工作不正常。关心开关电源电路 PCB 布局将带来诸多好处：

- 一个良好的 PCB 布局将使得器件发挥到最高的性能
- 一个好的 pcb 布局能大大减少产品支持的时间和费用支出
- 一个好的 pcb 布局将为客户带来战略优势
- 一个好的 pcb 布局将比一个差些的 pcb 布局带来更多的利润回报

7.1 高 di/dt 环路

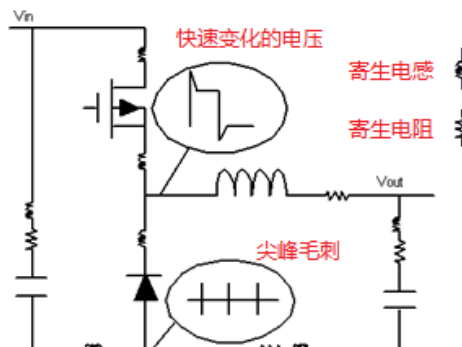
7.1.1 初识高 di/dt 问题

先回顾两个基本的电感和电容公式， $U=L*di/dt$ 、 $i=C*du/dt$ 和 $U=I*R$ 。第一个公式表示电感中有快速变化的电流时，就会在电感两端产生电压。第二个公式表示在电容两端有快速变化的电压时，就会在其中产生电流。第三个公式表示

这两个基本原理对理解开关电源的 PCB 布局布线非常重要。因为实际中所有的电路板元件，包括 PCB 走线，都有寄生电感（L），寄生电阻（R）和寄生电容（C）。

- 通过寄生电感时，短时间内高的电流的变化会产生电压尖峰噪声。
- 通过寄生电容时，快速变化的电压会耦合到临近的信号线上。
- 通过寄生电阻时，共用 GND 的信号会互相干扰，即共阻抗干扰。

必须尽可能的避免这些电压噪声传导到地平面，下图是一个考虑到实际情况的电路示意图。

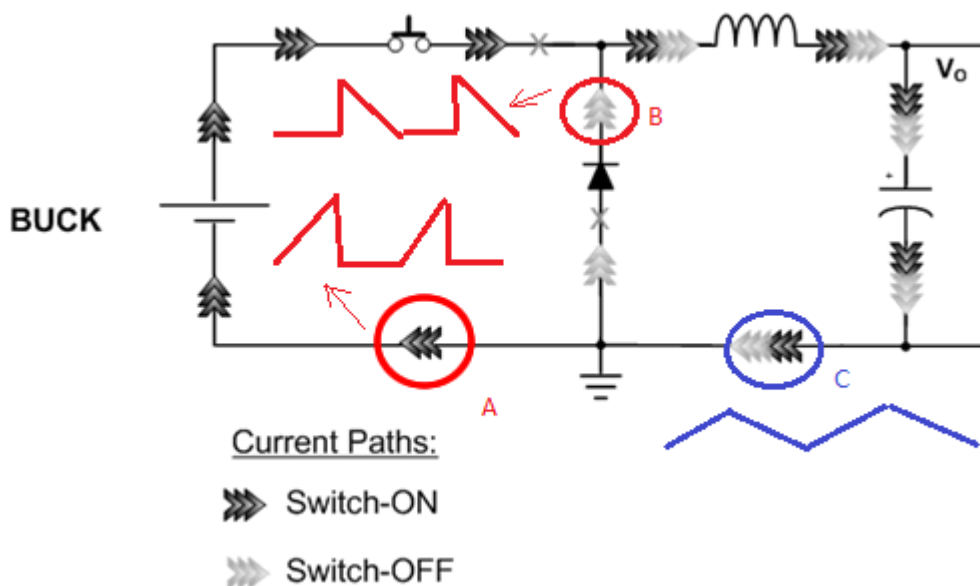


上图是 BUCK 开关电源的典型电路，将电源看做一个整体， V_{out} 处的电流是平稳的直流电流，按 di/dt 来说应该没有干扰电压产生。但是实际上，观察到的尖峰往往是很大的。为什么呢？问题的根源就是通常高的 di/dt 电流会注入地中并干扰整个电路，这就是 EMI。

高 di/dt 电流会在电路板上对整个电路产生类似尖峰信号一样的干扰。他们往往有非常快速的边缘变化，因此干扰信号中有非常高的频率成分（记得傅里叶分析吗？）。高频信号往往比低频信号辐射强，并且似乎不管我们在哪个地方测量都会存在，尤其是如果他们流进地的话。所以我们的目标就是让地保持安静！

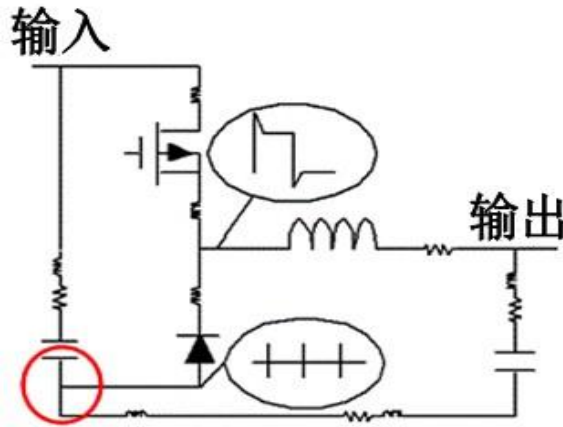
7.1.2 定位高 di/dt 的位置并解决

了解到高 di/dt 的危害，要解决它就要先找到它出现的位置。以 BUCK 电路为例。深颜色箭头表示充电时的路径，浅颜色的箭头表示放电时的路径。



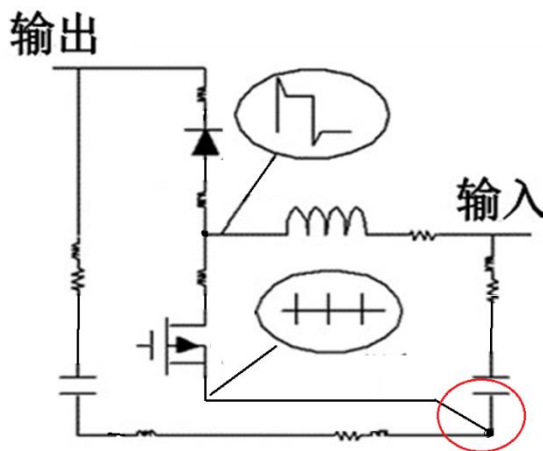
这张图显示了用一个巧妙的方法来帮助找到“肇事者”。简单地看不同开关状态下的电流路径，并对每种开关状态下的电流路径用不同颜色标记出来。例如在这个降压电路中，开关导通时电流从输入电容流入，通过开关，电感，然后是输出电容，然后又通过地流回输入电容。在第二个半周期中，电感迫使电流通过输出电容，地面，续流二极管，然后流回电感。用红色绘出第一个回路，用蓝色绘出第二个回路。现在看看只有一种颜色的路径在哪里？那种单色的路径是高 di/dt 回路，这是由于开关电源对电感充放电的交替特点，使单色路径中电流不连续，出现陡峭的边缘。A 点和 B 点的电流组合起来就得到 C 点连续电流。因此需要你在布局阶段重点关注！

现在我们知道了高 di/dt 回路在哪，那么我们该如何解决这个问题呢？



在降压电路的例子中，处理这个问题的方案就是将二极管的阳极直接连到输入电容的接地端。这将强制地电流连续流通，这样实际上是下面的 GND 回流等同于电感电流。如果处理得当，阳极连接方式的路径并不会明显比它直接连接到地上的路径长多少，显著缩短了高 di/dt 的回路面积。当然，在同步调节器中，上述所有推理也适用于低侧驱动 MOS 管的源极连接。

对于升压拓扑结构，也很简单，在上面的电路中交换一下场效应管和二极管，并且交换一下输入和输出的位置。降压电路就会变成一个升压电路，电流路径看上去也几乎与先前的相同。所以正确的 MOS 管开关接地处是输入电容的地端，和降压电路中在输入电容地端的情况一样。



在上面 BUCK 和 BOOST 电路中不要将低端驱动 MOS 管的源极直接连到地，因为这样就会产生电压尖峰噪声。取而代之的是，用一块独立的铺铜将 MOS 管的源极和输入电容的地相连，将电容的接地端的焊盘通过多个过孔连接到板子的地上。

7.2 接地技术

谈到接地这可能是在电子技术领域中被叫的最多的名词。小到单元电路、电路板的接地，大到电子系统、电力系统的接地，GND 这个网络标号应该算是连接关系最复杂的了。模拟地、数字地、信号地、功率地、保护地等等，GND 的种类多种多样。本节对这些接地方法不一一展开讨论，只对电源的接地技术进行分析。先介绍几个常用的接地准则，再对比这几个准则找出共同点，帮助工程师更好的掌握电源接地技术。

7.2.1 Varga 接地准则

- Varga 关于接地的第一条准则就是“虚地”
- 由于没有电流从地平面流过，所以地平面可以被认为真正的参考平面
- 尽可能的避免电流噪声从主地平面流过，尽可能在顶层通过独立的铺铜来连接
- 对噪声敏感的电路应当采用单点接地
- 分割模拟（小信号）地和电源地

我们知道，由于地平面是具有一些寄生参数的导体，因而任何的电流流过地平面时都会产生相应的压降。所以说，在地平面没办法指出哪一个点可以作为整个电路的参考电压点。除非在板子上面找到唯一的一个参考点，所有通路经过这一点的电流为零。否则，如果忽略这个问题，将会产生致命的危险！

解决办法是仔细地分割地，以准确地知道相对于大电流的地端，控制信号的参考点在哪里。对于控制电路，如反馈分压电阻和软启动电容这些，直接连接这一部分的地端到控制芯片的 SGND 端，尽可能的与控制芯片的 SGND 直接连接与同一片地。在下方主地平面，也许或存在大电流，从而会产生电压梯度。这时，如果将反馈分压直接接到此地平面，或许将会存在输出参数几个 mV 的电压波动。也许，将反馈电阻与芯片的 SGND 直接相连，会增加走线的难度，但是为了设计电流能够正常的工作，有时候我们也是必须要这样做的。

7.2.2 Dutra 接地准则

- 不要分割地平面
- 完整的地平面，对 EMI 来说像是一个“短路”
- 对地管脚进行去耦，而不是对地平面去耦
- 在第一层铺地会有作用
- 尽可能将高的 di/dt 回路放在第一层
- 地平面只作为直流量和小信号的参考端

保证第 2 层为连续的地平面，使其作为 DC 电流回路和 RF 超高频信号的返回路径。但是，应该避免将这个地平面作为模拟地的返回路径，否则将会影响控制电路的工作。同时，小心处理高 di/dt 电流回路，尽可能的将它们远离此地平面。

一个比较好的解决方案是，从芯片的 SGND 引脚到小信号元件的地端以菊花链地方式相连。将顶层一大片的铺铜，最后通过单点的方式连接到主地平面，使得不会将高 di/dt 回路带入主地平面。在很多情况下，根本没有足够的空间使这个工作和菊花链的设计工作同时做的很好。

需要注意的是，许多 CAD 软件不会轻易让你将两个地分开并对它们进行单点连接。你必须找到一种方式来“欺骗”这个软件，告诉它它想要听到的信息。不要因为您的 CAD 软件包在很难做到正确接地而去妥协你的接地计划。想出一个可行的变通！

7.2.3 其它接地准则

- 把地平面看做流经大电流的导体，确保地线足够宽
- 在所有过孔添加完毕后，确保地平面的完整性
- 在超过 5A 电流的设计中使用 2 oz 厚度的铜箔
- 可能的话，采用多层地平面

通常情况下，都会将地平面认为是一个稳固的理想的参考平面。但是，很多情况下忽略了一些事实，比如，有时候地平面会承载很大的电流，这时候也许就不是一个理想的参考平面。另外，有时候很多过孔穿过地平面时，也许会将平面无意中分割掉。当平面清除周围所有的孔时你会看到一个 20mil 宽的残留铜皮而不是 2 个宽平面。在设计到最后阶段关掉除了地层以外的所有层是个不错的主意，以确保当你完成所有的信号线和电源线的铺设并布置好了板上所有的过孔时，你依然有一个很好的平面完整性。

看完这三条接地准则一些工程师会感到迷惑，三条准则中对于地平面的分割和地平面走大电流信号的说明是有矛盾的。这并不是说这些准则互相矛盾，而是说在设计电源 PCB 时决定按照哪个准则来设计就要统一进行，不能这个准则设计一块区域，旁边区域用另外一个准则。从这三个准则中也能看到一些共同点：1、大信号的 GND 是不能跟小信号的 GND 简单相连，要避免共阻抗干扰。2、要合理设计去耦或者走线使高 di/dt 回流路径尽量短。3、PCB 不能看做理想的导体，它是有电阻、电感和电容的。要了解自己设计的电路中电流的流动规律。

7.3 初识叠层

在多层电路板上设计电源区域的叠层顺序的如下，注意这个叠层顺序是对于电源区域的，

在这个区域以外还是按照信号线的层叠顺序和规则。

- 信号和电源。把电源部分放置到这一层。
- 地线层。
- 信号和电源。
- 信号和电源。

一般来说，为了最小化大功率连接的走线长度，电源组件之间的主要连接要放置在最上面一层。

第二层通常为系统地线所保留。这一层需要尽可能的减少噪声。

第三层经常被用来充当系统电源层，通常无法做到把信号线布局在这层。如果可以的话，我们可以采用这层作为信号通路，在这层部你希望屏蔽第三层磁场的电流检测线是最合适不过的

第四层同样用来做信号和电源的布局。如果器件允许放置在电路板的反面，有时把栅极驱动器甚至是 PWM 控制器放置在反面是很有用的。其上的任何电源和地线层都会为电路层反面的敏感信号提供良好的屏蔽效果。把驱动器直接放置在它们所驱动 MOSFET 的下面确实能够帮助最小化驱动器和 FET 栅极之间的寄生电感。为了降低电路板的总热电阻，在每层电源的附近覆上尽可能多的铜，尤其是最顶层和最低层。

7.4 元件的布局布线

7.4.1 元件放置策略

开关电源电路中包括控制器，MOS 管，电感，输入输出电容和反馈信号链路。这个元件分为功率器件和小信号器件，有些器件中有高 di/dt 的电流，所以对于元件的放置有很多讲究，关系到电路的性能和稳定性。

- 先设计电源通道布局。为高电流通路设计一个干净的能量通路，保持对称的多相布局。
- 把输出电流回路连回到输入电源 GND 也许会有帮助
- 放置感应电阻和电感，然后放置 FET 和输入电容。
- 时刻注意所需的覆铜宽度。
- 保证输入和输出穿过电容器。

有一种说法，控制器是设计部分最重要的，因此，应当从控制器开始设计。事实远非如此。应该从功率通道元件开始，因为它们体积大，需要更粗的连线。布小信号线要比布较粗的功率线容易的多。

用这种方法设计功率部件，将使功率流动更合理，且封闭环路尽可能小。尽量返回电流到他们各自相应的相邻的或下面的源电流。这将使环路面积最小，并可降低电路板表面辐射的磁场。等值反向磁场将互相抵消。导体距离越近，抵消效果越好。一旦所有的功率元件放置完毕，就寻找一个低噪声的区域来布置控制电路。

- 控制电路最后放置（它们只需要很小的布线，很容易布置）
- 阻抗或者增益越高，节点就应该越小，尤其是 FB 引脚，输入运算放大器，COMP 引脚等。
- 包括输出在内，低阻节点会很大，因此把 FB 元件放置在输入附近。

按照前面讨论的接地建议。保持有着最高的阻抗的迹线最短，因为它们最易拾取杂散磁场。例如，反馈分压器中的两个电阻应非常靠近稳压器的 FB 引脚，而不是靠近电源输出。从分压器顶部到电源输出之间的连接是一个低阻抗连接，因此不易受噪声的影响。相反，误差放大器由于其高阻输入，对电感噪声非常敏感。有这样一种倾向，认为要让敏感节点大一些，并错误的认为，这样能够起到一定的屏蔽作用，事实恰好相反。这将增大信号线与空间之间的电容，增加了噪声窜入的可能性。应使敏感线路尽可能的窄尽可能的短，这也是为什么敏感线路使用 10mil 线宽的原因。

从开关电源散发辐射的一个最主要的原因可能是长输入电源线的传导辐射，屏蔽能够起到一定作用，但最终的解决办法是减少输入线的交流电流，这意味着到稳压器的输入电流进行有益的去耦和滤波。另外一个保持控制的重要方法是使输入电容器与 FET 之间的环路尽可能小。对输出电容器应用上面讨论的电容器连接技术。它们对输入端也有效。

再介绍一些常用的经验法则如下：

- 30 mil 线宽每安培覆 1oz 的铜，60mil 线宽每安培覆 1/2oz 的铜。
- 每个过孔交流电流最大值限制在 1A 是一个好的设计方案。
- 旁路电容过孔应该放置在与焊盘相切的位置，优选的方案是一个焊盘放置两个过孔。
- 最小化电源通道上的寄生电感（杂散电感）！

与电感器串联的走线的电感一般不必特别关注。其结果只是增加通道中的整个电感。相反，不希望增加与电感器并联的电容量。这类似于增加与电容器串联的电感，并将带来问题。如前面已经叙述过的那样，密切关注高载流通道布线的规模。在大电流通道中，布线越粗几乎总是越好。

我们已经讨论过利用过孔连接旁路电容器与接地层。要求电容器的每个焊盘至少与一个过孔相连。每个焊盘有两个过孔更好，三个过孔会再好一点，但是对结果的影响将更小。过孔不必太多，但要大于等于两个，超过两个带来的好处会很少。电路板布局需要“使杂散电感最小化”。把每个高 di/dt 路径看作是高频射频连接（因为它的谐波频率可以到射频）。你

可能会说：“我们只使用 100 kHz 频率”，但是，快变的边缘将使频率成分到达数十 MHz 甚至可能到达数百 MHz。在电路板布局时，千万不要忘记这一点。

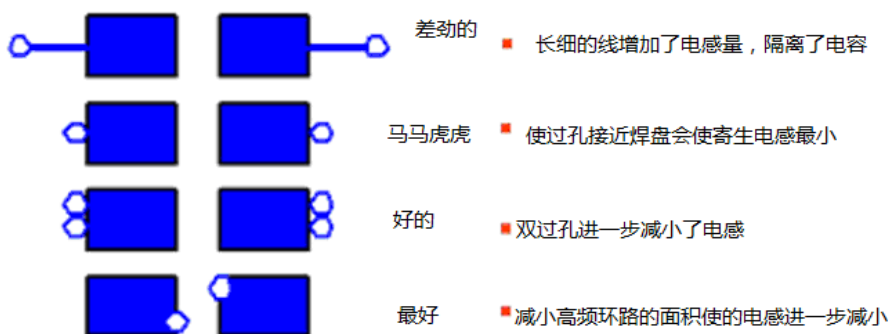
7.4.2 滤波电容布线

滤波电容对于工程师并不陌生，它在电路中无处不在，每个芯片的周围都有它的身影。滤波电容分为两种：小容值的用在高频去耦上，大容值的用在低频去耦上。因为小容值的更接近理想电容，寄生电感小，对高频信号能起到很好的低阻抗作用。大容值电容的寄生电感大，主要用于储能，补充电流的消耗。

在使用去耦电容时要记住一条准则：电流总是沿最小阻抗路径流动。在设计中遵循这条基本准则才能约束电流沿着工程师设计的最小阻抗路径流动。下面分别看一下高频去耦（旁路 bypass）电容和输出去耦电容。

高频旁路电容

由于开关电源的高 di/dt ，干扰的谐波频率很高，所以开关电源需要高频旁路电容将这个高频干扰约束在一个小范围内，不使它向外扩散。下面对一些常见的高频旁路电容接法进行对比。



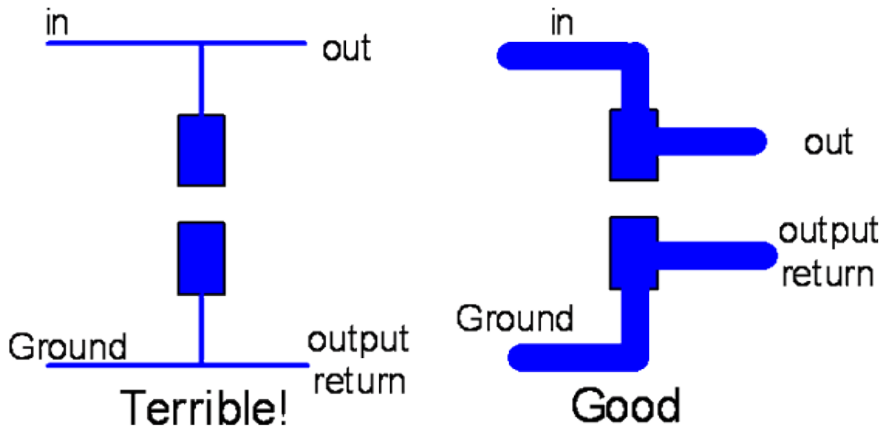
高频旁路电容连接必须具有最小附加电感。一些粗糙的设计往往采用类似图中最上面的设计方案。由于附加电感削弱了电容的去耦作用，那么放置电容完全是在浪费资金和空间。最好的方法是图中所示的最下面的设计。封闭的环路面积被最小化，并且有良好的磁场抵消效果，这样有利于低电感互联。第二个和第三个方法被最为广泛的应用。过孔放置的时候需要与焊盘相切，从单过孔转换为双过孔能够使寄生电感降低 10%至 20%。增加第三个过孔只能带来 1%或 2%的改善。

输出旁路电容

让我们先看一下图中所示的两种布局方式。两种方式都是想要输出电容与表面贴装焊盘相连接。左边的设计由于具有高的电感量，使得在降低波纹和尖脉冲方面做得不够好。左边

的设计从输入到输出的直通连接通道比通过电容器的通道有更低的阻抗，所以电流将沿最低的阻抗路径流动，电容的作用将大大减小。

Connecting to Output Bypass Caps



对于右边的设计来说，输入和输出走线更宽厚，因此其连接阻抗更低。但是更重要的考虑是相对于电容器走线的物理方向，注意电流通道通过电容焊盘，输出从电容直接连出，从输出的角度看电容器，这是阻抗最低的连接。唯一可以实现的进一步改进是使走线足够宽，这样它们能够有效地降低到电容的寄生电感。如果使用多个去耦电容器，也用类似方法，并联后电容的寄生电感更小。如果电容器需要连接内部接地或电源层，可以使用大量过孔连接内层电路。

通过上面的分析，可以看到在设计电源 PCB 中电容布局布线的几个基本方法

- 每个引脚采用多个过孔
- 利用覆铜连接大量的电容器
- 在检流电阻附近放置大量的电容器
- 放置大电容使得形成多个为负载蓄能的通道。
- 输出要穿过电容器。

7.4.3 功率 MOS 管和去耦

功率 MOS 管是高 di/dt 的元件，并且流过大电流，这就意味着它是主要的干扰源，如果对功率 MOS 管布局布线不正确，你设计的电源将遇到诸多难题。遵守以下准则可以事半功倍。

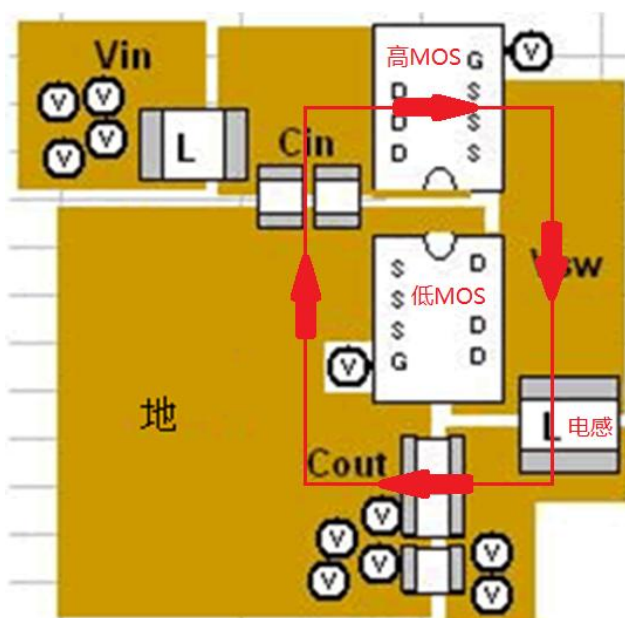
- 最小化高边 MOSFET，低边 MOSFET 以及输入电容封闭形成的环路面积。
- 把低边 MOSFET 的源极与输入电容接地点相连，然后连接到接地平面。

- 用铺铜实现漏极和栅极到电源 FET 的连接。
- 使用大量过孔连接到内层。
- 最小化电源通道上的杂散电感！

如同前面的讨论，输入电容器、高边（high side）FET 以及低边（low side）FET 之间的环路需要最小化。在降压设计中，这可能是最关键的通道。应当遵循前面提到的关于在输入电容器接地点对低边 FET 源极进行接地的规则，以及确保连接主电源与 MOSFET 的走线足够粗。这对供电和散热都有好处。

同样的原则也适用于过孔。过孔越多越好。想想并联连接的全部电感（并联使过孔的电感减小）。它们还作为电路板背面和内层的热量通道。尽可能利用焊料填充过孔。尽管在供电与散热方面不如铜箔，但焊料还是优于空气，而且它也是填充过孔的材料。顺便说一下，要确保电源通道中的寄生电感最小。

下图是功率 MOS 管和去耦电容的一个布局例子。



从这个布局图中可以看到：功率元件布局紧凑，组成的高 di/dt 环路面积最小。低边 MOS 管的源极（S）跟 C_{in} 的 GND 就近连接。用覆铜取代走线连接各功率元件，可以使通道上的寄生电感减小，有利于消除毛刺干扰。

7.4.4 大电流的走线和过孔

工程师在设计的时候，很容易忽略走线宽度的问题，因为在数字设计时，走线宽度不在考虑范围里面。通常情况下，都会尝试用最小的线宽去设计走线，这时，在大电流时，将会

导致很严重的问题。下面的公式用于计算线宽与电流之间的关系，已经应用了几十年，通过这个公式可以很合理的去计算走线的宽度。当然，在大电流走线时，走线越宽越好

$$T := \left(-1.31 + 5.813 \cdot A + 1.548 \cdot A^2 - .052 \cdot A^3 \right) \cdot \frac{2}{\text{CuWt}}$$

T 表示线宽(mils)

A 表示电流 (A)

CuWt 表示铜线的重量 (ounces)

以上公式适用于 1A 到 20A 的电流。

对于高速多层层板来说，倾向于采用 1/2oz 的铜箔，这样有利于采用更薄的材料去蚀刻走线。但是这么薄的铜箔，对于电源来说是很不理想的。所以，如果可能的话，对于内层的地平面采用 2oz 的铜箔，因为它没有走线，也就不需要去蚀刻。很多 PCB 实验工厂可以进行选择性的对外层进行电镀，这可以对于大电流的走线进行金属加厚处理，但是这将会增加 PCB 成本。如果可以采用多层设计的话，那么就可以通过使用大量的过孔对它们进行互联。

下面为根据不同的电流，其走线宽度的案例。利用上述公式计算理论值。实际中如果有 PCB 面积可以考虑大于理论值。

- 对于 1A 和 1oz 的铜箔，走线宽度在 12mils
- 对于 5A 和 1/2oz 的铜箔，走线宽度在 240mils
- 对于 20A 和 1/2oz 的铜箔，走线宽度在 1275mils

对于走大开关电流的薄的铜层，尽可能采用宽的铺铜。这些宽度是在温度大约为 10°C 时得到的。越宽越好！尽量使 1oz 的铜通过每安培电流时线宽为 30mil，½ oz 的铜通过每安培电流时线宽为 60mil。走开关电流的线宽应该更宽。曾经看到有人对于 10A 的电流采用 50mil 线宽的 1/2oz 铜箔，显然这个将会成为一条保险丝。切记，板子边缘的铜箔是 PCB 散热的主要路径，由于铜的热阻明显小于板子材料玻璃纤维，因此，板子放置越多的铜箔，则其越易于散热。

分析完大电流的走线，再看看电流对过孔的要求。过孔是连接多层信号不可少的 PCB 结构。很多工程师在设计电路板时为了使线路好走，使用大量的过孔。在设计电源过孔时需要考虑如下几个方面：

- 对于 1A 走线，可以采用微型孔
- 对于 2A 走线，可以采用 14mils 直径的过孔
- 对于 5A 走线，可以采用 40mils 直径的过孔
- 为了更好的散热，可以在过孔内填充焊料

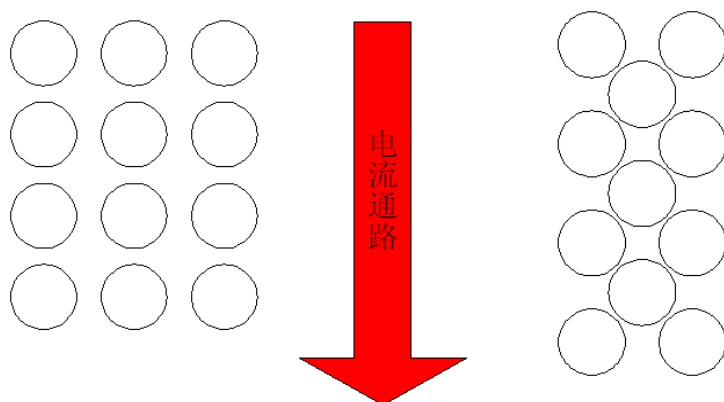
- 在集群的过孔之间留下铜窄道。避免“瑞士奶酪”的现象

很多时候过孔是很危险的，如果可能的话，在承载电流器件的回路尽可能的避免放置过孔。过孔唯一有用的地方就是它能在设计区域中引入其它多余覆铜的区域，例如一个内层可以通过过孔并行连接到外层有电路连线的区域。

过孔当然也有散热的功能，它可以将 PCB 正面的热量带到 PCB 的反面，以便于某些面的散热。对于发热比较厉害的区域，使用越多的过孔，则更加有利于将此区域的热量带出来。

当使用大量过孔时需要小心的是内部接地层会被严重缩减甚至导致几乎没有可以用的电流路径。这种现象尤其很容易发生在非常小的电路板比如 VRM 卡上。

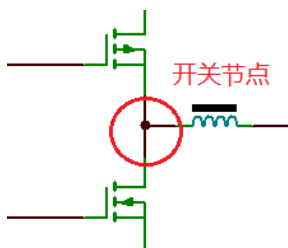
如果内平面被过孔隔断（右图），那就使通道像图中左边示意的那样



确定并检查接地层，务必保证在高电流区域内的过孔之间仍然保留大量覆铜。特别是两层板，与之相似，也要注意这个问题。如果有任何的通过底层的走线，不应该使它们的接地回路成为迂回曲线，看起来像是迷宫。

7.4.5 开关节点

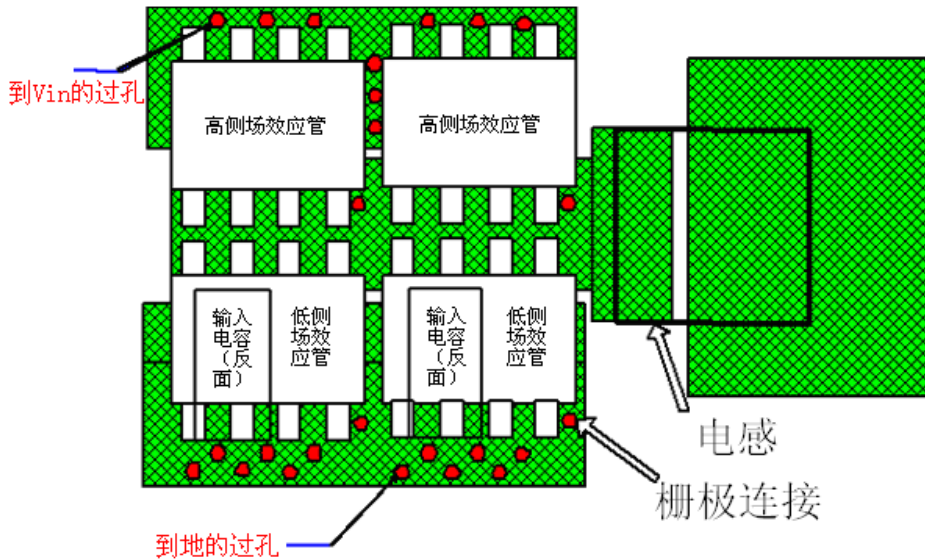
开关节点是指电感和 MOS 管相连的点。例如对于同步型开关电源，开关节点连接两个 MOS 管和一个电感。



开关节点的布局呈现出了一个矛盾：为了足够的电流处理能力，节点必须尽可能的大。然而它又必须尽可能少的产生噪声。它在 V_{IN} 到接地之间以 F_{sw} 频率开关，这是一个高

dv/dt 节点，它是一个静电辐射器。所以为了保证电感非常接近 FET，尽量使布线最短。采用多层布局，确保电源通道中的杂散电感最小。

降压稳压器开关节点是一个大型静电辐射体，因为它在 VIN 到接地之间以 F_{sw} 频率开关，位移电流将对开关节点与接地层以及自由空间之间的电容充放电。通常，如果能够最小化就更好。对于降压稳压器以外的产品，就要考虑在高电位开关的任何节点，并想办法使其余部分的电容最小化。



这个例子是降压配置中两个并行 FET（顶部与底部）相当干净的布线。注意，背面的去耦电容器。在电容器 VIN 接线端与高边 FET 漏极连接之间有一个平面区域。在实践中，需要在高边 FET 栅极引脚周围进行少量剪切。沿着门引脚的边际用过孔将门驱动引入内层，这样才不会损坏开关节点功率通道的完整性。如果需要为开关节点添加更多金属，可以将连接在此点的层数加倍，并在 FET 引脚附近以及电感器焊盘近旁增加大量过孔。

注意，连接电感器输出端的焊盘比开关节点边大。在电感器下如此操作没有问题，并在开关节点焊盘旁边停止。对于电感器来说，这是极好的散热器。

7.4.6 控制电路布局

先看一下控制电路布局的一些准则：

- 对 Agnd 和 Pgnnd 使用单点接地
- 顶部的“菊花链”地或者单独的平面区域可以运用于 Sgnd 的连接。
- 保证 Vcc 旁路电容靠近引脚。

- 敏感的信号要远离高噪声的节点，也不要将高噪声的信号放置在敏感的节点附近。
- 保证反馈电阻跟电容靠近芯片引脚。

通常需要将控制器 IC 的 AGND 和 PGND 引脚连接在同一个点上并接地。使用一个细线从 AGND 引脚到各种小信号地的菊花链是一个不占用 PCB 面积也能起到不错效果的选择，如果有空余的 PCB 局部平面作为专用的小信号地就更好了。

从避免噪声的角度来讲可能一个最重要的区域是开关节点。这些区域以及电感旁边的区域有可能对小信号路径造成很大的麻烦。如果使用非屏蔽的开放磁芯结构的电感器要特别小心。电感周围的杂散磁场能很容易的破坏电流检测信号和反馈信号。你也应该尽可能地避免把一个控制器/调节器跟一个非屏蔽磁芯的电感器靠的太近。一些实例中由没有屏蔽的电感器产生的磁场导致了调节器变得混乱。

再看一下布线的一些准则：

- 低阻抗通路可以布长线，而高阻抗通路尽量使布线最短。
- 差分的电流检测线应平行对称以减少差模噪声。
- 保持大多数小信号的走线较窄。最小化的分布电容使信号不易被周围的信号影响。
- 信号和其回流路径（+/-通路）并排布线。

一个信号的交流阻抗越大，它越容易被杂散场影响。因此，如果需要布长线，总是选择连接在最低的阻抗端。例如反馈分压电阻，分压电阻应尽量靠近反馈输入端（反馈输入阻抗高），而长线布在分压电阻与输出电容之间。

当布差分电流检测线时，要尽量保持两条线互相平行并尽可能接近。这样一来，两条线上的任何噪声的产生很可能是等量的并相互抵消。它看起来像一个共模信号并受到接收放大器的共模抑制比（CMRR）。但至少你将不会被注入纯粹的差分噪声信号。同样的基本原理适用于诸如远端感测线。

保证小信号的走线尽量短。他们将不太容易受到电容耦合噪声的影响。如果必须要给高输入阻抗的信号布长线的话，要在内层上放置导体要彼此平行并被接地的铜所环绕。在本质上，就是建立一个 PCB 同轴电缆，使这个长线在地的包围中。

7.4.7 散热情况考虑

对于大功率的电源，发热是必须考虑的问题，它会影响产品的使用感受，严重时会影响电路寿命。使用 WEBENCH 的热仿真功能，可以让工程师快速的看到电路中的发热点。

- 保持电源走线粗大！使用大量的铜。
- 在可能的情况下用 2 盎司的铜。
- 尽可能多的把热源散播开来。

- 在所有的层上用铜覆盖尽可能多的基板面积
- 避免将电源部件放在没有空气流动的地方。
- 用焊料填充，这比让它们通过空气来散播热量的效果要好。

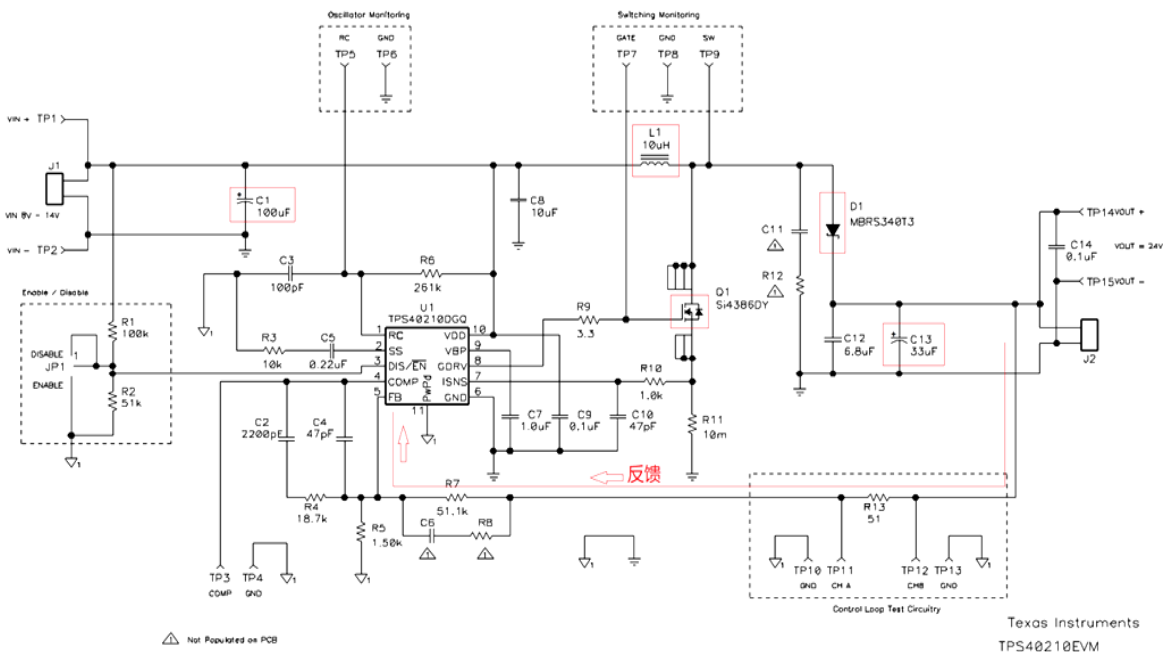
我对使用铜的规则是如果你发现一个能够通过 pcb 看到光的地方，你可能要使用更多的铜。当布局完成时在板上覆大量的铜，把这些铜连到地或交流地上是个不错的主意。这将最大限度地增强电路板的散热能力。当然，每个走线必须足够宽以处理该导体的对应电流。

在没有做出主要的电气妥协的情况下如果你把热源物理地分开。热源越分散，你在板上的一个点上看到一个大的热峰值的可能性就越少。

对于使用风冷 (forced airflow) 系统，要注意气流方向。不要把一个耗散 1.5w 的场效应晶体管安装在一个高大的铝电解电容的后面。在这种情况下最好是颠倒一下组件或者把它移到一旁这样场效应晶体管就能完全的暴露在气流之中。所以不要阻挡发热器件的气流，也不要将流过发热器件的热气吹在一个不耐热的器件上。

7.5 TPS40210 布局布线实例分析

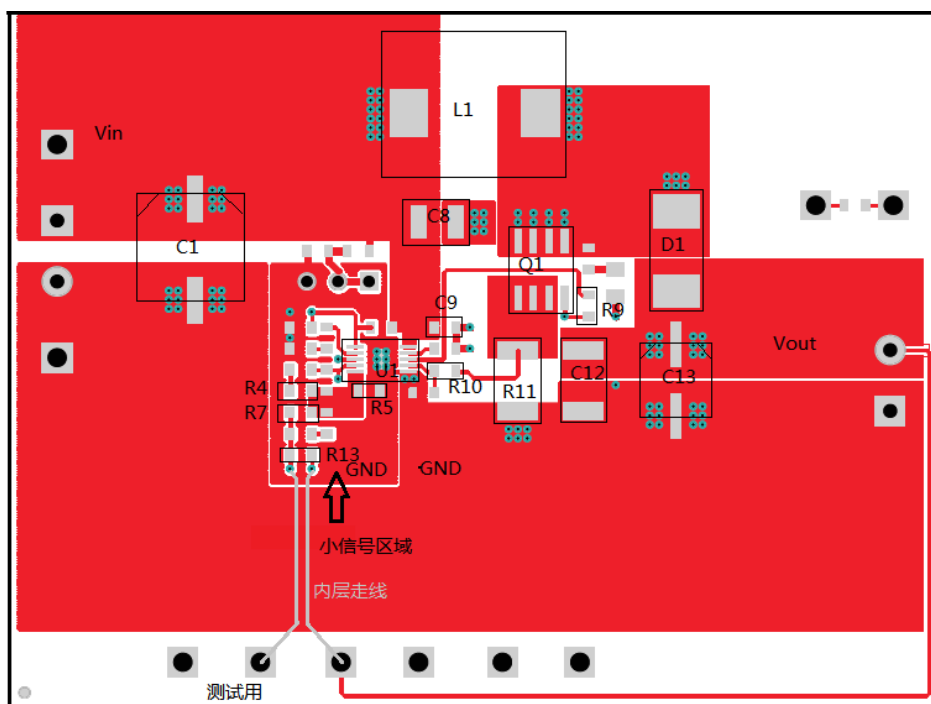
通过前面的布局布线介绍，我们对电源的 PCB 设计有了初步的认识。本节以 TPS40210 的 EVM 板为例，详细解析一下它的设计方法。TPS40210 是一款输入电压范围宽，带缓起，频率可调的 BOOST 升压型开关电源，效率可以达到 95%左右。在分析 TPS40210 的 PCB 布局布线前，先看一下它的原理图，重点看一下功率器件和反馈回路。

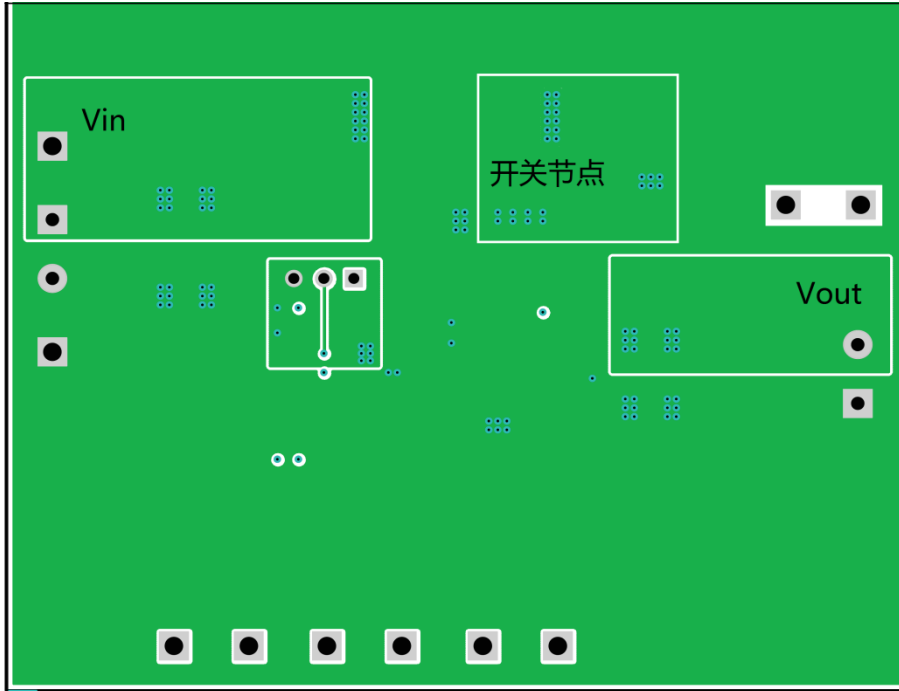


图中标出了功率输出回路和反馈回路。TPS40210 的 boost 电路升压原理在前面章节中讲述过。这里简要回顾一下：充电是 Q1 导通， V_{in} 给电感充电。放电时 Q1 截止 D1 导通， V_{in} 加上 L1 的感应电动势给 C13 输出电容充电。这样就可以得到比 V_{in} 高数倍的电压输出。用表格将相关元件的位号做一下统计，方便对应 PCB 查看。（更具体的资料请参考 TPS40210 的 EVM 使用说明。文档编号 SLUU308，登陆 TI 官网可以搜索查询）

区域	元件位号
功率路径	C1、L1、D1、C13、Q1
反馈控制路径	R13、R7、C5、R8、R5
电源控制器	U1

下图是 TPS40210 的 PCB 图（TOP 和 BOTTOM），控制器 U1 在中间区域，其上方和右方是功率路径，左边的小区域是小信号区域，小信号区域的 GND 被隔离出来。



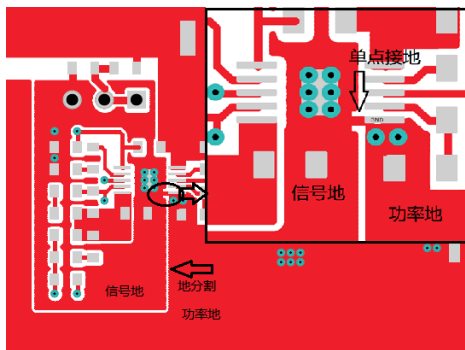


结合 7.4 节讲到的布局布线要点，对 TPS40210 的 PCB 进行分析。此处受限于篇幅不能对所有开关电源拓扑结构都一一分析，做不到面面俱到，希望读者能从中举一反三。

7.5.1 地平面的划分

电源 PCB 设计中首先要考虑 GND 的划分，对于芯片内部集成 MOS 管的控制器，它的管脚一般会分有 AGND 和 PGND（信号地和功率地）两个管脚，例如 TPS54610 的 1 脚为 AGND，15-19 脚为 PGND。PGND 是要为内部 MOS 管提供大电流回路的，所以它的管脚数量也多，噪声也大一些。对于使用外部 MOS 管的控制器，控制器只驱动功率 MOS 的栅极即可，不需要大电流，只有一个 GND 管脚。

TPS40210 是使用外部 MOS 管的控制器，它只用一个 GND 管脚，可以看做是信号地。从 TPS40210 的 top 层 PCB 图也可以看到将 GND 分为了两个域。信号地供控制信号路径上的元件接地使用，功率地给输出输出电容、电感和 MOS 管使用。信号地为了不被功率地干扰，或者说不要让功率电流流过信号地，PCB 上做了分割。将图中的接地点放大分析细节，如下图。



地平面分割和单点接地

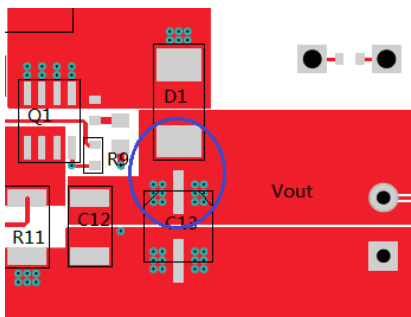
7.5.2 滤波电容布线分析

本节分析的电容布线针对 TPS40210 的电路中的功率电容和滤波电容：功率电容，作为功率路径上的储能元件（C13，C1）。滤波电容，为控制器供电电源管脚滤波使用（C8，C9）。

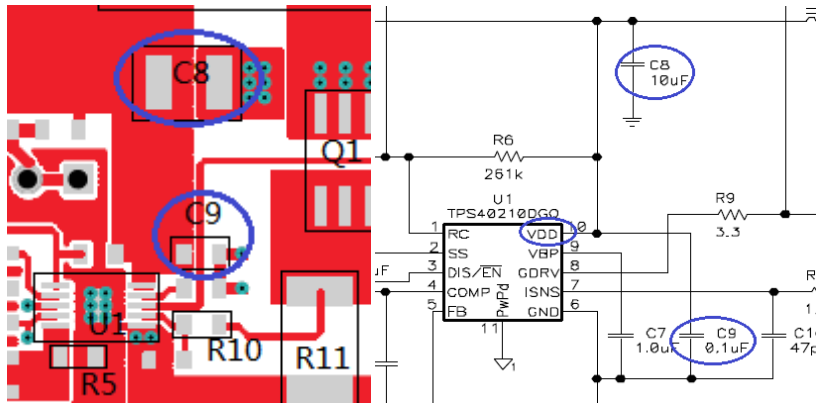
功率电容需要的容量大，耐压值高，使用铝电解电容是一个不错的选择。表贴式铝电解电容的外形和封装如下图，由于元件的引脚较细，所以在 PCB 上管脚的旁边打了多个过孔连接到内层，降低 PCB 的电阻和寄生电感。



根据 7.4.2 节所述，输出电容要切实的起作用，就要保证电容管脚到输出的阻抗要低，因为电流总是沿低阻抗路径流动，阻抗如果设计过大则电流将不会流过输出电容管脚就直接到达 V_{out} 。所以 TPS40210 的输出电容的连接用铺铜代替走线，并打多个过孔到内层，极大的降低了阻抗，确保输出电容起到储能滤波作用。如下图。

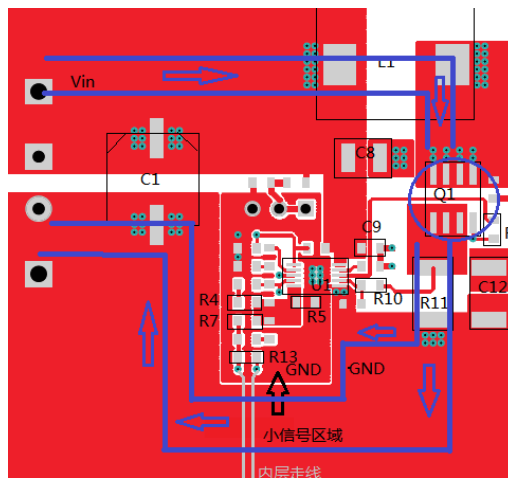


TPS40210 的 10 脚为 VDD（右上角），C8 和 C9 为其提供电源滤波作用。可以看到两个电容的容值相差 100 倍，可以参考 2.4.3 节中电容的频率特性，C8 的高频特性不如 C9，所以此处 C8 用于为控制器蓄能（虑低频），C9 为控制器过滤高频干扰。由于特性和功能不同，在 PCB 上的布局也不同。C9 必须靠近 VDD 管脚，C8 在附近即可。这是因为 PCB 上的走线随着长度增加，其寄生电感增加，对于高频来说 C9 将起不到作用。低频对寄生电感不敏感，所以 C8 在 VDD 附近即可。



7.5.3 功率 MOS 管布线

功率 MOS 管是开关电源中的电子开关，其中的 di/dt 很高，高速的开关可以减小过渡区的时间，减小开关损耗（参考 6.3.1.2）。这也是业界减小开关损耗的趋势。所以高性能的开关电源中 MOS 管的连接通路上避免出现较大寄生电感 ($U=L*di/dt$ 产生尖峰电压)。

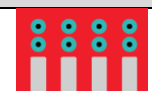
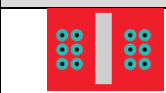

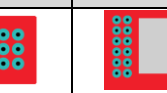


图中 Q1 源极 S 和漏极 D 的连接都使用铺铜代替走线，使铜线的面积增大，减小寄生电感并增加了通流能力。用过孔连接内层，过孔同时起到辅助散热的作用。再看一下 Q1 的电流


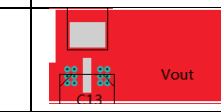
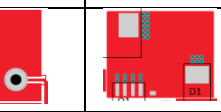
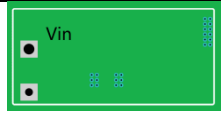

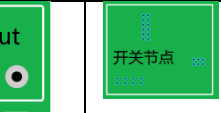
回流路径，Q1 导通时，电流从 V_{in} 经过 L1 流过 Q1，再通过电流采样电阻 R11 流回到 GND。根据 7.4.3 介绍的 MOS 管布线规则，理想状况下 R11 的 GND 应该尽可能的接近 C1 的 GND，以减小高 di/dt 回路面积。但是由于受限于 PCB 面积，大电流会经过控制回路部分，所以在控制回路做了 GND 分割（AGND 和 PGND），大电流绕开 AGND，避免了干扰。

7.5.4 大电流和过孔

对于功率元件，使用多个过孔连接到内层，增加通流能力，过孔的间距合适没有打断铜皮。各个功率元件的过孔连接如下表。多个过孔并列还可以减小过孔的寄生电感。

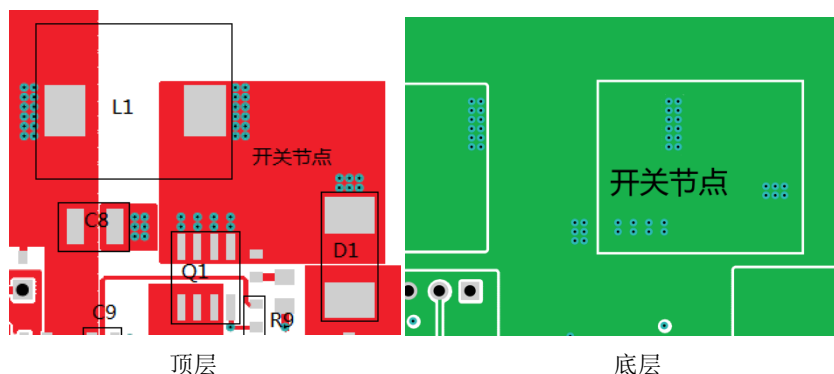
	MOS 管过孔	大滤波电容过孔	小滤波电容 过孔	电感过孔
过孔				

经过大电流的路径都使用分割平面的方法布线，如输入 V_{in} 、输出 V_{out} 和开关节点处，利用平面的低电阻，低寄生电感，提供大的通流能力，同时减小高 di/dt 产生的尖峰干扰。不仅用 top 层的铜层，并且还通过过孔利用底层的分割铜层。

	输入的铺铜布线	输出的铺铜布线	开关节点布线
Top			
Bottom			

7.5.5 开关节点布线分析

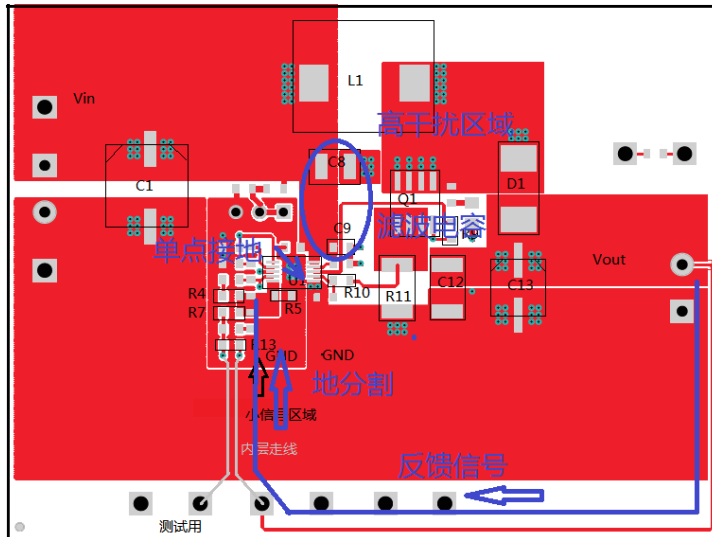
开关节点连接 MOS 管和电感等功率器件，其上要流过大电流，并且电流的 di/dt 很高。所以 TPS40210 的开关节点设计使 MOS 管、L1 和二极管 D1 相互靠近，分割出一块铜皮给三者连接使用，并打多个过孔跟底层的铜相连，进一步提高通流能力，降低寄生电感。



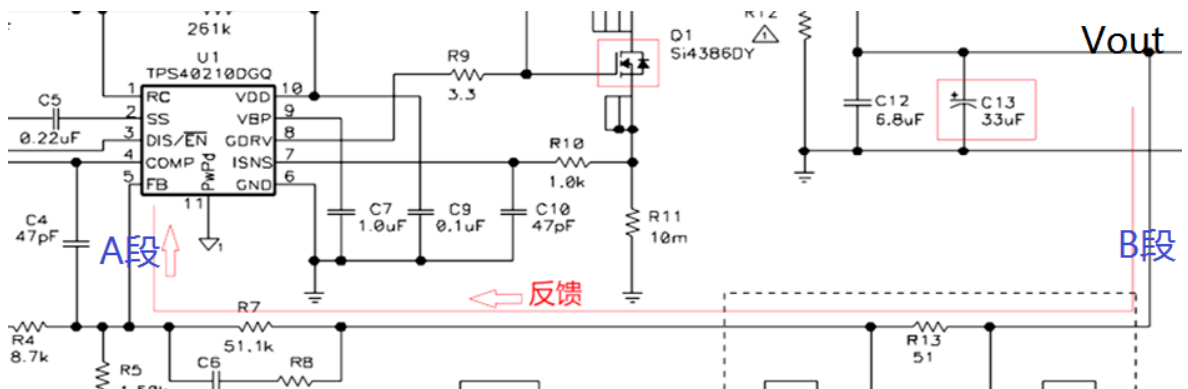
这样的“岛”状连接比使用走线连接要好的多。并且可以起到辅助散热的作用。需要注意的是，开关节点不要过分增大面积，记住“电流总是沿最低阻抗路径流动”，过大的面积使得开关节点的外缘阻抗增大，电流还是在中间部分流动。过大的面积反而增加了开关节点的辐射，使其成为干扰源。

7.5.6 控制电路布局布线

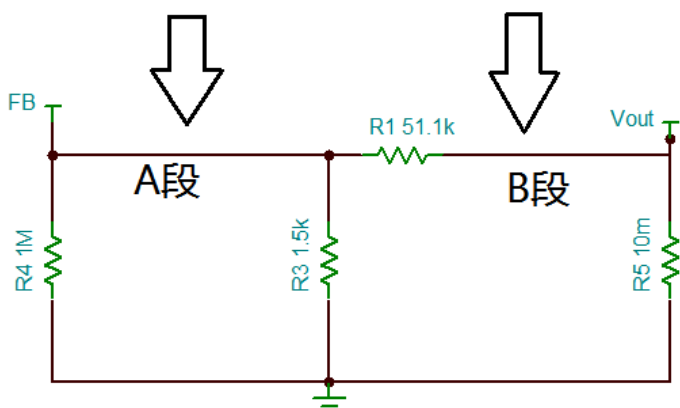
参考 7.4.6 节，可以看到 TPS40210 控制线路中的布局布线遵守了其设计准则。1、控制电路的 AGND 和 PGND 分割开来并单点接地。2、正确的使用了 C8 和 C9 滤波电容。3、高干扰区域和反馈信号分别位于电路板的上方和下方，反馈信号避开了高干扰区域。4、控制信号走线细，较少的摄入干扰。5、反馈信号考虑到了高阻和低阻情况，长线部分走在低阻一边。



对于 1 至 4 条，前面的实例分析中都有涉及到，本小节介绍一下第 5 条的原理。可以看到反馈信号在 EVM 板上为了便于测试，绕了较大的圈，但是 EVM 板电路仍旧工作正常，这是为什么呢？先看一下反馈的原理图，分析一下反馈电路两边的阻抗。



芯片 FB 管脚连接误差放大器的负向端，输入阻抗很大在兆欧级别。Vout 是电源的输出，驱动能力很强，阻抗在毫欧级别。所以反馈路径的 FB 端阻抗很大，Vout 端阻抗很小。原理图中反馈路径中的电阻为 R13（51 欧）、R7（51.1K 欧）和 R5（1.5K），R13 测试电阻相对于 51K 来说很小，可以忽略。这样反馈路径可以简化为下面模型

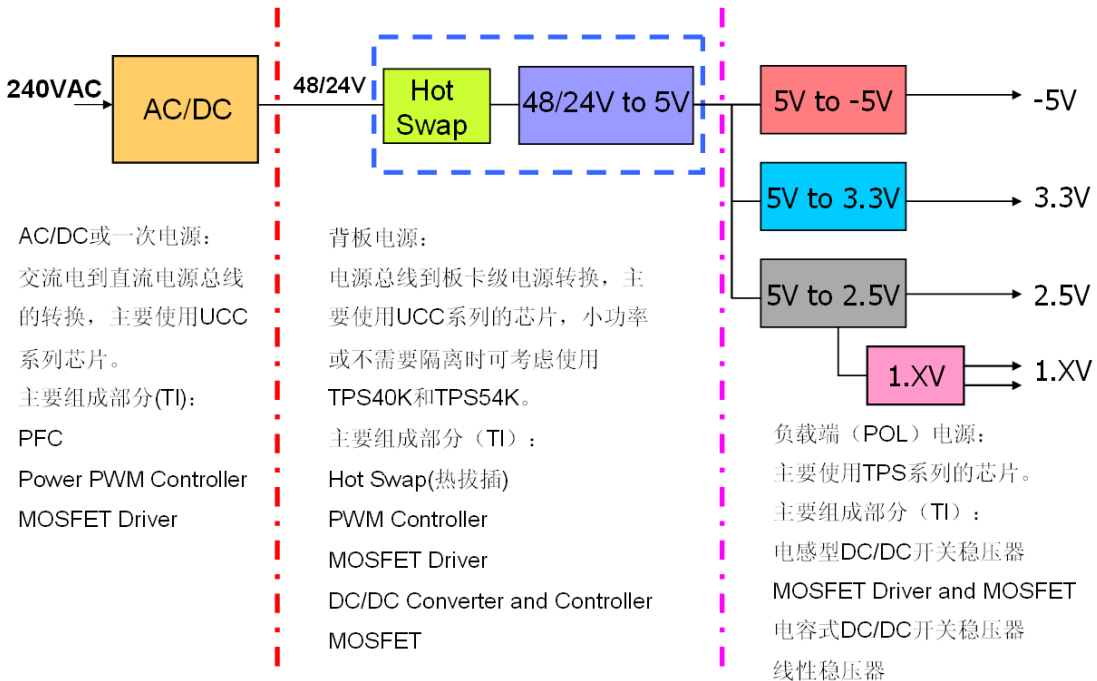


外部干扰相当于一个内阻较大的信号源，如果一根长线放在 FB 端（A 段走线长，B 段走线短），从 A 段看进去的阻抗为 $1M // 1.5K // 51K$ 三个电阻并联，结果在 1K 左右。如果长线放在 Vout 端（A 段走线短，B 段走线长），从 B 段看进去的阻抗为 $(51K + 1.5K) // 0.01$ （忽略 1M 电阻），结果在 0.01 欧左右。两者相差 $1K / 0.01 = 10^5$ 倍，干扰源接在 B 段几乎短路到 GND，所以 A 段比 B 段摄入干扰的能力强很多。EVM 板上将反馈电阻都放置在 AGND 区域，靠近 FB 管脚，将长线放在 B 段，大大减小了干扰的影响。

第八章 TI DC-DC 电源产品简介与选型指南

在本节中我们将简要介绍一下 TI 的电源技术和相关产品，PWM 功率控制器；以及负载端（POL: Point of Load）DC/DC 转换中的低压降线性稳压器（LDO）和 DC/DC 开关稳压器。以及 LED 照明中的电源解决方案。AC-DC 方案和相关产品不在本章中详细介绍。

在进行具体技术和产品介绍之前，让我们先对电源技术和对应的 TI 电源产品有一个初步的认识，概括起来，按用途分，电源分为两类：AC/DC（即一次电源）和 DC/DC（比如，负载端电源，POL: Point of Load）；按工作原理，可分为线性稳压和开关电源两类；开关电源按有无电感又可分为电感型开关稳压器和充电泵两类；这里首先我们按照用途对 TI 电源产品进行分类并对 TI 的命名方式做一个探讨。



如上图，我们需要将 220V 交流电转换为 48V 或 24V 等常用的电源总线电压再送到电源背板上，这一个步骤称为 AC/DC 或一次电源；接着我们需要将仍然较高的 48V 或 24V 电源总线进行 DC/DC 转换到 5V 或者其他更低的电压（称之为中间级的 DC/DC 转换）；在这两个步骤中，对高电压、大功率环境下的高效率转换要求非常高，UCC 系列的 PFC 芯片、功率 PWM 控制器和 MOSFET 驱动器占据了主要位置，他们离线式的特点使得其在功率较大的环境中游刃有余，但一级电源电路的外部元件较多，电路拓扑较为复杂。

在 5V 的负载端电压生成以后，被送到各个电路板上进行负载端的 DC/DC 转换，这一过程中功率被进一步地分散，比如有多个不同的芯片为电路中的数字部分（又可再细分为处理器的核心和 I/O 供电等等）和模拟部分（也可进一步被细分，比如给运放，AD/DA，RF 等）分别供电，这样每块电源芯片所需输出的功率不大，但对电源设计的简洁性要求非常高，这时可以选择 TI 的负载端供电的电源家族：TPS 系列芯片（包括电感式开关稳压，电容式开关稳压器（充电泵）和低压差线性稳压器），它们涵盖了小到大功率的处理器核心和 I/O 供电，电池供电中的低功耗升降压开关稳压器以及低噪声 RF 电路使用 LDO 供电等的各种解决方案。TI 电源产品的命名方式按分类来看主要有：

AC/DC 和中间级 DC/DC 产品线：

UCCxxxx，主要包括 PFC，PWM 功率控制器和 MOSFET 驱动器三类。

POL (Point of Load, 负载端供电) DC/DC 产品线：

线性稳压器和 LDO：TPS7xxxx

电感型开关电源：

主要有 TPS40K，TPS54xxx 和 TPS60K 的一部分，其中：

TPS40K：中到大功率的开关电源控制器（DC/DC Controller），即 MOSFET 外置的产品，包括升压，降压和反向拓扑，支持的电流较大；

TPS54xxx：中等功率的开关电源转换器（DC/DC Converter），即 MOSFET 内置的产品，一般是降压和反向器，电流一般在 3A 以内，有的低输入范围的产品（如 3—6V）在低电压输出（如给 DSP/FPGA 的核心电压 1.2V 供电）时能达到 10A；

TPS62xxx：低功耗的降压型开关电源转换器（DC/DC Converter），MOSFET 内置，电流在 2A 以内，适合手持式设备中使用；

TPS61xxx：低功耗的升压型开关电源转换器（DC/DC Converter），MOSFET 内置，输出电流小于 1A，适合在电池供电设备中

电容型开关电源：

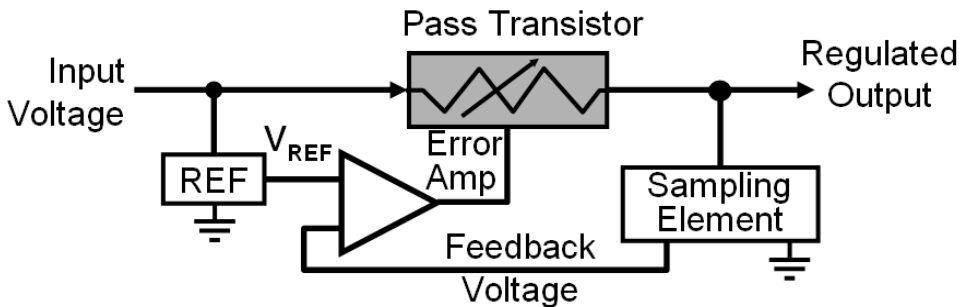
TPS60xxx，即充电泵，绝大多数为升压产品，在电池供电应用中非常广泛，比如将 2 节或 1 节电池的电压提高到 3.3V 或 5V；

8.1 POL 中的低压差线性稳压器

经过 AC/DC 和中间级的 DC/DC 电路后，我们在板卡上得到了一个 5V 的直流电压，这个电压对我们板卡上的某些电路来说，还是太高，比如 TI DSP 的核心电压现在一般是在 1.2V，I/O 电压一般为 3.3V，这时我们就需要将 5V 的直流电压转换为需要的电压，TI 拥有丰富的 DC/DC 转换器产品线，包括传统的电感式开关稳压器，无电感的开关稳压器（充电泵）和线性稳压器。我们从最简单的线性稳压器开始，介绍一下 TI 的 DC/DC 电源技术和芯片。

线性稳压器和低压差线性稳压器（LDO）

线性稳压器的工作原理很简单，就是通过消耗能量的方式来实现降压：在线性稳压器内部有一个功率耗散管（如工作在电压电流特性曲线中线性区的晶体管），通过输出的反馈电压，内部参考电压和误差放大器产生一个控制电压来控制功率管的导通程度（控制电压改变其内部载流子的浓度），使得功率耗散管呈现出不同的阻抗来消耗不同的功率，从而得到稳定的输出电压。



因此，线性稳压器都是降压型的，而且，稳压器上的压降越大，负载电流越大，线性稳压器上的功耗就越大，而且这种功率耗散是持续的，如下式所示：

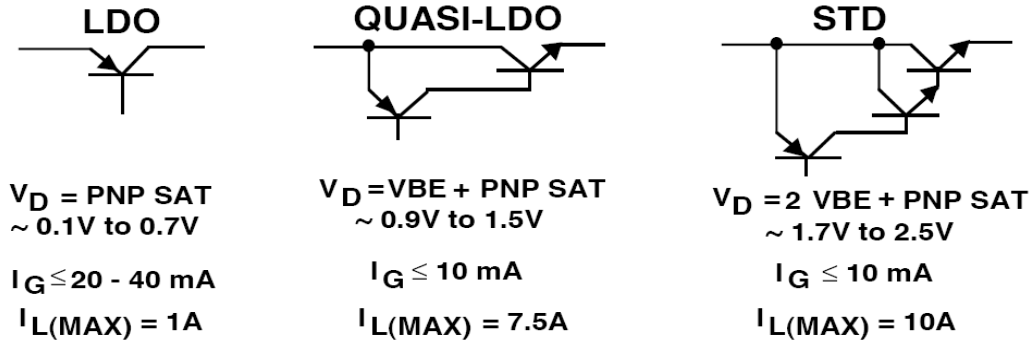
$$P_{\text{waste}} = (V_{\text{IN}} - V_{\text{OUT}}) I_{\text{OUT}} = V_{\text{DO}} I_{\text{OUT}}$$

线性稳压器的主要技术指标有：最小允许的压降，接地电流（静态电流），电源纹波抑制比 PSRR 和稳定性补偿方法。

最小允许的压降

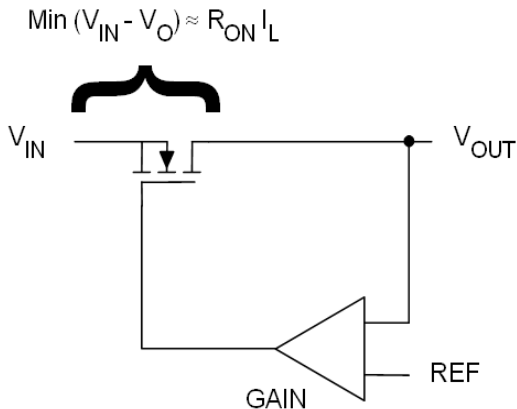
前面说到了压降对线性稳压器的功耗非常重要，压降越小线性稳压器上浪费的功率就越少，因此，为了降低对最小压降的要求，IC 设计商做出了大量的努力。其中功率耗散管的结构是最核心的部分，一般来说，组成功率耗散管的工艺有晶体管（NPN 管，PNP 管）和 MOS 管（P 沟道 MOS 管和 N 沟道 MOS 管）两种。

晶体管用作功率管，有三种主要的拓扑，每种拓扑的主要特点如下（从左到右依次是采用单只 PNP 管的低压降型（最小压降为功率晶体管饱和导通时的压降），采用单只 PNP+NPN 管的准低压降型和传统的 PNP 驱动的 NPN 达林顿管），定义 LDO（低压差线性稳压器）为最小压降 0.5V 以下的器件，这样当输入和输出电压接近的时候，这种器件拥有相当高的效率：



后两种拓扑结构使用 NPN 管做旁路晶体管（功率耗散管），拥有输出电阻小，容易稳定的优点，但压差较大；而 PNP 管做旁路晶体管时，虽然压差较小，但其输出阻抗大，需要特定 ESR 的电容才能稳定，同时允许的功率耗散较小，应小心在重载条件下使用。这三种拓扑结构还有一个很重要的缺点，因为晶体管的基极电流较大，导致当晶体管做耗散管时，芯片的接地电流常常较大（几个 mA 甚至数十 mA），在电池供电的应用中，这可能会大大缩短电池的寿命，后面我们会举例提到。

现代的 LDO 主要采用 MOS 管技术，MOS 管技术的优缺点有：



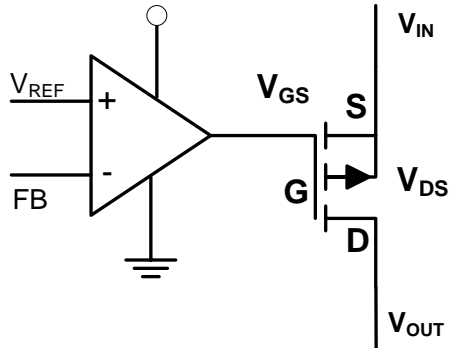
优点：

- 最低压降由导通电阻与 I_L 决定， I_L 越小，所需最低压降越小。同时，通过调节 R_{ON} ，可以进一步减小压降。
- 因为 FET 管的栅极电流非常底，因此 FET 型的 LDO 拥有非常低的接地电流（静态电流），适合应用在低功耗系统中

缺点

- 输入范围较窄，一般在 6V 以下
- 动态效应时间较长

MOS 管有 P 沟道和 N 沟道 MOS 管之分，用作功率耗散管时，其各自的特点如下：



P 沟道 MOS 管用作功率耗散管

优点:

- 容易驱动, MOS 管的导通电压 $V_{GS} < V_{IN}$ 。
- V_{OUT} 的变化不影响 V_{GS} , 负载电流对电源质

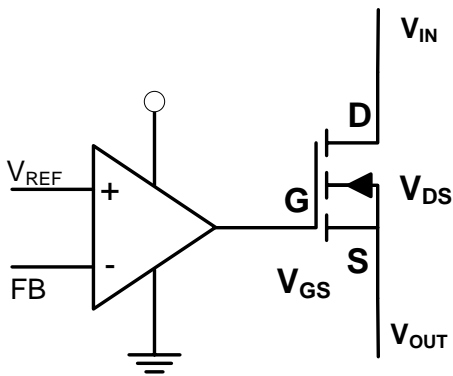
量影响不大

- 非常低的静态电流

缺点

- V_{IN} 会影响 V_{GS} , 从而降低芯片的 PSRR
- 相对较大的栅极电容和输出阻抗, 需要特定

ESR 和容量的电容才能稳定输出



N 沟道 MOS 管用作功率耗散管

优点:

- V_{IN} 不影响 V_{GS} , PSRR 较好
- 低输出阻抗, 输出电容的 ESR 不重要。
- V_{OUT} 的变化直接影响 V_{GS} , 响应快
- 非常低的静态电流

缺点

- 需要较高的栅极偏置电压 V_G 才能开启 MOS 管, 一种方法是内置充电泵升压电路, 成本升高

为使 LDO 具有更高的效率, 更低的功耗, 更低的输出噪声和更好的稳定性表现, TI 为 LDO 推出了几种创新的设计技术:

- V_{BIAS}

- LDO efficiency > 80%

- Dynamic Voltage Scaling (DVS)

- Dynamically adjust the Level of V_{OUT} .

- Factory EEPROM Programmable V_{OUT}

- Flexibility to quickly created new fixed V_{OUT} versions

- **Ultra Low I_QCurrent**

- Supply current drawn by LDO - Lowest in the Industry

- **Power Supply Rejection Ratio (PSRR)**

- Ability of the LDO to filter out switching noise.

- **Soft Start**

- Ability to slowly ramp up the output voltage on startup. TPS74xxx

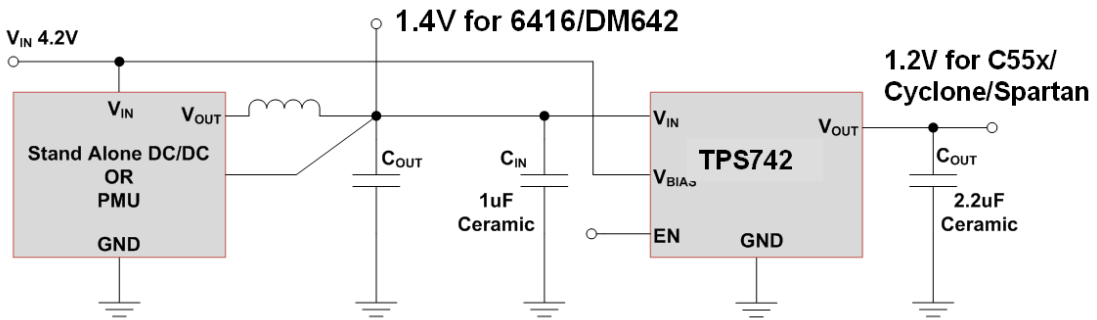
- **Dual Output for Low Power DSP/FPGA**

- Drive both Core and I/O voltage made simple
- with Power on sequence and Power on Reset

1. 引入 V_{BIAS}，使得 N 沟道 MOS 管 LDO 的效率达到 80% 以上。如 TPS74xxx:

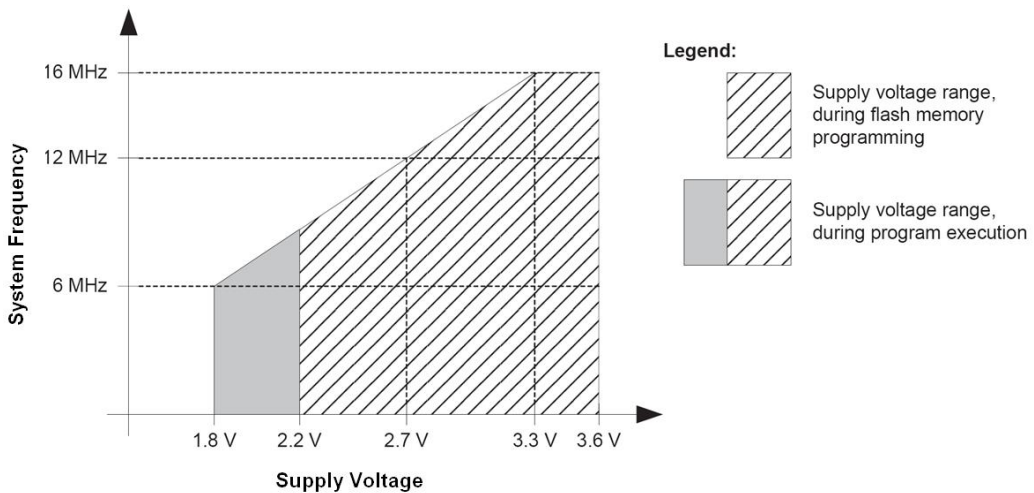
	<p>Example with V_{BIAS} = V_{IN}</p> <p>V_{IN} - 3.3V V_{OUT} - 1.2V V_{BIAS} - 3.3V</p> <p>Eff = P_{OUT}/ P_{IN} ~ V_{OUT}/ V_{IN}</p> <p>Eff = 1.2/3.3 x 100 = 36%</p>
	<p>Example with V_{BIAS} > V_{IN}</p> <p>V_{IN} - 1.5V V_{OUT} - 1.2V V_{BIAS} > 3V</p> <p>Eff = P_{OUT}/ P_{IN} ~ V_{OUT}/ V_{IN}</p> <p>Eff = 1.2/1.5 x 100 = 80%</p>

TPS74xxx 的 V_{BIAS} 能为 N 沟道 MOS 管提供一个外部开启电压，当 V_{BIAS} 满足要求（大于 V_{OUT}+1.9V）后，74701 的压差仅为 50mV，从而大大降低对 V_{IN} 的电压要求，比如上图中，如果使用板上的 3.3V 来开启 74701 后，使用富余的 1.5V 的输入电压就能得到 1.2V 的输出，使得效率高达 80%，没有必要再使用复杂和噪声大的开关电源。那么类似于 1.5V 的电压从哪儿来？一个更明显的例子如下，当板上同有 1.4V 为核心电压的 DM642，和 1.2V 核心电压的 FPGA 时，74201 会使得设计更加轻松：

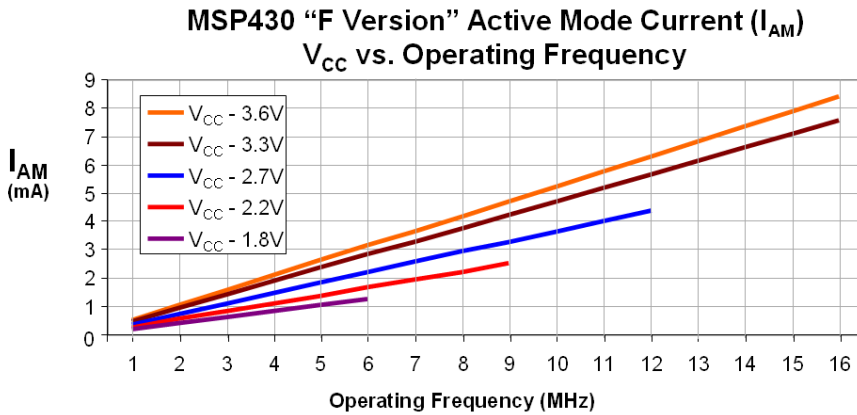


2. 低 IQ 和动态输出电压设置使 LDO 更适合驱动低功耗处理器 MSP430

曾经有同学来问我，为什么他的 MSP430 一点也不低功耗？一点也不省电？其实，这一点也不关 MSP430 的事，因为他使用的是 TLV1117 来驱动 MSP430，虽然 1117 是一颗准 LDO，但是，它是晶体管型的，因此它的持续静态电流高达 4mA，比 MSP430 耗电量（5%的时间工作，95%的时间休眠）的 100 倍还要多。这时，一定要挑选 MOS 管的 LDO（如 TPS780 系列和 TPS715A）为 MSP430 稳压供电，或直接用纽扣电池给 MSP430 供电。除了电源的静态电流，还应考虑 MSP430 在各种供电电压下的功耗，MSP430F2xxx 的工作频率和供电电压的关系如下图：



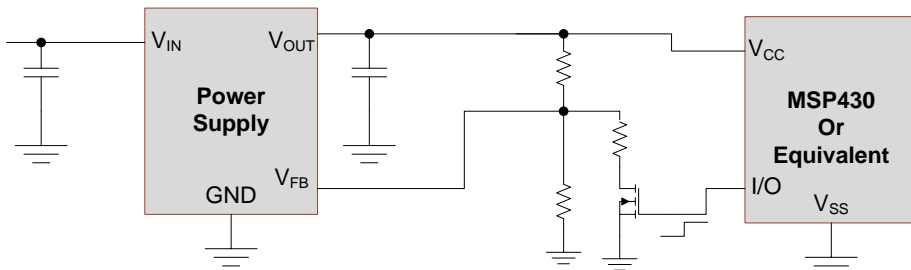
从上图中可以看到 MSP430F2xxx 在 2.2V 供电时就能工作在 9MHz，因此如果只需要 MSP430 工作在 8MHz 的话，就没必要使用 3.3V 供电，因为同样工作在 8MHz，3.3V 供电的 MSP430 将消耗更多的动态功耗，如下图，我们可以看到 8MHz 时 3.3V 供电的 MSP430 比 2.2V 供电的 MSP430 的动态电流大了 1.5 个 mA：



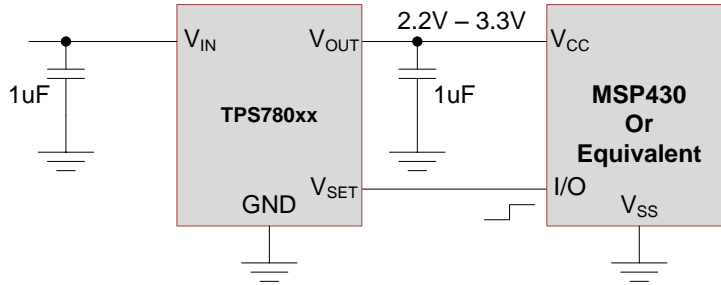
所以，应该通过选择低静态电流的 LDO 并降低 MSP430 的工作电压，来进一步节约 MSP430 的功耗，下图是一个对比：

	TPS780 (Days)	Battery (Days)	1uA LDO (Days)	20uA LDO (Days)
Efficiency with $V_{BAT}=3.0 V_{CC}=2.2V$	73%	100%	73%	73%
LDO Quiescence Current (I_Q)	0.5uA	0	1uA	20uA
MSP430 Active current	2.19mA	3.09mA	2.19mA	2.19mA
MSP430 Low Power current	0.5uA	0.6uA	0.5uA	0.5uA
Active Mode 1 sec/hour	5742	6286	4373	434
Active Mode 10 sec/hour	1320	998	1085	346
Active Mode 100 sec/hour	151	106	148	114
Active Mode 1000 sec/hour	15.4	10.7	15.4	14.9
Active Mode all the time	4.2	3.0	4.2	4.2

从上图我们看到，其实在很多情况下，使用电池直接驱动 MSP430 是一个非常好的选择！这也说明，MSP430 是专为电池供电所优化的。如果需要用 LDO 来给 MSP430 供电，请一定要选择静态电流小的 LDO，比如 TI 的 MOS 管型 LDO TPS780 系列和 TPS715A 系列。除了开发超低静态电流的 LDO，TI 为 MSP430 还专门开发了输出电压可数字控制的电源芯片 (Dynamic Voltage Scaling or DVS)，通过高低电平控制，电源芯片会输出预设的高低电压，使 MSP430 在功耗和速度上找到一个最好的折衷：



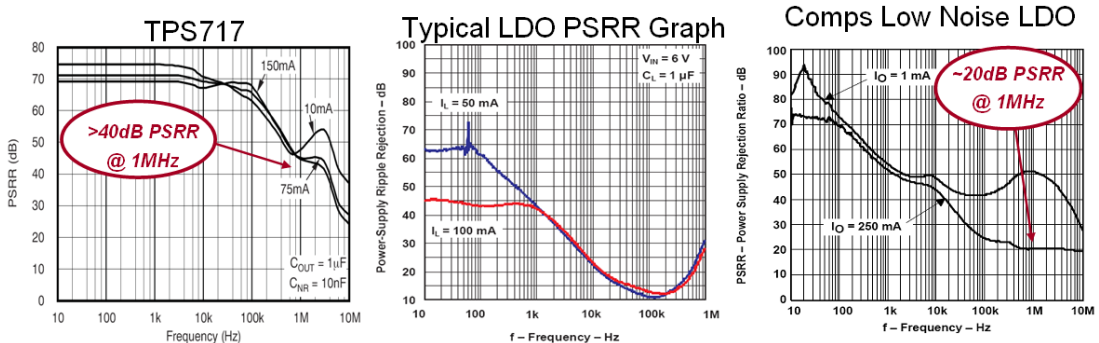
如上图若不使用 DVS 技术，调整电源芯片输出电压的方法，较繁琐：



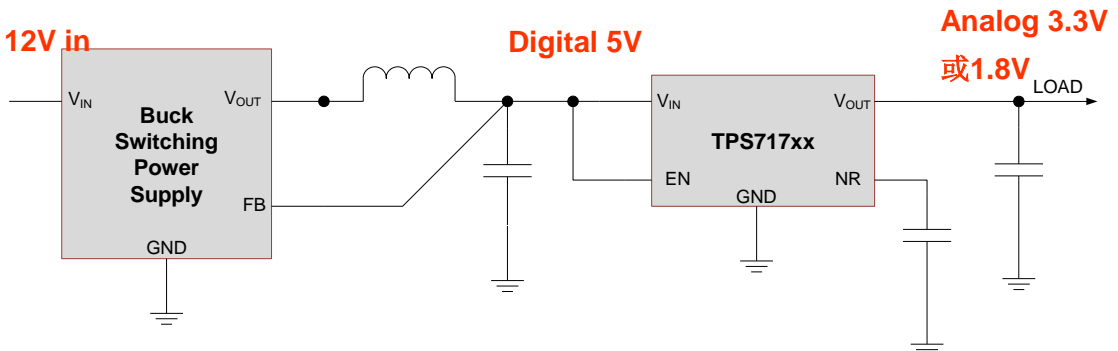
使用 TPS780xx 系列 DVS 电源芯片，MSP430 将更加节能和高效。

3. 高 PSRR 使得 LDO 的输出噪声更低，适合在开关电源后为模拟电路供电：

前面提到过，MOS 管型的 LDO，特别是 NMOS 的 LDO，拥有非常好的输入电源纹波抑制比，PSRR 实际上是一个与输入电源纹波频率非常相关的一个参数，看 PSRR 一定要关注在 KHz 极的指标，因为现在大多数开关电源都工作在 KHz 甚至 MHz 的频率上：



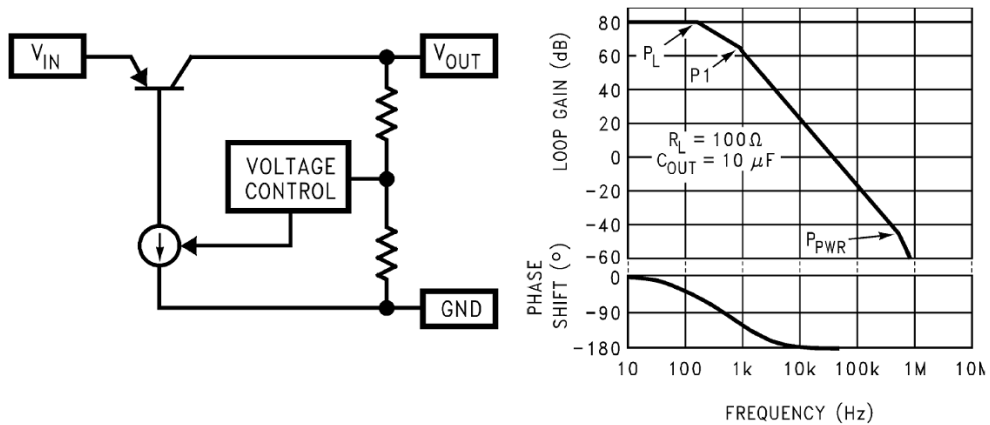
从上图我们可以看到，虽然在低频处，竞争者的 PSRR 和 TI 产品的非常接近，但是，在高频处，TPS717xx 高达 40dB 的 PSRR 是无以伦比的。TPS786xx 和 TPS796xx 是输出电流更大的高 PSRR 的 LDO，他们可以 and 开关电源输出级的 LC 滤波器配合，进一步减小电源电压纹波，为噪声敏感的 RF，AD/DA 或精密模拟电路供电，如下图，12V 输入被开关电源高效转换为 5V



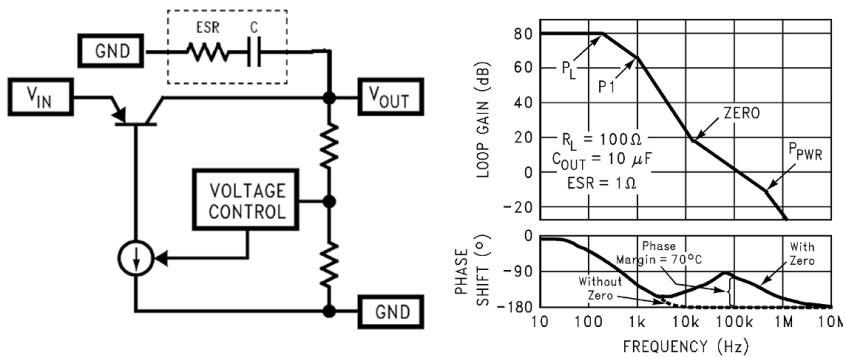
直流为数字部分供电，数字部分的 5V 再通过 LDO 芯片得到模拟部分的 3.3V 或 1.8V，为模拟芯片供电：

4. 稳定性考虑，什么是“Cap Free”技术？

为什么我们常说 LDO 的输出要接钽电容效果最好？这是因为对于传统的晶体管型的 LDO，由于其输出阻抗较高，需要利用某些电容特定的 ESR（等效电阻）和电容值为 LDO 进行补偿，而钽电容数欧姆的 ESR 正好满足这样的需求，这就成为其是一个好电容的原因之一：



上图是传统 LDO 的反馈回路的环路增益曲线，由于输出电阻较大，与负载电容作用后会产生一个低频极点 P1，这个低频极点带来的附加相移使得反馈回路不稳定。



$$F_{zero} = 1 / (2 \pi \times C_{out} \times ESR)$$

10uF, 1Ω ESR makes the Zero at 16kHz

而用外部钽电容补偿后，由于钽电容拥有较高的 ESR（如 1 欧姆），使得环路曲线中出现一个 16KHz 的零点，这个零点带来的反向相移将在环路增益降为 1 之前抵消掉 P1 带来的附加相移，使得反馈回路稳定。

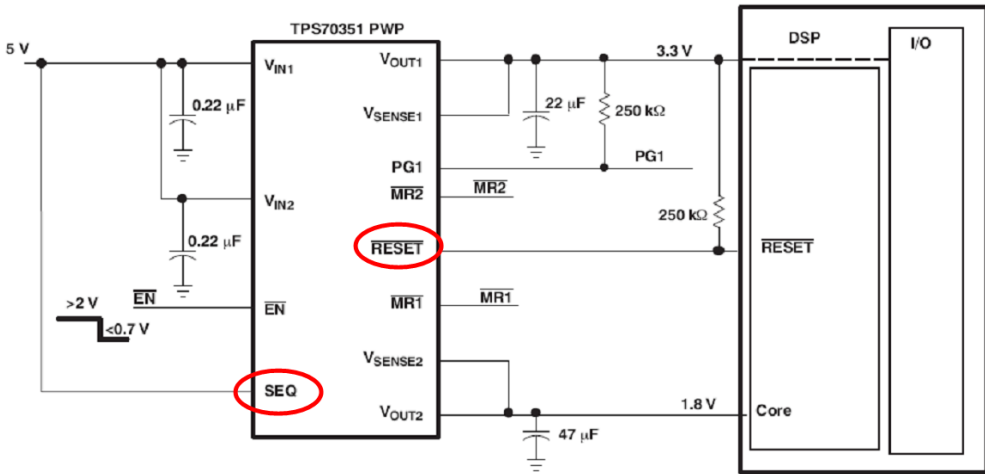
同样的，由于前面提到 MOS 管的 LDO 具有非常好的稳定性，再辅以一些内部优化，TI 的一部分 LDO 对输出电容不再有特定的 ESR 要求，我们称之为“Cap Free”技术，这意味着任何类型的电容都可以被使用，这大大降低了成本和设计难度。

除了上面谈到的这四点，TI 还为 LDO 加入了**软启动（使能 LDO 后电压缓慢上升，避免了瞬时下电带来的振荡或锁死等隐患，TPS74x），EEPROM 可编程，为低功耗的 DSP 和 FPGA 设计双路输出带上电复位和上电顺序的 LDO，等等。**

针对不同应用，推荐使用的 TI 线性稳压器有：

- For High Output Current: >3A, up to 7.5A
e. g. [TPS744xx](#), [TPS759xx](#), [TPS756xx](#)
- For Ultra Low Noise Output: High PSRR
e. g. [TPS79xxx](#), [TPS786xx](#), [TPS717xx](#)
- For Ultra Low Dropout Voltage: low as 30mV
e. g. [TPS770xx](#), [TPS73xxx](#), [TPS742xx](#)
- “Cap Free” Technology: reduce cost, easy to use
e. g. [TPS73xxx](#), [TPS742xx](#)
- Powering MSP430: Low Iq, Dynamic Voltage Scaling
e. g. [TPS797xx](#), [TPS770xx](#), [TPS780xx](#)
- For Low Power Processors: Dual Output, POR, Supervisor
e. g. [TPS703xx](#), [TPS767D3xx](#)

下面是一个双路输出的 LDO 同时驱动 DSP 的核心和 I/O 电源输入的例子，非常简便易用，其集成的 POR(上电复位)和上电顺序控制进一步保证了 DSP 工作的稳定性：



V_{CORE} 1.8V Up to 2A, V_{IO} 3.3V Up to 1A, with POR and Power on Sequencing

小心线性稳压器的最大允许功率耗散

应用线性稳压器时还有一个容易忽略的通用设计要点，就是找出最大允许的功率耗散，因为线性稳压器是通过消耗功率来获得输出电压的稳定，功率的消耗将主要转化为热量，因此，当您的线性稳压器太烫的时候，一定要考虑是否在其上消耗了过多的能量，这是就必须找到在某环境温度条件下的该芯片的最大允许功率消耗是多少？计算方法如下：

如果数据手册上给出了某温度下的最大允许功率消耗，这再好不过，举例如下：

If: $V_{in}=5V$, $V_o=3.3V$, $I_{max}=400mA$,

Then: TPS7333: Available in 2.5V, 3V, 3.3V, 4.85V and 5V output voltage. Output current range from 0mA to 500mA

Dissipation Rating Table –Free air temperature

PACKAGE	$T_A \leq 25^\circ C$ POWER RATING	DERATING FACTOR ABOVE $T_A = 25^\circ C$	$T_A = 70^\circ C$ POWER RATING	$T_A = 125^\circ C$ POWER RATING
D	725 mW	5.8 mW/ $^\circ C$	464 mW	145 mW
P	1175 mW	9.4 mW/ $^\circ C$	752 mW	235 mW
PWT	700 mW	5.6 mW/ $^\circ C$	448 mW	140 mW

$$P_d = (V_{in} - V_o) * I_{max} = 680mW$$

So: If T_a is less than $70^\circ C$, TPS7333P is a good choice.

If T_a is less than $25^\circ C$, TPS7333D is a good choice.

如上面的例子，LDO 需要消耗 680mW 的功率，当环境温度为 70 度时，只有 P 封装的 TPS7333 才符合功率耗散的要求，如果要使用 D 封装，必须要添加散热片。

但如果手册上只给出了 T_J （最大允许连续工作温度）和 $R_{\theta JA}$ （不带散热片时的散热系数，thermal resistance between junction and ambient），可以通过环境温度 T_A 来换算出允许的最大功耗，举例如下：

- **Assume the LDO is a TPS780 with: $V_{IN} = 5V, V_{OUT} = 2.0V, I_{OUT} = 150mA$**
 - **Expected P_D for this application**
 - $P_D = P_{IN} - P_{OUT} = (5 \times .15) - (2 \times .15) = 450mW$
 - **Calculate Max allowed P_D @ ambient temperature of 65°C**
 - $T_A = 65^\circ C, T_J = 125^\circ C$
 - $R_{\theta JA} = 65^\circ C/W$ (DRV Package) & $200^\circ C/W$ (DDC Package)
 - $P_{D(DRV)} = (T_J - T_A) / R_{\theta JA} = (125 - 65) / 65 = 923mW$
 - $P_{D(DDC)} = (125 - 65) / 200 = 300mW$
- **For this application P_D required is 450mW so we can use the DRV package. The DDC package will not handle the power dissipation.**

Dissipation Ratings – TPS780xx

BOARD	PACKAGE	$R_{\theta JC}$	$R_{\theta JA}$	DERATING FACTOR ABOVE $T_A = +25^\circ C$	$T_A < +25^\circ C$	$T_A = +70^\circ C$	$T_A = +85^\circ C$
High-K ⁽¹⁾	DRV	20°C/W	65°C/W	15.4mW/°C	1540mW	845mW	615mW
High-K ⁽¹⁾	DDC	90°C/W	200°C/W	5.0mW/°C	500mW	275mW	200mW

(1) The JEDEC high-K (2s2p) board used to derive this data was a 3-inch x 3-inch, multilayer board with 1-ounce internal power and ground planes and 2-ounce copper traces on top and bottom of the board.

T_J	Operating junction temperature	-40	+125	°C
-------	--------------------------------	-----	------	----

上例中，TPS780 将消耗 450mW 的功耗，通过已知的 T_J ， $R_{\theta JA}$ 和 T_A ，可以求得不同封装的芯片的最大允许耗散功率，如 DRV 封装为 923mW，DDC 封装为 300mW，这时为满足设计要求，就需要选择 DRV 封装，或在 DDC 封装的芯片上添加散热片。

概括起来，LDO 的优点和缺点主要有：

“Always” Advantage:

- Low cost
- Few peripheral components
- Small output noise

“Old” Disadvantage:

- Lower efficiency @ heavy load
 - consider using TI Ultra VDO Parts with VBIAS to improve it
- Uncontrollable startup

- consider using TI “Soft Start” Parts to improve it

推荐使用的 TI 低压差线性稳压器 (LDO) 有:

器件	输入电压范围 (V)	输出电压范围 (V)	输出电流 (max) (mA)	其他特点	Drop Out Voltage @ Full Load (mV)	价格 (美元) (单位:片)	封装
TPS780330220DDCT	2.2-5.5	3.3/2.2	150	DVS, I _q =0.5uA	130	0.75	SOT
TPS78001DDCT	2.2-5.5	1.22-5.25	150	I _q =0.5uA	130	0.9	SOT
TPS71701DCKT	2.5-6.5	0.9-6.2	150	High PSRR	170	0.5	SC70
TPS79601KTTT	2.7-5.5	1.2-5.25	1000	High PSRR	250	1.3	T0-263
TPS78601KTTT	2.7-5.5	1.2-5.25	1500	High PSRR	400	2	T0-263
TPS7A4501KTTR	2.1-22	1.2-20	1500	High PSRR	300	1.45	T0-263
TPS74201KTWT	0.8-5.5	0.8-3.6	1500	V _{BIAS} Soft Start Cap Free	50	2.45	T0-263
TPS74401KTWT	0.8-5.5	0.8-3.5	3000	V _{BIAS} Soft Start Cap Free	115	4	T0-263
TPS75901KTTT	2.8-5.5	1.22-5	7500		400	3.2	T0-263
TPS70302PWP	2.7-6	1.22-5.5	1A/2A	Dual	250	2.35	TSSOP
LM2936	4 - 60	3.3-5	50	I _q =12uA	200	0.78	8SOIC
LM9076	5.35 -70	3.3-5	150	I _q =25uA	150	0.78	8SOIC
LP38690/2	2.7 - 10	1.8-5	1A	I _q =55uA	450	0.53	SOT223
LP38691/3	2.7 - 10	1.8-5	500	I _q =55uA	250	0.5	SOT223
LP38853/6/9	1.15-5.5	0.8-1.8	3A	High PSRR V _{BIAS}	240	1.65	8SO PowerPAD
LP38852/5/8	1.15 -5.5	0.8-1.8	1.5A	High PSRR V _{BIAS}	130	1.05	8SO PowerPAD
LP38851	0.95 - 5.5	0.8-1.8	800mA	High PSRR V _{BIAS}	115	0.71	8SO PowerPAD
LP38511/2/3	1.4 - 5.5	0.5-4.5	0.8/ 1.5/3A	High PSRR V _{BIAS}	75/110/210	0.6	T0-263 8SO PowerPAD

从上面的例子中, 我们可以看到, 线性稳压器上的功率耗散是一个很让人头疼的问题, 当压降太大, 比如为现代的 CPU 供电, 主板上需要从 12V 的电源总线上得到 CPU 的 1.1V 核心电压, 11V 的压降使得若有 100mA 的负载电流都将导致线性稳压器上有 1W 的功率耗散, 这已

使得线性稳压器烫手，更何况现在的 CPU 是典型的耗电大户，65W 的满载功耗使得 1.1V 核心电压上的电流高达 50A，若使用线性稳压器，这需要其消耗 550W 的功耗，这是不可能实现的。这时必须考虑使用在大压差/大电流条件下拥有卓越效率的开关稳压器。实际上，现代 CPU 的功耗如此的大，使得设计者为了降低开关电源中 MOSFET 开关上的功率耗散，避免使用成本过高热量过大的大功率 MOS 管，经常要采用 4 相甚至 6 相以上的供电电路（实质为多个单相降压电路的并联），为每一路 MOSFET 减负！下面，我们将介绍 TI 的 POL 开关电源芯片。

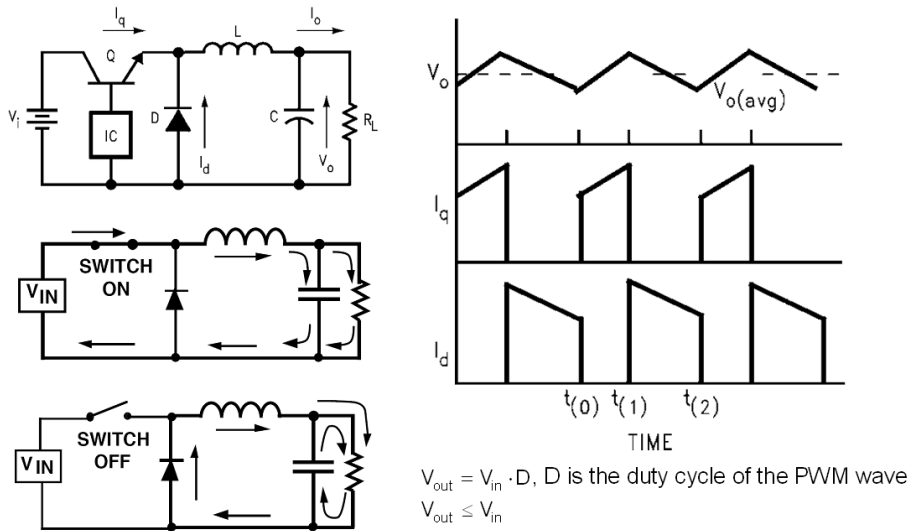
8.2 POL DC/DC 开关稳压器

下面我们讨论的 POL DC/DC 开关稳压器的原理和前面 AC/DC 和中间级 DC/DC 原理上实际是一样的，都是通过 PWM 信号控制 MOSFET 开关进行时断时续的工作，即仅仅是在负载需要能量来维持一定的电压和电流的时候，才将能量传递过去。因此，与和线性稳压器通过持续不断地消耗能量来获得稳定电压输出的方式不同，开关稳压电源的功率浪费非常地小，能够以 90% 以上的效率完成大压差的稳压工作。而不同点在于，前面的 PWM 功率驱动器是离线的，而 POL 电源芯片绝大多数都与电源总线电压和电流有关，比如它有输入、输出电压的范围及输出电流的最大值，甚至还需要串联在电源总线中来实现稳压。

POL 开关稳压器的分类方式很多，以外部有无储能电感分类，可以分为电感式开关电源稳压器和充电泵（电容式开关电源）；以应用领域分，可分为低供电电压（电池供电）的 POL 开关电源和有交流供电的板卡级 POL 开关电源；以开关元件内置和外置由可分为开关电源转换器（开关管内置）和开关电源控制器（开关管外置）两大类。这些分类标准实际上彼此联系，互有重叠。这里我们以有无外部储能电感进行分类来介绍 TI 的 POL DC/DC 开关稳压器产品。

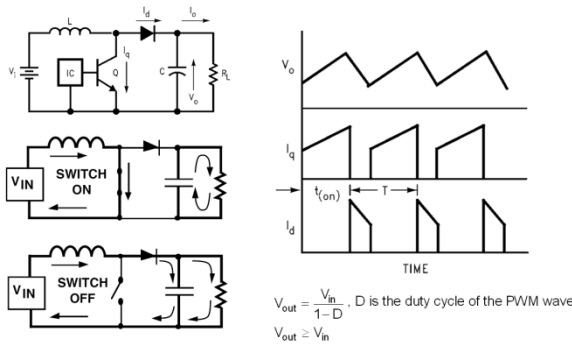
8.2.1 电感式开关稳压器

电感式开关稳压器的拓扑结构主要有三种，升压（Boost），降压（Buck）和反向（Buck-Boost/Inverting），它们的基础拓扑和工作原理如下所示：

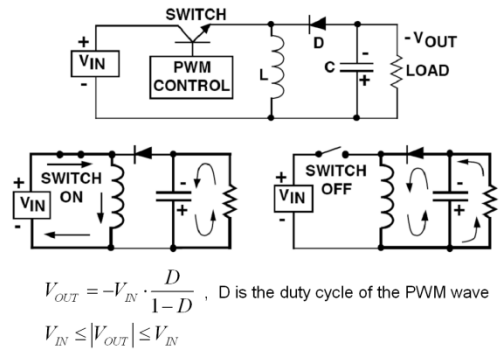


Buck DC/DC 拓扑结构及工作原理

以 Buck 拓扑为例简述开关电源的原理，当系统上电时，负载上的电压 V_o 为 0； V_o 的被反馈电阻网络采样后形成 V_{FB} 反馈回控制 IC 内部， V_{FB} 与内部基准比较，由于初始状态下小于内部基准，控制 IC 接通开关， V_i 给负载供电的同时并给电感电容充电；开关接通后， V_o 的值持续上升，当 V_{FB} 大于内部基准后，控制 IC 关断开关，负载由电感和电容供电；由于电感、电容上的储存的功率有限并被负载消耗而持续降低，为保持负载电流不变， V_o 将持续降低并最终使得 V_{FB} 小于电压基准，控制 IC 将接通开关使得 V_i 给负载供电。所以，这里看到，开关电源的工作是时断时续的，输入电源总是在负载需要功率的时候才将功率传递过去，因此效率极高。开关电源的主要损耗之一在于开关的导通损耗（导通电阻导致）和开关损耗（开关导通和关断的过渡过程导致）上，可以分析得出，开关频率越高，电感和电容上所需储存的能量越少，因此他们的尺寸可以越小；但开关频率高，MOSFET 的恢复时间可能不足，导通率下降，使得开关损耗较大，因此这是一个体积/成本和效率折衷问题。由于现代中小功率的 MOSFET 的工艺进步，在手持式供电中的开关电源芯片的开关频率越来越高（1MHz 以上），使得电源部分的设计更加高效紧凑。下面是升压和反向型开关电源的基本拓扑，可以自行分析得出其工作原理：

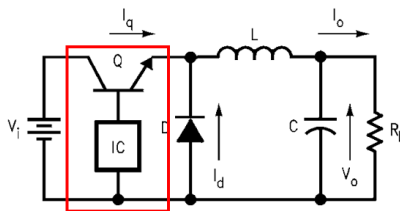


Boost DC/DC 拓扑结构及工作原理



Inverting 拓扑结构及工作原理

对于 DC/DC 类的开关转换器来说，外部 MOSFET，电感和电容的选择是设计难点之一。电感，电容由于占用的芯片面积较大，且当需要获得不同输出时，其值需要改变，所以他们一般不被集成在芯片内部；而小功率的 MOSFET 可以被集成在芯片内部，比如 TI 为了简化开关电源芯片的设计难度，将电感型 DC/DC 开关稳压器分为 DC/DC 转换器（Converter）和 DC/DC 控制器（Controller）两大部分，其区别就是 Converter 内部集成了 MOSFET 开关，输出电流多数在 6A 以下，少数压差较小的芯片可以达到 10A；而 Controller 将 MOSFET 外置，可以获得更灵活的电路，并提供更高的输出功率，比如达到 20A；



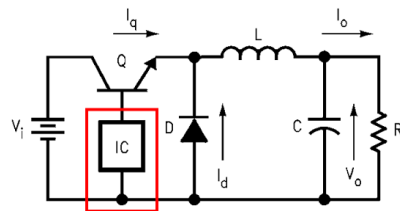
DC/DC Converter: with internal MOSFET
SWIFT (TPS54xxx) & TPS60K

Advantages:

- Easy to use
- Small

Disadvantages:

- Limited output power



DC/DC Controller: with external MOSFET
TPS40K

Advantages:

- **flexible**
- Can be high current output

Disadvantages:

- More external elements
- Complex

如上图，TI 的 DC/DC Converter 包括了 TPS54xxx 和大部分 TPS60K 产品，其中 TPS54xxx 是为中等功率的系统和处理器设计，输入范围较 TPS60K 广，可达 60V，输出电流较 TPS60K 大，可达 3-9A，且仅支持降压模式；而 TPS60K 是为手持式系统设计，有升压，降压和反向型产品，电流一般在 1A 以下，输入范围一般不超过 10V。TI 的 DC/DC Controller 包含的产品线为 TPS40K 系列，适合于更宽输入范围，更大的功率和更灵活的拓扑。

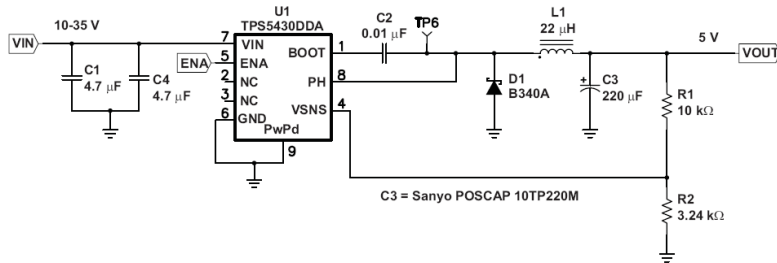
集成 MOSFET 的 DC/DC 开关稳压器：TPS54xxx、TPS62xxx 和 TPS61xxx：

TPS54xxx，即 SWIFT：是中等功率的集成 MOSFET 的开关电源芯片，其输入范围分为三类，一种是宽输入范围（如可达到 60V），一种是中等输入范围（可达 28V），一种是窄输入范围（6V 以下），其中 TPS5431x 和 TPS5461x 在 DSP 和 FPGA 供电等应用非常广泛，54310/54610 是输出可调的需外部补偿的版本，而 5431x/5461x 包括了 0.9V，1.2V，1.5V，1.8V，3.3V 等固定输出版本，且补偿在内部完成，电路更简单。

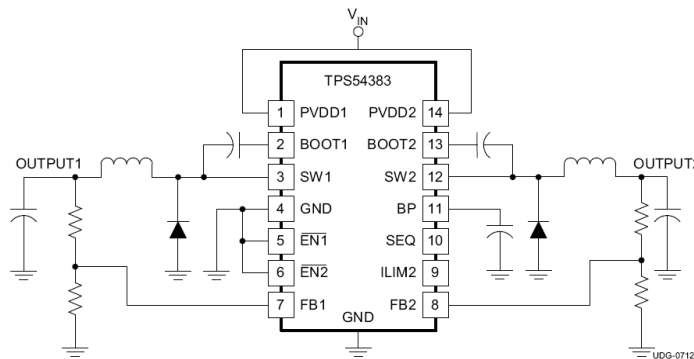
器件	输入电压范围(V)	输出电压范围(V)	输出电流(max) (A)	其他特点	价格(美元)(单位:片)	封装
TPS54160DGQ	3.5 to 60	0.8 to 57	1.5	上电顺序	2.65	MSOP
TPS5430DDA	5.5 to 36	1.23 to 31	3	内部补偿	2.05	DDA
TPS5450DDA	5.5 to 36	1.22 to 31	5	内部补偿	2.5	DDA
TPS54350PWP	4.5 to 20	0.9 to 12	3		2.05	HTSSOP
TPS54550PWP	4.5 to 20	0.9 to 12	6		2.95	HTSSOP
TPS54331D	3.5 to 28	0.8 to 25	3	ECO Mode	1.5	SOIC
TPS54386PWP	4.5 to 28	0.8 to 25	3 / 3	双路输出&内部补偿	2.95	HTSSOP
TPS54310PWP	3 to 6	0.9 to 3.3	3		2.25	HTSSOP
TPS54311PWP	3 to 6	0.9	3	固定输出&内部补偿	2.25	HTSSOP
TPS54312PWP	3 to 6	1.2	3	固定输出&内部补偿	2.25	HTSSOP
TPS54316PWP	4 to 6	3.3	3	固定输出&内部补偿	2.25	HTSSOP
TPS54610PWP	3 to 6	0.9 to 4.5	6		3.2	HTSSOP
TPS54611PWP	3 to 6	0.9	6	固定输出&内部补偿	3.2	HTSSOP
TPS54612PWP	3 to 6	1.2	6	固定输出&内部补偿	3.2	HTSSOP
TPS54616PWP	4 to 6	3.3	6	固定输出&内部补偿	3.2	HTSSOP
TPS54380PWP	3 to 6	0.9 to 4.5	3	上电顺序控制	2.25	HTSSOP
TPS54680PWP	3 to 6	0.9 to 4.5	6	上电顺序控制	3.2	HTSSOP
TPS54373PWP	3 to 6	0.9 to 3.3	3	Pre-Bias	2.25	HTSSOP
TPS54673PWP	3 to 6	0.9 to 4.5	6	Pre-Bias	3.2	HTSSOP
LM20123	2.95-5.5	0.8-5	3	缓起动，电流模	1.25	HTSSOP
LM20136	2.95-5.5	0.8-5	6	缓起动，使能，跟踪	1.65	HTSSOP

LMR10515	3-5.5	0.6-4.5	1.5	缓起动, DDR power	0.35	SOT23
LMR12010	3-20	0.8-17	1	缓起动, 带使能	0.8	SOT
LM21305	3-18	0.6-5.5	5	缓起动, 使能	2.5	WQFN
LMR24220	4.5-42	0.8-24	2	缓起动	2	SMD-28
LM20323	4.5-36	0.8-32	3	缓起, 跟踪	1.85	HTSSOP

比如 TPS5430 电路, 能在 5V 输出提供 3A 的最大负载电流, 而且补偿在内部完成, 外部元件数量少, 电路非常简单易用:



TPS54386 同样也是一款内部补偿的开关电源芯片, 使用非常简单。并且如同 TPS70302 一样, 其双路输出的特点非常适合给高性能的 FPGA 和 DSP 的核心及 I/O 分别供电, 或给系统中的 FPGA 和 DSP 的核心同时供电:

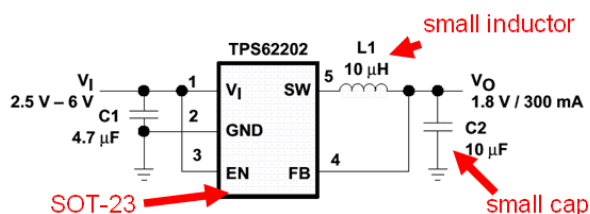


TPS62xxx 是集成 MOSFET 的降压型开关电源芯片, 全部都是内部补偿的产品, 应用电路非常简单。TPS62 系列专为低电压, 小功率系统设计, 所以其输入电压范围一般在 6V 以下, 输出电流在 1.5A 以下。由于多数产品采用 1MHz 以上的开关频率, TPS62K 的外部电感和电容元件的值可以做得非常小, 从而大大减小外部器件的体积和成本, 非常适合手持式设备使用:

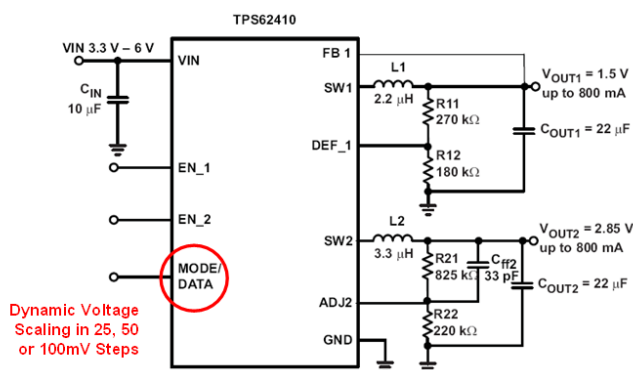
器件	输入电压范围 (V)	输出电压范围 (V)	输出电流 (max) (A)	其他特点	Iq (uA) (typ)	价格(美元) (单位:片)	封装
TPS62110RSAT	3.1 to 17	1.2 to 16	1.5		18	2.60	QFN
TPS62040DGQ	2.5 to 6	0.7 to 6	1.2		18	2.3	MSOP

TPS62290DRV1	2.3 to 6	0.6 to 6	1		15	1.8	QFN
TPS62420DRCT	2.5 to 6	0.6 to 6	0.6 & 1	双路输出	30	2.95	SON
TPS62410DRCT	2.5 to 6	0.6 to 6	0.8 & 0.8	双路输出	30	2.7	SON
TPS62050DGS	2.7 to 10	0.7 to 6	0.8		12	2.55	MSOP
TPS62260DDCT	2 to 6	0.6 to 6	0.6		15	1.25	SOT
TPS62100D	2.5 to 9	0.8 to 8	0.5		164	2.45	SOIC
TPS62200DBVT	2.5 to 6	0.7 to 6	0.3		15	0.9	SOT-23

如 TPS62200，非常小巧易用的降压型开关稳压器，外部只需很小的电感和电容（1MHz 的开关频率）就能正常工作，并能提供 300mA 的输出电流，满足类似 C5000/C2000 等低功耗 DSP 和处理器的核心电流需求。



而 TPS62410 是一款专门为 TI OMAP 处理器供电所设计的双路输出开关电源稳压器。它支持 OMAP 的动态电压控制技术，即当处理器工作于低功耗模式时，降低输出电压，当需要处理器全速运行时，提高输出电压。当然，它也适合为所用需要 I/O 和核心分离供电的低功耗处理器供电，其双路各 800mA 的驱动能力满足绝大多数手持设备中的处理器的电源需要。同时，它外围的电感和电容也都尺寸较小，电路简单。

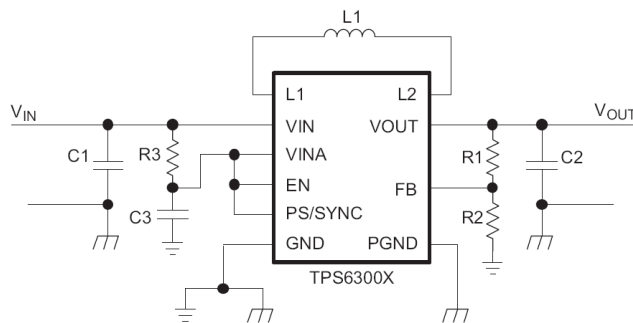


TPS61xxx 是集成 MOSFET 的升压型开关电源转换器，专为低电压，小功率系统设计。比如在电池供电的设备中，电池输出一个持续降低的低电压，可通过升压型开关电源提供一个恒定的系统电压，比如 5V。同时在需要更高电压才能点亮的串联型 LED 背光驱动中，使用高

效的开关型 DC/DC 转换器可以从较低电压中获得高达 38V 的输出电压的同时保持更长的电池寿命。TPS61K 的输入电压范围一般在 6V 以下，持续输出电流能力在 1A 以下，在输出端可以获得 5.5V 的系统电压或高达 38V 的串联 LED 的驱动电压（LED 驱动产品在后面单独介绍）。

器件	输入电压范围(V)	输出电压范围(V)	输出电流(max)(A)	其他特点	Iq(uA)(typ)	价格(美元)(单位:片)	封装
TPS61030PWP	1.8 to 5.5	1.8 to 5.5	1		20	3.1	TSSOP
TPS61200DRCT	0.3 to 5.5	1.8 to 5.5	0.6		50	2.5	SON
TPS61100PW	0.8 to 3.3	1.5 to 5.5	0.8 & 0.27	Boost+LDO 双路输出	65	2.65	TSSOP
TPS61120PW	1.8 to 5.5	2.5 to 5.5	0.5 & 0.2	Boost+LDO 双路输出	40	2.1	TSSOP
TPS61029DRCT	0.9 to 5.5	1.8 to 5.5	0.6	Buck Mode	25	1.8	SON
TPS61170DRVVT	3 to 18	3 to 38	0.3@12V		2300	1.5	SON
TPS61081DRCT	2.5 to 6	2.5 to 27	0.35		6000	2	SON
TPS63000DRCT	1.8 to 5.5	1.2 to 5.5	1.2 or 0.8	Buck- Boost	30	2.35	SON
LMR62014	2.7-14	3-20	2		2mA	0.55	SOT-23
LMR62421	2.7-5.5	3-24	3		7mA	0.75	SOT-23

与 TPS61K, TPS62K 只能完成单一的升压或降压功能不同，TPS63000 是一颗自动完成升降压的 DC/DC 转换器，也就是说无论输入电压是低于还是高于期望的输出电压，它都可以自动调节升降压模式来完成稳压，比如下面这个例子可从 1.8V—5.5V 的输入中获得 3.3V 的电压输出，在锂电池或 3 节 AAA 电池供电的应用中非常便利：



外部 MOSFET 的 DC/DC 开关稳压器：TPS40K

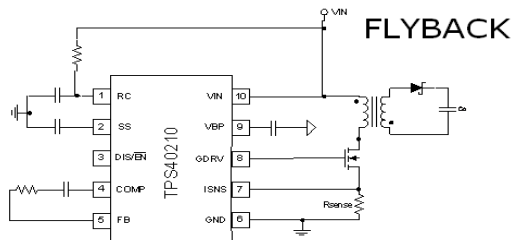
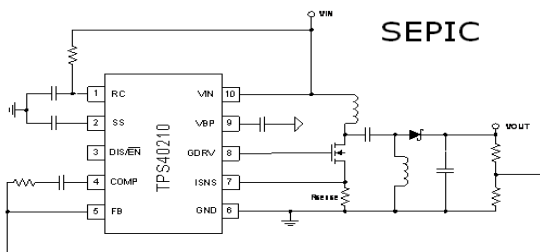
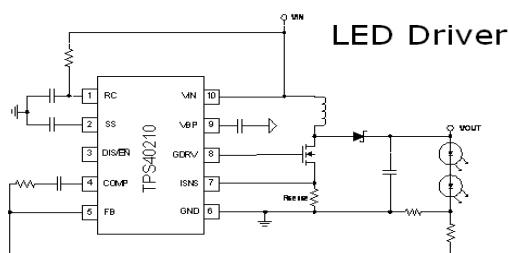
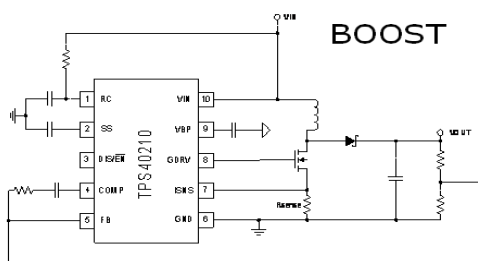
DC/DC 转换器虽然电路简单易用，但是其输出电流受内部 MOSFET 的限制，一般都在 6A 以下，为了满足更大电流和更灵活的电路需求，TI 也推出了外置 MOSFET 的 TPS40K（DC/DC

控制器)产品。TPS40K 基本上是同步的降压型产品,只有少数非同步输出的降压型(TPS40200)和升压型产品(TPS40210/TPS40211)。TPS40K 主要应用在通信和工业电源中。TPS40K 的输入范围分为三类,一种是宽输入范围(如可达到 36V),一种是中等输入范围(可达 28V),一种是窄输入范围(6V 以下):

推荐使用的 TPS40K 有:

器件	输入电压范围(V)	输出电压范围(V)	输出电流(max)(A)	其他特点	价格(美元)(单位:片)	封装
TPS40061PWP	10 to 55	0.7 to 45	10		2.5	TSSOP
TPS40057PWP	8 to 40	0.7 to 35	20	Pre-Bias	2.3	TSSOP
TPS40193DRCT	4.5 to 18	0.6 to 14.4	20		1.45	SON
TPS40009DGQ	2.25 to 5.5	0.7 to 5	15	Pre-Bias	1.65	MSOP
TPS40200D	4.5 to 52	0.7 to 46	3		1.05	SOIC
TPS40210DGQ	4.5 to 52	5 to 260	6	Vref=700mV	0.99	MSOP
TPS40211DGQ	4.5 to 52	5 to 260	6	Vref=260mV	0.99	MSOP
LM27402	3-20	0.6-18.6	30	跟踪, 频率同步	1.1	HTSSOP
LM25085	4.5-42	1.25-36	10		0.7	8SSOP
LM3150	6-42	0.6-40	12	使能, 跟踪	1.55	HTSSOP
LM5022	6-60	1.25-36	10	频率同步	0.9	VSSOP
LM3489	4.5-35	1.2-36	4		0.54	VSSOP

宽输入的升压型产品,如 TPS40210/40211 除了升压外,还可配置成反激型隔离电源和 LED 驱动器等:

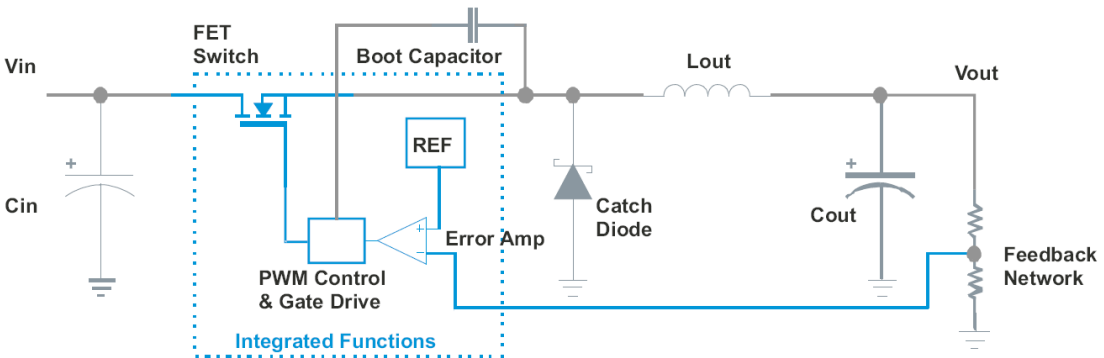


电感型/电容型反向型 DC/DC 开关稳压器

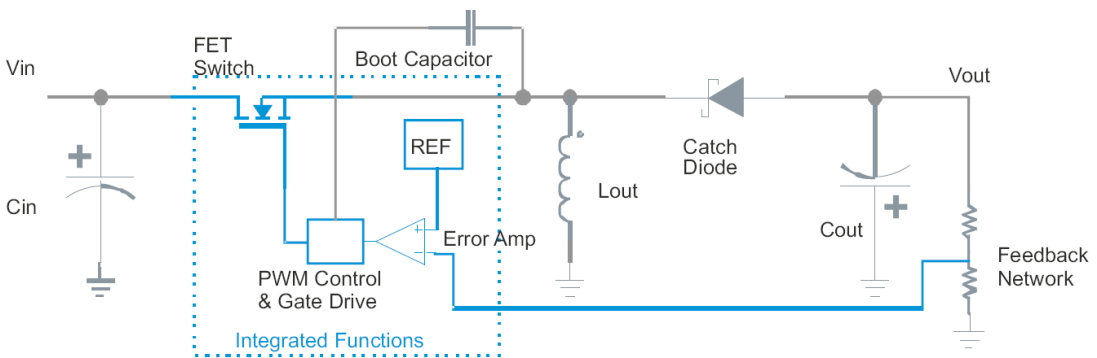
当系统中需要负电源时，可以通过开关电源来从正向电源产生负电压，可利用 Inverter 拓扑来实现，TI 有一些反向型拓扑的内部集成开关的电感型/电容型 DC/DC 转换器：

器件	输入电压范围(V)	输出电压范围(V)	输出电流(max)(A)	其他特点	价格(美元)(单位:片)	封装
TPS63700DRCT	2.7 to 5.5	-2 to -15	0.36		1.95	SON
MC33063AP	3 to 40	1.55 to 40	0.75		0.47	DIP
TPS60400DBVT	1.6 to 5.5	-1.6 to -5.25	0.06	充电泵	0.35	SOT-23

除了上面这些专门的反向 DC/DC 转换器，我们可以通过改变 BUCK 转换器的外围电路来使之成为反向拓扑的电感型开关电源稳压器。和 MC33063A 一样，TPS5430 是一颗 BUCK 型的 DC/DC 转换器，虽然开关管内置限制了它的外部电路拓扑，但是它能用做 Inverter 吗？先看看 BUCK 和 Inverter 的拓扑：

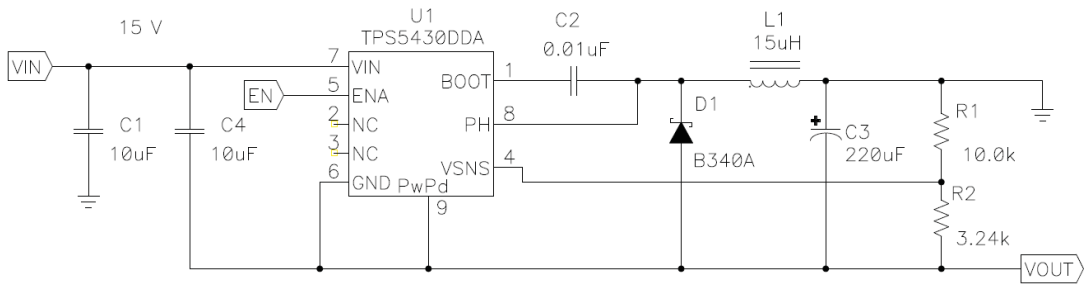


上图是 BUCK



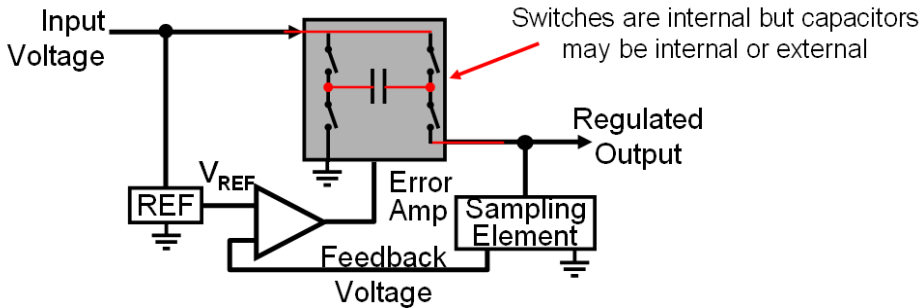
上图是 Inverter

我们看到，开关管的位置和 BUCK 还是 Inverter 是没有关系的，因此，只要改变外面电感和二极管的位置就可从 TPS5430 中获得反向电源输出（具体请查看应用笔记 slva257a）：



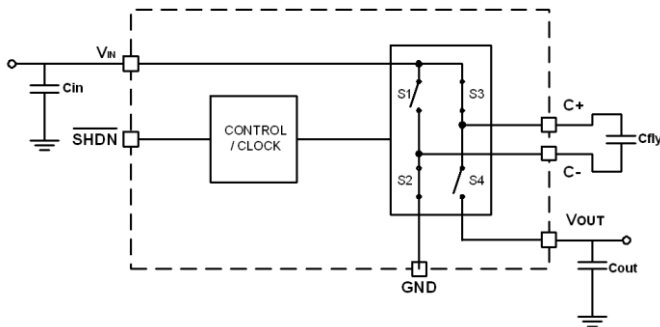
8.2.2 电容式开关稳压器

和电感型开关稳压器通过电感来储能不同，电容型开关稳压器通过电容来储存能量，因此其输出功率普遍偏小，但其结构简单，通常是内置开关元件，只需外部加入电容即可工作。



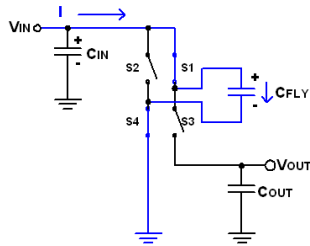
电荷泵产品可构成升压，降压和反向型电路，其最重要的应用还是升压，以满足手持式低功耗设备中比电池电压更高的电源需求。现代电荷泵产品除了提供固定升压倍数的电压输出外，还可以提供小数倍的电压倍数和稳压输出的电源电压：

比如，简单的倍压型的充电泵的简化内部电路如下：

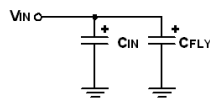


其工作原理非常简单：

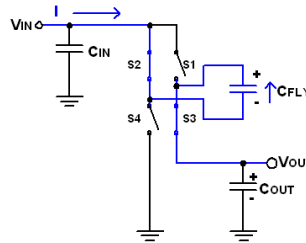
**Charge Pump Phase Cycle 1:
Charge CFLY**



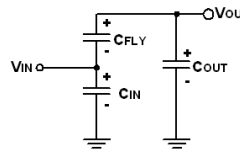
**Equivalent Circuit for
Phase Cycle 1:**



**Charge Pump Phase Cycle 2:
Bootstrap CFLY to the Output**

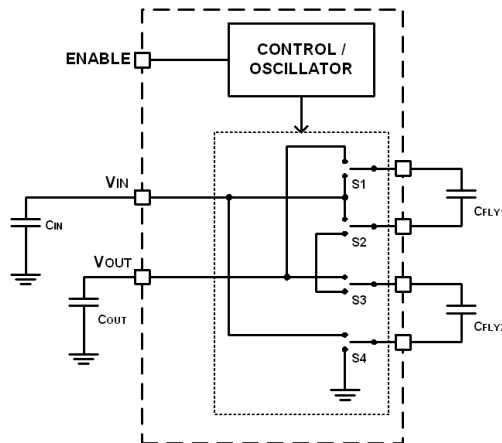


**Equivalent Circuit for
Phase Cycle 2:**



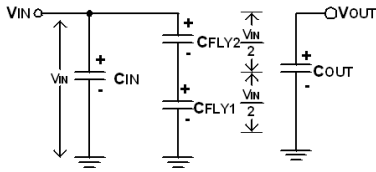
在第一个阶段，开关 S1 和 S4 闭合，CFLY 被充电到 VIN；在第二个阶段 VIN 和 CFLY 上的电压 VIN 串联后给负载供电，即负载上出现两倍的 VIN 电压。

倍压型的充电泵过于死板，产生的电压过于固定，于是有小数型的倍压数的充电泵产品诞生，其简化内部电路如下：

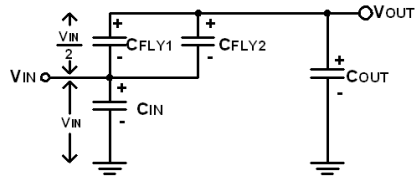


与简单倍压型的充电泵不同，这里有两个外部电容，内部的开关也从单一的通断变成了单刀双掷，通过这两个外部电容的充放电与开关控制串并联的组合，可以产生多种输出电压的组合，这里以 1.5 倍输出电压为例简述其工作原理：

Equivalent Circuit for Phase Cycle 1:

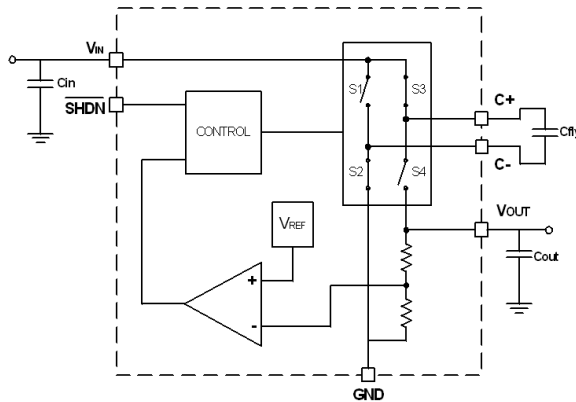


Equivalent Circuit for Phase Cycle 2:



在第一个阶段，通过开关的选通，使得 V_{IN} 给 CFLY1 和 CFLY2 同时充电，由于 CFLY1 和 CFLY2 串联，所以其上各分得 0.5 倍的 V_{IN} ；在第二个阶段，开关重新组合，使得 V_{IN} 和并联的 CFLY2 和 CFLY1 上的 $0.5V_{IN}$ 一起给负载供电，即 $1.5V_{IN}$ 出现在负载上。

显然，即使是小数值倍压的充电泵也不是那么的方便，比如电池电压从 3V 一直下降，我们很难让输出保持在 5V 上，这时，从倍压型或小数值的充电泵上又出现一些变形，即在倍压型或小数值充电泵中加入反馈和稳压模块，如下图所示，是在一个倍压电路中加入稳压电路：



稳压型充电泵可以在变化输入的电压下提供恒定的输出，所以非常适合在电池供电的场合中应用，但由于其稳压的动作，效率降低，比如在 2 倍压的电荷泵的基础上做稳压电荷泵，其效率为 $V_{OUT}/2V_{IN}$ 。

TI 的大多数充电泵产品都是稳压型的充电泵，TPS60xxx 是充电泵类的产品：

器件	输入电压范围(V)	输出电压(V)	输出电流(max)(A)	其他特点	价格(美元)(单位:片)	封装
TPS60110PWP	2.7-5.4	5	0.3	$I_q=50\mu A$, Boost	1.8	HTSSOP
TPS60500DGS	1.8-6.5	0.8-3.3	0.25	$I_q=40\mu A$, Buck	1.1	MSOP
TPS60100PWP	1.8-3.6	3.3	0.2	$I_q=50\mu A$, Boost	1.7	HTSSOP
TPS60210DGS	1.8-3.6	3.3	0.1	$I_q=2\mu A$, Boost	1.45	MSOP

TPS60310DGS	0.9-1.8	3.3	0.02	I _q =2uA, Boost	1.35	MSOP
TPS60250RTET	3-6	6.5 max	0.23	并行 LED 驱动	1.75	QFN
LM7705	3-5.25	-0.2	0.026	低噪声负 bias 产生	0.19	VSSOP
LM2681	2.5-5.5	2.5-5.5	0.02	负压产生	0.31	SOT23
LM2662	1.5-5.5	1.5-5.5	0.2	负压产生	0.88	8SOIC
LM2660	1.5-5.5	1.5-5.5	0.1	负压	0.59	8SOIC

8.3 LED 驱动电路

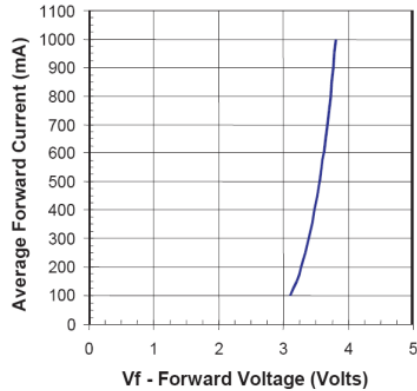
有人断言，高亮度 LED 将是人类继爱迪生发明白炽灯泡之后，最伟大的发明之一。无论这种说法是否准确，高亮度白光 LED 的出现的确给人类照明带来美好的希望。传统的白炽灯在加世纪初就已经批量生产，随后又出现了荧光灯等光源，但是此后半个世纪，一直没有出现能够替代这些传统光源的理想光源。由于传统光源能耗高、效率差、环境污染严重，显然不符合当前节能、环保的主题。而利用白光 LED 作为照明光源，恰好具有节能、高效、寿命长、环境污染小、无辐射等等优点。据统计，若使用固体 LED 光源代替传统的白炽灯和荧光灯照明，将节约全球照明能耗的 50%以上，无疑对缓解当前越来越紧迫的能源和环境问题起到举足轻重的作用。白光 LED 是当前最被看好的一种 LED 产品，与白炽灯、荧光灯等传统的照明源相比，其优势在于：

1. 发光效率高，耗能少，LED 的光效预计可达到 200lm/W 以上，在同样的照明效果下，LED 的耗电量是白炽灯泡的八分之一，荧光灯管的二分之一。
2. 体积小：可以有多颗、多种组合，可以产生点光源、面光源。
3. 发热量低：所产生的热辐射比较小。
4. 耗电量低：工作在直流低电压、低电流下。
5. 长寿命：据报道其寿命可以达到 10 万个小时以上。
6. 频率响应快：有利于高频操作。

LED 技术发展迅速，现在白光 LED 的发光效率已突破 100lm/W，其应用领域从原来的背光源，指示灯照明，逐渐进入汽车照明，路灯，景观灯，以及室内装潢照明等领域，市场前景越来越广阔。

LED 的发光机理和伏安特性：

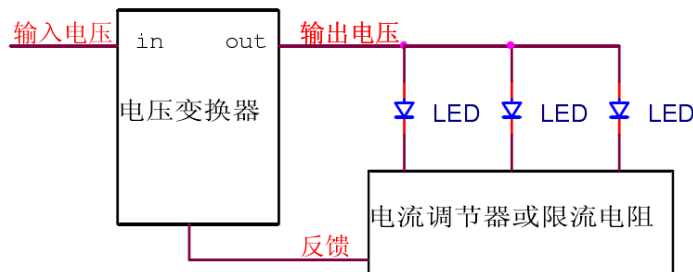
LED，即发光二极管，其本质上还是一颗二极管，因此当在 LED 的两端加上正向的电压时，电子和空穴分别注入 P 区和 N 区，当非平衡少数载流子与多数载流子复合时，就会以辐射光子的形式将多余的能量转化为光能。其发光过程包括三个部分：正向偏压下的载流子注入、复合辐射和光能传输。下图为某类 LED 正向压降(VF)和正向电流的(IF)关系曲线，由曲线可知，当正向电压超过某个阈值(本例中为约 3V，区别于 LED 类型)，即通常所说的导通电压之后，可近似认为，IF 与 VF 成正比：



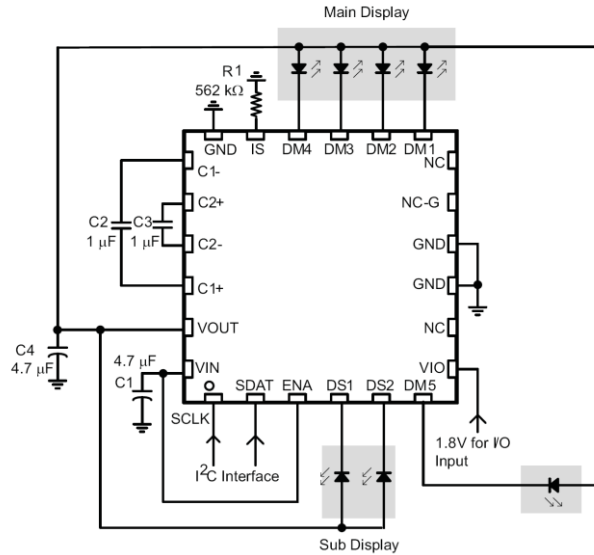
而 LED 的亮度由其上流过的电流大小决定，因此 LED 的光特性通常都描述为电流的函数，而不是电压的函数，采用恒流源驱动可以更好地控制亮度。此外，LED 的正向压降变化范围较大(最大可达 1V 以上)，而由上图中的 VF-IF 曲线可知，VF 的微小变化会引起巨大的 IF 变化，从而引起亮度的较大变化。所以，采用恒压源驱动不能保证 LED 亮度的一致性，并且影响 LED 的可靠性、寿命和光衰。因此，超高亮 LED 通常采用恒流方式驱动。

根据 LED 的连接方式的不同，市场上的白光 LED 驱动 IC 可分为三类：并联型白光 LED 驱动，串联型白光 LED 驱动电路和混联型白光 LED 驱动电路。每种连接方式都有对应的变换器将外部的输入电压转换成合适的输出电压驱动白光 LED 工作。在每种连接方式中，都可以采用电流调节器或是直接使用合适的限流电阻来对流过白光 LED 的电流实施控制。同时，在控制方式上还可以引入反馈，以增强控制过程的精度、灵敏度和稳定性。

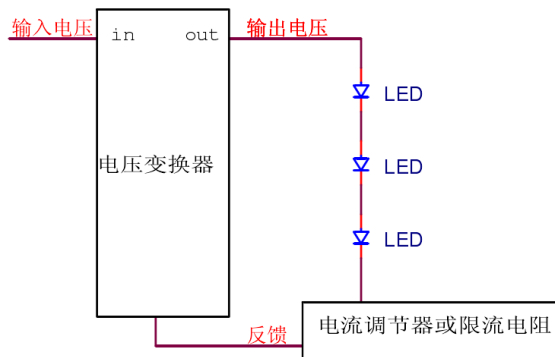
1) 并联方式驱动：



并联型白光 LED 驱动 IC 的原理框图如上图所示。需要驱动白光 LED 并联在一起，它们的一端为电源转换的输出端，另一端可采用合适的电流控制部分。并联 LED 驱动 IC 的电路结构主要采用电荷泵 DC/DC 变换器。其优点在于输出电压相对较小，电路可以采用低压半导体工艺生产；其缺点在于流过不同 LED 的电流存在偏差，使得亮度难以统一；另外由于电荷泵稳压的工作会导致无谓的功率浪费，这也是并联型驱动器效率不如串联型的重要原因之一。TI 的充电泵产品 TPS60251 就是一款可以支持 7 颗 LED 并行发光的 LED 驱动器：



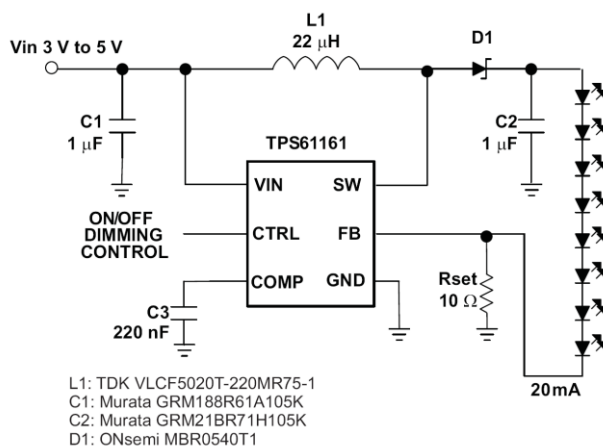
2) 串联方式驱动



串联型白光 LED 驱动电路的原理框图如上图所示。需要驱动白光 LED 首尾相接串联在一起。串联 LED 驱动电路的电路结构根据输入电压的类型可以采用降压或升压变换器。这种驱动方式的优点在于：(1)任何工作条件下流过 LED 的电流都相等，即 LED 的亮度始终保持一致；(2)转换效率比较高，只需要一个限流电阻，减小了功耗；(3)电路与 LED 之间只需要两个连接端点，为用户的设计提供了一定的灵活性。其缺点在于：(1)外围电路中必须采用电感，

与并联 LED 驱动 IC 相比尺寸较大、成本较高、EMI 辐射也较大；(2) 由于各个 LED 串联，其压降也串联，导致驱动电路的输出电压需较高以导通所有的 LED，因此电路要采用高压半导体工艺生产，这也是升压型电路在串联 LED 驱动电路中常见的原因之一。

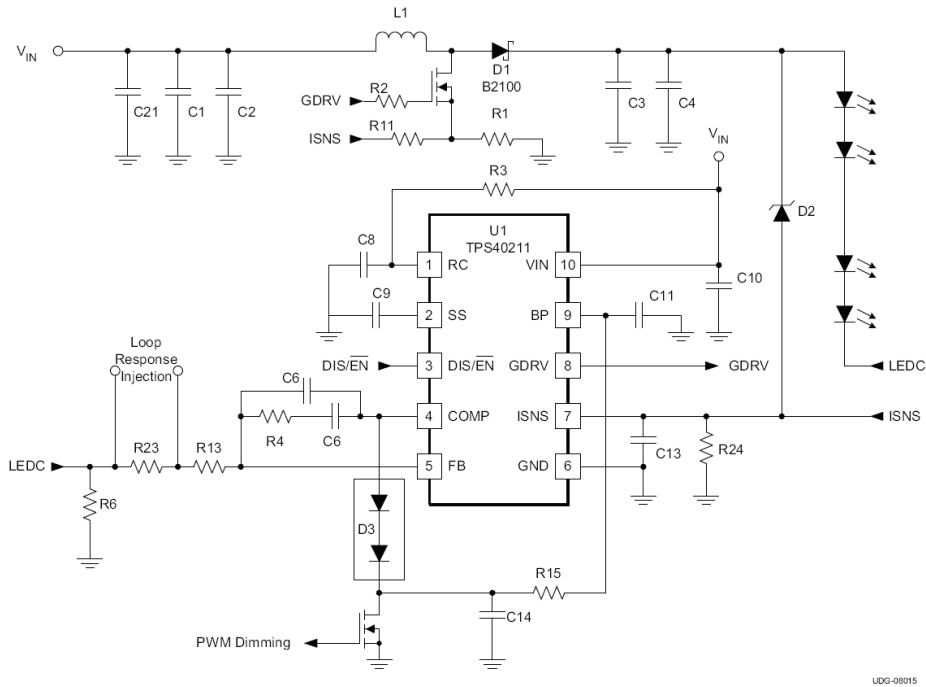
TI 的串联型白光驱动器可视系统供电环境和输出电压不同分为 TPS61xxx 和 TPS54/TPS40K 两部分，TPS61xxx 主要是为手持式电池供电的系统提供白光驱动，其输入电压低，输出电压有的可达 27V，能驱动 7 颗串联的 LED（3.5V 压降）；而后者可提供更高的输出电压和电流，可点亮更高功率的 LED。



如上图是 TPS61161 的 LED 驱动电路，它可以从 3—5V 输入升压到 27V，从而驱动 8 颗的 LED 发光。注意到 LED 为串联模式，使得 TPS61161 的输出电压虽然需要较高，但输出电流只需 20mA 即可。这样就非常适合手机中的屏幕等需要低功率 LED 背光的场合。

TPS61161 的输出恒流由 V_{FB}/R_{set} 决定，而 V_{FB} 由 CTRL 脚上的 PWM 的占空比决定，即 $V_{FB} = DUTY \times V_{REF}$ ， V_{REF} 为 TPS61161 内部的参考电压 200mV，当 CTRL 脚为恒定高电平时， $V_{FB} = 200mV$ ，从而得到上图中的 20mA 恒定输出，通过在 CTRL 脚上加上 PWM 信号，不同的占空比将获得不同的 V_{FB} ，从而获得不同的恒定输出电流，起到调光亮的作用。所以我们这里可以看到 LED 驱动器的另外一个用途：输出电流源！如果电子大赛中的电流源题目用这类芯片做，通过 PWM 信号来调节输出恒流的大小，可以做到非常小的步进。当然，TPS61161 的内置开关管的最大承受电流为 700mA，可能不能满足题目的要求，这时可考虑下面的这一些产品。

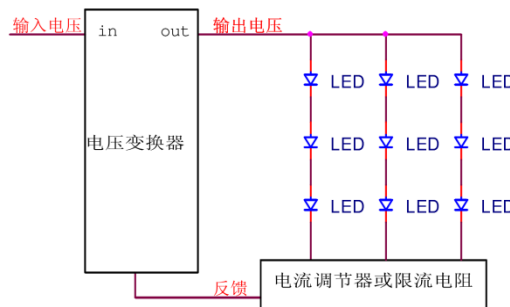
TPS5430, TPS40200 和 TPS40211 虽然设计初衷是为了提供恒定的电压，而不是电流（因而不是专用的 LED 驱动器），但通过增加电压到电流的转换电阻，从而提供恒定的输出电流，因为这些转换器的可支持更大的电流输出，因此可以驱动更大功率的 LED 阵列：



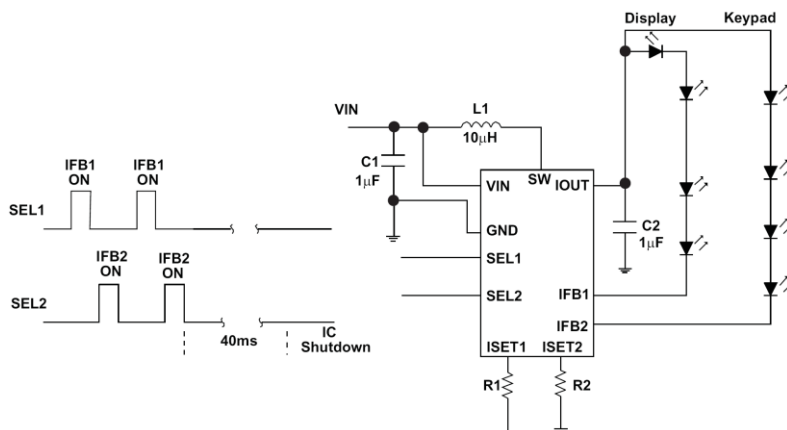
如上图是用 TPS40211 的升压电路来驱动 LED 串，流过 LED 的电流由 TPS40211 的内部参考电压 V_{REF} 和 R_6 决定 (V_{REF}/R_6)。由于 TPS40211 内部采用 260mV 参考电压，所以相对于 TPS40200 和 TPS40210 的 700mV 参考电压来说， R_6 上的功耗可以进一步减小。同时，电流大小的调节同样可以通过改变 PWM 信号来改变，只不过这个电路需要自己外接，而 TPS61161 这种专用的 LED 驱动器是集成在芯片内部。上面这个电路可在 12V 输入下提供恒流 700mA，最高可至 35V，的输出，在汽车照明等中大功率场合中有着非常广泛的应用。

3) 混联方式驱动

在需要使用 LED 比较多的产品中，如果将所有 LED 串联，将需要 LED 驱动器输出高的电压，如果将所有 LED 并联，则需要 LED 驱动器输出较大的电流。将所有 LED 串联或并联，限制了 LED 的使用，解决办法是采用混联驱动方式。混联型白光 LED 驱动电路的示意框图如下：



一般来说，只要串联型 LED 驱动器的输出功率足够，都可以在混联型的电路中使用，不过 TI 有一些专门为混联型电路优化的产品，提供多路输出来驱动并联拓扑。比如 TPS61150A 的应用电路：



比如上图中 TPS61150A 驱动两路并联的 LED 串，一路为屏幕背光供电，一路为键盘光供电，而且每路的灯光亮度都可通过 SEL1 和 SEL2 分别可调。

推荐使用的 DC/DC 型 LED 驱动器有：

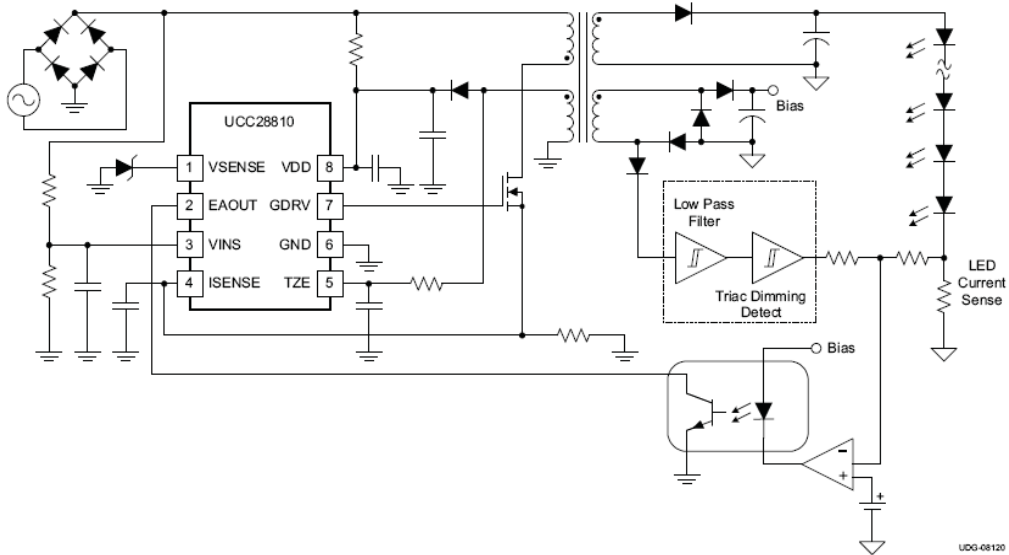
器件	输入电压范围(V)	输出电压(V)	输出电流(max)(A)	Iq(uA)(typ)	其他特点	价格(美元)(单位:片)	封装
TPS60250RTET	3-6	6.5 max	0.23	6700	并联型 LED 驱动	1.75	QFN
TPS61170DRVT	3 to 18	3 to 38	0.3@12V	2300	High Power	1.5	SON
TPS61081DRCT	2.5 to 6	2.5 to 27	0.35	1000	High Power	2	SON
TPS61050DRCT	2.5 to 5.5	4.5/5.0/5.2 5	1.2	8500	闪光灯应用	2.1	SON
TPS61043DRBT	1.8 to 6	Vin to 17	0.03	38	4 LED	0.8	SON
TPS61160DRVT	2.7 to 18	Vin to 26	0.05	1800	6 LED	0.9	SON
TPS61161DRVT	2.7 to 18	Vin to 38	0.05	1800	10 LED	1.05	SON
TPS61165DRVT	3 to 18	Vin to 38	0.35	2300	10 LED, 高亮	1.5	SON
TPS61150ADRCT	2.5 to 6	Vin to 27	0.045	2000	2×6 LED, 串并联	1.75	SON
TPS61180RTET	5 to 24	Vin to 26	1.2	1000	6×10 LED, 串并联	2.8	SON
TPS54160DGQ	3.5 to 60	0.8 to 57	1.5	116	上电顺序	2.65	MSOP
TPS5430DDA	5.5 to 36	1.23 to 31	3	3000	内部补偿	2.05	DDA
TPS40200D	4.5 to 52	0.7 to 46	3	1500		1.05	SOIC
TPS40211DGQ	4.5 to 52	5 to 260	6	1500	Vref=260mV, 升压	0.99	MSOP
LM3402	6-42	-	0.5	-	开关频率可调	0.91	VSSOP
LM3404	6-42	-	1	-	电流控制	1.17	8SOIC

LM3405	3-22	-	1	-	0.95	SOT
LM3410	2.7-5.5	-	1.5	-	1.11	SOT23

超大功率 LED 驱动电路

LED 驱动器目前市场需求按应用来分基本有三大类，一是用于消费性电子产品的，其应用特点是以电池为能源，因此低电压、小电流的充电泵型 LED 驱动器是目前量大面广的产品；二是用于汽车照明产品，因其电源来自汽车蓄电池，一般是 48V，所以需要较高电压的 DC/DC 电感型 LED 驱动器；三是建筑装饰照明和家庭照明，则需要将 AC 能直接转换成 DC 的 LED 驱动器，主要功能是将交流电转换为恒流电源，并同时完成与 LED 的电压和电流的匹配，这里 PFC 和功率 PWM 控制器有着广泛的应用。

上面的前两类应用使用我们上面提到的 TPS60K, TPS40K 和 SWIFT (TPS54xxx) 产品就可顺利驱动，但第三类产品就需要使用 AC/DC 转换器和功率 LED 驱动器来实现，UCC28810 将 PFC，PWM 功率驱动器和 LED 控制电路集成在一起，如下图：



推荐使用的 AC/DC 型 LED 驱动器有：

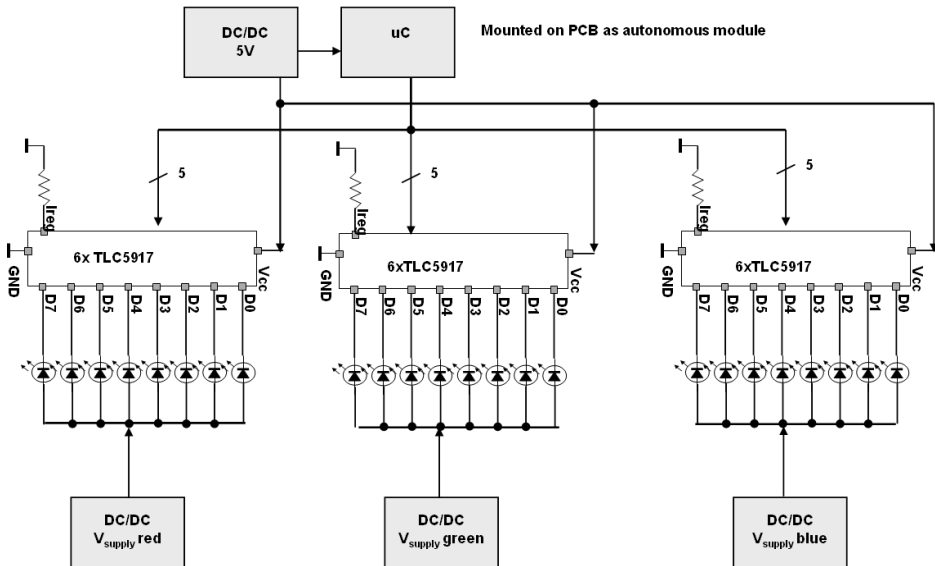
器件	简介	价格(美元) (单位:片)	封装
UCC28810D	LED Lighting Power Controller	0.9	SOIC
UCC28811D	LED Lighting Power Controller	0.9	SOIC

大屏幕 RGB LED 驱动器：

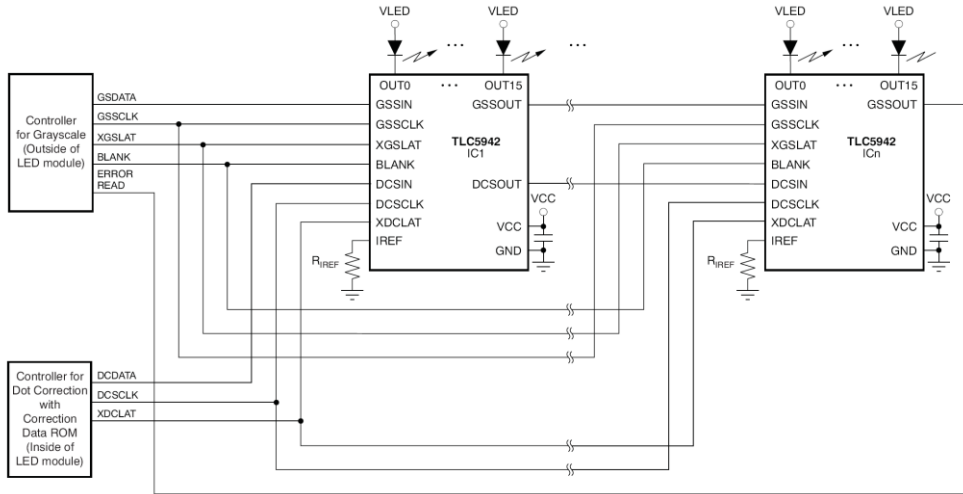
在大屏幕 LED 广告牌的设计中，可分为单色和彩色两种需求：单色即每一个像素由单一颜色的 LED 组成，或红或绿或蓝；当需要提供彩色的画面，实际上大屏上的每一个像素都是由红，绿，蓝三种不同颜色的 LED 组成，RGB 三颗 LED 各自发出不同亮度来组合形成新的颜色。无论是单色还是所以这一类应用中的 LED 驱动器应该具有下面三个特点：一是支持并联/混联型拓扑，使得每颗芯片能提供尽可能多的驱动 LED；二是亮度调节的精度要高，一方面可以使得均色输出时的亮度颜色的一致性，另一方面可以提供更多更精确的组合颜色；三是能提供级联接口来满足高分辨率大屏幕在同步方面刷新的需求。TI 的 TLC59xx 系列是为这类应用开发的并联/混联型的 LED 驱动器，不过与前面几种提供拉电流 (Source Current) 不同，他们是灌电流型 (Sink Current) 的，即他们不给 LED 串提供电压和电流，只通过控制流过 LED 串 (流入 TLC59xx) 中的电流大小来提供亮度调节，这样并联的路数由芯片自身决定，而每个 LED 串的 LED 个数由外部电压决定，这样简化了驱动芯片设计 (不需使用高压工艺)，有效降低了其成本：



彩色 LED 阵列 (6×1)



如上图，是一个 6×1 共 6 个像素点的 RGB LED 驱动电路，每颗 IC 负责 6 路并行的单色 LED 串，三颗 IC 分别红，蓝，绿三色 LED，共组成 6 个像素点。这样每个 LED 的电流都是单独可调（PWM 信号为 12 位精度，可提供 4096 级灰度），从而使得每个像素点的颜色非常丰富，不会存在过渡带的问题。当然，也可以将 TLC5917 配置成混联型，这样在驱动单色 LED 屏时没有问题，但是在彩色屏中，由于每串 LED 的电流一致，无法对每个 LED 进行单独的亮度调节，会在合成颜色时发现不均匀的现象。下面是一个使用 TLC5942 提供级联同步的例子：



TLC5942 还提供了 7 位（128 级）点修正（Dot Correction）的功能，即每路 LED 的电流的最大值可调，可以先通过调节电流的大小使每路 LED 的最大亮度保持一致，再进行灰度调节，使各 LED 的一致性匹配较好。因此可以使用前面提到的升降压芯片（TPS40K，TPS54K）来给 LED 提供恒定的电压以点亮 LED，而由 TLC594x 来进行电流的调节，配合 R, G, B 三色的 LED 最终完成彩色 LED 屏幕。

推荐使用的 RGB LED 驱动器有：

器件	简介	价格(美元) (单位:片)	封装
TLC5917IN	8-Bit Constant-Current LED Sink Driver	0.63	DIP
TLC5924DAP	16-Channel LED Driver With DOT Correction and Pre-Charge FET	1.65	HTSSOP
TLC5940NT	16 Channel LED Driver w/DOT Correction & Grayscale PWM Control	1.9	DIP
TLC5942PWP	16-Channel, 12-Bit PWM LED Driver with 7-Bit Dot Correction	1.95	TSSOP

附录 芯片汇总

精密运算放大器	OPA2134PA	双通道版本的 OPA134, SoundPlus(TM) 高性能音频运算放大器
	OPA4134UA	四通道版本的 OPA134, SoundPlus(TM) 高性能音频运算放大器
	OPA2228PA	双 OPA228,高精度低噪声运算放大器,增益大于 5 稳定
	OPA4228PA	四 OPA228,高精度低噪声运算放大器,增益大于 5 稳定
	OPA227PA	双通道 OPA227,高精度低噪声运算放大器,单位增益稳定
	OPA2227PA	四通道 OPA227,高精度低噪声运算放大器,单位增益稳定
	OPA211AID	低噪声,低功耗高精度,轨到轨输出精密运算放大器
	OPA340PA	2.7-5.5V 单电源供电,轨到轨输入输出,CMOS 型精密运算放大
	OPA2340PA	双通道,单电源供电,轨到轨输入输出,CMOS 型精密运算放大
	OPA333AID	1.8V 低电压供电,超低功耗,零温漂 CMOS 型精密运算放大器
	OPA2335AID	双通道,零温漂,单电源供电 CMOS 运算放大器
	OPA365AID	50MHz 带宽,高 CMRR,单电源供电精密运算放大器
	OPA727AIDGKT	20MHz 带宽,低温漂,高精度精密运算放大器
	OPA734AID	零温漂,单电源供电 CMOS 型运算放大器
	TLV2460IP	具有关断功能的低功耗,轨到轨输入输出运算放大器
	TLV2462IP	
	TLV2463IN	
	TLV2465IN	
	TLC080IP	10MHz 带宽,高输出驱动轨到轨输入输出,单电源供电运算放大器
	TLC082IP	
TLC083IN		
TLC085CN		
差动放大器	INA133UA	高速精密差动放大器
	INA143UA	高速精密, G=10 和 G=1 可选差动放大器
	INA157UA	高速精密差分放大器, $\pm 500\mu\text{V}$ 失调电压,低温度漂移
	INA117KU	高共模输入电压差分放大器,共模输入电压范围: $\pm 200\text{V}$ ($V\text{S} =$
	INA137PA	音频差动接收器
仪表放大器	INA128PA	高精度,低功耗仪表放大器
	INA2128UA	双通道 INA128
	INA118P	低失调电压 $50\mu\text{V}$,低温度漂移,仪表运算放大器
	INA331AIDGKT	低功耗,单电源供电,CMOS 型仪表运算放大器
	INA2331AIPWT	双通道 INA331
	INA333AIDGKT	低功耗($50\mu\text{A}$),零温漂,轨到轨输出仪表放大器

电流检测器	INA200AID	具有开漏型比较器和参考的电流检测器
	INA194AIDBVT	-16V 到 +80V 共模输入电压范围电流检测器
	INA213AIDCKT	电压输出型, 满足“高端”和“低端”接法的电流检测器
高速运放	OPA300AID	低噪声, CMOS 型, 150MHz 带宽高速运算放大器
	OPA355UA	具有关断功能, 200MHz 带宽, CMOS 型高速运算放大器
	OPA820ID	低噪声, 高输出电流, 电压反馈型运算放大器
	OPA2822U	双路宽带, 电压反馈型高速运放
	OPA842ID	宽带, 单位增益带宽积 400MHz, 电压反馈高速运放
	OPA690ID	低功耗宽带电压反馈型高速运放
	THS4031ID	100MHz, 低噪声, 90mA 输出驱动电流, 电压反馈型高速运放
	THS4011ID	290MHz, 低噪声, 110mA 输出驱动电流, 电压反馈型高速运放
	THS4032ID	超低噪声, 高输出驱动能力电压反馈型高速运放
	THS4271D	低噪声, 高压摆率 1000 V/ μ s, 电压反馈型运算放大器
	OPA684ID	具有使能端低功耗电流反馈型高速运放
	OPA691ID	低关断电流 150uA, 电流反馈性高速运放
	OPA695ID	具有关断功能, 超宽带宽电流反馈型运放, GAIN=2 时带宽达到
	OPA694ID	宽带低功耗, 电流反馈型高速运放
	THS3001ID	420MHz 带宽, 100 mA 输出电流, 电流反馈型高速运放
	THS3091D	高输出电流 \pm 250 mA, 高压摆率 7300 V/us, 电流反馈型高速运放
	THS3201D	1.8 GHz 带宽, 高压摆率 6700 V/us, 电流反馈型高速运放
高速压控增益放大器	VCA810ID	可调增益 \pm 40dB, 可调增益范围类保持 35MHz 带宽压控增益放大器
	VCA820ID	可调增益 \pm 20dB, 带宽 150MHz, 压控增益放大器
SAR 型 ADC	ADS7882IPFBT	12 位, 3MSPS, 伪差分输入, 并行输出 ADC
	ADS7818P	12 位, 500KSPS, 伪差分输入, 串行输出 ADC
	ADS7886SBDBVT	12 位, 1MSPS, 单端输入, 串行输出 ADC
	ADS8504IBDW	12 位, 250KSPS, 单端输入 VIN 范围可调 (最大 \pm 10V) 并行输出
	ADS8508IBDW	12 位, 250KSPS, 单端输入 VIN 范围可调 (最大 \pm 10V) 串行输出
	ADS7950SDBT	12 位, 1MSPS, 单端输入, 4 通道选通输入, 串行输出 ADC
	ADS7861E	12 位, 500KSPS, 差分输入, 双通道同步采样, 串行输出 ADC
	ADS8319IDGST	16 位, 500KSPS, 伪差分输入, 串行输出 ADC
	ADS8317IDGKT	16 位, 250KSPS, 差分输入, 串行输出 ADC
	ADS8326IDGKT	16 位, 250KSPS, 伪差分输入, 串行输出 ADC
	ADS8371IPFBT	16 位, 750KSPS, 伪差分输入, 并行输出 ADC
	ADS8412IPFBT	16 位, 2MSPS, 差分输入, 并行输出 ADC
	ADS8509IDW	16 位, 250KSPS, 单端输入 VIN 范围可调 (最大 \pm 10V) 串行输出
	ADS8505IDW	16 位, 250KSPS, 单端输入 VIN 范围可调 (最大 \pm 10V) 并行输出
	ADS8361IDBQ	16 位, 500KSPS, 差分输入, 双通道同步采样, 串行输出 ADC
	ADS8365IPAG	16 位, 250KSPS, 差分输入, 六通道同步采样, 并行输出 ADC
ADS8341E	16 位, 100KSPS, 单端输入, 4 通道选通输入, 串行输出 ADC	

ΔΣADC	ADS1232IPW	10SPS/80SPS, 50/60Hz 陷波器, 集成 PGA, 24 位 ADC
	ADS1240E	15SPS, 50/60Hz 陷波器, 24 位, 集成 PGA, 4 通道
	ADS1246IPW	2ksps max, 24 位, 集成 PGA, 单通道
	ADS1247IPW	2ksps max, 24 位, 带电流源, 集成 PGA, 双通道
	ADS1248IPW	2ksps max, 24 位, 电流源和参考电压输出, 集成 PGA, 四通道
	ADS1252U	40KSPS, 24 位 ADC, 单通道
	ADS1255IDBT	30KSPS, 24 位 ADC, 内部集成 PGA, 双通道输入
	ADS1271IPW	105KSPS, 24 位 ADC, 单通道
	ADS1274IPAPT	四通道的 ADS1271
	ADS1146IPW	2ksps max, 16 位, 集成 PGA, 单通道
	ADS1147IPW	2ksps max, 16 位, 带电流源, 集成 PGA, 双通道
	ADS1148IPW	2ksps max, 16 位, 电流源和参考电压输出, 集成 PGA, 四通道
	ADS1158IRTCT	16 位 16 通道 125KSPS Σ - Δ 型 ADC
	ADS1174IPAPT	16 位 4 通道 52KSPS 同步采样 Σ - Δ 型 ADC
	ADS1298IPAG	24 位 8 通道低功耗生物电位测量前端 ADC
	LMP90077MH	16 位传感器前端 ADC
	ADS1202IPWT	16 位, 带有分流器 ADC, 40kSPS ADC
Pipeline ADC	ADS5237IPAG	双路 10 位 65MSPS 流水线型 ADC
	ADS822E	10 位 40MSPS 流水线型 ADC
	ADS828E	10 位 75MSPS 流水线型 ADC
	ADS803E	12 位 5MSPS 流水线型 ADC
	ADS805E	12 位 20MSPS 流水线型 ADC
	ADS850Y/250	14 位 10MSPS 流水线型 ADC
	ADS62C15IRGCT	双路 11 位 125MSPS, SNR@Boost = 77.5dBFS
	ADS62C17IRGCT	双路 11 位 200MSPS, SNR@Boost = 79.8dBFS
	ADS62P15IRGCT	双路 11 位 125MSPS, CMOS or DDR LVDS 输出
	ADS5517IRGZT	双路 11 位 200MSPS, CMOS or DDR LVDS 输出
	ADS6124IRHBT	12 位 105MSPS, CMOS or DDR LVDS 输出
	ADS62P24IRGCT	双路 12 位 105MSPS, CMOS or DDR LVDS 输出
	ADS6123IRHBT	12 位 80MSPS, CMOS or DDR LVDS 输出
	ADS62P23IRGCT	双路 12 位 80MSPS, CMOS or DDR LVDS 输出
	ADS6122IRHBT	12 位 65MSPS, CMOS or DDR LVDS 输出
ADS62P22IRGCT	双路 12 位 65MSPS, CMOS or DDR LVDS 输出	

电压基准和 电流基准	REF3212AIDBVT	1.25V, 4 ppm/°C, 初始精度 0.2%, Series (Bandgap) Reference
	REF3220AIDBVT	2.048V, 4 ppm/°C, 初始精度 0.2%, Series (Bandgap) Reference
	REF3225AIDBVT	2.5V, 4 ppm/°C, 初始精度 0.2%, Series (Bandgap) Reference
	REF3230AIDBVT	3.0V, 4 ppm/°C, 初始精度 0.2%, Series (Bandgap) Reference
	REF3233AIDBVT	3.3V, 4 ppm/°C, 初始精度 0.2%, Series (Bandgap) Reference
	REF3240AIDBVT	4.096V, 4 ppm/°C, 初始精度 0.2%, Series (Bandgap) Reference
	REF5050AID	5V, 3 ppm/°C, 初始精度 0.1%, Series (Bandgap) Reference
	LM4040A10IDBZT	10V, 初始精度 0.1%, 100 ppm/°C, 并联型(Shunt Reference)
	LM4040A82IDBZT	8.192V, 初始精度 0.1%, 100 ppm/°C, 并联型(Shunt Reference)
	LM4040A50IDBZT	5V, 初始精度 0.1%, 100 ppm/°C, 并联型(Shunt Reference)
	LM4040A41IDBZT	4.096V, 初始精度 0.1%, 100 ppm/°C, 并联型(Shunt Reference)
	LM4040A30IDBZT	3V, 初始精度 0.1%, 100 ppm/°C, 并联型(Shunt Reference)
	LM4040A25IDBZT	2.5V, 初始精度 0.1%, 100 ppm/°C, 并联型(Shunt Reference)
	LM4040A20IDBZT	2.048V, 初始精度 0.1%, 100 ppm/°C, 并联型(Shunt Reference)
	TLVH431BILP	1.24–18V, 可调并联型电压基准, 0.5%初始精度
	TL431BILP	2.495–36V, 可调并联型电压基准, 0.5%初始精度, 34 ppm/°C
	REF200AU	双路 50uA/100uA/200uA/400uA, 精密电流源(Source/Sink)
电阻串型 DAC	TLV5638ID	双通道的 TLV5636
	TLV5636ID	12 位, 建立时间 1uS, 串行 DAC, 内/外部参考
	DAC8550IDGKT	16 位, 超低转换脉冲干扰, 串行 DAC, 外部参考
	DAC8552IDGKT	双通道版本的 DAC8550, 建立时间 10uS
	DAC8554IPW	四通道版本的 DAC8550
数字电位器	TPL0401SA-10	128taps 数字电位器, I2C 接口, 10k 电阻
	TPL0501-100	256taps 数字电位器, 单通道, SPI 接口, 100k 电阻
	TPL0102-100	256taps 数字电位器, 双通道, I2C 接口, 100k 电阻
	TPL8002-25	64taps 数字电位器, 指数型控制。并行接口, 8M 带宽, 2.5k 电阻
乘法型 DAC	DAC7811IDGS	12 位, 串行, 建立时间 0.2uS, ±15V, 10MHz
	DAC7821IPW	12 位, 并行, 刷新率 20MSPS, 建立时间 0.2uS, ±15V, 10MHz
	DAC7822IRTAT	双通道的 DAC7821
	DAC8801IDGKT	14 位, 串行, ±18V, 10MHz, 建立时间 0.5uS
	DAC8802IPW	双通道的 DAC8802
	DAC8805QDBT	双通道的 DAC8806
	DAC8806IDB	14 位, 串行, 刷新率 20MSPS, ±18V, 10MHz, 建立时间 0.5uS
	DAC8811IBDGKT	16 位, 串行, 建立时间 0.5uS, ±15V, MDAC
	DAC8820IBDB	16 位, 并行, 刷新率 20MSPS, 建立时间 0.5uS, ±15V, MDAC
	DAC8812IBPW	双通道的 DAC8811
	DAC8822QBDBT	双通道的 DAC8820

音频 $\Delta\Sigma$ DAC	PCM1753DBQ	24 位, 192KSPS, SNR=106dB, 音频 DAC
	PCM1804DB	24 位, 192KSPS, SNR=116dB, 音频 ADC
	PCM1803ADB	24 位, 96KSPS, SNR=103dB, 音频 ADC
高速 DAC	DAC902E	12 位 165MSPS, 高速 DAC
	DAC5662IPFB	双路 12 位 275MSPS, 高速 DAC
	DAC904E	14 位 165MSPS, 高速 DAC
	DAC5672IPFB	双路 14 位 275MSPS, 高速 DAC
	DAC5687IPZP	双路 16 位 500MSPS, 1x/2x/4x/8x 插值 DAC
LDO	TPS70302PWP	具有上电顺序的 1A/2A 双输出 LDO 稳压器, 可调节输出 1.22V -
	TPS74901KTWT	单路输出 LDO、3.0A、可调节 (0.8 至 3.6V) 可编程软启动
	TPS75901KTTT	单输出 LDO、7.5A、可调节电压 (1.22 至 5.0V)、低静态电流
	TPS78001DDCT	单路输出 LDO、150mA、可调节 (1.22V 至 5.25V)、500nA 静
	TPS78601KTTT	单输出 LDO、1.5A、可调节电压 (1.2 至 5.5V)、低噪声、高
	LM2936	超低静态电流 LDO 电压稳压器
	LM9076	具有延迟复位输出的 150mA 超低静态电流 LDO 稳压器
	LP38690	借助陶瓷输出电容实现稳定的 1A 低压降 CMOS 线性稳压器
	LP38691	借助陶瓷输出电容实现稳定的 500mA 低压降 CMOS 线性稳压器
	LP38853	具有启用和软启动的 3A 快速响应高分辨率可调节 LDO 线性稳压
	LP38852	具有启用和软启动的 1.5A 快速响应高分辨率可调节 LDO 线性稳
	LP38851	具有启用和软启动的 800 mA 快速响应高分辨率可调节 LDO 线性
	LP38511	具有错误标志的 800 mA 快速瞬态响应 低压降线性电压稳压器
降压	TPS62040DGQ	可调节 1.2A 95% 效率步降转换器, 静态电流 18uA, 采用 MSOP-
	TPS62110RSAT	采用 QFN-16 封装的可调节 1.5A、17V 输入电压步降转换器
	TPS54160DGQ	具有 Eco-Mode™ 的 3.5V 至 60V、1.5A 降压 SWIFT™ 转换器
	TPS5430DDA	5.5V 至 36V 输入, 3A 降压转换器
	TPS54331D	具有 Eco-Mode™ 的 3A 28V 570kHz 降压 SWIFT™ DC/DC 转换器
	TPS5450DDA	5.5V 至 36V、5A、500kHz 降压 SWIFT™ 转换器
	LM20123	3A, 1.5MHz PowerWise 同步降压稳压器
	LM20136	具有输入同步的 6A 同步降压稳压器
	LMR12010	采用 SOT-23 封装的 SIMPLE SWITCHER® 20V 输入电压、1A 降
	LM21305	PowerWise® 系列 5A 可调节频率同步降压稳压器
	LMR24220	微型 SMD 中的 42V 输入、2A SIMPLE SWITCHER® 降压电压稳
	LM20323	36V, 3A 500 kHz 同步降压稳压器
	LMR62014	采用 SOT-23 封装的 SIMPLE SWITCHER 20V 输出电压 1.4A 降压
LMR62421	采用 SOT-23 封装的 SIMPLE SWITCHER 24V 输出电压 2.1A 降压	

DC-DC 控制器 (外置 MOSFET)	TPS40200D	宽输入非同步降压 DC/DC 控制器
	TPS40210DGQ	宽输入范围电流模式升压控制器
	TPS40211DGQ	宽输入范围电流模式升压控制器
	LM27402	具有 DCR 电流感应的高性能同步降压控制器
	LM25085	42V 恒准时 PFET 降压开关控制器
	LM3150	SIMPLE SWITCHER® 控制器, 42V 同步降压
	LM5022	用于升压和 SEPIC 的 60V 低侧控制器
	LM3489	具有启用引脚的滞后 PFET 降压控制器
电荷泵	TPS60400DBVT	具有可变切换频率的 60mA 充电泵电压反向器
	LM7705	低噪声负偏置发生器
	LM2681	开关电容器电压转换器
	LM2662	开关电容器电压转换器
	LM2660	开关电容器电压转换器
LED 驱动	LM3402	用于高功率 LED 驱动器的 0.5A 恒流降压稳压器
	LM3404	用于高功率 LED 驱动器的 1.0A 恒流降压稳压器
	LM3405	用于为 LED 供电的 1.6MHz 1A 恒流降压稳压器
	LM3410	具有内部补偿的 525kHz/1.6MHz、恒流升压和 SEPIC LED 驱动器
MOSFET 驱动	TPS28225D	8 引脚高频 4A 吸入电流同步 MOSFET 驱动器
	TPS2828DBVT	反向高速 MOSFET 驱动器
	TPS2829DBVT	同向高速 MOSFET 驱动器
升压	TPS63000DRCT	采用 3x3 QFN 封装, 具有 1.8A 电流开关的 96% 升压降压转换器
	TPS63700DRCT	采用 3x3 QFN 封装的可调节 -15V 输出反向 DC/DC 转换器
	TPS61029DRCT	可调节、1.8A 开关、96% 高效升压转换器, 具有降压模式
	TPS61070DDC	Adjustable, 600-mA Switch, 90% Efficient PFM/PWM Boost
	TPS61085PW	具有强制 PWM 模式的 18.5V、2A、650kHz/1.2MHz 升压 DC-DC
	TPS61087DRCT	具有强制 PWM 模式的 18.5V、3.2A、650kHz/1.2MHz 升压 DC-
	TPS61175PWP	具有软启动和可编程开关频率的 3A 高压升压转换器
	TPS61200DRCT	具有 1.3A 开关和“降压模式”的 0.3V 输入电压升压转换器

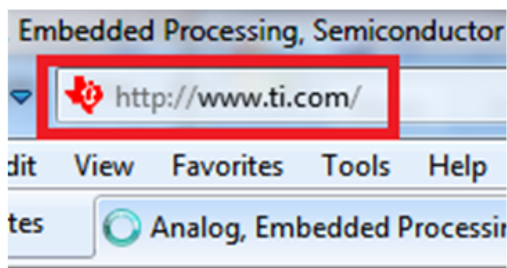
TI 网上资源简介

为方便同学们查找相关资源，这里对 TI 的一些常用网上资源进行简单的介绍，分为：

- 产品目录查找和选则
- 业界应用资料查找
- 工具和软件
 - WEBENCH 设计中心
 - 电源设计
 - 有源滤波器设计
 - TINA-TI 仿真软件
 - Selguide 放大器选型软件
 - FilterPro 滤波器设计
 - PowerLab 电源设计参考
- 技术支持
- 样片申请

注册 MyTi 账号

在使用 TI 网上资源的最开始，推荐同学们进行 MyTi 账号的注册，有了这个账号，可以使用和下载 TI 网上的免费资源，包括免费样片的申请。



- 第一步：登陆TI官网 www.ti.com
- 第二步：进入 [my.TI Login](#)界面
- 第三步：输入新用户信息，点击“注册并继续”
- 第四步：登陆邮箱进行验证（不验证的话只是访客身份）



*需要注意：学生在进行注册时，请尽量使用 edu 的邮箱，以方便通过审核。

产品目录查找和选择

在 TI 的官网上，按照产品分类列出了 TI 所有的半导体以及其他产品，可以在 TI 官网首页的“产品”标签页中找到各个产品分类，点击进入对应的产品。

The screenshot shows the TI website navigation menu with the '产品' (Products) tab highlighted. Below the menu, there are sections for '按产品浏览' (Browse by Product) and '产品结构树' (Product Structure Tree). The '按产品浏览' section lists various product categories such as '放大器及线性器件' (Amplifiers and Linear Devices), '电源管理' (Power Management), '处理器' (Processors), '接口' (Interfaces), and '逻辑' (Logic). The '产品结构树' section lists specific product types like '运算放大器 (Op Amp)' (1405), '高速放大器 (>=50MHz)' (263), '高频运算放大器' (48), '比较器' (170), '仪表放大器' (43), '单电源' (24), '双电源' (19), '缓冲放大器' (25), '电流分流监测器' (85), '标准共模电压 (<60V)' (32), '标准CMV-模拟电流输出' (4), '标准的CMV-模拟电压输出' (3), '隔离放大器' (3), '传感器、传感器调节、4.20mA 发送器' (15), '有源滤波器' (3), and '传感器调节' (10).

进入产品分类列表后，TI 提供根据产品性能进行筛选的功能：

The screenshot shows a table of products with columns for 'Part Number', 'Number of Pins', 'Power Supply Voltage (V)', 'Supply Current (mA)', 'Operating Voltage (V)', 'Operating Current (mA)', 'CMOS Input (V)', 'CMOS Output (V)', 'CMOS Input (mA)', 'CMOS Output (mA)', 'CMOS Input (V)', 'CMOS Output (V)', 'CMOS Input (mA)', 'CMOS Output (mA)'. The table lists various products with their respective specifications.

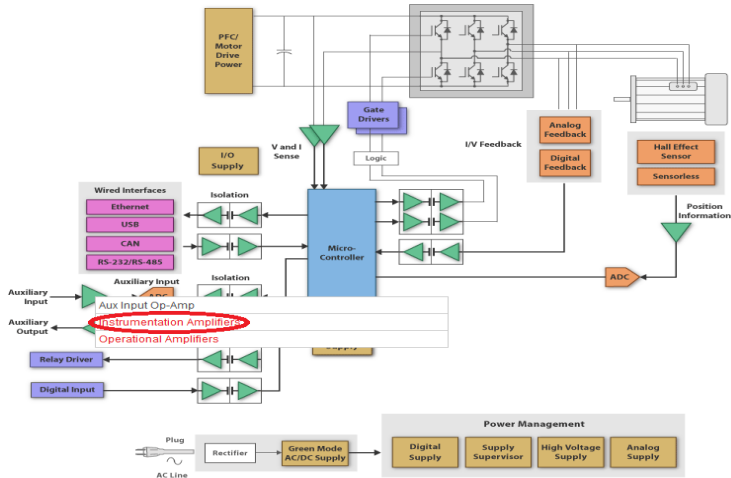
业内应用资料查找

在系统设计开发过程中，需要查找一些参考设计。TI 提供丰富的参考设计，帮助开发者更快更好地进行产品的开发。

The screenshot shows the TI application resources page. It features a navigation menu with '应用' (Applications) highlighted. The main content area includes a search bar and a list of application categories such as '安防和安全' (Security and Safety), '工业应用' (Industrial Applications), '计算和多媒体' (Computing and Multimedia), '替代能源' (Alternative Energy), '汽车和运输' (Automotive and Transportation), '视频&视觉' (Video & Vision), and '通信与电信' (Communication and Telecommunications). A block diagram illustrates a system architecture with components like 'Camera Module', 'CMOS or CCD Sensor', 'Camera Power', 'Ser', 'Des', 'Embedded Processor', 'Ser', 'Des', 'Display', 'Touch Screen Controller', 'Display Backlighting', 'LED Backlighting', 'Input Power Source', 'System Power', 'Memory Core and I/O Power', and 'Display Power'. A legend indicates 'Featured Products' (red) and 'Additional TI Products' (grey).

这些应用几乎涵盖了工业，家居，通信与航空航天等各个领域。

在参考设计中，除了解决方案的描述外，TI 还提供各个功能模块推荐芯片选型。在点击某个应用领域后，会看到业界最新的系统解决方案架构图，将鼠标放在对应的方框上，即可看到相应的推荐芯片。



工具和软件

TI 在提供高性能芯片的同时，也提供强大的辅助设计开发软件。



除了支持 TI 全系列处理器编译开发的 CCS 平台外，在模拟电路设计仿真上，TI 有：

Webench 设计中心

- 进入“工具与软件”可以看到 TI 的 WEBENCH 设计中心。WEBENCH 设计中心提供了 TI 的多款辅助设计软件。覆盖电源、时钟、模拟电路仿真、滤波器设计等等。（建议从英文版网站进入 WEBENCH，英文版更新的更及时 <http://www.ti.com/lscs/ti/analog/webench/overview.page>）

WEBENCH® Design Center
Get results faster with easy-to-use design tools that deliver custom results.
Start your design today for free

WEBENCH Architect Tools

- > Power Architect (multi supply)
- > System Power Architect

WEBENCH Designer Tools

- > Power (single supply)
- > Power Designer Parts Listing
- > LED (enter LED)
- > Sensor AFE & Sensor Interface
- > Medical AFE Designer
- > WEBENCH Export
- > Amplifiers
- > WEBENCH Filter Designer (Beta)
- > EasyPLL
- > Clock Tree Builder
- > All WEBENCH Tools

TINA-TI™ - Downloadable Circuit Simulation

- > Spice Simulation Tool
- > Free form Schematic Capture

Download Models

- > SpiceRack - A Complete list of SwitcherPro™, PSpice, Tina-TI™ Reference Designs and Spice Models
- > Complete SPICE Model Libraries
- > IBIS and BSDL Model Libraries
- > CAD Symbol Downloads

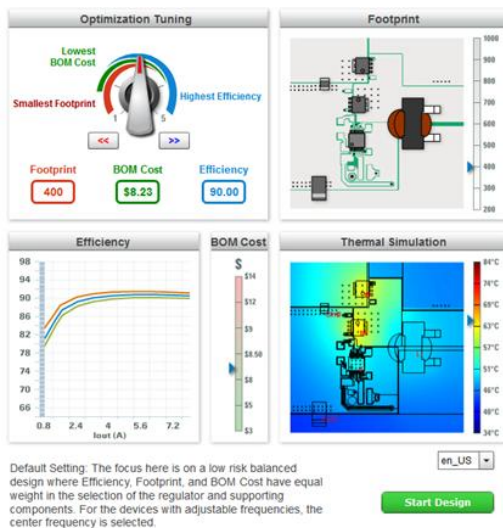
Supply Chain Partners:

Related Resources

- > PowerLab™ Reference Design Library
- > Hardware Design Tools and Software
- > Application Notes/Technical Documents
- > Packaging Information
- > WEBENCH Design Center Brochure
- > WEBENCH Design Center Videos
- > History of Internet Innovation

WEBENCH Design Center Brochure: Get results faster with easy-to-use design tools that deliver custom results.
Download Now!

- WEBENCH 提供强大的开关电源设计和仿真，点击 start design 即可开始设计
<http://www.ti.com/lstds/ti/analog/webench/power.page>



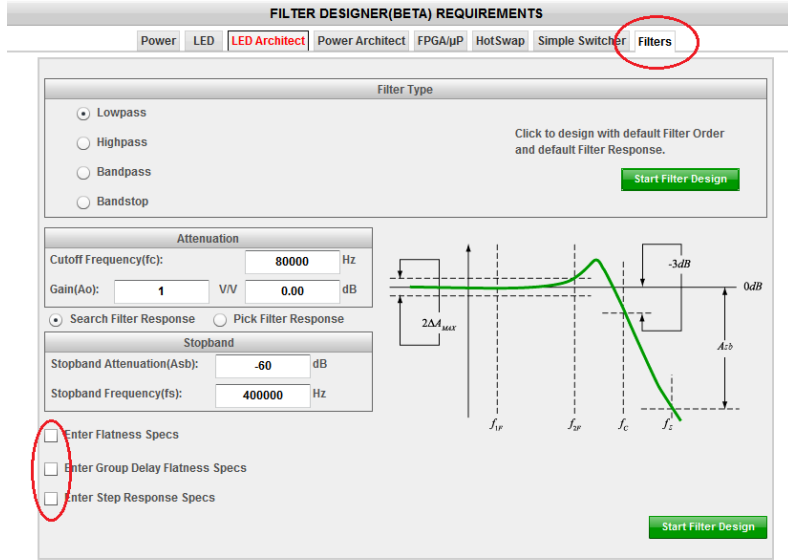
WEBENCH电源设计支持:

- 电源的方案优化
- 电源效率仿真
- 电源时域的稳态和暂态仿真
- 电源热仿真
- 电源PCB设计参考
- 原理图导出
- FPGA电源设计
- 处理器电源设计
- LED电源设计

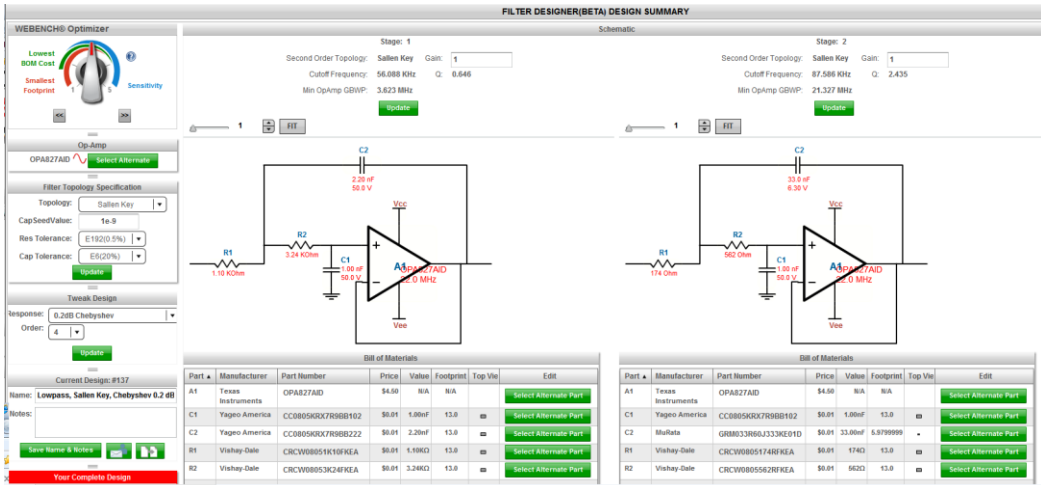
- Webench 为在线使用的软件，仅需 Myti 账号即可在线免费使用
- WEBENCH 同时也支持有源滤波器设计

<http://www.ti.com/lstds/ti/analog/webench/webench-filters.page>

- 输入滤波器的截止频率、阻带频率、阻带衰减、平坦度、群延时和阶跃特性后即可开始设计。



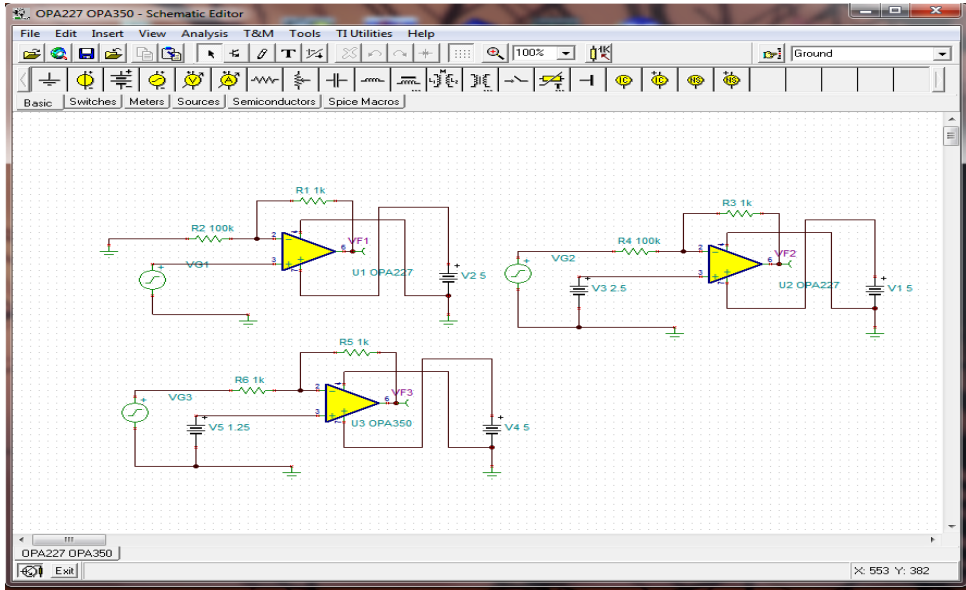
- 选择滤波器的传输响应类型，并用 optimizer 优化
- 进入电路设计，可以改变运放、外围元件、阶数等



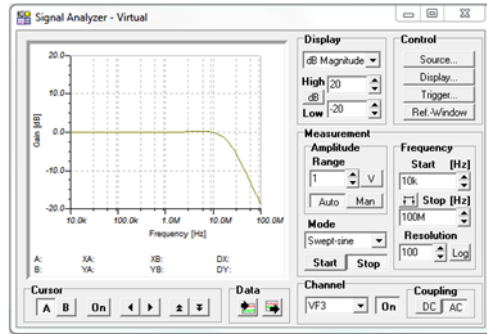
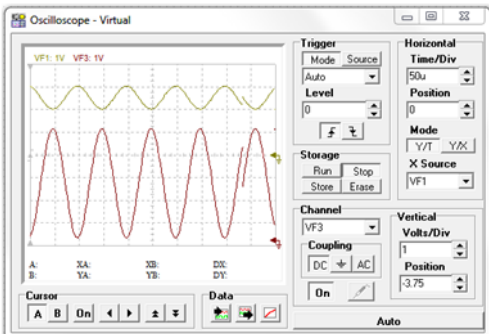
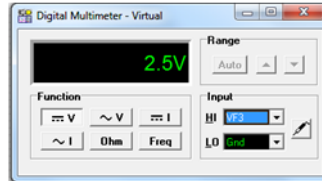
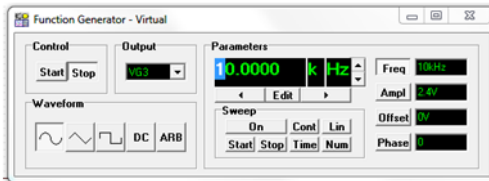
- 点击“sim”可以对滤波器进行仿真

基于 SPICE 模型的仿真软件 TINA-TI

- TINA 提供多种模拟器件模型，包括无源器件、晶体管、通用运放、差分运放、差动运放、仪表运放、驱动运放、电流检测运放，开关电源等。配合各种仪表，操作简单，实现软件实验室。 <http://www.ti.com/tool/tina-ti> 下载使用

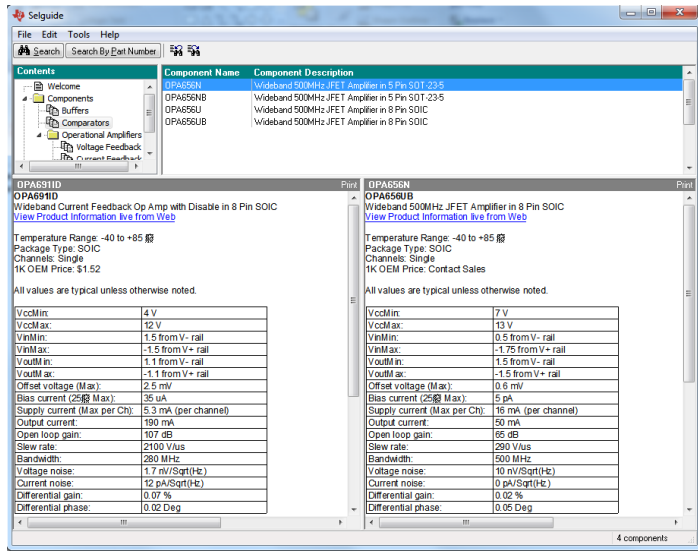


- 多种类型的虚拟仪表，真正实现软件实验室



放大器选型软件 Selguide

- 在工具和软件的 other software 中可以找到这个放大器选型软件
<http://www.ti.com/lstds/ti/analog/webench/overview.page>
- Selguide 可以将两个型号的运放关键参数进行对比，是选型的利器



PowerLab 电源设计参考软件

- PowerLab 是 TI 一个电源管理参考设计库，其中包含了许多电源相关应用的参考设计。每个参考设计文件包都包括电路原理图、PCB 设计图、BOM 表、测试文档等。
- 登陆：http://www.ti.com/lstds/ti/analog/powermanagement/reference_design.page 打开 PowerLab 界面

PowerLab™ Power Reference Designs Selection Tool

Reset All Criteria Hide Criteria Launch Power Stage Designer Contact the PowerLab team

Input voltage range: Min (V) Max (V)

Output voltage +/- % (V) Output current +/- % (A) Keyword Search

Isolated/non-isolated: Isolated Non-isolated Input type: AC DC

Application(s): Audio, Space, Avionics and Defense, Communications and Telecom, Computers and Peripherals, Consumer Electronics, LED Lighting, Driver and Display, Energy and Lighting, Industrial

Topology / Subtopology of devices associated: Boost, Buck Boost, Buck, Flyback, Forward

1114 Results found To sort/re-order/resize columns, drag-&-drop or click column headers.

Compare Selected Export Results to Spreadsheet

Design	Title	Input Voltage Range (Min)	Input Voltage Range (Max)	Output Voltage	Output Current	Output Power	Isolated/Non-Isolated	Input Type	Application(s)	Topology / Sub Topology
pmp8977	Primary-Side Regulated Flyback with	85	265	15	1	15	Isolated	AC	Consumer Electronics	Flyback- Quasi Resonant
pmp8921	12V@4A Sync Boost Converter operat	3	8.6	12	4	48	Non-Isolated	DC	Consumer Electronics; Medic	Boost - CCM, Buck- Synchron
pmp8917	High Efficiency Synchronous Flyback v	36	72	5	2	10	Isolated	DC	Communications and Telecomm	Flyback- Synchronous
pmp8913	100V@0.28A Boost Converter operati	20	30	100	0.28	28	Non-Isolated	DC	Transportation and Automot	Boost - DCM, Buck- Non S
pmp8911	High Efficiency Two-Stage Universal I	85	265	54	2	108	Isolated	AC	Communications and Telecomm	Boost - PFC, Half Bridge
pmp8869	Primary-Side Regulated Flyback with	85	265	12	0.25	3	Isolated	AC	Consumer Electronics; Indus	Flyback- Quasi Resonant
pmp8866	19V-30V Input, 12V@10A Active Clamp	19	30	12	10	120	Isolated	DC	Communications and Telecomm	Forward- Active Clamp, Fo
pmp8849	DC/DC Sync Buck Converter: 48Vin to	46	50	30	12	360	Non-Isolated	DC	Communications and Telecomm	Buck - Synchronous
pmp8817	85VAC-265VAC Input, 5V@4A Dual Po	85	265	5	4	20	Isolated	AC	Consumer Electronics	Flyback- Quasi Resonant
pmp8812	High Efficiency 12V Class 4 PoE Conv	21.6	57	12	2.1	25.2	Isolated	DC	Power over Ethernet (PoE)	Flyback- Synchronous

- 通过上方的筛选选项，用户可以根据自己的设计需求，包括：技术参数，应用领域和拓扑结构等不同角度对下方列出的参考设计进行筛选。

技术支持

TI 提供全面的产品技术支持，工程师与工程师交流的论坛，是解决问题，答疑解惑的好去处。



进入大学计划，了解更多关于 TI 大学计划的信息：



欢迎了解TI中国大学计划

首届全国大学生测量控制与仪器仪表创新设计大赛
正在进行中

[查看详情](#)

教育者 | 学生 | 竞赛 | 其他地区

欢迎了解TI中国大学计划

TI致力于帮助明日工程师完成创新理想。TI中国大学计划为老师和学生们提供了丰富的教学资源、实验室合作项目、科研合作项目以及电子设计竞赛平台，让他们能在日常学习和研究中获得更多乐趣，在实践中掌握世界领先技术。TI中国大学计划已渗透至全国数百所高校，致力于推动高校单片机（MCU）及嵌入式、模拟（Analog）以及数字信号处理（DSP）等领域的教学与实践。

[最新动态](#)

在这里，你可以：

- 了解TI大学计划
- 获取TI大学计划活动最新动态
- 学习教学资料下载
- 等等

样片申请

使用 Myti 账号，可以在 TI 首页的样片与购买标签页下进行免费样片的申请。

TEXAS INSTRUMENTS

Products Applications Tools & Software Support & Community **Sample & Buy** About TI Search

Get Free Samples
[Texas Instruments ICs](#)

Buy Evaluation Boards, Software & Tools
Order TI Tools from the eStore
Order tools from an Authorized Distributor

Buy Integrated Circuits
Enter product number [Go](#)
Or find authorized distributors for application support or to place an order. [More](#)

德州仪器公司及其大学计划

德州仪器 (TI) 是世界上最大的半导体公司之一。始终致力于提供创新和领先的半导体技术, 帮助客户开发世界上最先进的电子产品。其中模拟、嵌入式处理以及无线技术不断深入至生活的方方面面, 从数字通信娱乐到医疗服务、汽车系统以及各种广泛的应用, 无所不在。

在 TI 的全球战略中, 大学计划是极为重要的组成部分。TI 中国大学计划始于 1996 年, 迄今已逾 15 年, 从最初单一的数字信号处理 (DSP) 大学计划, 拓展到 DSP 及嵌入式大学计划、模拟技术大学计划和单片机大学计划三大部分。

TI 始终致力于和中国高校在教学、学生创新能力培养、科研和技术研发方面开展广泛合作, 通过建设联合实验室、教师培训、人才培养、学术交流、合作研究、支持软件学院平台建设、大学生创新设计竞赛等形式, 促进中国高校在电子信息领域的学科建设和人才培养。



大学计划内容

- 协助大学和研究机构建立 DSP 解决方案实验室、模拟实验室和单片机及嵌入式实验室
- 捐赠最新软、硬件开发工具
- 提供相关技术资料和技术支持
- 举办教师培训, 加强师资队伍建设和提高教研能力
- 举办各类电子设计竞赛, 培养学生创新能力
- 举办年度教师会议, 共享教学和科研经验
- 与高校合作, 支持卓越工程师计划, 和本科专业改革计划
- 与大学合作成立创新实验中心, 致力于培养创新人才
- 设立助学基金, 帮助贫困学生入学
- 设立创新基金, 鼓励大学应用最新技术进行教学和科技创新
- 作为桥梁推动学校和产业界的合作



大学计划成果

- 在中国 300 多所大学建立了 4 个技术中心, 500 多个 TI DSP 实验室、MSP430 实验室和模拟创新实验室
- 累计向中国高校捐赠的各种软硬件开发工具达 10 余万套, 免费样片 100 多万片
- 每年有超过 3 万名学生参加 TI 举办和支持的各类竞赛
- 每年有 7000 余名学生参加 TI 直接举办的各类校园培训和讲座
- 与全国大学生电子设计竞赛组委会合作, 举办 TI 杯模拟电子系统设计邀请赛
- 已出版超过 250 本基于 TI 技术的中文教材, 包括 DSP、MSP430、Cortex-M、模拟技术等
- 共发表 2000 余篇基于 TI 技术的论文, 其中 500 余篇为 EI、SCI 收录; 获得省部级以上科技进步奖 50 余项, 各种发明专利 100 余项
- 20 余所合作院校的 DSP, MSP430 课程被评选为国家或省级精品课程



岁月如梭, 在老师和同学的大力支持下, TI 中国大学计划已经走过 15 个春秋, 回首过往, 展望未来, TI 大学计划将继续努力推动最新的半导体技术在中国大学的应用和创新。祝愿德州仪器和中国大学共创 DSP, MCU 和模拟技术的新辉煌!

德州仪器 中国大学计划

目前, TI 在中国的大学计划已经包括了 DSP 大学计划, 模拟技术大学计划和 MSP430 大学计划三个部分。除了实验室建设和技术支持, TI 还通过 DSP 设计大赛, 教育者会议, 设立创新项目基金和杰出教育者奖等活动来推动最新半导体技术在大学里的应用和创新。如需更多详情, 敬请访问: http://www.ti.com.cn/home_d_univ

DSP 大学计划:

- 协助大学 / 研究机构建立 DSPs 实验室
- 以优惠的价格提供软、硬件开发工具
- 向大学教授、研究人员和学生提供有关技术资料 and 最新开发工具的信息等
- 对年轻教师提供 DSP 相关的专业知识、教学方法、讲课技能的培训
- 参加世界性和举办地方性 TI DSPs 的设计比赛, 以鼓励和奖励中国学生的创造性, 并促进他们将所学知识应用于实践
- 举办 DSP 全国性教育者会议

模拟技术大学计划:

- 与大学共建学生创新实验室, 鼓励在创新设计中使用 TI 模拟技术
- 与大学共建模拟课程, 将业内领先的模拟技术引入课堂教学
- 提供创新实验工具, 提升学生模拟技术实践能力
- 支持合作实验室参加全国及省市级电子设计竞赛
- 为合作实验室提供样片赞助和技术支持
- 定期举办青年教师培训
- 举办 Analog 教育者会议

单片机大学计划:

- 包括 MSP430, Tiva, C2000
- 与大学共建多层次的单片机联合实验室
- 与大学共建单片机课程, 为教学提供工具和技术支持
- 鼓励学生使用 TI 高性能处理器进行创新项目设计, 提高学生系统设计实践能力
- 组织全国范围的单片机创新设计大赛
- 定期举办青年教师培训
- 举办 MCU 教育者会议



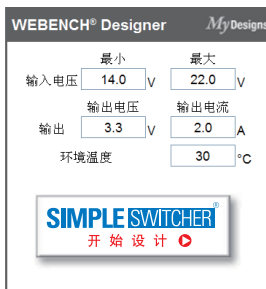
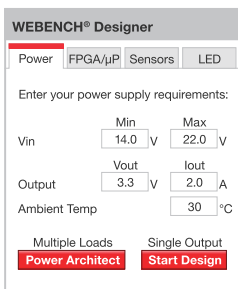
WEBENCH®设计中心: 易于使用且可提供定制结果的设计工具。PowerLab™ 参考设计库, 包含了近千个适用于所有应用的参考设计。

电源在线培训课程

www.ti.com.cn/webench

www.ti.com.cn/powerlab

www.ti.com.cn/powertraining



从通讯、计算机、消费类电子到汽车、工业, 从能源、医疗到安防、航空航天, TI 推出一系列创新、完整、独特的制胜解决方案, 给您带来前所未有的技术支持体验。<http://www.ti.com.cn/ww/more/>



德州仪器在线技术支持社区

中国产品信息中心 免费热线:

TI 新浪微博



www.deyisupport.com

800-820-8682

e.weibo.com/tisemi

德州仪器在线技术支持社区
随您所需、随处获得 TI 技术支持就在

www.deyisupport.com

欢迎即刻登录

