

OMAP-L13x / C674x / AM1x 硬件设计注意事项

1. 介绍

本文适用的芯片件包括：

- [OMAP-L138](#)
- [OMAP-L137](#)
- [TMS320C6748](#) / [TMS320C6746](#) / [TMS320C6742](#)
- [TMS320C6747](#) / [TMS320C6745](#) / [TMS320C6743](#)
- [AM1810](#) / [AM1808](#) / [AM1806](#) / [AM1802](#)
- [AM1707](#) / [AM1705](#)

下表列出了本文所涉及的器件之间的区别，目的是让读者了解本文的那些章节对自己所用的器件适用，对于共用的接口如 McASP, USB, Timers, eCAP, ePWM, 等没有列出。下表按颜色分类引脚兼容的器件系列。同类器件如从 C6748 移植到 OMAPL138 不需要做硬件更改。

	ARM9 26	674x	SAT A	SDRA M	mDD R/DD R2	UPP	LCD	EM AC	HPI	VPIF	MM C/S D	McBS P	Package
OMAP-L138	YES	YES	YES	16-bit	16-bit	YES	YES	YES	YES	YES	2	2	361-ball NFBGA • 0.65mm-pitch ZCE • 0.80mm-pitch ZWT
TMS320C6748	NO	YES	YES	16-bit	16-bit	YES	YES	YES	YES	YES	2	2	
TMS320C6746	NO	YES	NO	16-bit	16-bit	YES	NO	YES	YES	YES	2	2	
TMS320C6742	NO	YES	NO	16-bit	16-bit	NO	NO	NO	YES	NO	0	1	
AM1810 (ZWT only)	YES	NO	YES	16-bit	16-bit	YES	YES	YES	YES	YES	2	2	
AM1808	YES	NO	YES	16-bit	16-bit	YES	YES	YES	YES	YES	2	2	
AM1806	YES	NO	NO	16-bit	16-bit	YES	YES	NO	YES	YES	2	2	
AM1802 (ZWT only)	YES	NO	NO	16-bit	16-bit	NO	NO	YES	NO	NO	1	0	
OMAP-L137	YES	YES	NO	32-bit	NO	NO	YES	YES	YES	NO	1	0	256-ball BGA (ZKB)
TMS320C6747	NO	YES	NO	32-bit	NO	NO	YES	YES	YES	NO	1	0	
AM1707	YES	NO	NO	32-bit	NO	NO	YES	YES	YES	NO	1	0	
TMS320C6743ZKB	NO	YES	NO	32-bit	NO	NO	NO	YES	NO	NO	1	0	176-pin HLQFP (PTP)
TMS320C6743PTP	NO	YES	NO	16-bit	NO	NO	NO	YES	NO	NO	1	0	
TMS320C6745	NO	YES	NO	16-bit	NO	NO	NO	YES	NO	NO	1	0	
AM1705	YES	NO	NO	16-bit	NO	NO	NO	YES	NO	NO	1	0	

2. EVM 设计与 芯片手册冲突时

- 从 TI 网上下载的最新版本的芯片手册及勘误表。并且在产品网页右上角点击 “Alert me about change” 预订更新通知。
- 当 TI 的 EVM 板上的设计与手册不一致时，以手册为准。尽管 EVM 的设计尽量依照手册，也有可能跟不上手册的更新，所以不能无条件的参考 EVM 的设计。
- EVM 板的设计以验证芯片功能为主，系统 ESD，EMC 等性能设计不是其观注重点。

3. 关键电路注意事项

电源

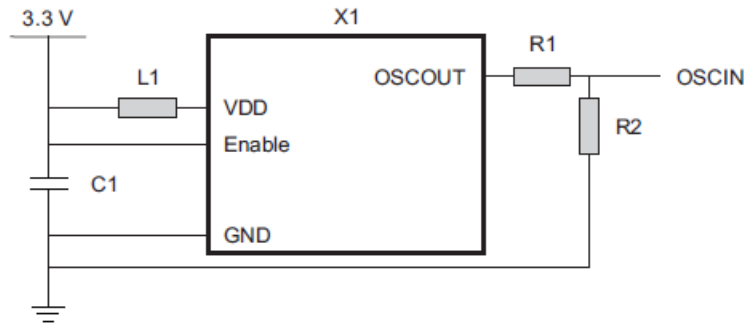
- 确保电压范围正确，并且可以提供芯片需要的足够电流。
- TI 的芯片通常有不同速度等级，通常运行在不同的速度需要的核电压不同，可能的话，给核电压供电的电源芯片尽量选择输出电压可调的，以满足不同的需要。
- OMAP-Lxx 系列芯片支持 DVFS，在低的频率点，可以工作在更低的核电压，如果是对功耗要求较高的应用，可以考虑选择输出电压动态可调的电源芯片。
- 如果需要测试各路电源的电流，建议在各路电源与芯片之间预留 0ohm 电阻以方便测试。
- 确保上电时序正确。
- RTC_CVDD 如果不用电池供电可能连接到 CVDD，即使用 1.3V 核电压时
- 按照手册要求，对 PLL0 和 PLL1 供电做滤波处理，以确保免受噪声干扰。当 PLL0 与 PLL1 的脚相邻时，可以共用一路滤波电路。
- OMAP-L138 的 IO 支持 1.8V 和 3.3V 两种电平，所有 IO 分为 3 组，其电平分别由其相应供电电平决定。
- 即使双 IO 电平都选择为 3.3V，DVDD18 I/O 供电必需要接。
- 1.8V 上需要加足够的电容，以确保避免勘误表提到的：***DVDD18 Can Pull Up to 2.7V When Using Dual-Voltage IOs at 3.3V***。电容值的选择与 3.3V 的上电速度有关，见下表（来源于 L138 勘误表）

Table 12. Bulk Capacitance

DVDD3318 x ramp time for 3.3V	dV/dt (in V per second)	Required capacitance to generate 140 mA
100 μ s	33000	4.2 μ F
250 μ s	13200	10.6 μ F
500 μ s	6600	21.2 μ F
1 ms	3300	42.4 μ F
10 ms	330	424.2 μ F

时钟

- 当用外部时钟源给 OSCIN 提供时钟时，确保其幅度为 1.2V。**强烈建议**采用外部时钟，而不是外部晶体，以提高系统 ESD 性能。



Legend: L1 = ferrite bead; C1 = 0.1 uF; R1 = 165 ohm / 5%; R2 = 100 ohm / 5%

- 时钟走线采用最小宽度 4mil 即可，切记不要用宽的走线，窄的信号线更容易增加高频信号衰减，并降低信号线之间的电容性耦合。
- 如果时钟信号在表层，最好在时钟信号周布平行地线或铺地，最好是将时钟信号布在地层与电源层之间的内层。
- 时钟器件尽量放在电路板中心位置，避免受干扰。
- 避免在分割地，分割电源层上方走时钟信号线，以免增加电流回路。

复位

- 确保 JTAG 的 TRST 信号在上电时处于下拉低电平状态。TRST 不需要与芯片复位管脚 RESET 连在一起。
- 在 RESET 信号上靠近引脚处加一个 0.1uF 的对地电容，以提高抗干扰能力。
- 预留手动复位按键以方便开发过程中的调试。

启动模式

- 用外部上，下拉电阻设置启动模式，不要直接连接到GND或VDD。电阻值的选择参考下表，来源于勘误表章节：**BOOT: Internal Pullup Resistors for BOOT[7:0] Pins Are Sometimes Enabled During Reset, Leading to Boot Failures**

Table 13. Required Pulldown Resistance (R_{PDmax}) for Logical Low BOOT Pins

DVDD3318_C	I_I	V_{IL}	$R_{PDmax} \left(\frac{V_{IL}}{I_I} \right)$
3.3 V	310 μ A	0.80 V	2.58 k Ω
1.8 V	310 μ A	0.80 V	2.03 k Ω

Table 14. Required Pullup Resistance (R_{PUmax}) for Logical High BOOT Pins

DVDD3318_C	I_I	V_{IH}	$R_{PUmax} \left(\frac{DVDD3318_C - V_{IH}}{I_I} \right)$
3.3 V	270 μ A	2.00 V	4.81 k Ω
1.8 V	270 μ A	1.17 V	2.33 k Ω

仿真器连接

- EMU0, EMU1 引脚上拉，在 JTAG 信号线上加串行电阻（22ohm/33ohm），以提高接口抗干扰冲击能力。

- 对于带 ARM 核的芯片，RTCK 信号一定要从 CPU 连到 JTAG 连接器。
- JTAG 信号的 TRST 与 RTCK 下拉处理，其它信号上拉处理，避免接反造成半高电平。

4. 外设连接注意事项

UART

- 在 UART_TXD 引脚加上拉电阻，当复位时，该管脚内部下拉使能，上位机可能误判为一个空字符。

EMAC

- L138 只有一个 EMAC，提供两种接口方式：MII 和 RMII。
- RMII 参考时钟 (RMII_MHZ_50_CLK) 要求 jitter 小于 50 ppm。

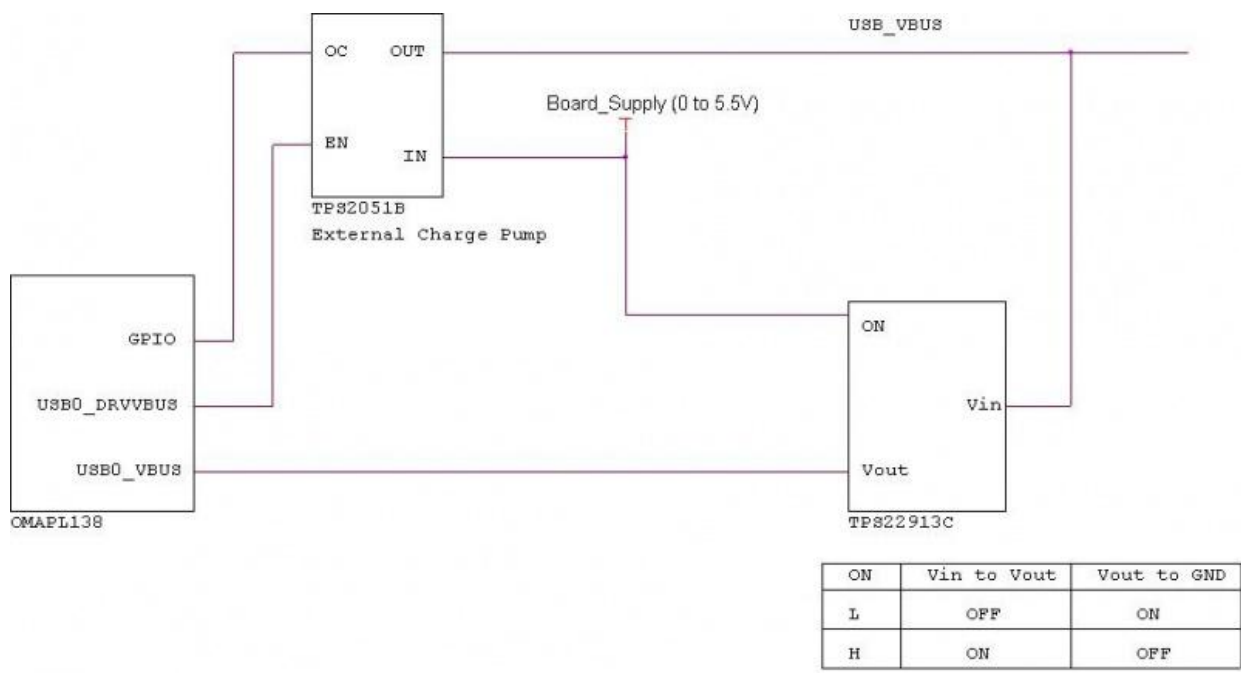
MMC/SD

- 所有信号外部加弱上拉电阻 (~51K) 有助于信号完整性。

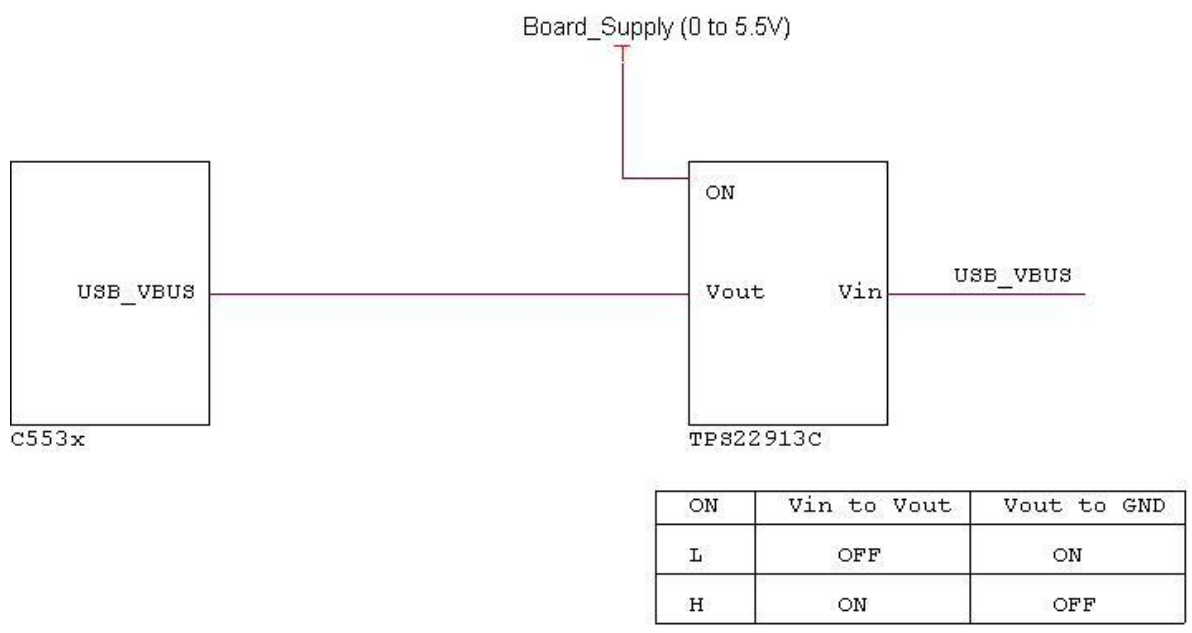
USB

USB 硬件连线：

- 确保 DP/DM 信号线上没有电阻及线头，避免造成信号反射，如果无法避免，控制线头在 200mil 之内。
- USB 支持热插拔，所以一定要加 ESD 保护器件如 TPD2E001, TPD3E001, USB OTG 可采用保护器件 TPD4S012, 任何通过 USB2.0 认证的保护器件都可以。
- CPU 的 USB_VBUS 与 USB 连接器的 VBUS 连接通过开关控制（如 TPS22913），避免在芯片没上电时，外部 VBUS 供电会对芯片 3.3V 造成漏电流，长时间会对 PHY 产生影响。
 - USB OTG 支持主/从的 VBUS 连接建议：



- USB slave 的 VBUS 连接建议:



USB 布线:

- DP/DM 走线尽量短不要超过 4inch，否则眼图质量会下降。平行，尽量靠近。等长，误差在 2mil 内。
- USB 连接器的特征阻抗为 90ohm+-15%，所以 DP，DM 走线的阻抗分别为 45ohm+-10%
- DP/DM 信号走线尽量少走过孔和转角，避免阻抗不连续造成信号反射，当不可避免时：
 - ❖ 增加过孔周围的空隙，以减小电容；
 - ❖ 用两个 45 度角，或圆弧代替 90 度转角；
 - ❖ 不要在 DP，DM 上加通孔做测试点。
- DP/DM 信号远离晶体，晶振，时钟信号，开关整流器件，安装孔，磁场器件。
- DP/DM 信号走线处于连续的平面（VCC 或 GND），避免电源层，地线层的分割。
- DP/DM 不允许连接到两个 USB 连接头。
- DP/DM 信号走线靠近 GND 层。而且在 DP/DM 走线经过的区域，其上/下的 GND 层/Power 层不要做分割。

USB0 (USB 2.0 OTG)

Pin	Question	Operating Mode							
		HS Host	FS Host	LS Host	HS Device	FS Device	LS Device	OTG A Device	OTG B Device
USB0_DM	Series or pull resistor needed?	No	No	No	No	No	No	No	No
USB0_DP	Series or pull resistor required?	No	No	No	No	No	No	No	No
USB0_VDDA33	Connect to...	3.3V	3.3V	3.3V	3.3V	3.3V	3.3V	3.3V	3.3V
USB0_ID	Connect to...	Ground	Ground	Ground	Floating	Floating	Floating	Direct to cable	Direct to cable
USB0_VBUS	Connect to...	Power supply & connector	Power supply & connector	Power supply & connector	Connect or	Connect or	Connect or	Power supply & connector	Connect or
USB0_REFCLKIN	Recommended frequencies...	12,24,48,19.2,38.4,13,26,20,40 MHz							
USB0_VDDA18	Connect to...	1.8V	1.8V	1.8V	1.8V	1.8V	1.8V	1.8V	1.8V
USB0_VDDA12	Bypass cap value	0.22uF							
USB0_CVDD	Connect to...	1.2V (1.32V max)							

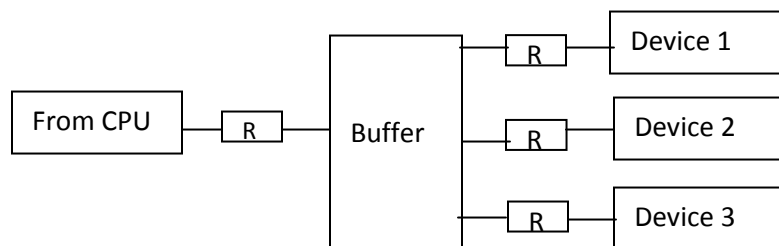
USB1 (USB 1.1 OHCI)

- DM/DP 引脚不需要外部加上下拉电阻。

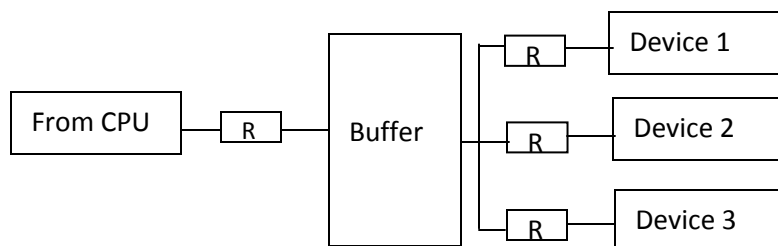
- USB_CVDD 连接到 1.2V (1.32V max)。
- ESD 保护器件加在靠近连接器处。

EMIF

- EMA_CS[0] 只支持 SDRAM，不能连接异步设备。
- EMA_CS[2] - EMA_CS[5] 只支持异步设备，每个片选支持 32M 字节空间。
- 当从 NAND flash 启动时，确保连在 EMA_CS[3]。
- 当从 NAND flash 启动时，参考 bootloader application notes，确保选择的 NAND flash 在支持范围内。
- EMIFA does not support NAND Flash devices that require the chip select signal to remain low during the tR time for a read, therefore make sure that the NAND flash selected for boot will work with the EMIFA NAND controller. Additionally check out the following [link](#)
- 当从 NOR flash 启动时，确保连在 EMA_CS[2].
- 建议在 EMA_CS[n]信号外部加弱上拉电阻。
- EMA_A[0]是 32-bit 地址最低位，确保地址线连接正确，参考 wiki 网页：[Connecting NOR Flash to OMAP-L138](#)
- 每个片选 EMA_CS[n]上只支持连接两个设备，否则可能导致信号完整性不好。如果要连接多个设备，可在总线上加驱动器件以增加驱动能力。
- 建议在信号线上加串行匹配电阻（22ohm/33ohm），以防止信号过冲、下冲，对器件造成冲击。
- 每个片选上最多连接两个外设，当需要连接更多的设备，需要用 IBIS 模型仿真信号完整性。
- 当需要增加驱动器件连接多个外设时，连接方式建议如下：

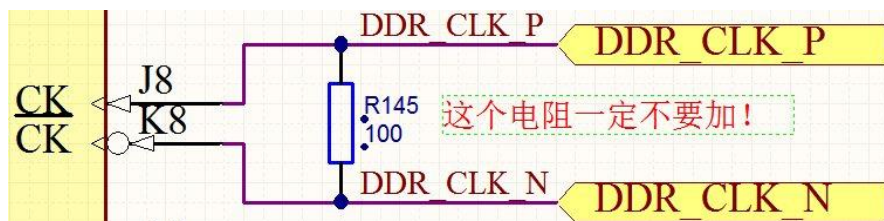


或者：

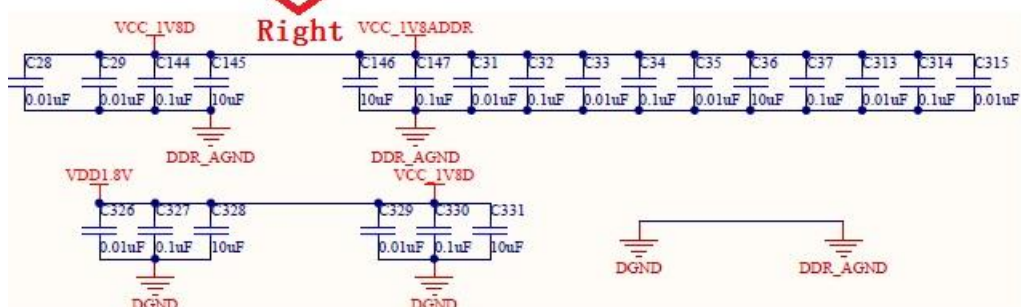
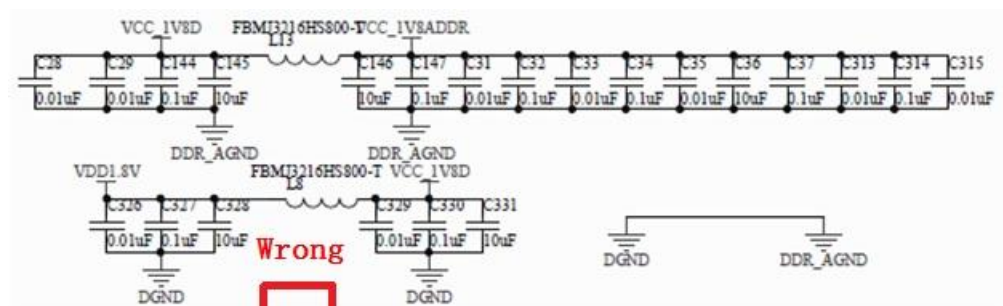


DDR2/mDDR

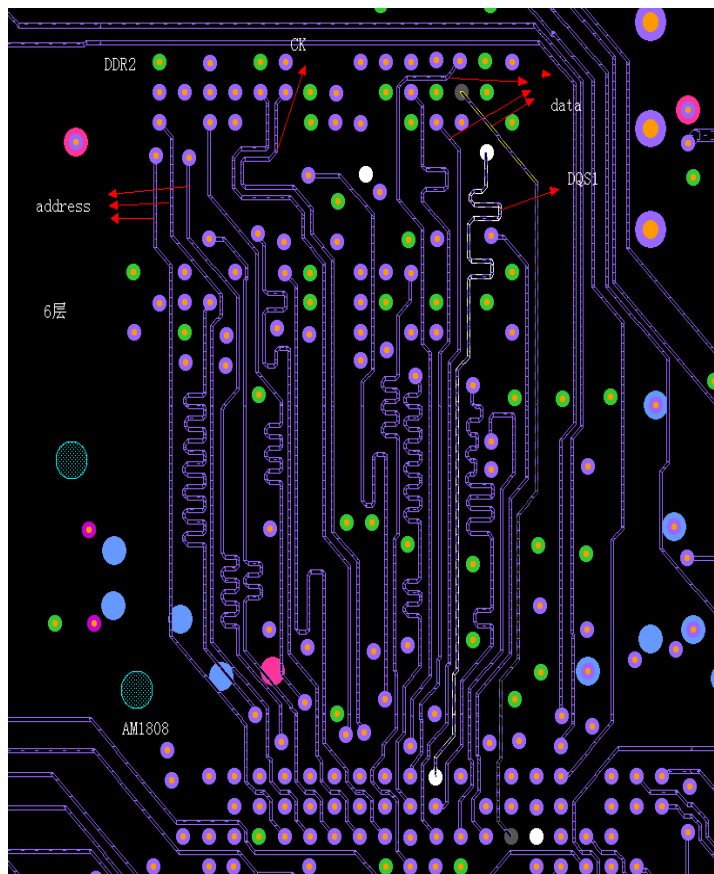
- 支持 mDDR 与 DDR2，对于功耗要求高的应用，选择 mDDR。
- CLKP/CLKN 之间不允许加并行匹配电阻，因为 DDR 控制器里已经实现了匹配。



- 如果信号线上加匹配电阻，DDR2/mDDR drive strength 要设为 full strength. 否则 drive strength 设为 half strength。
- DDR 信号线上不允许加上拉或下拉电阻。
- 在 CPU 与 DDR memory 的 1.8V 电源供电共用一路电源，并且在电源层处于同一连续电源块。



- 确保 CPU 的 Vref 与 DDR memory 的 Vref 连接在一起，来源于同一电阻分压。
- DDR 控制器不支持 ODT，要将 DDR 芯片的 ODT 管脚下拉。
- 建议在布线时，加大 DQS 与其它信号之间的距离（3 倍线宽），以避免串扰。(下图中 DQS 与 Data 平行走线过长且过近，容易产生串扰)



- 严格遵守芯片手册 DDR 章节提供的 DDR 布线要求。

SPI

- 当从 SPI flash 或 SPI 设备启动时，确保用的是 SPIx_CS[0]。

McASP

- 注意发送位时钟 ACLKX 只能由外部 AHCLKX 或者 AUXCLK 提供，不能由 AHCLKR 提供。

GPIO

- 在 GPIO 与外部电路之间加串行电阻，避免信号过冲。
- 当用 GPIO 驱动外部电路时，用低电平驱动，如驱动 LED 时，在外部串接电阻到电源上，GPIO 为低时，LED 亮，GPIO 为高时，LED 灭。

NMI

- NMI 通过外部 10k-ohm 上拉至 DVDD3318_B。

5. 管脚处理

- 管脚功能按引脚配置，有多个功能复位的管脚，可以通过 PINMUX 寄存器任意配置为需要的功能。
- 对于保留 RSV 管脚，严格按手册要求处理。
- 建议对不需要连接的电源管脚悬空处理，以方便电源的走线与电源层的分割。
- 没有用到的非复用功能管脚，按下表处理。

SATA

SIGNAL NAME	CONFIGURATION
SATA_RXP	No Connect
SATA_RXN	No Connect
SATA_TXP	No Connect
SATA_TXN	No Connect
SATA_REFCLKP	No Connect
SATA_REFCLKN	No Connect
SATA_MP_SWITCH	May be used as GPIO or other peripheral function
SATA_CP_DET	May be used as GPIO or other peripheral function
SATA_CP_POD	May be used as GPIO or other peripheral function
SATA_LED	May be used as GPIO or other peripheral function
SATA_REG	No Connect
SATA_VDDR	No Connect
SATA_VDD	1.2V (see notes below)
SATA_VSS	VSS

USB

对于支持两个 USB 接口（USB0 和 USB1）的器件，参照下表：

SIGNAL NAME	CONFIGURATION (When USB0 and USB1 are not used)	CONFIGURATION (When USB0 is used and USB1 is not used)
USB0_DM	No Connect	Use as USB0 function
USB0_DP	No Connect	Use as USB0 function
USB0_ID	No Connect	Use as USB0 function
USB0_VBUS	No Connect	Use as USB0 function
USB0_DRVVBUS	No Connect	Use as USB0 function

USB0_VDDA33	No Connect	3.3V
USB0_VDDA18	No Connect	1.8V
USB0_VDDA12	No Connect	Internal USB PHY output connected to an external filter capacitor
USB1_DM	No Connect	No Connect or VSS
USB1_DP	No Connect	No Connect or VSS
USB1_VDDA33	No Connect	No Connect
USB1_VDDA18	No Connect	No Connect
USB_REFCLKIN	No Connect or other peripheral function	Use for USB0 or other peripheral function
USB_CVDD	1.2V	1.2V

对于只支持 USB0 的器件，参考下表：

SIGNAL NAME	CONFIGURATION
USB0_DM	No Connect
USB0_DP	No Connect
USB0_ID	No Connect
USB0_VBUS	No Connect
USB0_DRVVBUS	No Connect
USB0_VDDA33	No Connect
USB0_VDDA18	No Connect
USB0_VDDA12	No Connect
USB_REFCLKIN	No Connect or other peripheral function
USB_CVDD	1.2V

RTC

SIGNAL NAME	CONFIGURATION
RTC_XI	May be held high or low
RTC_XO	No Connect
RTC_ALARM	May be used as GPIO or other peripheral function
RTC_CVDD	Connect to CVDD
RTC_VSS	VSS

DDR2/mDDR

SIGNAL NAME	CONFIGURATION(1)
DDR_D[15:0]	No Connect
DDR_A[13:0]	No Connect
DDR_CLKP	No Connect
DDR_CLKN	No Connect
DDR_CKE	No Connect
DDR_WE	No Connect
DDR_RAS	No Connect
DDR_CAS	No Connect
DDR_CS	No Connect
DDR_DQM[1:0]	No Connect
DDR_DQS[1:0]	No Connect
DDR_BA[2:0]	No Connect
DDR_DQGATE0	No Connect
DDR_DQGATE1	No Connect
DDR_ZP	No Connect
DDR_VREF	No Connect
DDR_DVDD18	No Connect

(1) To minimize power consumption, the DDR2/mDDR controller input receivers should be placed in power-down mode by setting VTPIO[14]=1.

DDR_DVDD18 引脚: N6,N9,N10,P7,P8,P9,P10,R7, R8, R9