

SEED-DEC6437 用户指南

SEED-DEC6437 用户指南

TMS320DM6437 视频处理模板

版本号: A
2008.11

<http://www.seeddsp.com>

声明

北京合众达电子技术有限责任公司保留随时对其产品进行修正、改进和完善的权利，同时也保留在不作任何通告的情况下，终止其任何一款产品的供应和服务的权利。用户在下订单前应获取相关信息的最新版本，并验证这些信息是当前的和完整的。

版权© 2008，北京合众达电子技术有限责任公司

阅前必读

简介：

本用户指南是 **TMS320DM6437** 视频处理模板的使用说明书，详细描述了 **SEED-DEC6437** 的硬件构成、原理，以及它的使用方法和编程指导。

保修：

所有由北京合众达电子技术有限责任公司生产制造的硬件和软件产品，保修期为从发货之日起壹年。在保修期内由于产品质量原因引起的损坏，北京合众达电子技术有限责任公司负责免费维修或更换。当在保修期内软件进行了升级，北京合众达电子技术有限责任公司将免费提供。

产品注册：

为了在保修期内获得免费的产品升级和技术支持，北京合众达电子技术有限责任公司强烈建议：注册您所购买的每一件软 / 硬件产品。

产品的注册过程非常简单，按下列步骤进行：

- ☐ 北京合众达电子技术有限责任公司的每一件产品几乎都带有产品光盘，光盘上有一个名为 **REGISTER.TXT** 的文件，即为产品注册表。
- ☐ 如果没有找到 **REGISTER.TXT** 文件，请致电或发 **Email** 给我们，告知您的 **Email** 地址，我们会将此文件 **Email** 给您。
- ☐ 填写产品注册表中的各栏（用户名、通信地址、电话 / 传真、**Email** 地址、所购的产品名和产品编号、和产品接收的日期等）。
- ☐ 通过 **Email** 或传真将产品注册表反馈给我们。

注意：产品注册必须在产品发货之日起 **90** 天内完成。

参考资料：

TMS320DM6437 Digital Media Processor (SPRS345D)：介绍 **TMS320DM6437** 系统架构及其外设资源。

TMS320DM643x DMP Universal Asynchronous Receiver/Transmitter (UART) : 介绍 TMS320DM6437 的 UART。

TMS320DM643x DMP General-Purpose Input/Output (GPIO) User's Guide : 介绍 TMS320DM6437 的 GPIO。

TMS320DM643x DMP Asynchronous External Memory Interface (EMIF) : 介绍 TMS320DM6437 的 EMIF。

TMS320DM643x DMP DDR2 Memory Controller User's Guide : 介绍 TMS320DM6437 的 DDR2。

TMS320DM643x DMP DSP Subsystem Reference Guide (Rev. E) : 介绍 TMS320DM6437 的子系统。

TMS320DM643x DMP EMAC-MDIO User's Guide (Rev. A) : 介绍 TMS320DM6437 的网络模块。

TMS320DM643x DMP Enhanced DMA (EDMA) Controller User's Guide (Rev. A) : 介绍 TMS320DM6437 的 EDMA 控制器。

TMS320DM643x DMP High-End CAN Controller (HECC) User's Guide (Rev. A): 介绍 TMS320DM6437 的 CAN 控制器。

TMS320DM643x DMP Inter-Integrated Circuit (I2C) Module User's Guide (Rev. A) : 介绍 TMS320DM6437 的 I2C 总线。

TMS320DM643x DMP Multichannel Buffered Serial Port (McBSP) User's Guide (Rev. C) : 介绍 TMS320DM6437 的 McBSP 总线。

TMS320DM643x DMP Universal Asynchronous Receiver-Transmitter (UART) : 介绍 TMS320DM6437 的 UART 总线。

TMS320DM643x DMP Video Processing Back End (VPBE) User's Guide (Rev. A) : 介绍 TMS320DM6437 的视频后端。

TMS320DM643x DMP Video Processing Front End (VPFE) User's Guide (Rev. A) : 介绍 TMS320DM6437 的视频前端。

商标:

SEED 是北京合众达电子技术有限责任公司的注册商标。

TI、XDS560 是 Texas Instruments 的注册商标。

更多帮助:

- ☐ 网址: <http://www.seeddsp.com>

- ☐ 合众达总公司
地址: 北京市海淀区中关村南大街 12 号寰太大厦 1201 号
电话: 010-59796855
邮编: 100081

- ☐ 北京分公司
地址: 北京市海淀区中关村南大街 12 号寰太大厦 1201 号
电话: 010-59796855 传真: 010-62161218
邮编: 100081
E-mail: beijing@seeddsp.com

- ☐ 天津办事处
地址: 天津市河西区气象台路 48 号增 1 号先特写字楼 506 室
邮编: 300074
电话: 022-23556617
传真: 022-23556617
E-mail: tianjin@seeddsp.com

- ☐ 哈尔滨办事处
地址: 哈尔滨市南岗区文君街 69 号文君花园 E 栋 5 单元 301
邮编: 150001
电话: 0451-86203773
手机: 13796604918
E-mail: leon@seeddsp.com

- ☐ 上海分公司
地址: 上海市黄浦区成都北路 500 号峻岭广场 2208 室
邮编: 200003
电话: 021-63276977
传真: 021-63270962
E-mail: shanghai@seeddsp.com

□ 杭州办事处

地址： 杭州市西湖区文二路 207 号耀江文欣大厦 1209 室
邮编： 310012
电话： 0571-88259367
传真： 0571-88259357
E-mail: hangzhou@seeddsp.com

□ 深圳分公司

地址： 深圳市福田区泰然工贸园苍松大厦北座 3A02 室
邮编： 518027
电话： 0755-33981828
传真： 0755-33981838
E-mail: shenzhen@seeddsp.com

□ 广州办事处

地址： 广州市天河区天河北路 615 号鸿翔大厦天麟第 1808 室
邮编： 510630
电话： 020-38473795 020-38473796
传真： 020-38473798
E-mail: guangzhou@seeddsp.com

□ 香港分公司

地址： 香港九龍觀塘駿業街 44 號航空科技大厦 10 楼 1001 室
电话： +852-34268098 34268099
传真： +852-34264806
E-mail: seedhk@seeddsp.com

□ 南京分公司

地址： 南京市中山东路 218 号长安国际中心 13 楼 F 座
电话： 025-84650405 84650406
传真： 025-84650557
邮编： 210002
E-mail: nanjing@seeddsp.com

□ 合肥办事处

地址： 合肥市金寨路 93 号鸿基广场 504 室（中科大东区正大门对面）
电话： 0551-3668853 3668854
传真： 0551-3668853-808
邮编： 230026
E-mail: hefei@seeddsp.com

□ 成都办事处

地址： 人民南路 3 段林荫街华西大厦 A 座 602 室
电话： 028-85441353 85431123
传真： 028-85458130
邮编： 610041
E-mail: chengdu@seeddsp.com

□ 武汉办事处

地址： 湖北省武汉市武昌街道口珞珈山路一号珞珈山大厦 B 座 1511 室
电话： 027-87660475 87660480
传真： 027-87660480-8809
邮编： 430070
E-mail: wuhan@seeddsp.com

□ 长沙办事处

地址： 湖南长沙河西岳麓区银盆南路 357—3 号威胜大厦 B 座 602 室
电话： 0731-8906758
传真： 0731-8906758
邮编： 410018
E-mail: xusong@seeddsp.com

□ 西安办事处

地址： 陕西西安市长安中路 239 号通瑞大厦 466 室
电话： 029-85248062 88562762 85361239
传真： 029-85248062
邮编： 710061
E-mail: xian@seeddsp.com

目录

阅前必读.....	3
简介:	3
保修:	3
产品注册:	3
参考资料:	3
更多帮助:	5
目录.....	8
第 1 章 入门	12
1.1 特点:	12
1.2 功能框图	13
1.3 概述	13
1.4 应用	14
1.5 技术指标	14
第 2 章 主处理器.....	16
2.1 TMS320DM6437 简介	16
2.2 TMS320DM6437 存储空间的配置	17
2.2.1 EMIF总线及其具体配置.....	17
2.2.1 DDR2 内存控制器	18
2.3 McBSP	18
2.4 UART.....	19
2.5 VPSS.....	20
2.6 EMAC/MDIO.....	21
2.7 IIC	22
2.8 HECC	22
2.9 定时器.....	23
2.10 系统时钟	24
2.11 上电自举	25
2.11.1 DM6437 引导方式	25
2.11.2 SEED-DEC6437 引导过程	27
2.12 复位与中断.....	28
2.12.1 复位.....	28

2.12.2 中断.....	28
2.13 仿真接口	30
第 3 章 视频接口.....	31
3.1 TMS320DM6437 视频处理子系统	31
3.1.1 视频处理前端(VPFE).....	31
3.1.2 视频处理后端(VPBE).....	32
3.2 视频输入	33
3.2.1 TVP5150 的视频输入	33
3.2.2 TVP5150 的配置	34
3.2.3 DM6437 与TVP5150 的连接	36
3.3 视频输出.....	37
3.3.1 VGA接口介绍	37
3.3.2 DEC6437 的VGA接口	38
第 4 章 音频输入与输出	39
4.1 TMS320DM6437 的McBSP接口.....	39
4.2 TLV320AIC23B	40
4.3 TLV320AIC23B与TMS320DM6437 的接口.....	42
4.3.1 AIC23B的数据口	42
4.3.2 TLV320AIC23B的控制口	43
4.4 TLV320AIC23B的模拟接口	44
4.4.1 立体声输入	44
4.4.2 麦克风输入	45
4.4.3 立体声输出	46
第 5 章 UART	47
5.1 DM6437 的UART接口	47
5.1.1 UART寄存器说明	48
5.1.2 波特率设置	53
5.2 异步串口接口电平	55
5.2.1 RS232 异步串口接口电平	55
5.2.2 RS485 异步串口接口电平	55
第 6 章 以太网接口	57
6.1 以太网网络接口简介	57
6.2 PHY设备的连接	58
6.3 EMAC的数据包.....	59
第 7 章 扩展总线.....	60
7.1 存储器扩展总线	60
7.2 外设扩展总线	63
7.3 其他扩展总线.....	64

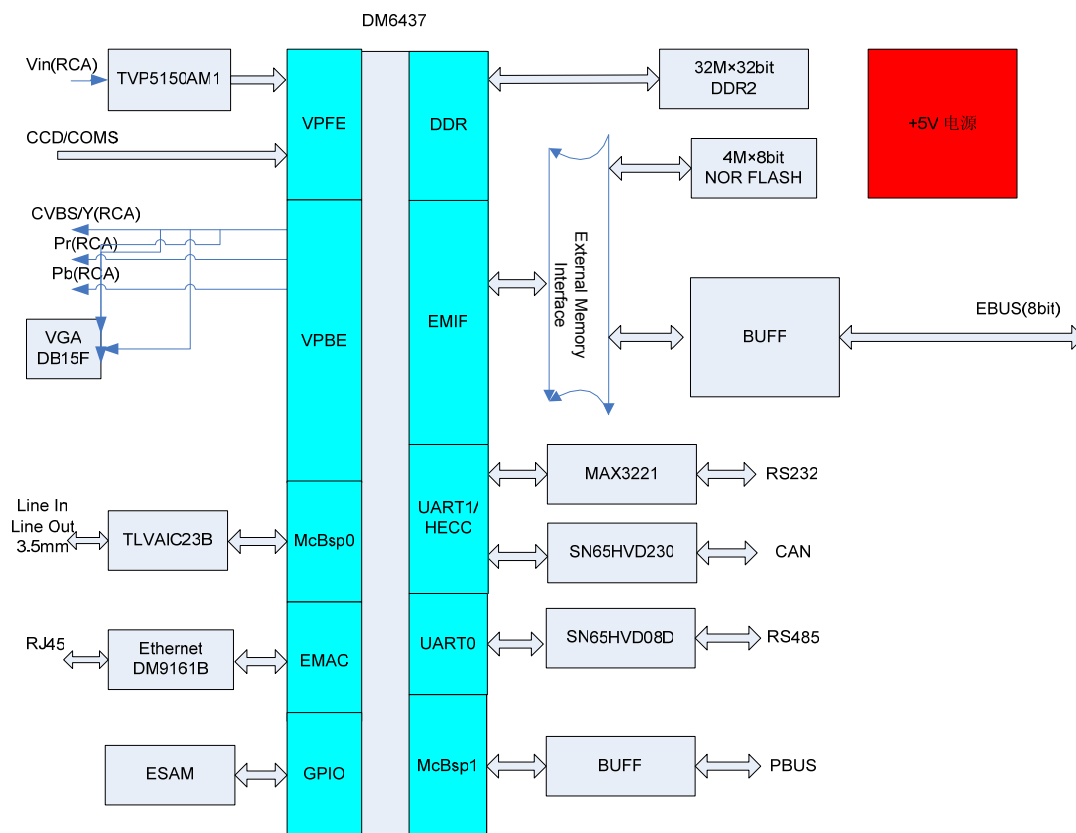
第 8 章 测试	67
8.1 存贮器系统的测试	68
8.1.1 DDR2 的测试	68
8.1.2 FLASH的测试	69
8.2 DSP对VEDIO的操作示例	69
8.2.1 复合模拟视频输出	70
8.2.2 模拟视频VGA输出	70
8.3 DSP对AUDIO的操作示例	70
8.4 UART的测试	71
8.4.1 RS232 串口测试	71
8.4.2 RS485 串口测试	72
8.5 DSP对网络接口的操作示例	73
8.6 LED的测试	74
8.7 BOOT	74
 第 9 章 连接器、跳针、机械尺寸	 76
9.1 物理布局	76
9.2 连接器及开关	77
9.2.1 J1: 以太网接口	78
9.2.2 J2: 复合模拟视频输入	78
9.2.3 J3: 复合模拟视频输出	79
9.2.4 J4: 模拟视频VGA输出	79
9.2.5 J5: 存储器扩展总线 (top)	80
9.2.6 J6: 存储器扩展总线 (bottom)	81
9.2.7 J7: 外设扩展总线 (top)	83
9.2.8 J8: 外设扩展总线 (bottom)	84
9.2.9 J9: JTAG仿真器接口	84
9.2.10 J10: +5V、±15 电源输入	85
9.2.11 J11: +5V电源输入	85
9.2.12 J12: CAN总线接口	86
9.2.13 J13: RS232 总线接口	86
9.2.14 J14: RS485 总线接口	87
9.2.15 J15: 音频立体声输入Audio Line In.....	87
9.2.16 J16: 麦克风输入Mic In	88
9.2.17 J17: 音频立体声输出Audio Line Out.....	88
9.2.18 J18: UART接口	89
9.2.19 J19: CPLD下载电缆接口	89
9.2.20 J20: 数字视频输入 (top)	89
9.2.21 J21: 数字视频输入 (bottom)	90
9.2.22 JP1: 选择音频立体声输出左声道, 无驱动输出 / 耳机驱动输出	91
9.2.23 JP2: 选择音频立体声输出右声道, 无驱动输出 / 耳机驱动输出	91
9.3 指示灯	91

附录A 板上寄存器	92
A.1 控制寄存器.....	92
A.2 状态寄存器.....	94
A.3 其余配置	94
附录B CPLD管脚分配	95
附录C 工程调试环境的建立	97

1.1 特点:

- 采用 TMS320DM6437，专用于数字媒体应用的高性能定点 32-位处理器，工作主频最高达 700MHz，处理性能可达 5600MIPS。
- ◆ 片上存储器
 - L1P Cache: 256K-位 32KB
 - L1D Cache: 640K-位 80KB
 - L2 RAM/Cache: 1M-位
- ◆ 片上外设
 - McBSP: 2 通路
 - McASP: 1 通路
 - UART: 2 通路
 - IIC: 1 通路
 - HECC: 1 通路
 - EMAC: 1 通路
 - PCI: 1 通路
 - 16-位 HPI: 1 通路
 - GPIO: 111 通路
 - 内部 64 位的看门狗
- 外扩 DDR，容量为 32M×32-位，最大可配为 64M×32-位
- 外扩 Nor Flash，容量为 4M×8-位
- 2 路 UART 接口，接口标准分别为 RS232 和 RS485
- 1 路立体声 Line In 音频输入，1 路立体声 Microphone 音频输入，1 路立体声音频输出
- 1 路 PAL 制式模拟视频输入，1 路 PAL 制式模拟视频输出，1 路 VGA 视频输出
- 10M/100Mbase-TX 标准以太网接口
- 1 路 CAN2.0 总线接口

1.2 功能框图



1.3 概述

SEED-DEC6437 是一款专为各种视频应用而开发的带 10/100M 以太网接口的独立的模板，其上包含：专用于数字媒体应用的高性能 32-位定点 DSP TMS320DM6437，其工作主频高达 700MHz，处理性能可达 5600MIPS，可实时实现多路数字视频 / 音频的编码运算，如：MPEG4、H.264、G.729 等；多路视 / 音频接口：1 路 PAL 制式模拟视频输入，1 路 PAL 制式模拟视频输出，1 路 VGA 视频输出，2 路标准的 Microphone 输入或 Audio Line In 立体声输入，1 路标准的 Audio Line Out 立体声输出；2 路 RS232/ RS485 异步接口；标准的 10/100M 以太网接口，方便实现数字视频服务器功能。

SEED-DEC6437 结构紧凑、布局合理（160mm×100mm），1 路视频输入 / 2 路视频输出和 2 路音频立体声输入 / 1 路音频立体声输出，2 路 RS232/ RS485 异步串口从 PC 机后面板引出，其中 2 路音频立体声输入 / 1 路音频立体声输出、2 路 RS232/ RS485 异步串口和+5V 电源输入位于左方；以太网接口和 1 路视频输入 / 2 路视频输出位于上方。

SEED-DEC6437 系统主要包含两部分，分别为 SEED-DEC6437 的硬件系统与相应的测试软件。

在 SEED-DEC6437 中主要集成了 DSP、DDR、FLASH、VIDEO、AUDIO、UART 和网络接口等外设。这样使其能够应用在视频与语音的处理及其相关的领域。

相应的测试软件包括以下几个部分：

- ☐ DSP 对 DDR 和 FLASH 的操作示例；
- ☐ DSP 对 VIDEO 的操作的示例程序；
- ☐ DSP 对 AUDIO 的操作的示例程序；
- ☐ UART 与计算机通讯的示例程序；
- ☐ DSP 对网络接口的操作的示例程序；
- ☐ DSP 的 Bootloader 示例程序；

1.4 应用

SEED-DEC6437 可以应用于视频安全监控系统、机载娱乐系统、IP 网络摄像头、视频电话、便携式媒体以及视觉系统等。

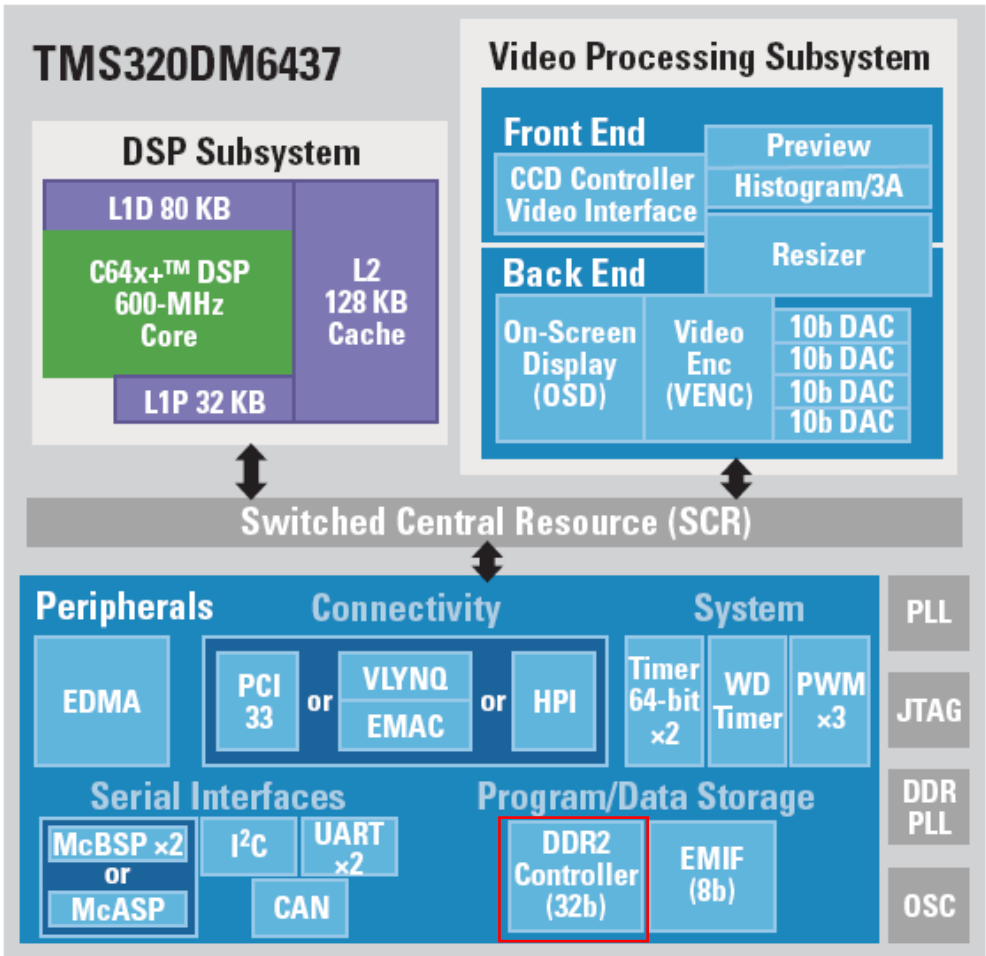
1.5 技术指标

- ☐ 主处理器：TMS320DM6437，工作主频高达 700MHz，处理能力可达 5600MIPS
- ☐ DDR：32M×32-位，工作时钟 135/162MHz
- ☐ Flash：4M×8-位，70ns（20 年数据保存，1,000,000 次擦写）
- ☐ 视频输入：1 通道，PAL 标准模拟视频信号通道，最大输入范围：0~1 V_{PP}
PAL：720×576@25 帧 / 秒
- ☐ 视频输出：1 通道，PAL 标准模拟视频信号，最大输出范围：CVBS：0~1.23 V_{PP}，Y：0~1 V_{PP}，C：0~0.89 V_{PP}
PAL：720×576@25 帧 / 秒
- ☐ VGA 视频输出：1 通道，PAL：352×288@25 帧 / 秒
- ☐ 音频输入：2 通道，标准 3.5mm Audio Jack 连接器，Microphone 输入（支持驻极体 Microphone，并提供偏置电压）或 Line In 输入（输入范围：2V_{RSM}）
支持 8KHz~96KHz@16/20/24/32-位采样
- ☐ 音频输出：1 通道，标准 3.5mm Audio Jack 连接器，Line Out 输出（输出范围：1V_{RSM}@10KΩ / 50pF 负载
支持 8KHz~96KHz@16/20/24/32-位采样
- ☐ 异步串口：2 通道，分别配置为 RS232 和 RS485。传输率：RS232：128Kbaud； RS485：128Kbaud

- 以太网接口: 10M/100Mbase-TX 标准, 标准的带绿、黄 2 个 LED 指示灯的 RJ45 连接器, 绿灯指示连接状态, 黄灯指示数据传输或传输速度
- 扩展总线: 允许+3.3V/+5V 的输入
- 工作温度: 0~70℃
- 机械尺寸: 160mm×100mm

2.1 TMS320DM6437 简介

TMS320DM643x 数字媒体处理器是首批支持达芬奇技术的纯 DSP 器件，其强大的功能，可支持 D1 解析度的 H.264 视频编码，或根据目标应用（如 IP 网络监控摄像头）的要求运行完整的音视频与联网功能，而成本则比 TI 前代 DSP 数字媒体处理器下降了 50%。TMS320DM6437 是美国德州仪器公司（TI）推出的一款基于 TI 第三代高性能的 VLIW 的面向数字多媒体应用的 DSP，内核为 C64x+。其功能框图如下：



2.2 TMS320DM6437 存储空间的配置

TMS320DM6437 的存储空间映射如下图所示：

START ADDRESS	END ADDRESS	SIZE (Bytes)	C64x+ MEMORY MAP	EDMA PERIPHERAL MEMORY MAP	VPSS MEMORY MAP	PCI MEMORY MAP
0x0000 0000	0x000F FFFF	1M	Reserved	Reserved	Reserved	Reserved
0x0010 0000	0x0010 FFFF	64K	Boot ROM			
0x0011 0000	0x007F FFFF	7M-64K	Reserved			
0x0080 0000	0x0081 FFFF	128K	L2 RAM/Cache ⁽¹⁾			
0x0082 0000	0x00E0 7FFF	6048K	Reserved			
0x00E0 8000	0x00E0 FFFF	32K	L1P RAM/Cache ⁽¹⁾			
0x00E1 0000	0x00F0 3FFF	976K	Reserved			
0x00F0 4000	0x00F0 FFFF	48K	L1D RAM			
0x00F1 0000	0x00F1 7FFF	32K	L1D RAM/Cache ⁽¹⁾			
0x00F1 8000	0x017F FFFF	9120K	Reserved			
0x0180 0000	0x01BF FFFF	4M	CFG Space	CFG Bus Peripherals	Reserved	CFG Bus Peripherals
0x01C0 0000	0x01FF FFFF	4M	CFG Bus Peripherals			
0x0200 0000	0x100F FFFF	225M	Reserved	Reserved	Reserved	Reserved
0x1010 0000	0x1010 FFFF	64K	Boot ROM			
0x1011 0000	0x107F FFFF	7M-48K	Reserved			
0x1080 0000	0x1081 FFFF	128K	L2 RAM/Cache ⁽¹⁾	L2 RAM/Cache ⁽¹⁾	Reserved	L2 RAM/Cache ⁽¹⁾
0x1082 0000	0x10E0 7FFF	6048K	Reserved	Reserved		Reserved
0x10E0 8000	0x10E0 FFFF	32K	L1P RAM/Cache ⁽¹⁾	L1P RAM/Cache ⁽¹⁾		L1P RAM/Cache ⁽¹⁾
0x10E1 0000	0x10F0 3FFF	976K	Reserved	Reserved		Reserved
0x10F0 4000	0x10F0 FFFF	48K	L1D RAM	L1D RAM		L1D RAM
0x10F1 0000	0x10F1 7FFF	32K	L1D RAM/Cache ⁽¹⁾	L1D RAM/Cache ⁽¹⁾		L1D RAM/Cache ⁽¹⁾
0x10F1 8000	0x10FF FFFF	1M-96K	Reserved	Reserved		Reserved
0x1100 0000	0x1FFF FFFF	240M	Reserved	Reserved		Reserved
0x2000 0000	0x2000 7FFF	32K	DDR2 Control Regs	DDR2 Control Regs		DDR2 Control Regs
0x2000 8000	0x2FFF FFFF	256M-32K	Reserved	Reserved		Reserved
0x3000 0000	0x3FFF FFFF	256M	PCI Data	PCI Data		
0x4000 0000	0x41FF FFFF	32M	Reserved	Reserved		
0x4200 0000	0x42FF FFFF	16M	EMIFA Data (CS2) ⁽²⁾	EMIFA Data (CS2) ⁽²⁾		
0x4300 0000	0x43FF FFFF	16M	Reserved	Reserved		
0x4400 0000	0x44FF FFFF	16M	EMIFA Data (CS3) ⁽²⁾	EMIFA Data (CS3) ⁽²⁾		
0x4500 0000	0x45FF FFFF	16M	Reserved	Reserved		
0x4600 0000	0x46FF FFFF	16M	EMIFA Data (CS4) ⁽²⁾	EMIFA Data (CS4) ⁽²⁾		
0x4700 0000	0x47FF FFFF	16M	Reserved	Reserved		
0x4800 0000	0x48FF FFFF	16M	EMIFA Data (CS5) ⁽²⁾	EMIFA Data (CS5) ⁽²⁾		
0x4900 0000	0x49FF FFFF	16M	Reserved	Reserved	Reserved	Reserved
0x4A00 0000	0x4BFF FFFF	32M	Reserved	Reserved		
0x4C00 0000	0x4FFF FFFF	64M	VLYNQ (Remote Data)	VLYNQ (Remote Data)		
0x5000 0000	0x7FFF FFFF	768M	Reserved	Reserved		
0x8000 0000	0x8FFF FFFF	256M	DDR2 Memory Controller	DDR2 Memory Controller	DDR2 Memory Controller	DDR2 Memory Controller
0x9000 0000	0xFFFF FFFF	1792M	Reserved	Reserved	Reserved	Reserved

2.2.1 EMIF 总线及其具体配置

TMS320DM6437 通过外部存储器接口 (EMIF) 访问片外存储器, EMIF 由 8-位数据线 D[7:0]、24-位地址线 EM_A[21:0]和 EM_BA[1:0]、4-位片选线 $\overline{CS5} \sim \overline{CS2}$ 和各类存储器的读 / 写控制信号 EM_RW、 $\overline{EM_OE}$ 、 $\overline{EM_WE}$ 、EM_WAIT 组成。每个 $\overline{CEx}$ 空间有 16M-字节的寻址空间, 可以配置为 Flash 和 ASRAM。

在 SEED-DEC6437 板卡上, $\overline{CE2}$ 用来连接 4MB 的 Nor FLASH; $\overline{CE3}$ 与 CPLD 连接, 用于一些译码的工作, 如 CAN 和 RS232 的切换等; $\overline{CE4}$ 用于存储空间的外扩; $\overline{CE5}$ 连到了 CPLD, 未用保留。

关于 TMS320DM6437 的 EMIF 的设计与应用，请参看文档：***TMS320DM643x DMP Asynchronous External Memory Interface (EMIF) Use's Guide (Rev. A)***（文献号 SPRU984A）。

2.2.1 DDR2 内存控制器

TMS320DM6437 集成了 DDR2 存储器控制。DDR2 存储器控制器是一个独立的连接 DDR2 SDRAM 接口，它支持 JESD79D-2A 标准兼容的 16 位或 32 位 DDR2 SDRAM 内容。DDR2 高速的外部存储器可以完成以下功能：

- 存放从传感器和视频源输入的图像数据
- 处理和恢复 VPEE 中图像数据的过程存储
- 大量的 OSD 显示缓存
- 执行图像处理的大量的 raw Bayer 数据图像文件的过程存储
- 缓冲视频编解码功能需要的中间数据
- 存储 DSP 的可执行代码

SEED-DEC6437 系统扩展了 128MB 的 DDR 存储器空间用于程序、数据和视频等的存储；扩展了 4MB 的 Nor FLASH 存储空间，用于存储系统的引导程序，供系统启动时使用。

2.3 McBSP

TMS320DM6437 有 2 通路 McBSP，它们有如下特点：

- 全双工通信
- 双缓冲数字寄存器，可以连续传输数据流
- 独立的接收、发送的帧和时钟

这两路 McBSP 和 McASP 管脚复用。

在 SEED-DEC6437 板卡上，通过对 S_MCBSP 的配置，可以将 McBSP1 用于音频，也可以连到外部设备扩展总线当作 McBSP 使用；McBSP0 连接到了外部设备扩展总线上，允许+5V/+3.3V 信号的输入。

2.4 UART

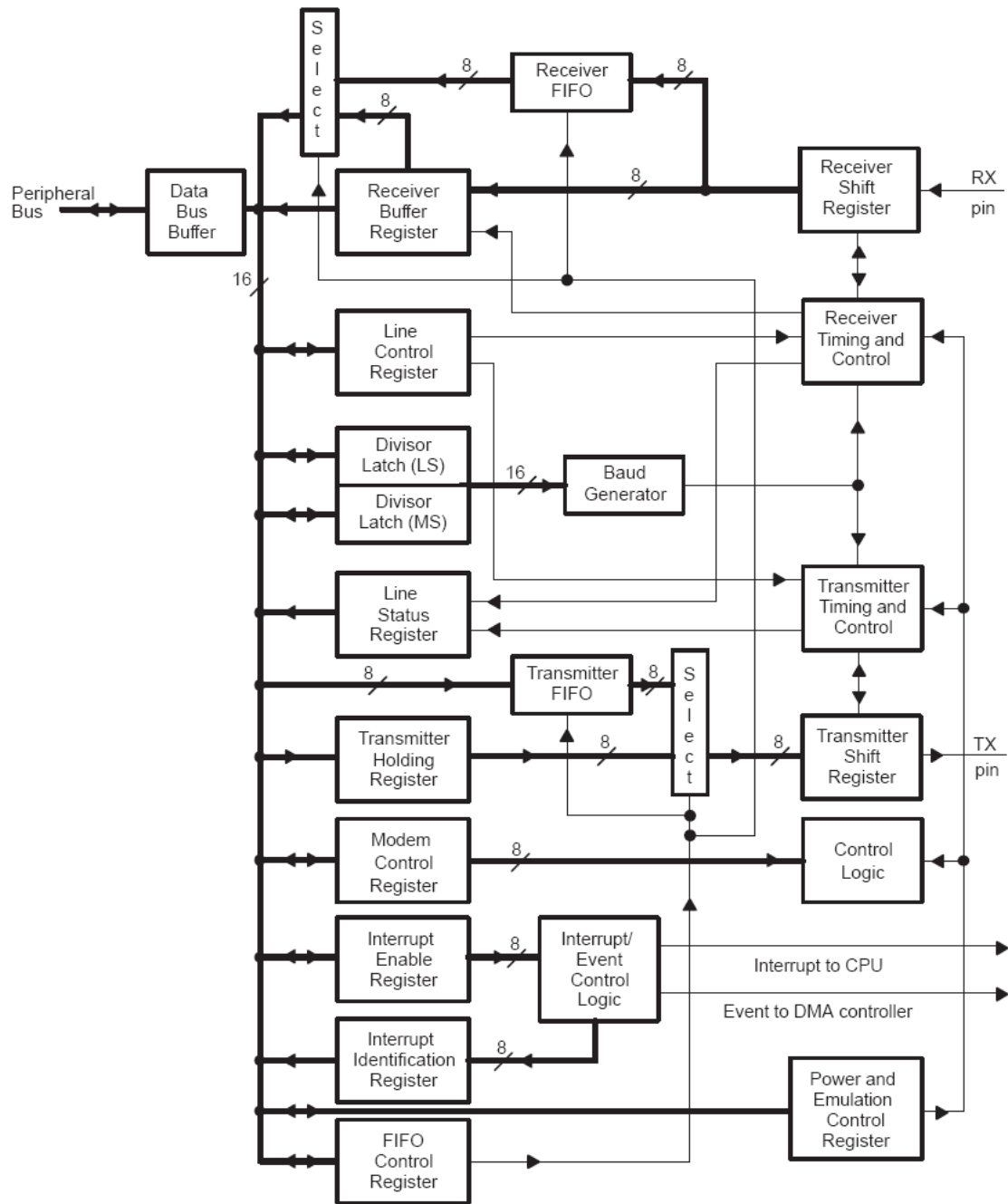
TMS320DM6437 内部集成了 2 路 UART 控制器，支持 2 个 UART 外设连接。UART 支持基于工业标准的 TL16C550 异步通信模块，支持 FIFO 模式数据传输，最大支持 16 字节数据的缓存，从而减轻接收和发送数据时 CPU 程序的时钟消耗。

UART 控制器可以从外设接收数据以完成数据的串并转换和从 CPU 接收数据发送以完成并串数据转换功能，CPU 可以通过随时读取 UART 的状态寄存器来确定数据的发送和接收。

UART 控制器包含以下特点：

- 可编程波特率
- 可编程的串口数据特征
 - 数据长度 5, 6, 7, 8 位
 - 奇校验，偶校验，无效验位设置
 - 1, 1.5, 2 个停止位
- 16 字节深度的接收和发送 FIFO
 - 支持 FIFO 模式或非 FIFO 模式
 - 1, 4, 8, 14 字节可选的接收 FIFO 触发电平以实现自动流控制和 DMA
- 支持接收和发送的 DMA 传输
- 支持接收的发送的 CPU 中断
- 开始位错误检测
- 断线的产生和检测
- 内部诊断能力
 - 链路通信回路控制
 - 极性、溢出和帧错误的仿真
- 使用 RTS 和 CTS 信号进行可编程自动流控制
- 使用 RTS 和 CTS 信号进行 modem 模式控制(UART0)

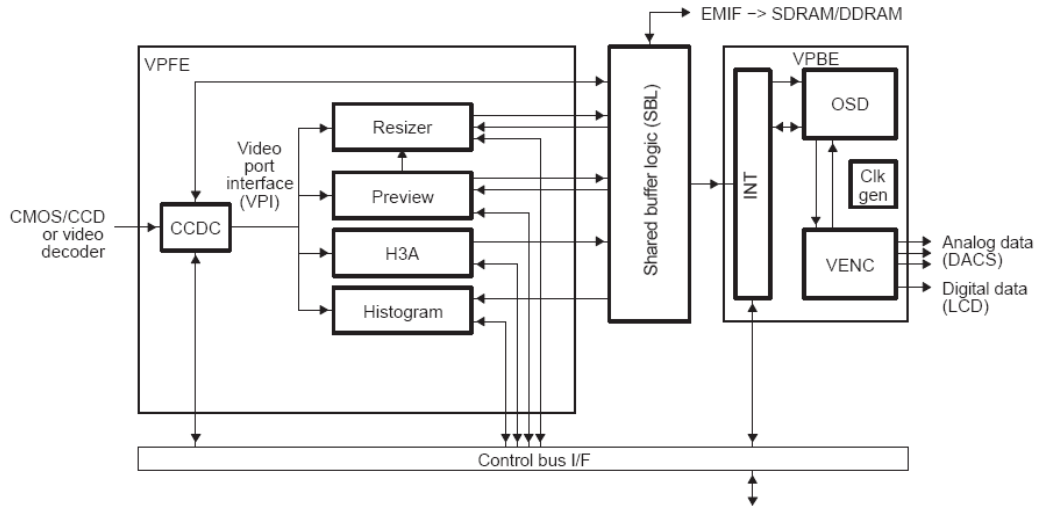
UART 控制器的功能框图如下：



SEED-DEC6437 系统为应用需要扩展了两个 UART 接口, 分别提供对 RS232 和 RS485 异步串口通信需要的支持。其中 UART0 用于 RS485; 通过对 S_CAN/232 的配置, UART 1 可以配置为 RS232 或 CAN。

2.5 VPSS

TMS320DM6437 视频处理子系统为视频处理应用提供了视频处理前端 VPFE 输入接口和视频处理后端 VPBE 接口。视频处理子系统框图如下:



在 SEED-DEC6437 中，VPFE 用于视频输入，可以连接 PAL 标准模拟视频输入信号，
 CCD/CMOS 也可以连接数字视频输入信号； VPBE 含有 4 路 DAC，其中 DAC_A 用于 PAL 标准模拟视
 频信号输出，DAC_A~DAC_C 用于 VGA 视频输出。

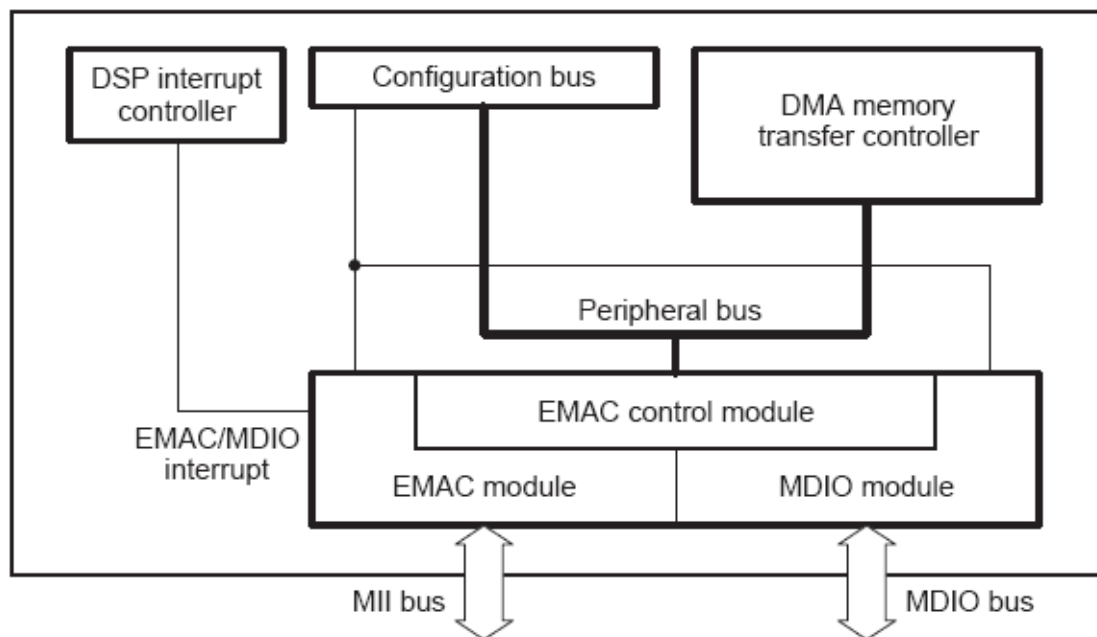
2.6 EMAC/MDIO

TMS320DM6437 集成了以太网媒质访问控制器(EMAC)和物理层设备的数据输入输出管理(MDIO)模块。EMAC 为 DM6437 和外部网络连接提供了一个有效的网络接口，EMAC 支持 10Base-T 和 100Base-TX 的半双工或全双工模式。

EMAC/MDIO 控制器的特性如下：

- 支持 10/100M 的同步操作
- 标准的对物理层设备的媒介独立接口(MII)
- EMAC 作为 DMA 的 Master 模式，用于访问外部和内部设备的存储空间
- 8 接收通道，支持 VLAN 标识区分以实现接收 QOS
- 8 发送通道，支持轮环机制或者优先级机制实现发送的 QOS
- 单个接收通道的多点传送帧选择
- 单个接收通道的混合接收模式帧选择
- 硬件流控制
- 可编程中断逻辑使能软件限制循环中断的产生，使得单个中断调用可以完成更多的工作

EMAC/MDIO 模块的功能框图如下：



2.7 IIC

TMS320DM6437 上集成有一条 IIC 总线，'DM6437 为此 IIC 总线的主设备。
SEED-DEC6437 模板上用此 IIC 总线连接了下列从设备：

- ☐ 1 路视频解码器 TVP5150PBS 的控制口
- ☐ 1 路音频编解的控制口

每个 IIC 总线的从设备均对应一个从设备地址，IIC 总线以此从设备地址来区分所访问的是哪个从设备。

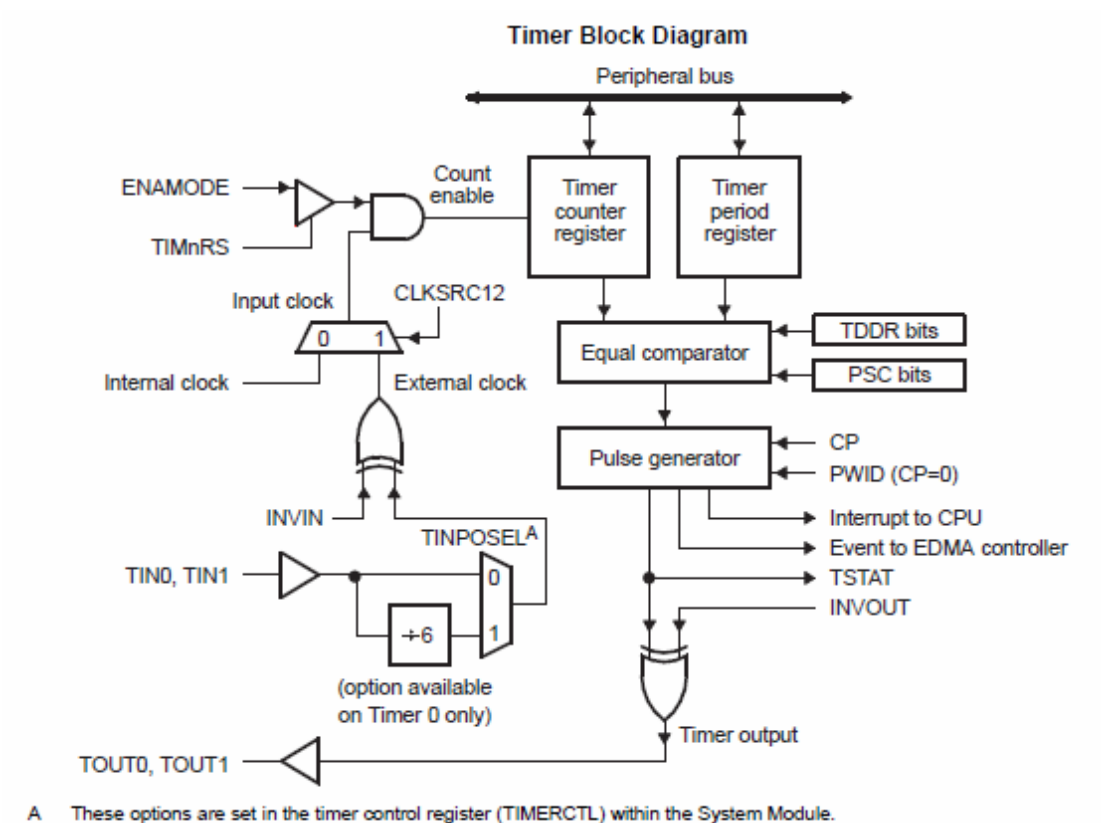
2.8 HECC

TMS320DM6437 上集成有一个高端的网络控制器，可以在复杂的环境下和其他的控制器进行串行通讯，且完全兼容 CAN2.0B 协议。

在 SEED-DEC6437 中，将 HECC 作为 CAN 控制器使用。由于其管脚和 UART1 复用，在设计时用 SN74CBT3257 做了切换，当信号 S_CAN/232 置低时，选择 RS232；置高时选择 CAN。信号 S_CAN/232 的设置见《板上寄存器》。

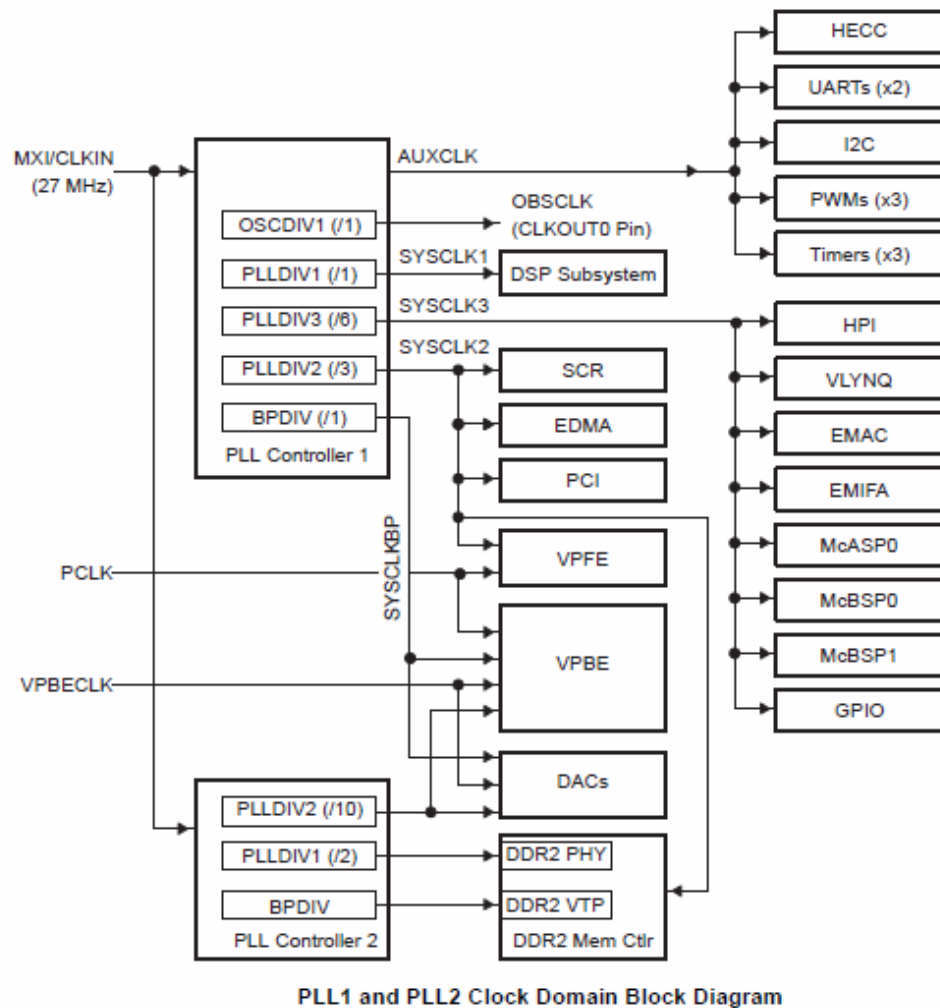
2.9 定时器

TMS320DM642 片上有三个 64-位的定时器，其功能框图如下图所示：



其中，Timer0 和 Timer1 是有固定的输入和输出管脚的，Timer2 主要用于看门狗，没有具体输入和输出管脚。在 SEED-DEC6437 中，Timer0 的输入输出管脚经过 74CBTD3384 连接到了外设扩展总线上；Timer1 的输入输出管脚与 CAN 和 UART1 复用，没有将其引出作为 Timer1 的管脚。

2.10 系统时钟



时钟电路由 PLL、分频器和多路切换器组成，给'DM6437 的 CPU 内核、DDR2、EMIF 和片上外设提供时钟。由上图知，对于'DM6437，只要有 27MHz 的时钟输入，经过 PLL1 Controller 和 PLL2 Controller 后，便能得到系统时钟和各个模块的时钟，如 DDR2 的时钟是由输入时钟 27MHz 经过 PLL2 Controller 后得到的。

详见文档《TMS320DM643x DMP DSP Subsystem Reference Guide》。

2.11 上电自举

2.11.1 DM6437 引导方式

TMS320DM6437 的 Boot 模式取决于 Boot 设备管脚的状态，即取决于 BootMode1~4, FastBoot 和 AEM0~2。它可以分为以下三类：

- 非 Fastboot 模式（FastBoot= 0），其管脚选择如下图所示：

DEVICE BOOT AND CONFIGURATION PINS		BOOT DESCRIPTION ⁽¹⁾	DM643x DMP (Master/Slave)	PLL1 CLOCK SETTING AT BOOT			DSPBOOTADDR (DEFAULT) ⁽¹⁾
BOOTMODE[3:0]	PCIEN			PLL MODE ⁽²⁾	CLKDIV1 DOMAIN (SYSCLK1 DIVIDER)	DEVICE FREQUENCY (SYSCLK1)	
0000	0 or 1	No Boot (Emulation Boot)	Master	Bypass	/1	CLKIN	0x0010 0000
0001	0 or 1	Reserved	—	—	—	—	—
0010	0	HPI Boot	Slave	Bypass	/1	CLKIN	0x0010 0000
	1	Reserved	—	—	—	—	—
0011	0 or 1	Reserved	—	—	—	—	—
0100	0 or 1	EMIFA ROM Direct Boot [PLL Bypass Mode]	Master	Bypass	/1	CLKIN	0x4200 000
0101	0 or 1	I2C Boot [STANDARD MODE] ⁽³⁾	Master	Bypass	/1	CLKIN	0x0010 0000
0110	0 or 1	16-bit SPI Boot [McBSP0]	Master	Bypass	/1	CLKIN	0x0010 0000
0111	0 or 1	NAND Flash Boot	Master	Bypass	/1	CLKIN	0x0010 0000
1000	0 or 1	UART Boot without Hardware Flow Control [UART0]	Master	Bypass	/1	CLKIN	0x0010 0000
1001	0 or 1	Reserved	—	—	—	—	—
1010	0 or 1	VLYNQ Boot	Slave	Bypass	/1	CLKIN	0x0010 0000
1011	0 or 1	Reserved	—	—	—	—	—
1100	0 or 1	Reserved	—	—	—	—	—
1101	0 or 1	Reserved	—	—	—	—	—
1110	0 or 1	UART Boot with Hardware Flow Control [UART0]	Master	Bypass	/1	CLKIN	0x0010 0000
1111	0 or 1	24-bit SPI Boot (McBSP0 + GP[97])	Master	Bypass	/1	CLKIN	0x0010 0000

- 固定倍频 Fastboot 模式 (FastBoot= 1 , AEM[2:0]=001b) , 其管脚选择如下图所示:

DEVICE BOOT AND CONFIGURATION PINS		BOOT DESCRIPTION ⁽¹⁾	DM643x DMP (Master/Slave)	PLL1 CLOCK SETTING AT BOOT			DSPBOOTADDR (DEFAULT) ⁽¹⁾
BOOTMODE[3:0]	PCIEEN			PLL MODE ⁽²⁾	CLKDIV1 DOMAIN (SYSCLK1 DIVIDER)	DEVICE FREQUENCY (SYSCLK1)	
0000	0 or 1	No Boot (Emulation Boot)	Master	Bypass	/1	CLKIN	0x0010 0000
0001	0	HPI Boot with PLL Multiplier x27 at boot	Slave	x27	/2	CLKIN x27 / 2	0x0010 0000
	1	Reserved	—	—	—	—	—
0010	0	HPI Boot with PLL Multiplier x20 at boot	Slave	x20	/2	CLKIN x20 / 2	0x0010 0000
	1	Reserved	—	—	—	—	—
0011	0	HPI Boot with PLL Multiplier x15 at boot	Slave	x15	/2	CLKIN x15 / 2	0x0010 0000
	1	Reserved	—	—	—	—	—
0100	0 or 1	EMIFA ROM FASTBOOT with Application Image Script (AIS)	Master	x20	/2	CLKIN x20 / 2	0x0010 000
0101	0 or 1	I2C Boot [FAST MODE] ⁽³⁾	Master	x20	/2	CLKIN x20 / 2	0x0010 0000
0110	0 or 1	16-bit SPI Boot [McBSP0]	Master	x20	/2	CLKIN x20 / 2	0x0010 0000
0111	0 or 1	NAND Flash Boot	Master	x20	/2	CLKIN x20 / 2	0x0010 0000
1000	0 or 1	UART Boot without Hardware Flow Control [UART0]	Master	x20	/2	CLKIN x20 / 2	0x0010 0000
1001	0 or 1	EMIFA ROM FASTBOOT without AIS	Master	x20	/2	CLKIN x20 / 2	0x0010 0000
1010	0 or 1	VLYNQ Boot	Slave	x20	/2	CLKIN x20 / 2	0x0010 0000
1011	0 or 1	Reserved	—	—	—	—	—
1100	0 or 1	Reserved	—	—	—	—	—
1101	0 or 1	Reserved	—	—	—	—	—
1110	0 or 1	UART Boot with Hardware Flow Control [UART0]	Master	x20	/2	CLKIN x20 / 2	0x0010 0000
1111	0 or 1	24-bit SPI Boot (McBSP0 + GP[97])	Master	x20	/2	CLKIN x20 / 2	0x0010 0000

- 用户选择倍频Fastboot模式(FastBoot= 1 ,AEM[2:0]=000b,011b,100b, or 101b), 其管脚选择如下图所示:

DEVICE BOOT AND CONFIGURATION PINS		BOOT DESCRIPTION ⁽¹⁾	DM643x DMP (Master/Slave)	PLL1 CLOCK SETTING AT BOOT			DSPBOOTADDR (DEFAULT) ⁽¹⁾
BOOTMODE[3:0]	PCIEEN			PLL MODE ⁽²⁾	CLKDIV1 DOMAIN (SYSCLK1 DIVIDER)	DEVICE FREQUENCY (SYSCLK1)	
0000	0 or 1	No Boot (Emulation Boot)	Master	Bypass	/1	CLKIN	0x0010 0000
0001	0	Reserved	–	–	–	–	–
	1	PCI Boot without Auto Initialization	Slave	Table 5	/2	Table 5	0x0010 0000
0010	0	HPI Boot	Slave	Table 5	/2	Table 5	0x0010 0000
	1	PCI Boot with Auto Initialization	Slave	Table 5	/2	Table 5	0x0010 0000
0011	0 or 1	Reserved	–	–	–	–	–
0100	0 or 1	EMIFA ROM FASTBOOT with AIS	Master	Table 5	/2	Table 5	0x0010 0000
0101	0 or 1	I2C Boot [FAST MODE] ⁽³⁾	Master	Table 5	/2	Table 5	0x0010 0000
0110	0 or 1	16-bit SPI Boot [McBSP0]	Master	Table 5	/2	Table 5	0x0010 0000
0111	0 or 1	NAND Flash Boot	Master	Table 5	/2	Table 5	0x0010 0000
1000	0 or 1	UART Boot without Hardware Flow Control [UART0]	Master	Table 5	/2	Table 5	0x0010 0000
1001	0 or 1	EMIFA ROM FASTBOOT without AIS	Master	Table 5	/2	Table 5	–
1010	0 or 1	VLINQ Boot	Slave	x20	/2	CLKIN x20 / 2	0x0010 0000
1011	0 or 1	Reserved	–	–	–	–	–
1100	0 or 1	Reserved	–	–	–	–	–
1101	0 or 1	Reserved	–	–	–	–	–
1110	0 or 1	UART Boot with Hardware Flow Control [UART0]	Master	Table 5	/2	Table 5	0x0010 0000
1111	0 or 1	24-bit SPI Boot (McBSP0 + GP[97])	Master	x20	/2	CLKIN x20 / 2	0x0010 0000

2.11.2 SEED-DEC6437 引导过程

SEED-DEC6437 所使用的启动方式是 EMIFA ROM FASTBOOT 不采用 AIS 模式, 即 BOOTMODE[3:0] = 1001b, FASTBOOT = 1, AEM[2:0] = 001b。在这种模式下, 板卡上电后, 先进入地址 0x1000 0000, 而后直接进入 Flash 的首地址 0x4200 0000, 开始执行烧写在 Flash 的程序。

/CS2

2.12 复位与中断

2.12.1 复位

TMS320DM6437 有 3 种复位方式，如下：

➤ **Power-on Reset**

由管脚 `/POR` 决定，可以将整个芯片包括仿真器接口部分复位，复位过程中芯片的 `boot` 和 `configuration` 被锁存。

➤ **Warm Reset**

由管脚 `/RESET` 决定，可以将整个芯片（不包括仿真器接口部分）复位，复位过程中芯片的 `boot` 和 `configuration` 被锁存。

➤ **Max Reset**

由 `Emulator` 和 `WD Timer (Timer 2)` 决定，可以将整个芯片（不包括仿真器接口部分）复位，但复位过程中芯片的 `boot` 和 `configuration` 不被锁存。

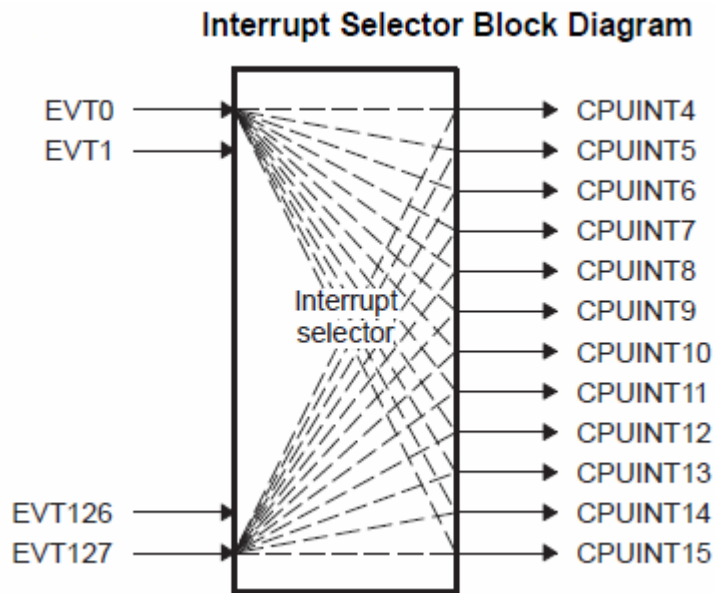
2.12.2 中断

TMS320DM6437 具有 128 个中断源，其中有些中断源没有使用。其中断控制器将其所有的中断划分为 12 个中断级别，每个级别的中断源是由用户来选择的。如下图。TMS320DM6437 不具有 `NMI` 中断。

DM6437 DSP System Event Mapping

DSP SYSTEM EVENT NUMBER	ACRONYM	SOURCE	DSP SYSTEM EVENT NUMBER	ACRONYM	SOURCE
0	EVT0	C64x+ Int Ctl 0	64	GPIO0	GPIO
1	EVT1	C64x+ Int Ctl 1	65	GPIO1	GPIO
2	EVT2	C64x+ Int Ctl 2	66	GPIO2	GPIO
3	EVT3	C64x+ Int Ctl 3	67	GPIO3	GPIO
4	TINTL0	Timer 0 – TINT12	68	GPIO4	GPIO
5	TINTH0	Timer 0 – TINT34	69	GPIO5	GPIO
6	TINTL1	Timer 1 – TINT12	70	GPIO6	GPIO
7	TINTH1	Timer 1 – TINT34	71	GPIO7	GPIO
8	WDINT	Timer 2 – TINT12	72	GPIOBANK0	GPIO
9	EMU_DTDMA	C64x+ EMC	73	GPIOBANK1	GPIO
10		Reserved	74	GPIOBANK2	GPIO
11	EMU_RTDXRK	C64x+ RTDX	75	GPIOBANK3	GPIO
12	EMU_RTDXTX	C64x+ RTDX	76	GPIOBANK4	GPIO
13	IDMAINT0	C64x+ EMC 0	77	GPIOBANK5	GPIO
14	IDMAINT1	C64x+ EMC 1	78	GPIOBANK6	GPIO
15		Reserved	79		Reserved
16		Reserved	80	PWM0	PWM0
17		Reserved	81	PWM1	PWM1
18		Reserved	82	PWM2	PWM2
19		Reserved	83	IICINT0	I2C
20		Reserved	84	UARTINT0	UART0
21		Reserved	85	UARTINT1	UART1
22		Reserved	86		Reserved
23		Reserved	87		Reserved
24	VDINT0	VPSS – CCDC 0	88		Reserved
25	VDINT1	VPSS – CCDC 1	89		Reserved
26	VDINT2	VPSS – CCDC 2	90		Reserved
27	HISTINT	VPSS – Histogram	91		Reserved
28	H3AINT	VPSS – AE/AWB/AF	92		Reserved
29	PRVUINT	VPSS – Previewer	93		Reserved
30	RSZINT	VPSS – Resizer	94		Reserved
31		Reserved	95		Reserved
32	VENCINT	VPSS – VPBE (VENC)	96	INTERR	C64x+ Interrupt Controller Dropped CPU Interrupt Event
33		Reserved	97	EMC_IDMAERR	C64x+ EMC Invalid IDMA Parameters
34	EDMA3CC_GINT	EDMA3CC Global Interrupt	98		Reserved
35	EDMA3CC_INT0	EDMA3CC Interrupt Region 0	99		Reserved
36	EDMA3CC_INT1	EDMA3CC Interrupt Region 1	100		Reserved
37	EDMA3CC_ERRINT	EDMA3CC Error	101		Reserved
38	EDMA3TC_ERRINT0	EDMA3TC0 Error	102		Reserved
39	EDMA3TC_ERRINT1	EDMA3TC1 Error	103		Reserved
40	EDMA3TC_ERRINT2	EDMA3TC2 Error	104		Reserved
41	PSCINT	PSC ALLINT	105		Reserved
42		Reserved	106		Reserved

DSP SYSTEM EVENT NUMBER	ACRONYM	SOURCE	DSP SYSTEM EVENT NUMBER	ACRONYM	SOURCE
43	EMACINT	EMAC Memory Controller	107		Reserved
44		Reserved	108		Reserved
45		Reserved	109		Reserved
46		Reserved	110		Reserved
47	HPIINT	HPI	111		Reserved
48	MBXINT0	McBSP0 Transmit	112		Reserved
49	MBRINT0	McBSP0 Receive	113	PMC_ED	C64x+ PMC
50	MBXINT1	McBSP1 Transmit	114		Reserved
51	MBRINT1	McBSP1 Receive	115		Reserved
52		Reserved	116	UMCED1	C64x+ UMC 1
53	DDRINT	DDR2 Memory Controller	117	UMCED2	C64x+ UMC 2
54	EMIFINT	EMIFA	118	PDCINT	C64x+ PDC
55	VLQINT	VLQ2	119	SYSCMPA	C64x+ SYS
56	PCINT	PCI	120	PMCCMPA	C64x+ PMC
57	HECC0INT	HECC Interrupt 0	121	PMCDMPA	C64x+ PMC
58	HECC1INT	HECC Interrupt 1	122	DMCCMPA	C64x+ DMC
59	AXINT0	McASP0 Transmit	123	DMCDMPA	C64x+ DMC
60	ARINT0	McASP0 Receive	124	UMCCMPA	C64x+ UMC
61		Reserved	125	UMCDMPA	C64x+ UMC
62		Reserved	126	EMCCMPA	C64x+ EMC
63		Reserved	127	EMCBUSERR	C64x+ EMC



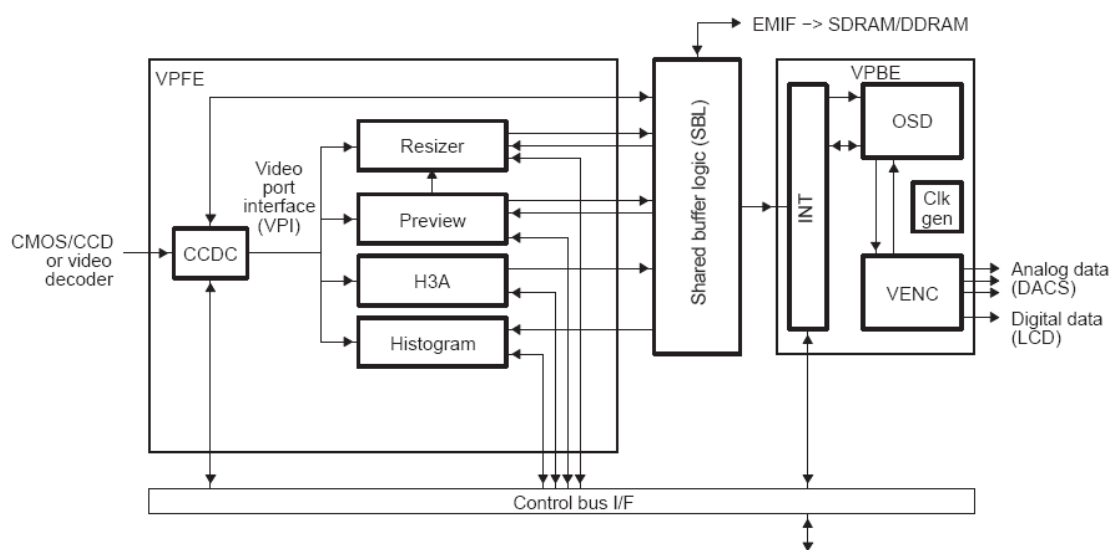
2.13 仿真接口

SEED-DEC6437 的仿真接口为 JTAG 形式，它能与各种形式的 JTAG 仿真器相连接，实现对 TMS320DM6437 的仿真和调试。

TMS320DM643x 提供了 VPSS 视频处理子系统，方便与各种视频格式接口。在 SEED-DEC6437 中实现了 1 路 PAL/NTSC 标准模拟视频输入，1 路 PAL/NTSC 标准模拟视频输出和 1 路 VGA 输出。视频输入接口选了解码芯片 TVP5150PBS，视频输出采用 TMS320DM6437 片内的 DAC 输出，实现 CVBS 和 VGA 输出。另外，板卡上也将视频处理前端(VPFE)的信号引出，允许数字视频输入。

3.1 TMS320DM6437 视频处理子系统

DM6437 视频处理子系统(VPSS)包括了视频处理前端(VPFE)和视频处理后端(VPBE)，分别用于外部图像输入设备和视频输出设备。其结构框图如下：



VPSS 子系统框图

3.1.1 视频处理前端(VPFE)

视频处理前端由 CCD 控制器(CCDC)，预览器(Preview)，图像缩放装置(Resizer)，硬件自动白平衡、自动对焦、自动曝光装置(H3A)和柱状图模块(Histogram)组成。

- CCD 控制器从传感器（CMOS 或 CCD）接收原始图像/视频数据或者从视频解码装置接收 YUV 格式视频数据。
- 预览器将从传感器（CMOS 或 CCD）接收的原始的未处理的图像/视频数据转化成 YCbCr 422 格式的数据。预览器的输出可以用于视频压缩，或者外部显示设备，如 NTSC/PAL 模拟编码器或数字 LCD。
- 图像缩放装置从硬件实现图像大小的缩放。可以从预览器或者 DDR2 接收输入的图像/视频数据，输出到 DDR2。
- H3A 模块是提供自动白平衡、自动对焦、自动曝光的控制环路。包含两个主要模块：
 - 自动对焦（AF）引擎装置
 - 自动曝光（AE）与自动白平衡（AWB）引擎装置
- 柱状图模块依靠输入的颜色像素和提供的统计需求来执行不同的 3A 算法，最后调整最终的图像和视频输出。柱状图模块的数据源一般为 CCD/CMOS 传感器（通过 CCDC 模块）或者 DDR2。

3.1.2 视频处理后端(VPBE)

视频处理后端(VPBE)由 OSD 模块和视频编码器(VENC)组成。VENC 包含数字 LCD(DLCD)和模拟(DAC 等)接口。视频编码器产生模拟的视频输出。DLCD 控制器产生数字的 RGB/YCbCr 数据输出和时钟信号。

- OSD 模块的主要功能是在硬件上实现图形、字符叠加。同时支持 2 个视频窗和 2 个图形、字符（OSD）窗口，支持 8 种视频窗数据与 OSD 窗数据混合的方法。图形、字符数据从外部存储器读入，一般为 DDR2。OSD 通过控制和参数寄存器编程实现其功能。
- VENC 的模拟/DACs 接口有如下特性：
 - 27MHz 主输入时钟
 - 支持 SDTV
 - ◆ 合成 NTSC-M, PAL-B/D/G/H/I
 - ◆ S-视频(Y/C)
 - ◆ RGB
 - ◆ CGMS/WSS
 - ◆ 色度低通滤波器 1.5MHz/3MHz
 - ◆ 可编程 SC-H 相位
 - 支持 HDTV
 - ◆ 525P/625P 视频输出
 - ◆ RGB
 - ◆ CGMS/WSS
 - 4-通道 10-位 D/A 输出，可产生各种组合的模拟视频输出
 - 可编程亮度信号延迟
 - 支持主/从操作方式
 - 内部产生彩色条（100%/75%）

➤ VENC 的数字 LCD 控制器 (DLCD) 有如下特性:

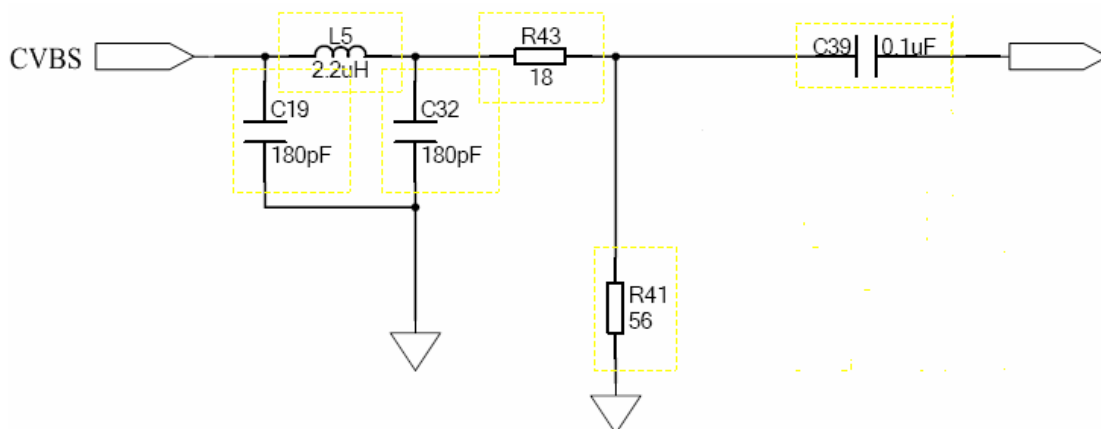
- 时钟可编程
- 支持多种数字视频输出格式
 - ◆ 16-位 YCbCr
 - ◆ 8-位 YCbCr
 - ◆ BT.656
 - ◆ 24-位 RGB
- 用于数字 RGB 输出的低通滤波器
- 可编程时序发生器
- 支持主/从操作方式
- 内部产生彩色条 (100%/75%)

3.2 视频输入

SEED-DEC6437 视频输入接口选了解码芯片 TVP5150PBS。它是一款高性能的视频解码器,可将 NTSC、PAL 视频信号转换成数字色差信号(YUV422),支持两个复合视频或一个 S 端子输入。输出格式为 ITU-R BT.656,并支持 Macrovision™ 复制保护以及高级的 VBI 功能。不仅如此, TVP5150PBS 还具备了封装小(32 脚的 TQFP)、功耗小(<150mV)的特点,因此,非常适用于便携、批量大、高质量和高性能的视频产品。

3.2.1 TVP5150 的视频输入

视频解码器 TVP5150PSB 可以接受 2 路复合视频信号 (CVBS) 和 1 路超级视频信号 (S-Video, Y/C) 输入。SEED_DEC6437 使用了一片 TVP5150PSB,并且只使用了 1 路的复合信号。输入电路如下图所示:



TVP5150 输入电路

视频编码器 TVP5150PBS 的视频信号输入范围为 0.75Vpp，而外部视频信号输入范围一般为 1Vpp，所以外部视频输入与 TVP5150PBS 的视频输入之间串接 18Ω 和 56Ω 到地分压电阻网络，以达到 TVP5150PBS 所需的输入电平。在使用前一定要将视频信号输入的范围调整到 1Vpp。

3.2.2 TVP5150 的配置

TVP5150PBS 的配置是通过标准的 IIC 总线来完成的。TVP5150PBS 的 IIC 标准总线是由串行数据输入/输出线(SDA)和时钟输入/输出线(SCL)组成的。TVP5150PBS 只作为从设备，不能作为主设备。IIC 总线的数据传送速率高达 400Kbits/s。在 SEED-DEC6437 系统中 TVP5150PBS 的 IIC 地址为 0x5C。

3.2.2.1 TVP5150 配置的写

TMS320DM6437 作为一个 IIC 总线的主设备初始化 TVP5150 配置的写操作时，按如下程式进行：

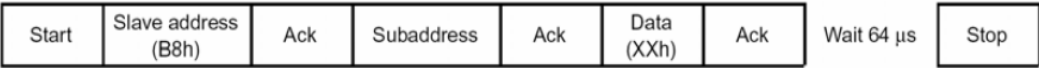
- DM6437 产生一个起始条件；
- DM6437 发出一个 TVP5150 的地址（0x5C），并标明写操作，等待 TVP5150 响应；
- 接收到 TVP5150 的响应后，DM6437 发出要配置的寄存器的地址，等待 TVP5150 响应；
- 接收到 TVP5150 的响应后，发送要配置的数据，等待 TVP5150 响应；
- 接收到 TVP5150 的响应后，发送停止位，结束一次配置。

整个写的过程列表如下：

Step 1	0							
I ² C Start (master)	S							
Step 2	7	6	5	4	3	2	1	0
I ² C General address (master)	1	0	1	1	1	0	X	0
Step 3	9							
I ² C Acknowledge (slave)	A							
Step 4	7	6	5	4	3	2	1	0
I ² C Write register address (master)	addr	addr	addr	addr	addr	addr	addr	addr
Step 5	9							
I ² C Acknowledge (slave)	A							
Step 6	7	6	5	4	3	2	1	0
I ² C Write data (master)	Data	Data	Data	Data	Data	Data	Data	Data
Step 7 [†]	9							
I ² C Acknowledge (slave)	A							
Step 8	0							
I ² C Stop (master)	P							

[†] Repeat steps 6 and 7 until all data have been written.

在进行寄存器（0x00~0x8F）配置时，TVP5150 需要一段延时来完成当前的配置，此时 TVP5150 保持 SCL 为低，通知 DM6437 配置尚未完成。在编程时，一般不用查询当前的 SCL 的状态，而是配置需要的最大延时 64us。示例如下：



3.2.2.2 TVP5150 状态的读

当 TMS320 DM6437 要读取当前 TVP5150 的状态时,需通过 IIC 总线启动对 TVP5150 的寄存器的一个读操作。读操作分两部分进行，说明如下：

- DM6437 向 TVP5150 写入要读取的寄存器的地址；
- DM6437 向 TVP5150 发送读取寄存器数据的命令。

整个过程列表如下：

Read Phase 1

Step 1	0
I ² C Start (master)	S

Step 2	7	6	5	4	3	2	1	0
I ² C General address (master)	1	0	1	1	1	0	X	0

Step 3	9
I ² C Acknowledge (slave)	A

Step 4	7	6	5	4	3	2	1	0
I ² C Read register address (master)	addr	addr	addr	addr	addr	addr	addr	addr

Step 5	9
I ² C Acknowledge (slave)	A

Step 6	0
I ² C Stop (master)	P

Read Phase 2

Step 7	0
I ² C Start (master)	S

Step 8	7	6	5	4	3	2	1	0
I ² C General address (master)	1	0	1	1	1	0	X	1

Step 9	9
I ² C Acknowledge (slave)	A

Step 10	7	6	5	4	3	2	1	0
I ² C Read data (slave)	Data	Data	Data	Data	Data	Data	Data	Data

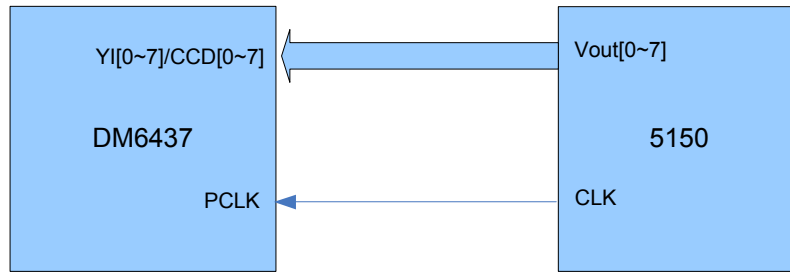
Step 11†	9
I ² C Not Acknowledge (master)	$\bar{A}$

Step 12	0
I ² C Stop (master)	P

† Repeat steps 10 and 11 for all bytes read. Master does not acknowledge the last read data received.

3.2.3 DM6437 与 TVP5150 的连接

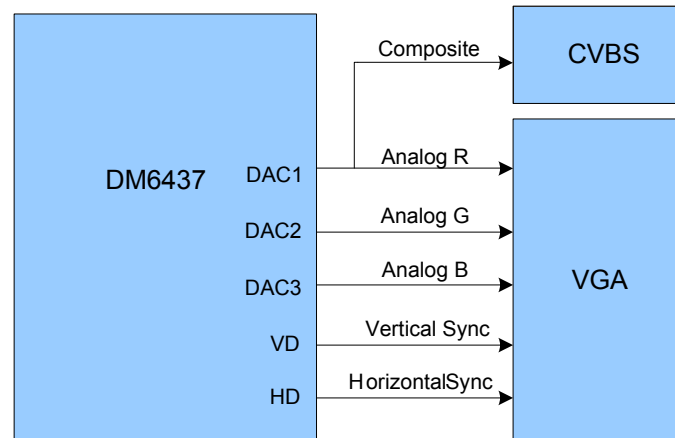
SEED-DEC6437 中, TMS320DM6437 与 TVP5150 的连接框图如下所示。板卡上接一路复合视频输入。TMS320DM6437 的视频接口采用 8 位 BT.656 接口模式。



TVP5150 与 DM6437 连接示意图

3.3 视频输出

SEED-DEC6437 视频输出采用 DM6437 片内的四路 10 位的 DAC 输出，实现 CVBS 与 VGA 输出。其中 CVBS 输出接口使用了 1 路 DAC，VGA 输出接口使用了 3 路的 DAC。当配置为 VGA 输出接口时，还使用了行场同步信号 HSYNC 和 VSYNC。其视频输出连接示意图如下所示：



视频输出连接示意图

3.3.1 VGA 接口介绍

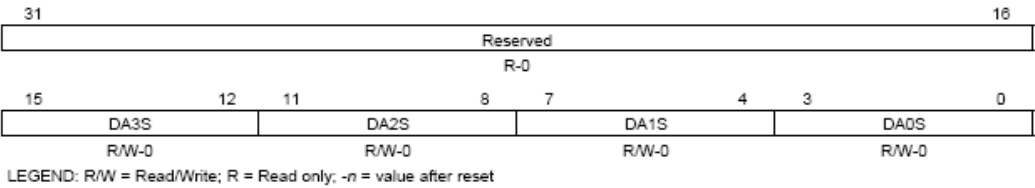
VGA 端子也叫 D-Sub 接口。VGA 接口是一种 D 型接口，上面共有 15 针。VGA 接口就可以方便的和监视器连接。

VGA 接口传输的仍然是模拟信号，对于以数字方式生成的显示图像信息，通过模拟/数字转换器转变为 R、G、B 三原色信号和行、场同步信号，信号通过电缆传输到显示设备中。对于模拟显示设备，如模拟 CRT 显示器，信号被直接送到相应的处理电路，驱动控制显像管生成图像。而对于 LCD、DLP 等数字显示设备，显示设备中需配置相应的 A/D（模拟/数字）转换器，将模拟信号转变为数字信号。

3.3.2 DEC6437 的 VGA 接口

DEC6437 的 VGA 视频输出接口由 VPBE 模块提供。VPBE 输出接口分为数字接口和模拟接口两部分，模拟接口包括 4 路视频 DAC 信号，一路 DAC 电压参考线和 R 偏差信号。其中，DAC_A 被用来作为模拟 R 信号输出，DAC_B 被用来作为模拟 G 信号输出，DAC_C 被用来作为模拟信号 B 输出，模拟 RGB 信号与 HD、VD 一起，组成了 VGA 接口的基本输出信号。

VPBE 的视频 DAC 输出配置由寄存器 DACSEL 控制。



DAC 输出选择寄存器

音频输入与输出

SEED-DEC6437 采用 TLV320AIC23B 实现单路立体声音频的输入 / 输出，TLV320AIC23B 是一种音频 Codec 器件，它的基本功能为：48KHz 带宽、96KHz 采样率，双声道立体声 A/D、D/A，音频输入包括：麦克风输入（提供麦克风偏置输出和前置放大器）和立体声输入（提供可编程放大器），音频输出包括：立体声输出（提供耳机功率放大器，能提供 30mW 输出功率，驱动 32Ω 负载）。

TLC320AIC23B 与微处理器的接口有二个，一个是控制口，用于设置 TLV320AIC23B 的工作参数，另一个是数据口，用于传输 TLV320AIC23B 的 A/D、D/A 数据。SEED-DEC6437 系统使用 DSP 的 IIC 总线进行 TLC320AIC23B 的配置，利用 DSP 的 McBSP1 与 TLC320AIC23B 进行数据的交换。

4.1 TMS320DM6437 的 McBSP 接口

McBSP 是 Multichannel Buffered Serial Port 的缩写，即多通道缓冲串行接口。它是一种功能很强的同步串行接口，具有很强的可编程能力，可以直接配置成多种同步串口标准，直接与各种器件无缝接口。

McBSP 主要包括以下机组功能引脚：

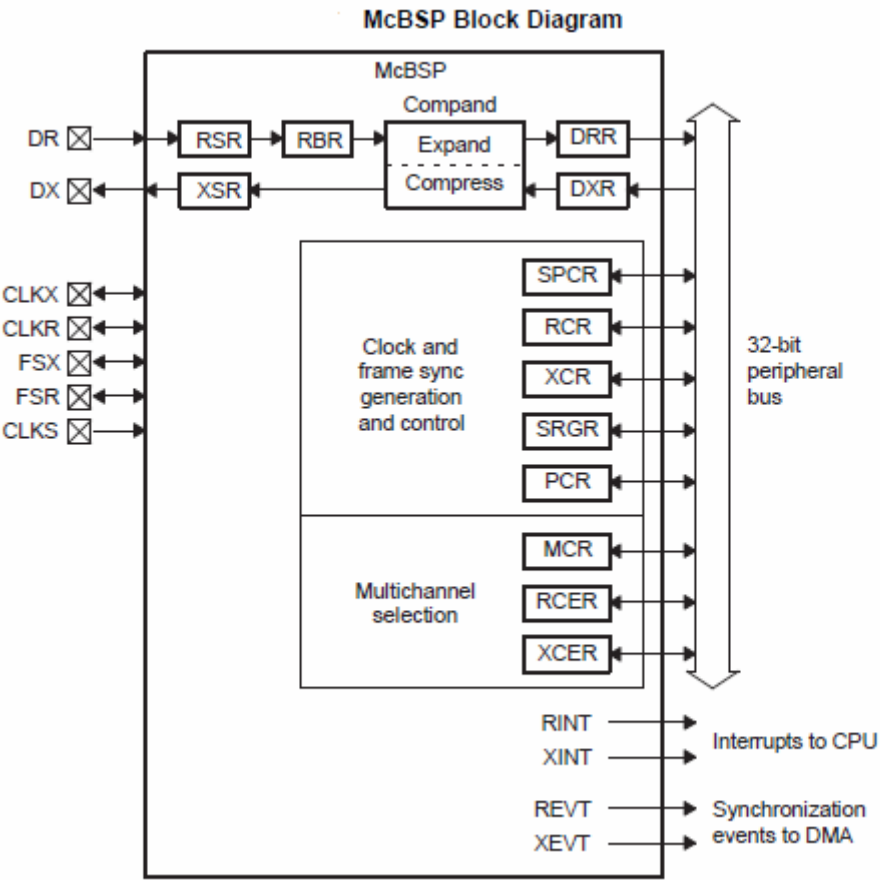
- 位时钟：CLKX，CLKR
- 帧同步：FSX，FSR
- 数据：DR，DX

McBSP 为同步串行通信接口，其协议包含：

- 串行数据起始时刻：称为帧同步事件，帧同步事件由位时钟采样帧同步信号给出。
- 串行数据位长度：串行传输的数据流达到设定的长度后，便结束本次传输，并等待下一个帧同步信号的到来，再发动另一次传输。
- 串行数据传输速度：即每一个串行位的传输时间，由位时钟决定。

FSR（FSX）、CLKR（CLKX）和 DR（DX）三者之间的关系，即它们如何取得帧同步事件、何时采样串行数据位流、或何时输出串行数据位流是可以控制的。通过配置 McBSP 的寄存器就可以实现上述目的。

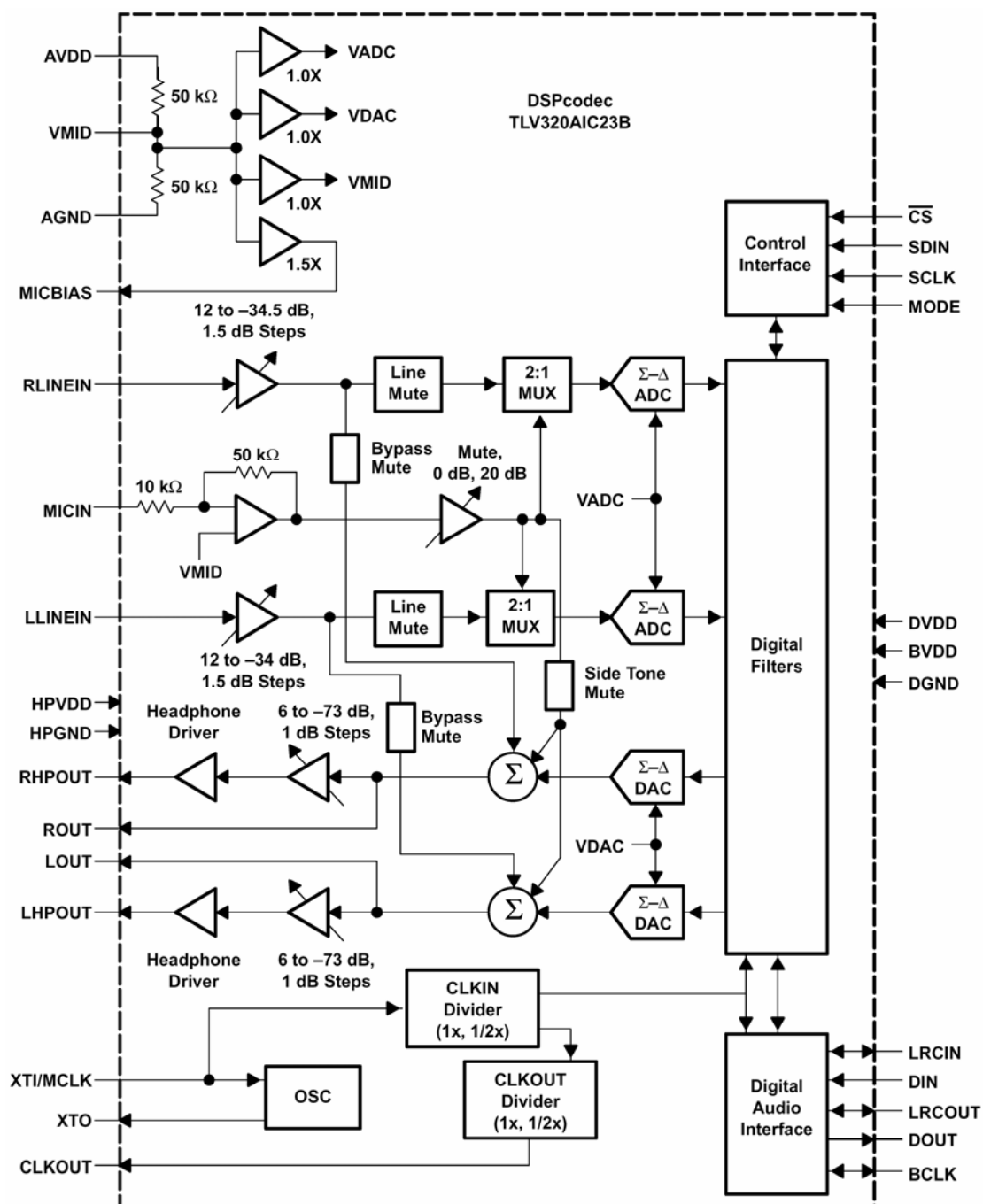
McBSP 的功能框图如下：



4.2 TLV320AIC23B

TLV320AIC23B（以下简称 AIC23B）是 TI 推出的一款高性能的立体声音频 Codec 芯片，内置耳机输出放大器，支持 MIC 和 LINE IN 两种输入方式（二选一），并且输入和输出都具有可编程增益调节。AIC23B 的模数转换（ADC）和数模转换（DAC）部件高度集成在芯片内部，采用了先进的 Sigma—delta 过采样技术，可以在 8K 到 96K 采样率范围内提供 16 位、20 位、24 位和 32 位采样，ADC 和 DAC 的信噪比分别可以达到 90dB 和 100dB。同时，AIC23B 还具有很低的能耗，回放模式下功率仅为 23mW，省电模式下更是小于 15uW。

AIC23B 的引脚和内部结构框图如下：



AIC23B 的管脚和内部结构框图

4.3 TLV320AIC23B 与 TMS320DM6437 的接口

TLV320AIC23B 与微处理器的接口有二个，一个是控制口，用于设置 TLV320AIC23B 的工作参数，另一个是数据口，用于传输 TLV320AIC23B 的 A/D、D/A 数据。SEED-DEC6437 板上将 TMS320DM6437 的 McBSP1 与 TLV320AIC23B 的数据口接口；用 IIC 总线与 TLV320AIC23B 的控制口接口，对 TLV320AIC23B 的各控制寄存器进行设置。

4.3.1 AIC23B 的数据口

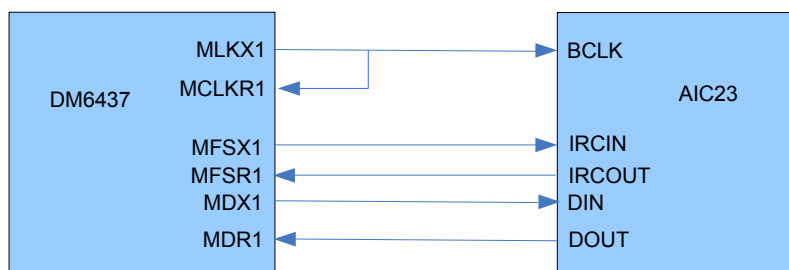
TLV320AIC23B 的数据口有四种工作方式，分别为：

- Right justified
- Left justified
- IIS Mode
- DSP Mode

其中后两种可以很方便的与 DSP 的 McBSP 串口相连接。下面我们以 DSP Mode 模式说明数据口的连接。其硬件上的引脚说明如下：

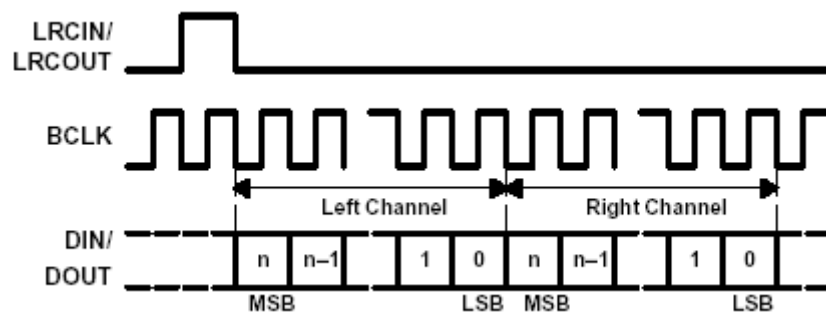
- BCLK: 数据口位-时钟信号，当 AIC23B 为从模式时（通常情况），该时钟由 DSP 产生；AIC23B 为主模式时，该时钟由 AIC23B 产生；
- LRCIN: 数据口 DAC 输出的帧同步信号（IIS 模式下左 / 右声道时钟）
- LRCOUT: 数据口 ADC 输入的帧同步信号
- DIN: 数据口 DAC 输出的串行数据输入
- DOUT: 数据口 ADC 输入的串行数据输出

这部分可以和 DM6437 的 McBSP（Multi-channel buffered serial port，多通道缓存串口）无缝连接，唯一要注意的地方是 McBSP 的接收时钟和 AIC23B 的 BCLK 都由 McBSP 的发送时钟提供；当 AIC23B 做主设备时，McBSP 的发送与接收时钟均由 AIC23B 来提供。连接示意图如下：



AIC23 连接示意图

DM6437 与 AIC23B 的数据交换协议可以采用 DSP 模式与 IIS 模式，区别仅在于 DSP 的 McBSP 帧同步信号的宽度。后者的帧同步信号宽度必须为一个字（16 位）长，而前者的帧宽度可以为一个位长，比如在字长 16 位（即左右声道的采样各为 16 位），帧长为 32 位的情况下，如果采用 IIS，帧同步信号宽度应为 16 位；而采用 DSP Mode 帧信号宽度 1 位即可。在 SEED-DEC6437 系统中采用 DSP 模式与 McBSP 相连接，其时序如下图所示：



DSP 模式下时序图

4.3.2 TLV320AIC23B 的控制口

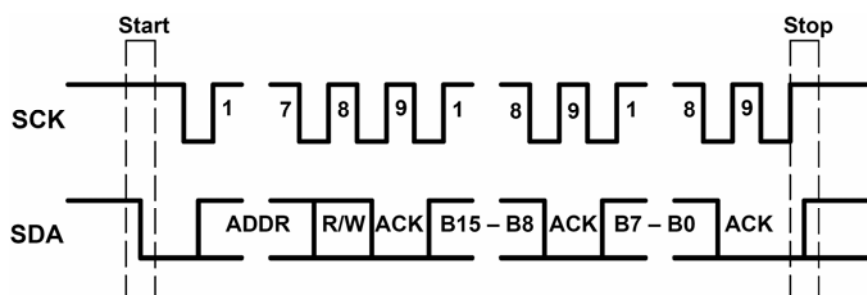
TLV320AIC23B 的控制接口有两种工作方式，分别为：

- 2 线制的 IIC 方式（MODE 为低）；
- 3 线制的 SPI 方式（MODE 为高）。

在 SEED-DEC6437 系统上采用 IIC 方式控制 TLV320AIC23B。其硬件管脚的说明如下：

- SDIN: AIC23B 控制口串行数据输入；
- SCLK: AIC23B 控制口的位-时钟；

通过 IIC 总线对 AIC23B 控制口进行配置时，IIC 总线选择 7 位地址的寻址方式，由于 AIC23B 的寄存器只有写操作无读操作，因而，其通讯协议为每个 WORD 的前 7-Bit 为寄存器地址，后 9-Bit 为寄存器内容。其时序如下图所示：



I2C 控制时序图

在 SEED-DEC6437 系统中，AIC23B 的 IIC 总线从设备地址为 0x1A。

AIC23B 内有 11 个控制寄存器，如下表所示：

地址	控制寄存器
0000000	左输入声道的音量控制寄存器
0000001	右输入声道的音量控制寄存器
0000010	左声道耳机的音量控制寄存器
0000011	右声道耳机的音量控制寄存器
0000100	模拟音频的通道控制寄存器
0000101	数字音频的通道控制寄存器
0000110	省电方式控制寄存器
0000111	数字音频的接口格式寄存器
0001000	采样率控制寄存器
0001001	数字接口激活寄存器
0001111	复位寄存器

TLV320AIC23B 寄存器表

AIC23B 内各控制寄存器位域的详细说明参见《*TLV320AIC23B Data Manual (Rev.G)*》的第 3.1.3 节。

4.4 TLV320AIC23B 的模拟接口

TLV320AIC23B 的模拟接口包括以下四个部分：

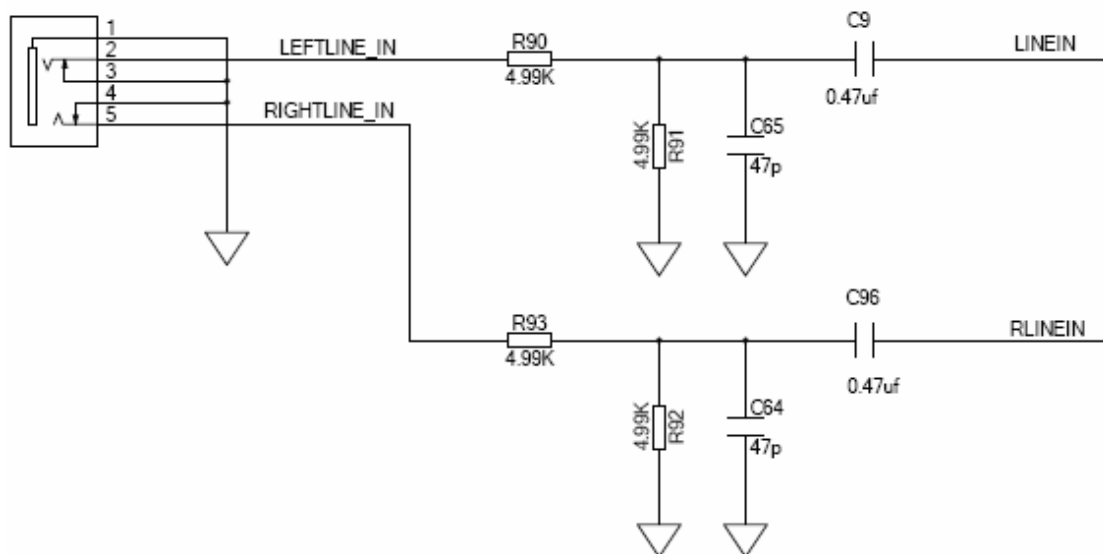
- ☐ 立体声输入；
- ☐ MIC 输入；
- ☐ 立体声输出；
- ☐ 耳机输出。

4.4.1 立体声输入

AIC23B 的立体声输入包括左右声道的输入，其引脚为：

- LLINEIN: 左声道 LINE IN 输入；
- RLINEIN: 右声道 LINE IN 输入。

SEED-DEC6437 系统的音频 Line-in 输入连接示意图如下：



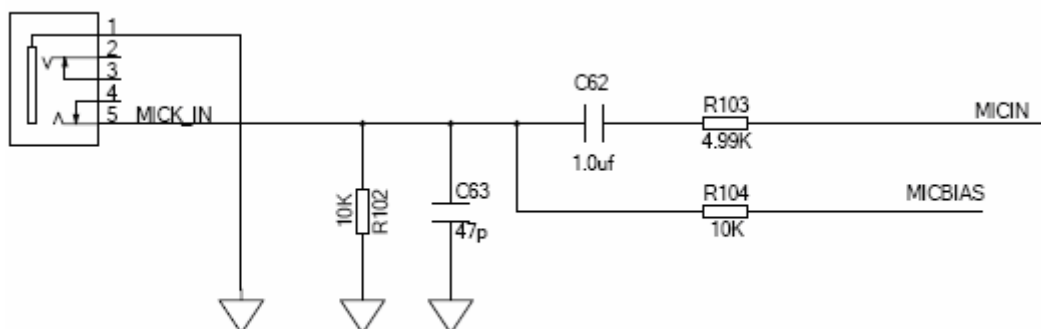
音频Line-In输入连接示意图

4.4.2 麦克风输入

麦克风输入主要是用来通过无源的麦克风进行现场声音的采集。由于麦克风是无源元器件，所以要为其提供偏置电压。其引脚如下：

- MICBIAS: 为麦克风提供偏压，通常是 $3/4 AVDD$ ；
- MICIN: 麦克风输入，由 AIC23B 功能框图可见，麦克风输入经 5 倍放大。

SEED-DEC6437 系统的音频 Mic-in 输入连接示意图如下所示：



音频Mic-In输入连接示意图

4.4.3 立体声输出

AIC23B 总共有两种输出方式：

1. 立体声输出，其管脚为：
 - LOUT：左声道输出；
 - ROUT：右声道输出。
2. 耳机输出，可以直接驱动 32Ω 的耳机，不需要外部再进行功率驱动了。其输出管脚为：
 - LHPOUT：左声道耳机放大输出；
 - RHPOUT：右声道耳机放大输出。

SEED-DEC6437系统中，通过对跳线JP1和JP2的设置，来选择立体声输出和耳机输出。

JP1	1-2	2-3
JP2	1-2	2-3
MODE	立体声输出	耳机输出

SEED-DEC6437 系统利用 TMS320DM6437 集成的 UART 外设控制器，扩展配置了两个 UART 通用异步串口，一路配置为 RS232，一路配置为 RS485。

5.1 DM6437 的 UART 接口

TMS320DM6437 集成了 UART 控制器，支持 2 个 UART 外设连接。UART 支持基于工业标准的 TL16C550 异步通信模块，支持 FIFO 模式数据传输，最大支持 16 字节数据的缓存，从而减轻接收和发送数据时 CPU 程序的时钟消耗。

UART 控制器可以从外设接收数据以完成数据的串并转换和从 CPU 接收数据发送以完成并串数据转换功能，CPU 可以通过随时读取 UART 的状态寄存器来确定数据的发送与接收。UART 控制器包含一个可编程波特率发生器，分频输入的 UART 时钟，为内部发送和接收单元产生一个 16x 的参考时钟。

UART 控制器包含以下特点：

- 可编程波特率
- 可编程的串口数据特征
 - ◆ 数据长度 5, 6, 7, 8 位
 - ◆ 奇效验, 偶效验, 无效验位设置
 - ◆ 1, 1.5, 2 个停止位
- 16 字节深度的接收和发送 FIFO
 - ◆ 支持 FIFO 模式或非 FIFO 模式
 - ◆ 1, 4, 8, 14 字节可选的接收 FIFO 触发电平以实现自动流控制和 DMA
- 支持接收和发送的 DMA 传输
- 支持接收和发送的 CPU 中断
- 开始位错误检测
- 断线的产生和检测
- 内部诊断能力
 - ◆ 链路通信回路控制
 - ◆ 极性、溢出和帧错误的仿真
- 使用 RTS 和 CTS 信号进行可编程自动流控制
- 使用 RTS 和 CTS 信号进行 modem 模式控制(UART0)

TMS320DM6437 集成的 UART 控制器可以扩展 2 个 UART，其对应的信号线分为两组：

- UART_TX0,UART_TX1
- UART_RX0,UART_RX1
- 其中只有 UART0 支持 modem 模式控制。

SEED-DEC6437 配置 UART0 为 RS485 模式，UART1 为 RS232 模式。

5.1.1 UART 寄存器说明

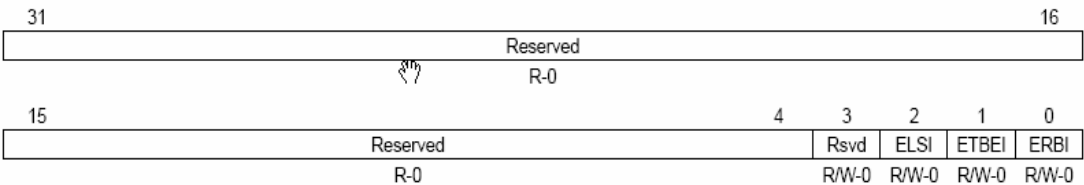
TMS320DM6437 的 UART 的寄存器如表示：

Offset	Acronym	Register Description
0h	RBR	Receiver Buffer Register (read only)
0h	THR	Transmitter Holding Register (write only)
4h	IER	Interrupt Enable Register
8h	IIR	Interrupt Identification Register (read only)
8h	FCR	FIFO Control Register (write only)
Ch	LCR	Line Control Register
10h	MCR	Modem Control Register
14h	LSR	Line Status Register
20h	DLL	Divisor LSB Latch
24h	DLH	Divisor MSB Latch
28h	PID1	Peripheral Identification Register 1
2Ch	PID2	Peripheral Identification Register 2
30h	PWREMU_MGMT	Power and Emulation Management Register

UART 寄存器列表

● 中断使能寄存器(IER)

中断使能寄存器可以单独使能或禁用 UART 产生的任意类型的中断请求，每个使能的中断请求在发生中断时将被直接送往 CPU，调用中断程序。



ERBI: 配置接收数据中断和字符超时标识中断

0: 禁用

1: 使能

ETBEI: 发送保存寄存器空中断使能

0: 禁用

1: 使能

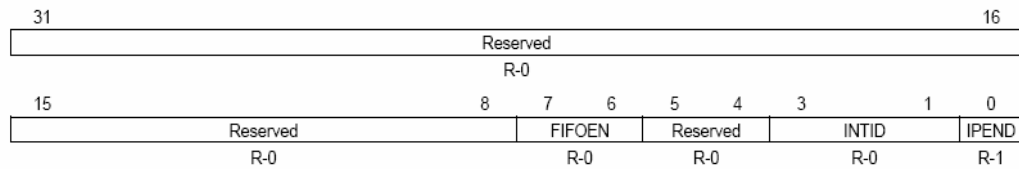
ELSI : 接收行状态中断使能

0: 禁用

1: 使能

- 中断标识寄存器(IIR)

中断标识寄存器与 FIFO 控制器公用同一地址，是个只读寄存器，当中断产生且被配置为使能，中断标识为标明中断挂起，并产生相应的中断类型。UART 支持中断产生和优先级，UART 支持三个优先级：1: 最高优先级-接收线状态；2: 优先级 2-接收数据准备好或者接收超时；3: 优先级 3-发送寄存器为空。中断标识寄存器中的 FIFOEN 为用于配置 UART 是否工作于 FIFO 模式。



IPEND: 中断挂起标识

0: 中断挂起

1: 无中断挂起

INTID: 终端类型标识

1: 发送寄存器为空

2: 接收寄存器满

3: 接收线状态

6: 接收字符超时

FIFOEN: 是否使能发送接收 FIFO 模式

0: 禁用

3: 使能 FIFO, FIFO 控制寄存器中 FIFOEN 位置 1

- FIFO 控制寄存器(FCR)

FIFO 控制寄存器是一个只写寄存器，用于配置 FIFO 模式及 FIFO 模式下接收缓存的触发电平。

1: 6 bits

2: 7 bits

3: 8 bits

STB: 停止位个数产生

0: 1 bit 停止位

1: WLS 为 0 时, 产生 1.5bit 的停止位; WLS 为 1, 2, 3 时, 产生 2bit 停止位

PEN: 奇偶校验位使能

0: 没有奇偶校验位

1: 奇偶校验位产生

EPS: 奇偶校验模式选择

0: 奇校验

1: 偶校验

SP:

0: 禁用 stick 校验

1: 使能 stick 校验

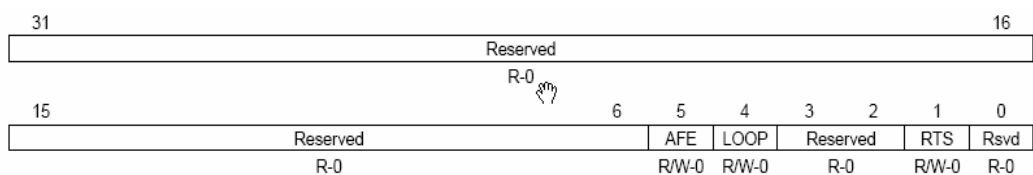
DLAB: 分频寄存器访问位

0: 允许访问 RBR、THR、IER 寄存器

1: 允许读写过程中访问波特率发生器的分频

● Modem 控制器(MCR)

Modem 控制器用于使能和禁用自动流量控制和回环功能等分析功能。



RTS: RTS 控制

0: RTS 禁用, 只使能 CTS

1: 使能 RTS 和 CTS

LOOP: 回环模式使能

0: 禁用回环模式

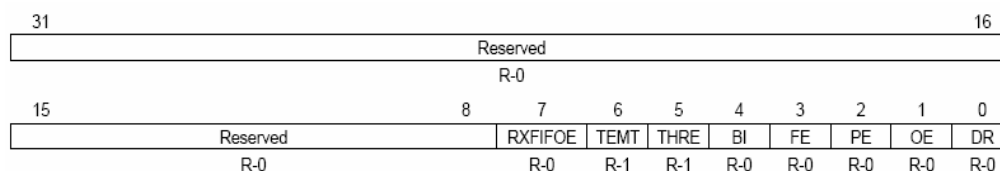
1: 使能回环模式

AFE: 自动流量控制使能

0: 禁用自动流量控制

1: 使能自动流量控制

● 线状态寄存器(LSR)



DR: 接收端数据准备 OK 标识

0: 数据没有准备好

1: 数据准备好

OE: 溢出错误标识

0: 没有检测到溢出

1: 检测到溢出

PE: 奇偶校验错误标识

0: 没有检测到奇偶校验错误

1: 检测到奇偶校验错误

FE: 帧错误标识

0: 没有检测到帧错误

1: 检测到帧错误

THRE: 发送保持寄存器空标识

0: 发送保持寄存器为非空

1: 发送保持寄存器为空

TEMT: 发送器为空标识

0: 发送保持寄存器或者发送移位寄存器不空

1: 发送保持寄存器和发送移位寄存器均为空

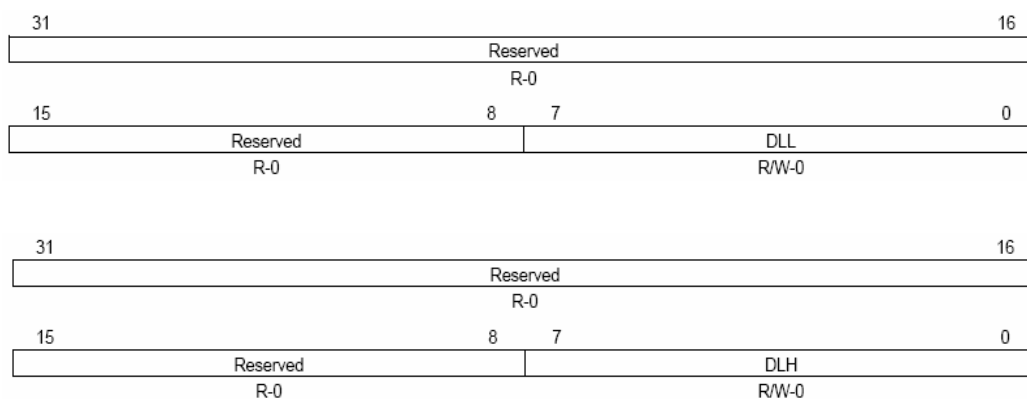
RXFIFOE: 接收器 FIFO 错误

0: 没有错误

1: 奇偶校验、帧错误或者中断标识接收缓存寄存器有标识

● 分频寄存器:

包含两个 8 位的寄存器域用于存储 16 位的分频值以产生需要的波特率时钟。DLH 用于保存高位，DLL 用于保存低位

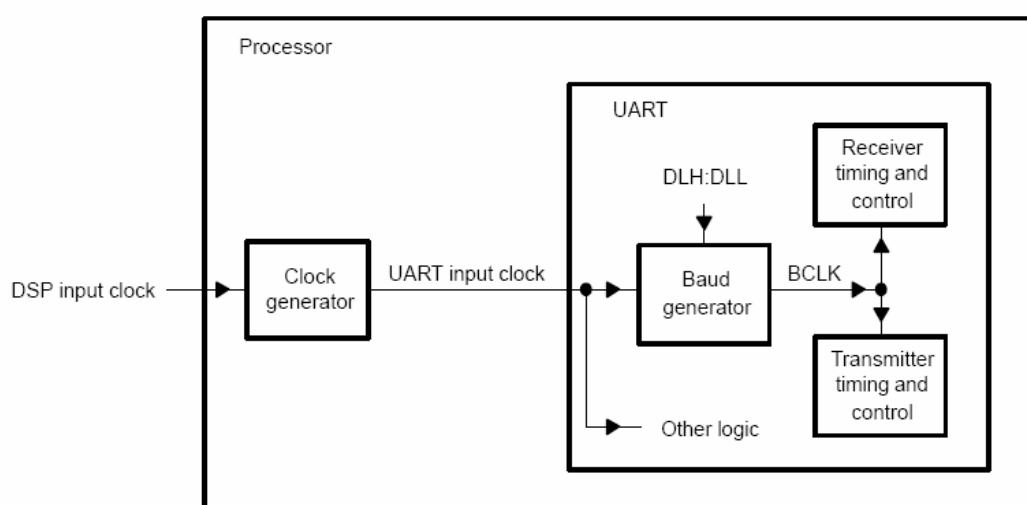


DLL: 分频值的低 8 位

DLH: 分频值的高 8 位

5.1.2 波特率设置

UART 的位时钟是从固定的 27MHz 的时钟获取的, 支持最高 128 kbps 的数据率。UART 的时钟产生原理如下图:

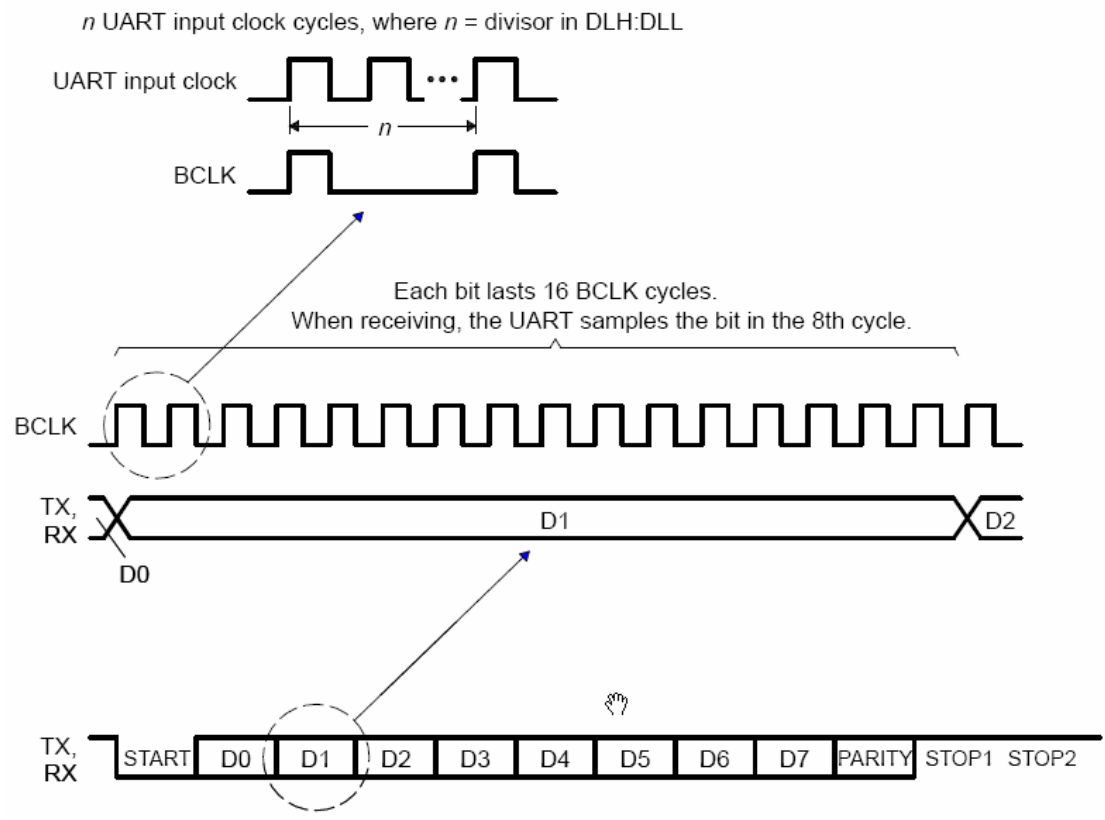


UART 波特率产生原理图

UART 包含一个可编程的波特率发生器, 将输入时钟经过分频产生需要的位时钟, 分频值可以在 1-65535。位时钟的频率是波特率的十六倍频, 每一个接收发送的数据位占用 16 个位时钟, 接收时, 位采样也在第八个位时钟时采样。分频器值的计算公式如下:

$$\text{Divisor} = \frac{\text{UART input clock frequency}}{\text{Desired baud rate} \times 16}$$

数据位、位时钟和 UART 的输入时钟的关系如图示：



时序图

当输入时钟为 27MHz 时，支持的波特率如下图所示：

Baud Rate	Divisor Value	Actual Baud Rate	Error (%)
2400	703	2400.427	0.0001778
4800	352	4794.034	-0.001243
9600	176	9588.068	-0.001243
19200	88	19176.14	-0.001243
38400	44	38352.27	-0.001243
56000	30	56250	0.0044643
128000	13	129807.7	0.0141226

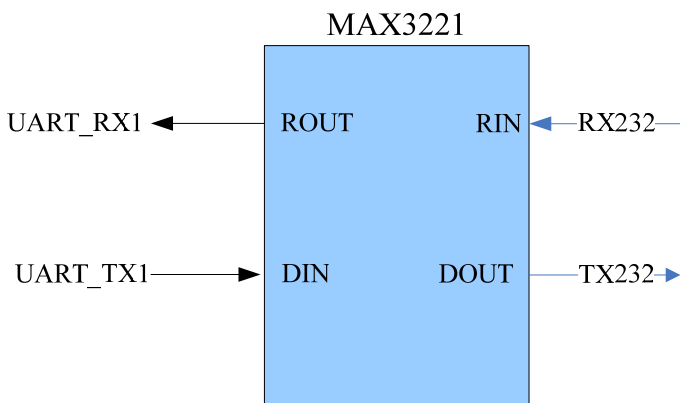
波特率

5.2 异步串口接口电平

5.2.1 RS232 异步串口接口电平

SEED-DEC6437 采用 MAX3221 单通道 RS232 协议收发器，使得异步串口电平符合 RS232 电平标准。RS232 采用 RXD、TXD 两线制，MAX3221 支持自动掉电功能，这时需要配置 FORCEON 为低且 FORCEOFF 为高，自动掉电功能起作用。在这种工作方式中若器件未感应到接收器输入端上的一个有效的 RS-232 信号则驱动器输出端被禁止若 FORCEOFF 置为低且 EN 为高，则驱动器和接收器均被切断电源，电流降至 1A，断开串行端口或关闭外围驱动器将会导致自动掉电，当 FORCEON 和 FORCEOFF 为高时自动掉电被禁止，当自动掉电被使能且在接收器输入端加一个有效信号时，器件被激活。无效 INVALID 输出告知用户查看 RS-232 信号是否加在接收器输入端，如果接收器输入端电压高于 2.7 V 或低于 -2.7 V 或在 +0.3 V 之间并持续少于 30 s，则 INVALID 为高，数据有效。如果接收器输入端电压在 +0.3 V 之间并持续超过 30 s，则 INVALID 为低，数据无效。

UART 与 MAX3221 的连接示意图如下：



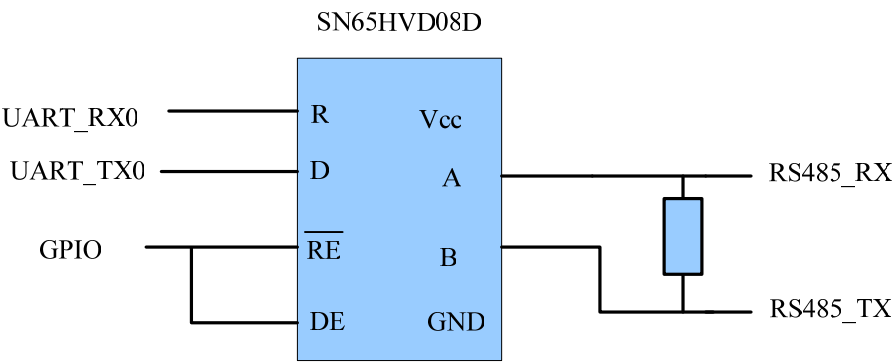
UART 与 MAX3221 连接示意图

5.2.2 RS485 异步串口接口电平

RS485 采用差分信号负逻辑，+2V~+6V 表示“0”，-6V~-2V 表示“1”。RS485 有两线制和四线制两种接线，四线制只能实现点对点的通信方式，现很少采用，现在多采用的是两线制接线方式，这种接线方式为总线式拓扑结构在同一总线上最多可以挂接 32 个结点。在 RS485 通信网络中一般采用的是主从通信方式，即一个主机带多个从机。很多情况下，连接 RS-485 通信链路时只是简单地用一对双绞线将各个接口的“A”、“B”端连接起来。而忽略了信号地的连接，这种连接方法在许多场合是能正常工作的，但却埋下了很大的隐患，这有二个原因：(1)共模干扰问题：RS-485 接口采用差分方式传输信号方式，并不需要相对于

某个参照点来检测信号，系统只需检测两线之间的电位差就可以了。但人们往往忽视了收发器有一定的共模电压范围，RS-485 收发器共模电压范围为-7~+12V，只有满足上述条件，整个网络才能正常工作。当网络线路中共模电压超出此范围时就会影响通信的稳定可靠，甚至损坏接口。(2)EMI 问题：发送驱动器输出信号中的共模部分需要一个返回通路，如没有一个低阻的返回通道（信号地），就会以辐射的形式返回源端，整个总线就会像一个巨大的天线向外辐射电磁波。

SEED-DEC6437 系统扩展了一个 RS485 接口，用于云台控制等设备。UART RS485 接口通过 SN65HVD08D 半双工 RS485 收发器连接。



RS485 连接示意图

以太网接口

TMS320DM6437 集成了以太网 MAC 和 MDIO 模块用于网络配置，该接口通过物理层设备连接。SEED-DEC6437 系统采用 DM9161 物理层芯片，10/100M 接口是单独的，直接连接至 RJ-45 标准网络连接头。物理层设备可以直接和接口相连。

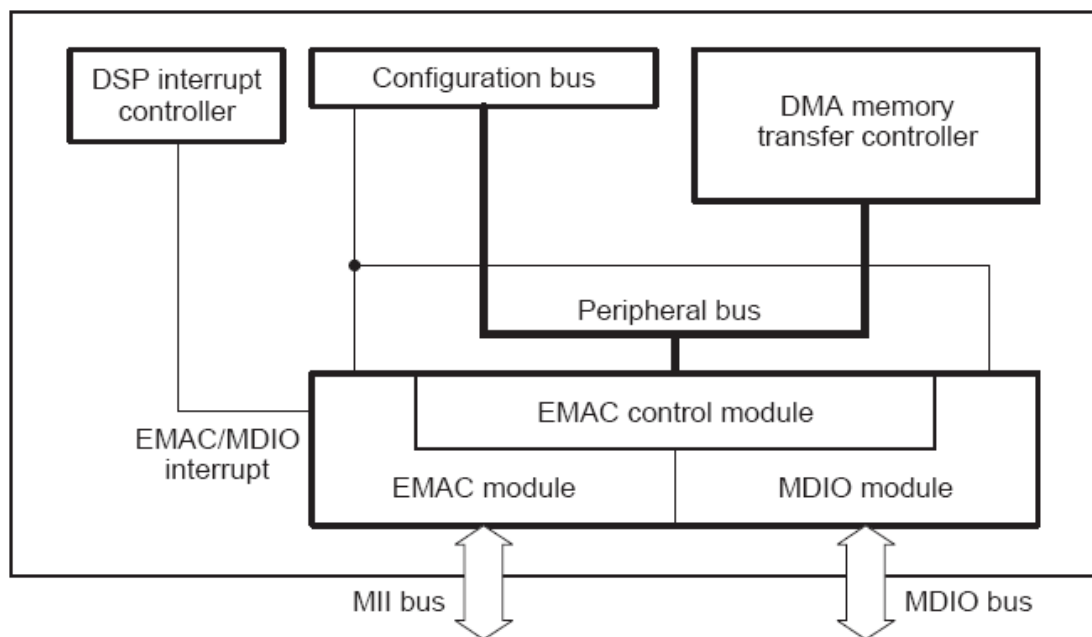
6.1 以太网网络接口简介

TMS320DM6437 集成了以太网媒质访问控制器（EMAC）和物理层设备的数据输入输出管理（MDIO）模块。EMAC 为 DM6437 和外部网络连接提供了一个有效的网络接口，EMAC 支持 10Base-T 和 100Base-TX 或者 10M/100M 的半双工或双工模式，而且支持硬件流控制和 Qos。其中，EMAC 控制系统到网络物理层的数据包流控制，MDIO 用于控制物理层设备的配置和状态检测。

EMAC/MDIO 控制器的特性如下：

- 支持 10/100M 的同步操作
- 标准的对物理层设备的媒介独立接口（MII）
- EMAC 作为 DMA 的 Master 模式，用于对外部和内部设备的存储空间的访问
- 8 接收通道，支持 VLAN 标识区分以实现接收 QOS
- 8 发送通道，支持轮环机制或者优先级机制实现发送的 QOS
- 硬件流控制
- 可编程中断逻辑使能软件限制循环中断的产生，使得单个中断调用可以完成更多的工作

EMAC/MDIO 模块的功能框图如下：



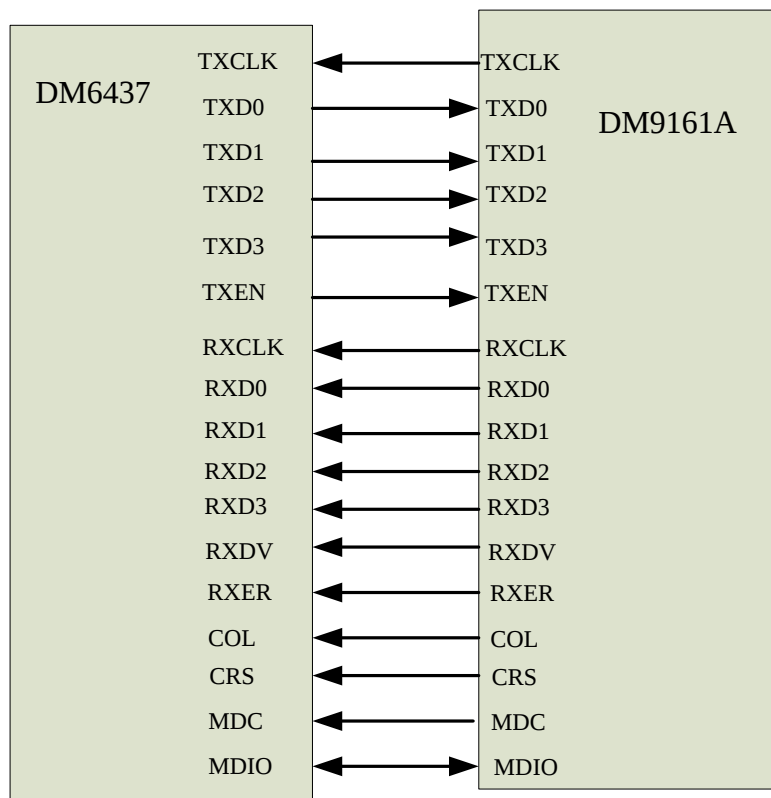
EMAC/MDIO 功能框图

6.2 PHY 设备的连接

在 SEED-DEC6437 系统中用 DAVICOM 公司的 DM9161A 作为 10/100Base-TX 以太网收发器，DM9161A 的 MII 接口与 TMS320DM6437 的 MII 接口对接。

RJ45 连接器选用 AMP 公司的 406549-1，其上带 2 个 LED 指示灯，右边的 LED 为绿色，用作指示连接状态，左边的为黄色，正常情况下，用来指示数据传输。

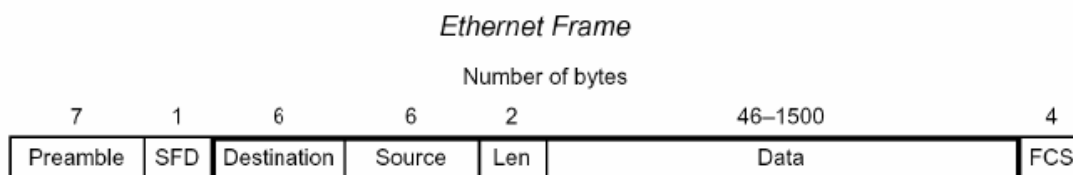
PHY 层物理芯片与 TMS320DM6437 的网络接口互联框图如下：



网络接口连接图

6.3 EMAC 的数据包

以太网中，数据是以网络帧的方式进行传送的。其格式如下：



从上图可以看出一个Ethernet Frame 包括以下几个部分：

- **Preamble**: 引导位；
- **SFD**: 分隔符；
- **Destination**: 目的地址；
- **Source**: 源地址；
- **Len**: 数据的长度；
- **Data**: 最长为 1500 个数据；
- **FCS**: 帧校验。

其中加粗的部分称为以太网的数据包，在 EMAC 得到的内容为以太网的数据包，即粗框内的结构。

扩展总线

合众达公司在总结了以往产品的基础上，设计、开发了系列化的嵌入式 DSP 控制模板 SEED-DECxxxx，SEED-DEC6437 是其中的一种。本系列产品本着模块化、总线型、开放式、系列化的设计思想，采用统一的：系统结构、模块结构和机械结构，设计、开发一系列具有基本一致的 DSP 基本系统、标准的扩展总线和相同的物理尺寸的嵌入式 DSP 控制模板。使本系列产品具有良好的继承性和扩展性，开放的扩展总线使用户更加灵活、快速地构建自己的应用系统。

标准化的扩展总线是模块结构的关键，为此我们仔细研究和总结了 TI 各系列 DSP 的外部存储器接口和片上外设接口的特点，设计、开发了一组能适应各系列 DSP 的标准化的扩展总线。此标准化的扩展总线分成二个部分：一为存储器扩展总线，一为外设扩展总线。为了方便外部扩展，标准化的扩展总线接口电平兼容+3.3V / +5V。

SEED-DEC6437 则根据自身的特点实现此标准化的扩展总线，另外，标准化扩展总线所不包含的片上外设，如 VPFE，采用独立的连接器进行扩展。

7.1 存储器扩展总线

存储器扩展总线包含：

- 存储器接口（8-位数据线、15-位地址线、4-个存储空间）
- 系统接口（1-个时钟输出、1-个复位输出、4-个可屏蔽中断输入）
- 4 个 IO，满足 SEED 实验箱对交通灯的要求
- 主电源（+3.3V、+5V 和 GND）

存储器扩展总线用 90 芯的 1.27mm×1.27mm 高密度表贴插座实现，其在 SEED-DECxxxx 模板上的位置固定不变，存储器扩展总线插座在 PCB 板上正、反面均可安装，方便实现叠层扩展，其正面（J5）引脚定义如下：

+5V	1	2	+5V
NC	3	4	NC
NC	5	6	NC
NC	7	8	NC
NC	9	10	NC

NC	11	12	NC
NC	13	14	NC
NC	15	16	NC
NC	17	18	NC
GND	19	20	GND
NC	21	22	NC
NC	23	24	NC
IOD11	25	26	IOD10
IOD9	27	28	IOD8
D07	29	30	D06
D05	31	32	D04
D03	33	34	D02
D01	35	36	D00
+3.3V	37	38	+3.3V
NC	39	40	NC
NC	41	42	NC
NC	43	44	EA14
EA13	45	46	EA12
EA11	47	48	EA10
EA9	49	50	EA8
EA7	51	52	EA6
EA5	53	54	EA4
GND	55	56	GND
EA3	57	58	EA2
EA1	59	60	EA0
+3.3V	61	62	+3.3V
GND	63	64	GND
$\overline{\text{RD}}$	65	66	$\overline{\text{OE}}$
$\overline{\text{WE}}$	67	68	NC
NC	69	70	NC
NC	71	72	NC
GND	73	74	GND
$\overline{\text{CE3}}$	75	76	$\overline{\text{CE2}}$
$\overline{\text{CE1}}$	77	78	$\overline{\text{CE0}}$
NC	79	80	NC
CLKOUT	81	82	NC
$\overline{\text{RESET}}$	83	84	NC
$\overline{\text{XINT3}}$	85	86	$\overline{\text{XINT2}}$
$\overline{\text{XINT1}}$	87	88	$\overline{\text{XINT0}}$
GND	89	90	GND

其反面（J6）引脚定义如下：

+5V	1	2	+5V
NC	3	4	NC
NC	5	6	NC
NC	7	8	NC
NC	9	10	NC
NC	11	12	NC
NC	13	14	NC
NC	15	16	NC
NC	17	18	NC
GND	19	20	GND
NC	21	22	NC
NC	23	24	NC
IOD10	25	26	IOD11
IOD8	27	28	IOD9
D06	29	30	D07
D04	31	32	D05
D02	33	34	D03
D00	35	36	D01
+3.3V	37	38	+3.3V
NC	39	40	NC
NC	41	42	NC
EA14	43	44	NC
EA12	45	46	NC
EA10	47	48	EA11
EA8	49	50	EA9
EA6	51	52	EA7
EA4	53	54	EA5
GND	55	56	GND
EA2	57	58	EA3
EA0	59	60	EA1
+3.3V	61	62	+3.3V
GND	63	64	GND
$\overline{\text{OE}}$	65	66	$\overline{\text{RD}}$
NC	67	68	$\overline{\text{WE}}$
NC	69	70	NC
NC	71	72	NC
GND	73	74	GND
$\overline{\text{CE2}}$	75	76	$\overline{\text{CE3}}$
$\overline{\text{CE0}}$	77	78	$\overline{\text{CE1}}$
NC	79	80	NC

NC	81	82	CLKOUT
NC	83	84	$\overline{\text{RESET}}$
$\overline{\text{XINT2}}$	85	86	$\overline{\text{XINT3}}$
$\overline{\text{XINT0}}$	87	88	$\overline{\text{XINT1}}$
GND	89	90	GND

7.2 外设扩展总线

外设扩展总线选择各系列均包含的片上外设，如 McBSP、定时器等，它包含：

- 片上外设接口（2-个 McBSP、1-个定时器）
- 握手接口（2-个控制输出、2-个状态输入）
- 2 路 PWM 接口
- 辅助电源（+3.3V、+5V、±15V 和 GND）

外设扩展总线用 40 芯的 1.27mm×1.27mm 高密度表贴插座实现，在 SEED-DECxxxx 模板上的位置固定不变，外设扩展总线插座在 PCB 板上也正、反面均可安装，方便实现叠层扩展，其正面（J7）引脚定义如下：

-15V	1	2	-15V
GND	3	4	GND
+15V	5	6	+15V
+5V	7	8	+5V
CLKX0	9	10	CLKR0
FSX0	11	12	FSR0
DX0	13	14	DR0
NC	15	16	NC
CLKX1	17	18	CLKR1
FSX1	19	20	FSR1
DX1	21	22	DR1
NC	23	24	NC
GND	25	26	GND
NC	27	28	NC
TOUT0	29	30	TINP0
CNTL0	31	32	CNTL1
STAT0	33	34	STAT1
PWM0	35	36	PWM1
NC	37	38	NC
+3.3V	39	40	+3.3V

其反面（J8）引脚定义如下：

-15V	1	2	-15V
GND	3	4	GND
+15V	5	6	+15V
+5V	7	8	+5V
CLKR0	9	10	CLKX0
FSR0	11	12	FSX0
DR0	13	14	DX0
NC	15	16	NC
CLKR1	17	18	CLKX1
FSR1	19	20	FSX1
DR1	21	22	DX1
NC	23	24	NC
GND	25	26	GND
NC	27	28	NC
TINP0	29	30	TOUT0
CNTL1	31	32	CNTL0
STAT1	33	34	STAT0
PWM1	35	36	PWM0
NC	37	38	NC
+3.3V	39	40	+3.3V

7.3 其他扩展总线

SEED-DEC6437 上还包含有 1 路数字视频输入接口（VPFE）和 1 路 UART 接口，标准扩展总线上不包含这些的。

- 数字视频输入接口：采用 60-芯的 1.27mm×1.27mm 高密度表贴插座，正、反面均可安装方式，可实现叠层扩展。

正面（J20）管脚排列及定义如下：

NC	1	2	NC
NC	3	4	NC
NC	5	6	NC
NC	7	8	NC
NC	9	10	NC
NC	11	12	NC
NC	13	14	NC
IIC_SDA	15	16	IIC_CLK

NC	17	18	NC
NC	19	20	NC
NC	21	22	NC
CI7	23	24	CI6
CI5	25	26	CI4
CI3	27	28	CI2
CI1	29	30	CI0
YI7	31	32	YI6
YI5	33	34	YI4
YI3	35	36	YI2
YI1	37	38	YI0
NC	39	40	NC
NC	41	42	PCLK
NC	43	44	NC
NC	45	46	NC
NC	47	48	NC
NC	49	50	NC
NC	51	52	NC
NC	53	54	NC
NC	55	56	NC
GND	57	58	GND
+3.3V	59	60	+3.3V

反面（J21）管脚排列及定义如下：

NC	1	2	NC
NC	3	4	NC
NC	5	6	NC
NC	7	8	NC
NC	9	10	NC
NC	11	12	NC
NC	13	14	NC
IIC_CLK	15	16	IIC_SDA
NC	17	18	NC
NC	19	20	NC
NC	21	22	NC
CI6	23	24	CI7
CI4	25	26	CI5
CI2	27	28	CI3
CI0	29	30	CI1
YI6	31	32	YI7
YI4	33	34	YI5

YI2	35	36	YI3
YI0	37	38	YI1
NC	39	40	NC
PCLK	41	42	NC
NC	43	44	NC
NC	45	46	NC
NC	47	48	NC
NC	49	50	NC
NC	51	52	NC
NC	53	54	NC
NC	55	56	NC
GND	57	58	GND
+3.3V	59	60	+3.3V

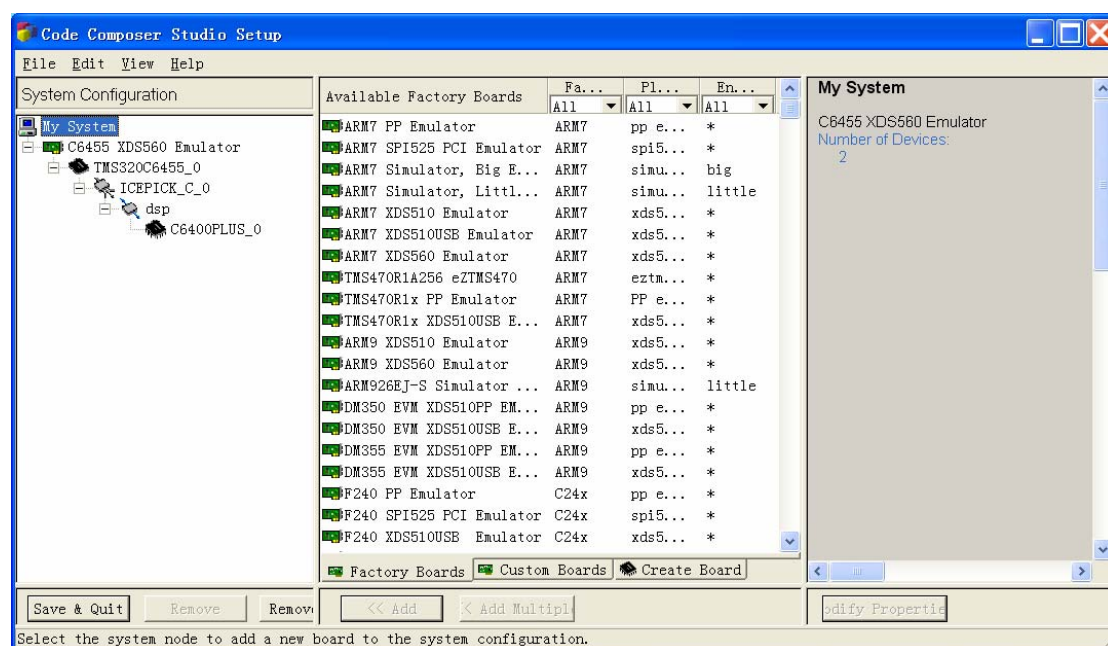
- **UART 接口 J18:** 采用采用 2mm 间距、3-芯单排插针连接器，可以通过它对一些设备进行配置。其引脚定义如下：

1	2	3
GND	SCIRXD	SCITXD

SEED-DEC6437 模板的测试程序包括以下几个方面：

- ☐ DSP 对存储器系统的测试，包括 DDR2 和 FLASH 的操作示例；
- ☐ DSP 对 VIDEO 的操作的示例程序；
- ☐ DSP 对 AUDIO 的操作的示例程序；
- ☐ UART 与计算机通讯的示例程序；
- ☐ DSP 对网络接口的操作的示例程序；
- ☐ DSP 对 LED 的操作的示例程序；
- ☐ DSP 的 Bootloader 示例程序；

注：测试程序的工程调试环境是以合众达公司的 XDS560 仿真器建立的，选用 CCS3.3 版本。为了方便起见，推荐用户使用合众达公司并口仿真器进行测试。如果使用其它类型的仿真器，请参考附录 C 创建相应的工程调试环境。CCS3.3 的配置如下图：



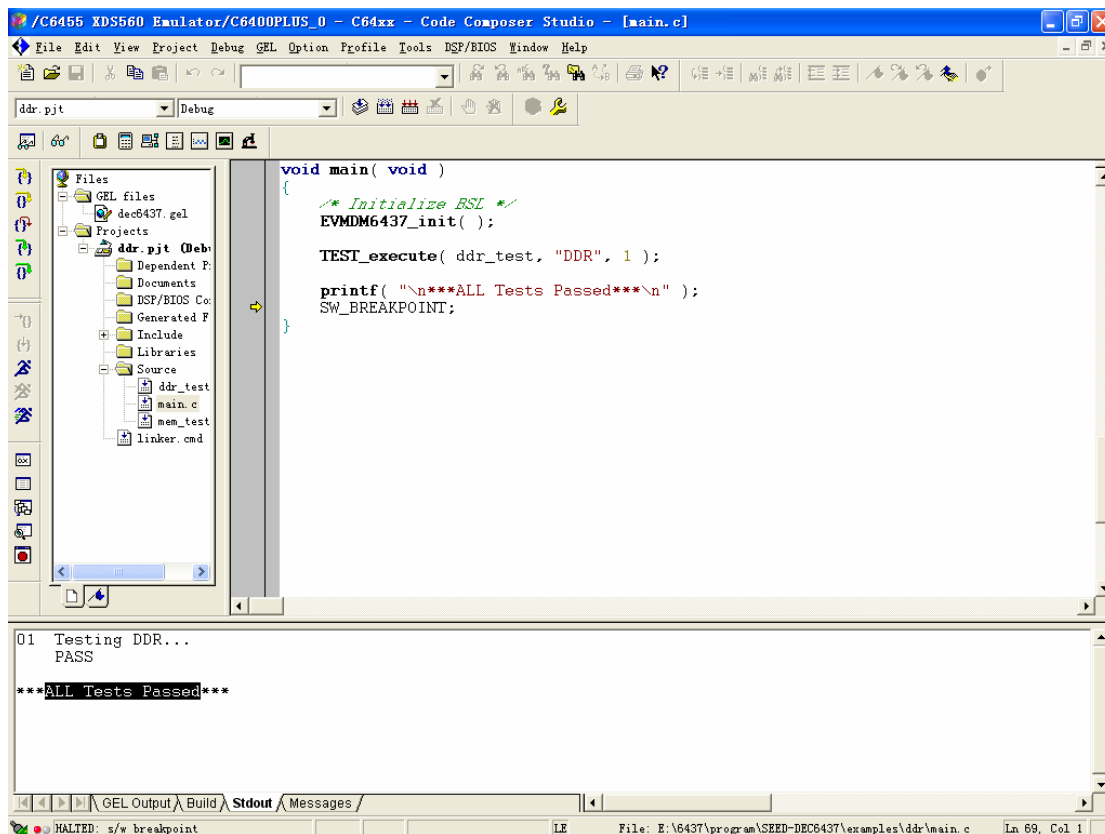
8.1 存储器系统的测试

存储器测试部分主要用来测试 DDR2 和 FLASH 的读 / 写操作是否正确。

8.1.1 DDR2 的测试

DDR2 的测试主要包括其读/写操作是否正确。测试步骤如下：

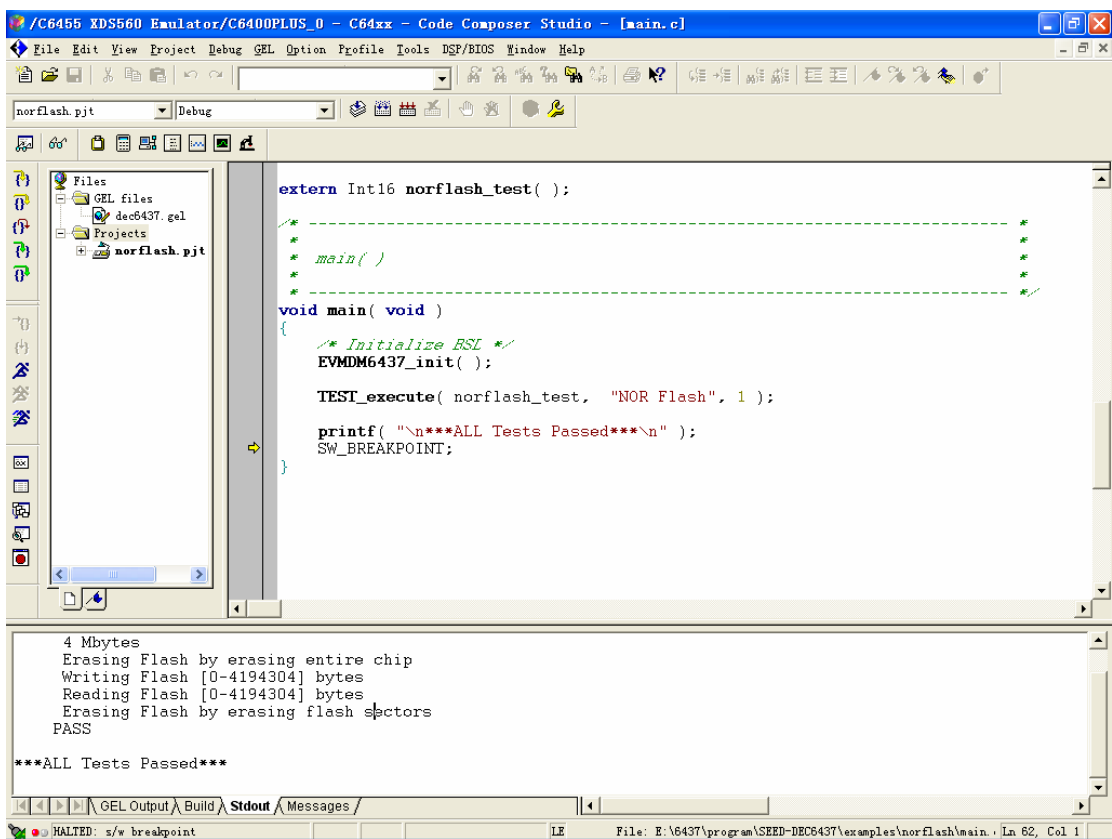
- 在 CCS 中用 Project→Open...命令，打开 ddr 目录下的 ddr.pjt 工程文件。
- 在 CCS 中用 File→Load Gel...命令 gel 文件夹下的 dec6437.gel 文件。
- 在 CCS 中用 File→Load Program...命令，加载 ddr\debug 目录下的 ddr.out 文件。
- 在 CCS 中用 Debug→Go Main 命令执行程序到 C 的 main()函数处。
- 执行程序，如果程序执行结束时，在输出窗口 Stdout 中输出信息“ALL Tests Passed”，则说明测试成功，如下图所示；否则，测试失败。



8.1.2 FLASH 的测试

NOR FLASH 的测试主要包括存储空间大小的检测及其擦除/读/写操作的是否正确。测试步骤如下：

- 在 CCS 中用 Project→Open...命令，打开 norflash 目录下的 norflash.pjt 工程文件。
- 在 CCS 中用 File→Load Gel...命令 gel 文件夹下的 dec6437.gel 文件。
- 在 CCS 中用 File→Load Program...命令，加载 norflash\debug 目录下的 norflash.out 文件。
- 在 CCS 中用 Debug→Go Main 命令执行程序到 C 的 main()函数处。
- 执行程序，如果程序执行结束时，在输出窗口 Stdout 中输出信息如下信息，如果在该窗口中显示“ALL Tests Passed”则说明测试成功；否则，测试失败。



8.2 DSP 对 VEDIO 的操作示例

视频的测试程序，主要包括了 TVP5150 的配置、视频处理前端（VPFE）的配置和视频处理后端（VPBE）的配置等。SEED-DEC6437 上有 1 路复合模拟视频输入，1 路复合模拟视频输出和 1 路 VGA 视频输出，

8.2.1 复合模拟视频输出

- 将摄像头的输出接到 J2 接口上，J3 连接到 PAL 制式的显示屏上
- 在 CCS 中用 Project → Open... 命令，打开 video_loopback 目录下的 video_loopback.pjt 工程文件。
- 在 CCS 中用 File → Load Gel... 命令 gel 文件夹下的 dec6437.gel 文件。
- 在 CCS 中用 File → Load Program... 命令，加载 video_loopback\debug 目录下的 video_loopback.out 文件。
- 在 CCS 中用 Debug → Go Main 命令执行程序到 C 的 main() 函数处。
- 执行程序，就可以在显示屏上观看到摄像头输入的图像。

关于视频接口的详细设置与说明，参看测试程序的源代码及相关的文档。

8.2.2 模拟视频 VGA 输出

- 将摄像头的输出接到 J2 接口上，J4 连接到 VGA 显示器上
- 在 CCS 中用 Project → Open... 命令，打开 video_vga 目录下的 video_vga.pjt 工程文件。
- 在 CCS 中用 File → Load Gel... 命令 gel 文件夹下的 dec6437.gel 文件。
- 在 CCS 中用 File → Load Program... 命令，加载 video_vga\debug 目录下的 video_vga.out 文件。
- 在 CCS 中用 Debug → Go Main 命令执行程序到 C 的 main() 函数处。
- 执行程序，就可以在显示器上观看到摄像头输入的图像。

关于视频接口的详细设置与说明，参看测试程序的源代码及相关的文档。

8.3 DSP 对 AUDIO 的操作示例

音频输入输出的测试，主要包括对 AIC23 的设置及音频数据的交换。其测试过程如下：

- 在 J15 口接入输入音频，在 J17 口接入音箱。
- 在 CCS 中用 Project → Open... 命令，打开 aic23_mcbasp 目录下的 aic23_LineIn.pjt 工程文件。
- 在 CCS 中用 File → Load Gel... 命令 gel 文件夹下的 dec6437.gel 文件。
- 在 CCS 中用 File → Load Program... 命令，加载 aic23_mcbasp\debug 目录下的 aic23_LineIn.out 文件。
- 在 CCS 中用 Debug → Go Main 命令执行程序到 C 的 main() 函数处。
- 执行程序，就可以听到音箱播放的由 J15 输入的音频。

关于 AIC23 详细的设置与说明，参看测试程序的源代码及相关的文档。

8.4 UART 的测试

在 SEED-DEC6437 模板上配置了两路 UART 接口。进行 UART 测试时，采用 UART 与计算机通讯。测试时，UART 的接口标准应配置为 RS232 方式进行，默认波特率为 9.6K。

8.4.1 RS232 串口测试

测试过程如下：

- 用串口线将 SEED-DEC6437 的 J13 与 PC 机相连
- 在 CCS 中用 Project→Open...命令，打开 uart-232 目录下的 uart.pjt 工程文件。
- 在 CCS 中用 File→Load Gel...命令 gel 文件夹下的 dec6437.gel 文件。
- 在 CCS 中用 File→Load Program...命令，加载 uart\debug 目录下的 uart.out 文件。
- 在 CCS 中用 Debug→Go Main 命令执行程序到 C 的 main()函数处。
- 执行程序。
- 在 PC 机上运行“串口调试助手”的软件，设置串口的参数如下图
- 点击“手动发送”按钮，在接收窗口中若显示出发送的数据，则表示测试通过，否则，测试失败。



8.4.2 RS485 串口测试

测试过程如下：

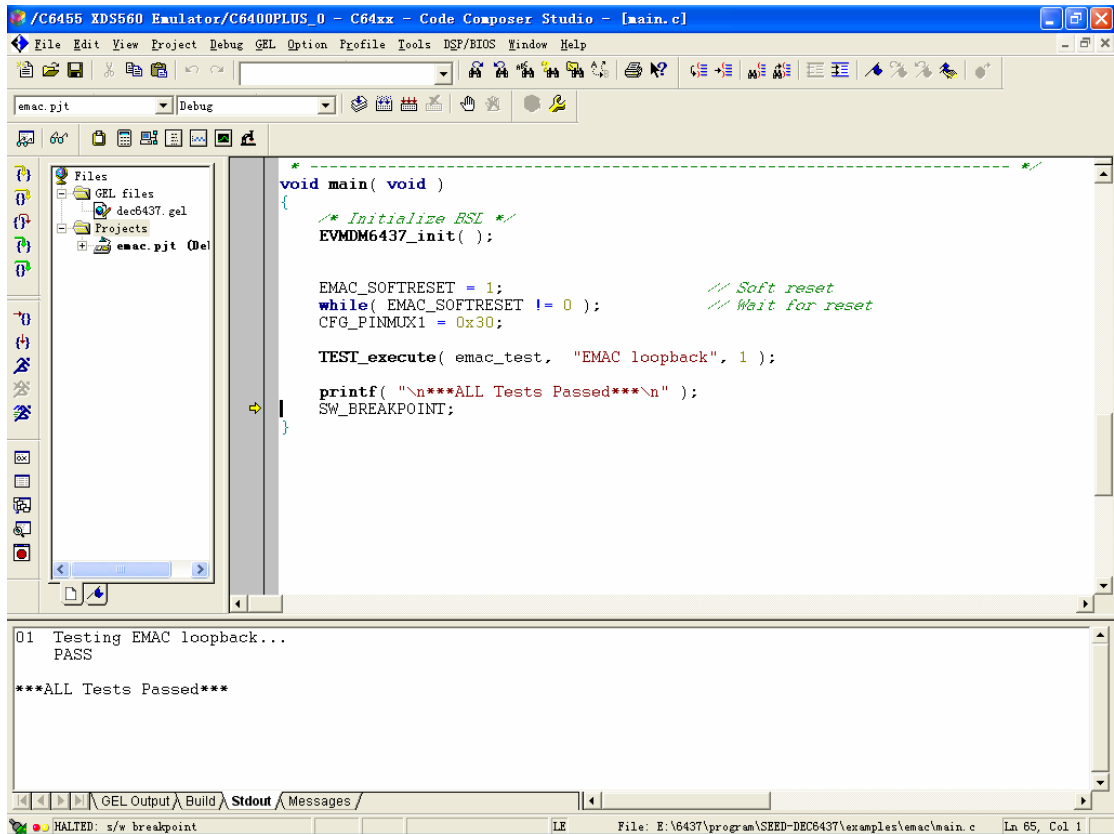
- 将 SEED-DEC6437 的 RS485 串口 J14 引出，连接到 RS485/RS232 转接头，转接头另一端使用串口线连接到 PC 机。
- 在 CCS 中用 Project→Open...命令，打开 uart-485 目录下的 uart.pjt 工程文件。
- 在 CCS 中用 File→Load Gel...命令 gel 文件夹下的 dec6437.gel 文件。
- 在 CCS 中用 File→Load Program...命令，加载 uart\debug 目录下的 uart.out 文件。
- 在 CCS 中用 Debug→Go Main 命令执行程序到 C 的 main()函数处。
- 在 PC 机上运行“串口调试助手”的软件，设置串口的参数如下图
- 点击“手工发送”按钮。
- 执行程序，在接收窗口中若显示出发送的数据，则表示测试通过，否则，测试失败。



8.5 DSP 对网络接口的操作示例

以太网接口的测试，主要是测试 EMAC 与 MDIO 的配置和使用，及如何设置一个 PHY 设备。在测试过程中，是采用自闭环的方式完成的。其测试过程如下：

- 将回环网线与 SEED-DEC6437 板卡的 J1 接口相连。
- 在 CCS 中用 Project→Open...命令，打开 emac 目录下的 emac.pjt 工程文件。
- 在 CCS 中用 File→Load Gel...命令 gel 文件夹下的 dec6437.gel 文件。
- 在 CCS 中用 File→Load Program...命令，加载 emac\debug 目录下的 emac.out 文件。
- 在 CCS 中用 Debug→Go Main 命令执行程序到 C 的 main()函数处。
- 执行程序，当测试通过，在输出窗口 Stdout 中将输出如下信息。否则，测试失败。



关于网络的更多操作，请参看测试程序的源代码及相关的文档。

8.6 LED 的测试

在 LED 程序中，主要用 CPLD 对 LED(D3)进行控制，使 LED(D3)闪烁。

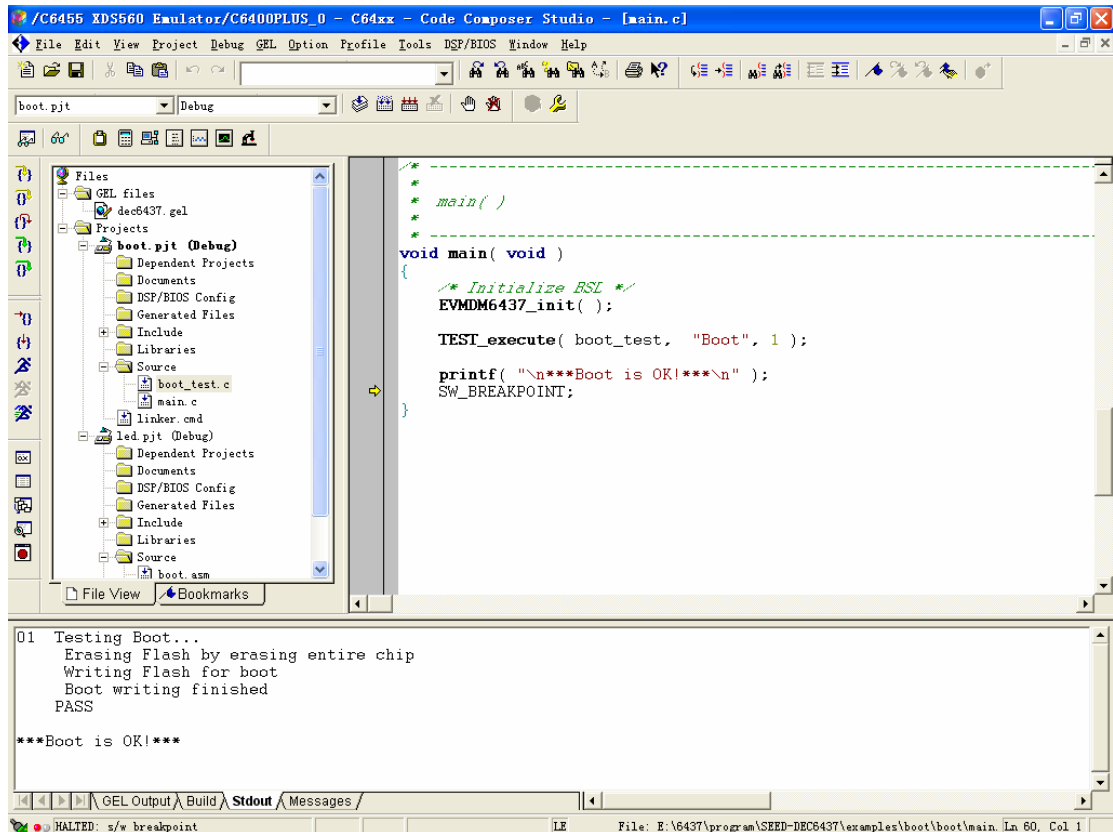
- 在 CCS 中用 Project→Open...命令，打开 led 目录下的 led.pjt 工程文件。
- 在 CCS 中用 File→Load Gel...命令 gel 文件夹下的 dec6437.gel 文件。
- 在 CCS 中用 File→Load Program...命令，加载 led\debug 目录下的 led.out 文件。
- 在 CCS 中用 Debug→Go Main 命令执行程序到 C 的 main()函数处。
- 执行程序，会看到 D3 闪烁。否则，测试失败。

8.7 BOOT

SEED-DEC6437 所使用的启动方式是 EMIFA ROM FASTBOOT 不采用 AIS 模式，即 BOOTMODE[3:0] = 1001b，FASTBOOT = 1，AEM[2:0] = 001b。在这种模式下，板上电后，先进入地址 0x1000 0000，而后直接进入 Flash 的首地址 0x4200 0000，开始执行烧

写在 Flash 的程序。本例程是将 LED 的测试程序生成的 led.out 文件烧写在 flash 中，然后上电后从 flash 引导，执行 led 程序。

- 在 CCS 中用 Project→Open...命令，打开 boot 目录下的 boot.pjt 工程文件。
- 在 CCS 中用 File→Load Gel...命令 gel 文件夹下的 dec6437.gel 文件。
- 在 CCS 中用 File→Load Program...命令，加载 boot\debug 目录下的 boot.out 文件。
- 在 CCS 中用 Debug→Go Main 命令执行程序到 C 的 main()函数处。
- 执行程序，会看到如下界面。否则，测试失败。



- 给系统断电，拔掉仿真器后重新上电会发现 D3 闪烁，否则说明没有烧写成功。

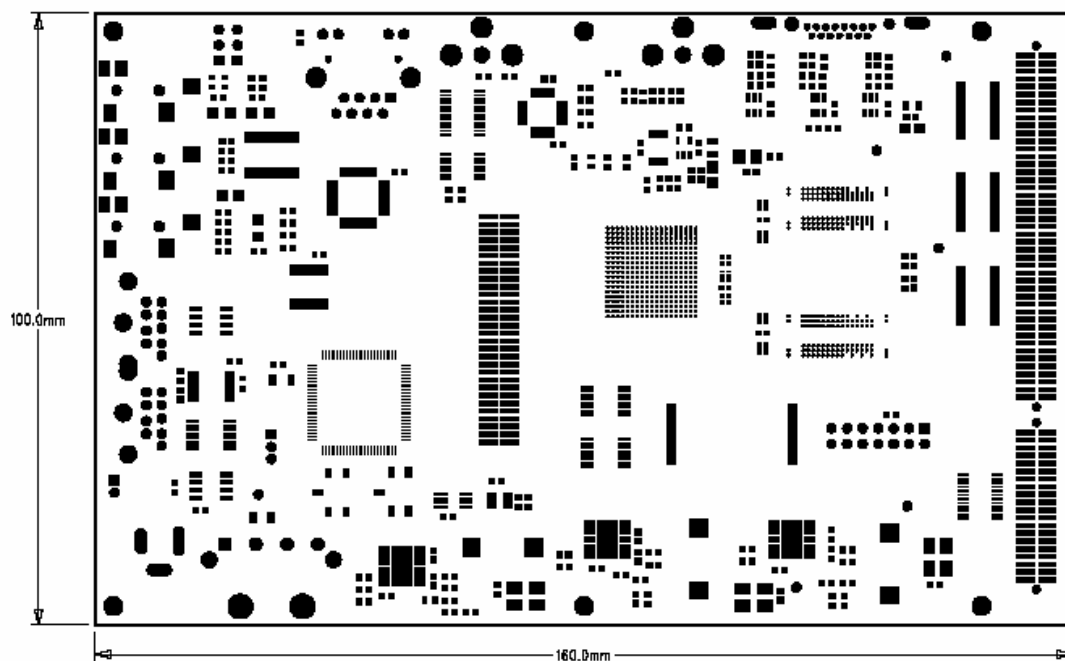
连接器、跳针、机械尺寸

本章描述 SEED-DEC6437 模板的物理布局，说明各连接器的定义、跳针的设置，以及它们在模板上的位置。

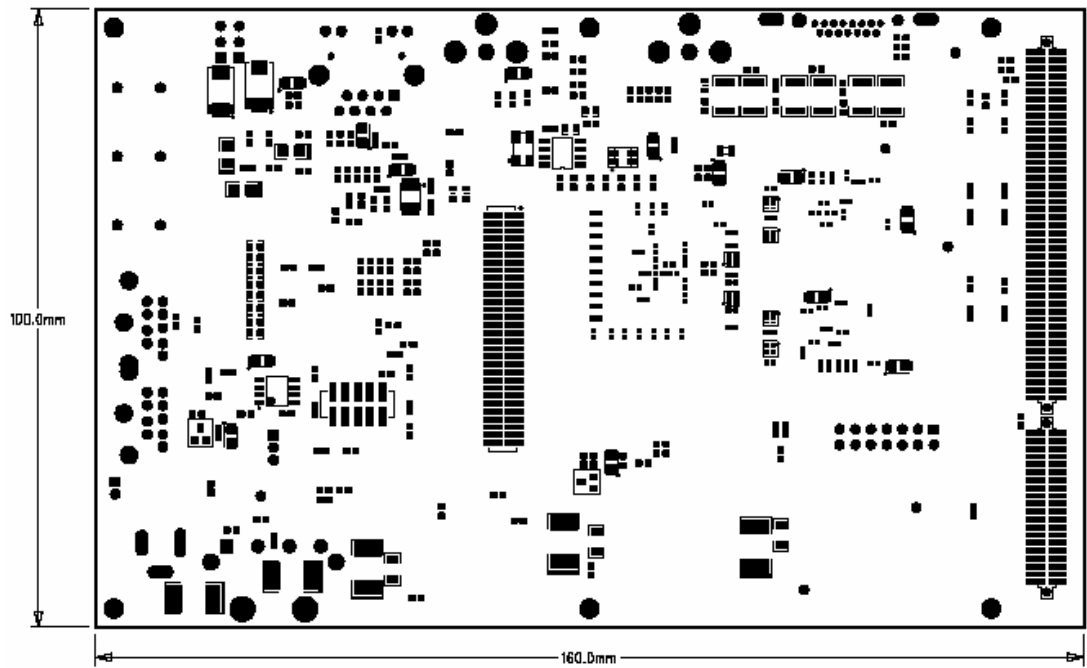
9.1 物理布局

SEED-DEC6437 板卡，长 160mm×宽 100mm，采用表面贴装元器件，元器件双面安装。

SEED-DEC6437 模板正面布局如下图所示：



SEED- DEC6437 模板的反面布局如下图所示：



9.2 连接器及开关

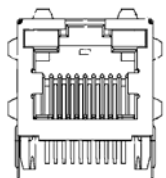
SEED-DEC6437 模板上有 23 个连接器，如下表所示：

连接器	引脚数	功能
J1	16	以太网接口
J2	4	复合模拟视频输入
J3	4	复合模拟视频输出
J4	17	模拟视频 VGA 输出
J5	90	存储器扩展总线（top）
J6	90	存储器扩展总线（bottom）
J7	40	外设扩展总线（top）
J8	40	外设扩展总线（bottom）
J9	14	JTAG 仿真器接口
J10	8	+5V、±15 电源输入口
J11	2	+5V 电源输入口
J12	2	CAN 总线接口
J13	9	RS232 总线接口
J14	9	RS485 总线接口
J15	5	音频立体声输入口 Audio Line In
J16	5	麦克风输入口 Mic In

J17	5	音频立体声输出口 Audio Line Out
J18	3	UART 接口
J19	10	CPLD 下载电缆接口
J20	60	数字视频输入口 (top)
J21	60	数字视频输入口 (bottom)
JP1	3	选择音频立体声输出左声道，无驱动输出 / 耳机驱动输出
JP2	3	选择音频立体声输出右声道，无驱动输出 / 耳机驱动输出

9.2.1 J1: 以太网接口

J1 为网络接口，如下图所示：



引脚号	信号	方向
1	TX+	输出
2	§	
3	TX-	输出
4	RX+	输入
5	§	—
6	RX-	输入
7	§	—
8	GND	—
9	§	—
10	LINKLED	—
11	§	—
12	ACTIVELED	—
13	§	—
14	§	—
15	NC	—
16	NC	—

9.2.2 J2: 复合模拟视频输入

J2 为复合模拟视频输入接口，其引脚定义如下：

引脚号	信号	方向
1	GND	—
2	VEDIO_IN	输入
3	GND	—
4	GND	—

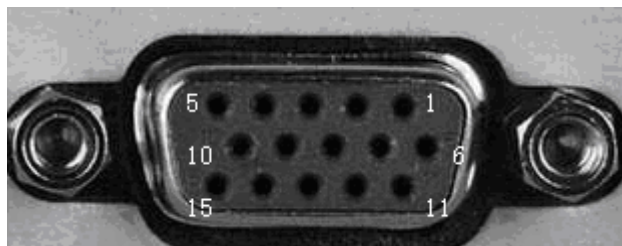
9.2.3 J3: 复合模拟视频输出

J2 为复合模拟视频输入接口，其引脚定义如下：

引脚号	信号	方向
1	GND	—
2	VEDIO_OUT	输出
3	GND	—
4	GND	—

9.2.4 J4: 模拟视频 VGA 输出

SEED-DEC6437 支持 VGA 视频输出，采用 VGA 连接头连接，如图所示：



引脚定义如下：

管脚	定义
1	红基色 red
2	绿基色 green
3	蓝基色 blue
4	地址码 ID Bit
5	自测试（各家定义不同）
6	红地
7	绿地
8	蓝地
9	保留（各家定义不同）
10	数字地
11	地址码
12	地址码
13	行同步
14	场同步
15	地址码（各家定义不同）

9.2.5 J5：存储器扩展总线（top）

存储器扩展总线（正面）J5 采用 90-芯的 1.27mm×1.27mm 高密度表贴双列直插型插座，其引脚排列及定义如下：

+5V	1	2	+5V
NC	3	4	NC
NC	5	6	NC
NC	7	8	NC
NC	9	10	NC
NC	11	12	NC
NC	13	14	NC
NC	15	16	NC
NC	17	18	NC
GND	19	20	GND
NC	21	22	NC
NC	23	24	NC
IOD11	25	26	IOD10

IOD9	27	28	IOD8
D07	29	30	D06
D05	31	32	D04
D03	33	34	D02
D01	35	36	D00
+3.3V	37	38	+3.3V
NC	39	40	NC
NC	41	42	NC
NC	43	44	EA14
EA13	45	46	EA12
EA11	47	48	EA10
EA9	49	50	EA8
EA7	51	52	EA6
EA5	53	54	EA4
GND	55	56	GND
EA3	57	58	EA2
EA1	59	60	EA0
+3.3V	61	62	+3.3V
GND	63	64	GND
$\overline{\text{RD}}$	65	66	$\overline{\text{OE}}$
$\overline{\text{WE}}$	67	68	NC
NC	69	70	NC
NC	71	72	NC
GND	73	74	GND
$\overline{\text{CE3}}$	75	76	$\overline{\text{CE2}}$
$\overline{\text{CE1}}$	77	78	$\overline{\text{CE0}}$
NC	79	80	NC
CLKOUT	81	82	NC
$\overline{\text{RESET}}$	83	84	NC
$\overline{\text{XINT3}}$	85	86	$\overline{\text{XINT2}}$
$\overline{\text{XINT1}}$	87	88	$\overline{\text{XINT0}}$
GND	89	90	GND

9.2.6 J6: 存储器扩展总线（bottom）

存储器扩展总线（反面）J6 采用 90-芯的 1.27mm×1.27mm 高密度表贴双列直插型插座，其引脚排列及定义如下：

+5V	1	2	+5V
NC	3	4	NC
NC	5	6	NC
NC	7	8	NC
NC	9	10	NC
NC	11	12	NC
NC	13	14	NC
NC	15	16	NC
NC	17	18	NC
GND	19	20	GND
NC	21	22	NC
NC	23	24	NC
IOD10	25	26	IOD11
IOD8	27	28	IOD9
D06	29	30	D07
D04	31	32	D05
D02	33	34	D03
D00	35	36	D01
+3.3V	37	38	+3.3V
NC	39	40	NC
NC	41	42	NC
EA14	43	44	NC
EA12	45	46	NC
EA10	47	48	EA11
EA8	49	50	EA9
EA6	51	52	EA7
EA4	53	54	EA5
GND	55	56	GND
EA2	57	58	EA3
EA0	59	60	EA1
+3.3V	61	62	+3.3V
GND	63	64	GND
$\overline{\text{OE}}$	65	66	$\overline{\text{RD}}$
NC	67	68	$\overline{\text{WE}}$
NC	69	70	NC
NC	71	72	NC
GND	73	74	GND
$\overline{\text{CE2}}$	75	76	$\overline{\text{CE3}}$
$\overline{\text{CE0}}$	77	78	$\overline{\text{CE1}}$
NC	79	80	NC
NC	81	82	CLKOUT
NC	83	84	$\overline{\text{RESET}}$

$\overline{\text{XINT2}}$	85	86	$\overline{\text{XINT3}}$
$\overline{\text{XINT0}}$	87	88	$\overline{\text{XINT1}}$
GND	89	90	GND

9.2.7 J7: 外设扩展总线（top）

外设扩展总线（正面）J7 采用 40-芯的 1.27mm×1.27mm 高密度表贴双列直插型插座，其管脚排列及定义如下：

-15V	1	2	-15V
GND	3	4	GND
+15V	5	6	+15V
+5V	7	8	+5V
CLKX0	9	10	CLKR0
FSX0	11	12	FSR0
DX0	13	14	DR0
NC	15	16	NC
CLKX1	17	18	CLKR1
FSX1	19	20	FSR1
DX1	21	22	DR1
NC	23	24	NC
GND	25	26	GND
NC	27	28	NC
TOUT0	29	30	TINP0
CNTL0	31	32	CNTL1
STAT0	33	34	STAT1
PWM0	35	36	PWM1
NC	37	38	NC
+3.3V	39	40	+3.3V

9.2.8 J8: 外设扩展总线（bottom）

外设扩展总线（反面）J8 采用 40-芯的 1.27mm×1.27mm 高密度表贴双列直插型插座，其管脚排列及定义如下：

-15V	1	2	-15V
GND	3	4	GND
+15V	5	6	+15V
+5V	7	8	+5V
CLKR0	9	10	CLKX0
FSR0	11	12	FSX0
DR0	13	14	DX0
NC	15	16	NC
CLKR1	17	18	CLKX1
FSR1	19	20	FSX1
DR1	21	22	DX1
NC	23	24	NC
GND	25	26	GND
NC	27	28	NC
TINP0	29	30	TOUT0
CNTL1	31	32	CNTL0
STAT1	33	34	STAT0
PWM1	35	36	PWM0
NC	37	38	NC
+3.3V	39	40	+3.3V

9.2.9 J9: JTAG 仿真器接口

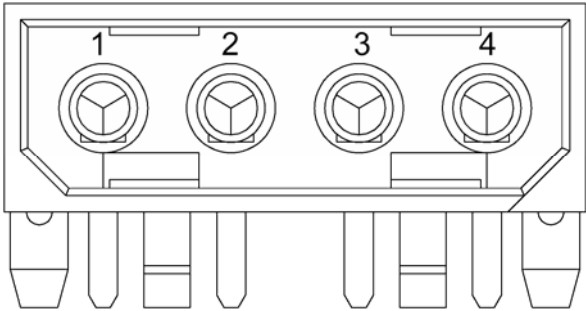
SEED-DEC6437 上有一个 14-芯、间距为 100mil 的双排插针 J9，它是一个 JTAG 仿真器标准接口，通过此接口对 DM6437 进行硬件仿真调试。其定义如下：

TMS	1	2	TRST-	Header Dimensions
TDI	3	4	GND	
PD (+5V)	5	6	no pin (key)	
TDO	7	8	GND	
TCK	9	10	GND	Pin-to-Pin spacing, 0.100 in. (X,Y)
TCK	11	12	GND	Pin width, 0.025-in. square post
EMU0	13	14	EMU1	Pin length, 0.235-in. nominal

JTAG INTERFACE

9.2.10 J10: +5V、±15 电源输入口

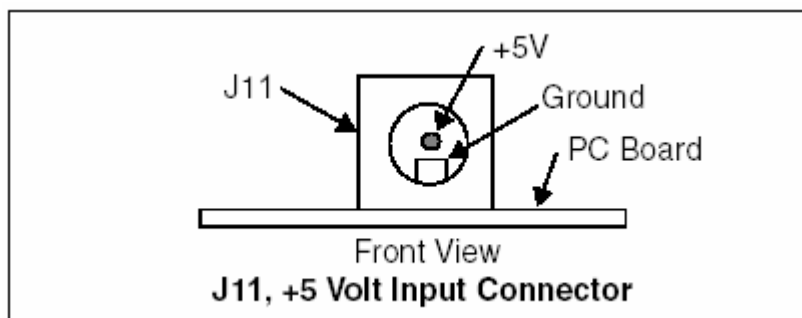
+5V、±15V 电源输入口 J10 采用硬盘驱动器电源插座，其示意图及引脚定义如下：



1	2	3	4
+15V	-15V	GND	+5V

9.2.11 J11: +5V 电源输入口

+5V 电源输入口 J11 采用 Mini 型直流电源插座，其示意图如下：



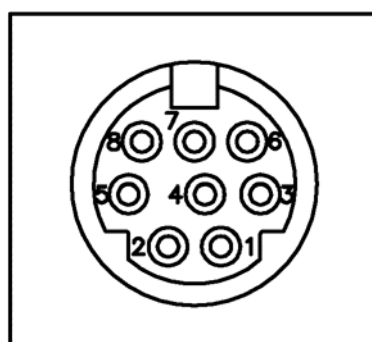
9.2.12 J12: CAN 总线接口

CAN 总线接口 J12 采用 2-芯、2.0mm 间距的单排插针，其引脚定义如下：

1	2
CANL	CANH

9.2.13 J13: RS232 总线接口

J13 是一个 8-芯的 Mini Din 连接器，其管脚排列及定义如下：

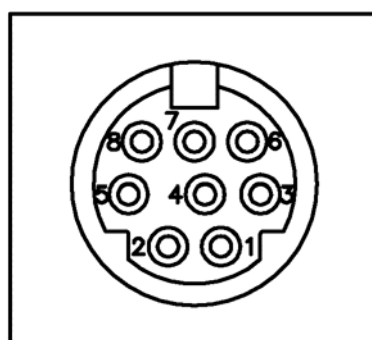


引脚号	RS232	方向
1		—
2	TxD	输出
3	RxD	输入
4	—	—

5	GND	—
6	—	—
7	—	—
8	—	—

9.2.14 J14: RS485 总线接口

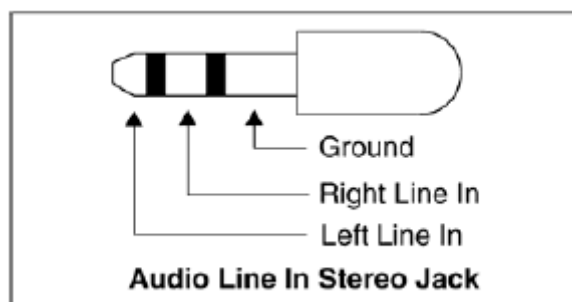
J14 是一个 8-芯的 Mini Din 连接器，其管脚排列及定义如下：



引脚号	RS485	方向
1	—	—
2	—	—
3	A	I/O
4	—	—
5	GND	—
6	—	—
7	B	I/O
8	—	—

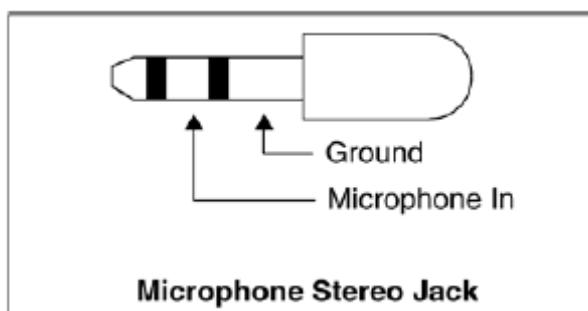
9.2.15 J15: 音频立体声输入口 Audio Line In

音频立体声输入口 J15 采用工业标准的 3.5mm 音频插座，与其对应的插头的信号分配如下：



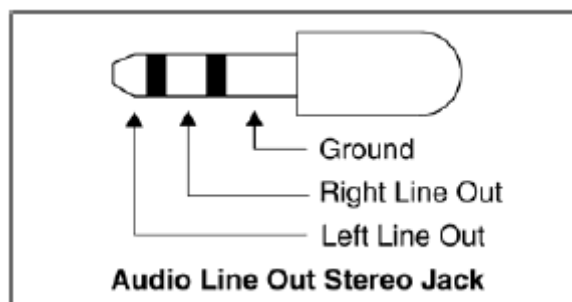
9.2.16 J16: 麦克风输入口 Mic In

麦克风输入口 J16 采用工业标准的 3.5mm 音频插座，与其对应的插头的信号分配如下：



9.2.17 J17: 音频立体声输出口 Audio Line Out

音频立体声输入口 J17 采用工业标准的 3.5mm 音频插座，与其对应的插头的信号分配如下：



9.2.18 J18: UART 接口

采用 2mm 间距、3-芯单排插针连接器，其定义如下：

1	2	3
GND	SCIRXD	SCITXD

9.2.19 J19: CPLD 下载电缆接口

采用 2mm 间距、10-芯双排插针连接器，其定义如下：

1	TDI	2	GND
3	TDO	4	GND
5	TCK	6	GND
7	TMS	8	GND
9	+3.3V	10	GND

9.2.20 J20: 数字视频输入口（top）

数字视频输入口（正面）J20 采用 60-芯的 1.27mm×1.27mm 高密度表贴双列直插型插座，其管脚排列及定义如下：

NC	1	2	NC
NC	3	4	NC
NC	5	6	NC
NC	7	8	NC
NC	9	10	NC
NC	11	12	NC
NC	13	14	NC
IIC_SDA	15	16	IIC_CLK
NC	17	18	NC
NC	19	20	NC
NC	21	22	NC
CI7	23	24	CI6
CI5	25	26	CI4
CI3	27	28	CI2
CI1	29	30	CI0
YI7	31	32	YI6

YI5	33	34	YI4
YI3	35	36	YI2
YI1	37	38	YI0
NC	39	40	NC
NC	41	42	PCLK
NC	43	44	NC
NC	45	46	NC
NC	47	48	NC
NC	49	50	NC
NC	51	52	NC
NC	53	54	NC
NC	55	56	NC
GND	57	58	GND
+3.3V	59	60	+3.3V

9.2.21 J21: 数字视频输入口（bottom）

数字视频输入口（反面）J21 采用 60-芯的 1.27mm×1.27mm 高密度表贴双列直插型插座，其管脚排列及定义如下：

NC	1	2	NC
NC	3	4	NC
NC	5	6	NC
NC	7	8	NC
NC	9	10	NC
NC	11	12	NC
NC	13	14	NC
IIC_CLK	15	16	IIC_SDA
NC	17	18	NC
NC	19	20	NC
NC	21	22	NC
CI6	23	24	CI7
CI4	25	26	CI5
CI2	27	28	CI3
CI0	29	30	CI1
YI6	31	32	YI7
YI4	33	34	YI5
YI2	35	36	YI3
YI0	37	38	YI1
NC	39	40	NC

PCLK	41	42	NC
NC	43	44	NC
NC	45	46	NC
NC	47	48	NC
NC	49	50	NC
NC	51	52	NC
NC	53	54	NC
NC	55	56	NC
GND	57	58	GND
+3.3V	59	60	+3.3V

9.2.22 JP1: 选择音频立体声输出左声道，无驱动输出 / 耳机驱动输出

当 JP1 的 1-2 短路时，立体声输出左声道无驱动输出

当 JP1 的 2-3 短路时，立体声输出左声道耳机驱动输出（缺省状态）

9.2.23 JP2: 选择音频立体声输出右声道，无驱动输出 / 耳机驱动输出

当 JP2 的 1-2 短路时，立体声输出右声道无驱动输出

当 JP2 的 2-3 短路时，立体声输出右声道耳机驱动输出（缺省状态）

9.3 指示灯

在 SEED-DEC6437 系统中共有 2 个发光二极管，分别为 D3、D4。各个二极管的连接如下所示：

D3: 可以用来显示程序运行的状态

D4: 为+5V 电源指示灯，正常情况下 D4 点亮，否则 D4 熄灭。

板上寄存器

A.1 控制寄存器

- 地址：**0x44000000** 只写（tvp5150 的控制寄存器）

D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	X	X	RESET_TVP	TVP_EN

RESET_TVP: tvp5150 的复位使能
复位值为 0

0 tvp5150 复位使能

1 tvp5150 复位不使能

TVP_EN: 复合视频的输入使能
复位值为 0

0 tvp5150 的数据线和时钟线与'DM6437 的 VPFE 相连

1 tvp5150 的数据线和时钟线与'DM6437 的 VPFE 断开

- 地址：**0x44000001** 只写（外设扩展总线控制寄存器）

D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	X	X	CTRL1	CTRL0

C_CNTL[1:0]: 扩展总线控制位 CNTL[1:0]输出
复位值为 00B

0 扩展总线的引脚 CNTLx 输出低电平

1 扩展总线的引脚 CNTLx 输出高电平

- 地址：**0x44000002** 只写（扩展总线存储空间选择寄存器）

D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	X	X	DSPCE1	DSPCE0

DSPCE [1:0]: 扩展总线存储空间选择寄存器
复位值为 00B

00 选择 CE0
01 选择 CE1
10 选择 CE2
11 选择 CE3

注：这四个空间都是占用 DSP 的/CE4 空间，当选择扩展总线存储空间时，首先须将 DSPCE [1:0]赋值，如选择 CE1 时，先将 DSPCE [1:0] 赋为 01b，然后选择对/CS4 空间的操作即为对于 CE1 空间的操作。每个 CE 空间对应 32K*8 位。

➤ 地址：0x44000003 只写（程序运行灯指示）

D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	X	X	X	LED

LED: 程序运行灯指示
复位值为 0B

0 灯灭
1 灯亮

➤ 地址：0x44000004 只写（音频和 McBsp1 的选择信号）

D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	X	X	X	S_McBsp

S_McBsp: 音频和外设扩展总线的 McBsp1 的选择信号
复位值为 0B

0 选择外设扩展总线的 McBsp1
1 将 DSP 的 McBsp1 配置为音频使用

➤ 地址：0x44000005 只写（CAN 和 RS232 的选择信号）

D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	X	X	X	S_CAN/232

S_McBsp: CAN 和 RS232 的选择信号
复位值为 0B

0 选择 RS232
1 选择 CAN

A.2 状态寄存器

地址: **0x44000006** 只读

D7	D6	D5	D4	D3	D2	D1	D0
X	X	STAT1	STAT0	INT3	INT2	INT1	INT0

C_INT0: 外部中断 INT0 的中断状态位

0 INT0 状态为 0

1 INT0 状态为 1

C_INT1: 外部中断 INT1 的中断状态位

0 INT1 状态为 0

1 INT1 状态为 1

C_INT2: 外部中断 INT2 的中断状态位

0 INT2 状态为 0

1 INT2 状态为 1

C_INT3: 外部中断 INT3 的中断状态位

0 INT3 状态为 0

1 INT3 状态为 1

STAT0: 外部状态管脚 0 的状态位

0 状态为 0

1 状态为 1

STAT1: 外部状态管脚 1 的状态位

0 状态为 0

1 状态为 1

A.3 其余配置

- 外部中断管脚 INT0 和 INT1 相与后占用 DSP 的 GPIO0
- 外部中断管脚 INT2 和 INT3 相与后占用 DSP 的 GPIO57
- ESAM 的 RESET 信号占用 DSP 的 GPIO58
- ESAM 的数据信号占用 DSP 的 GPIO66

CPLD 管脚分配

选用 XILINX 公司的 XC95144XL，其管脚分配具体如下：

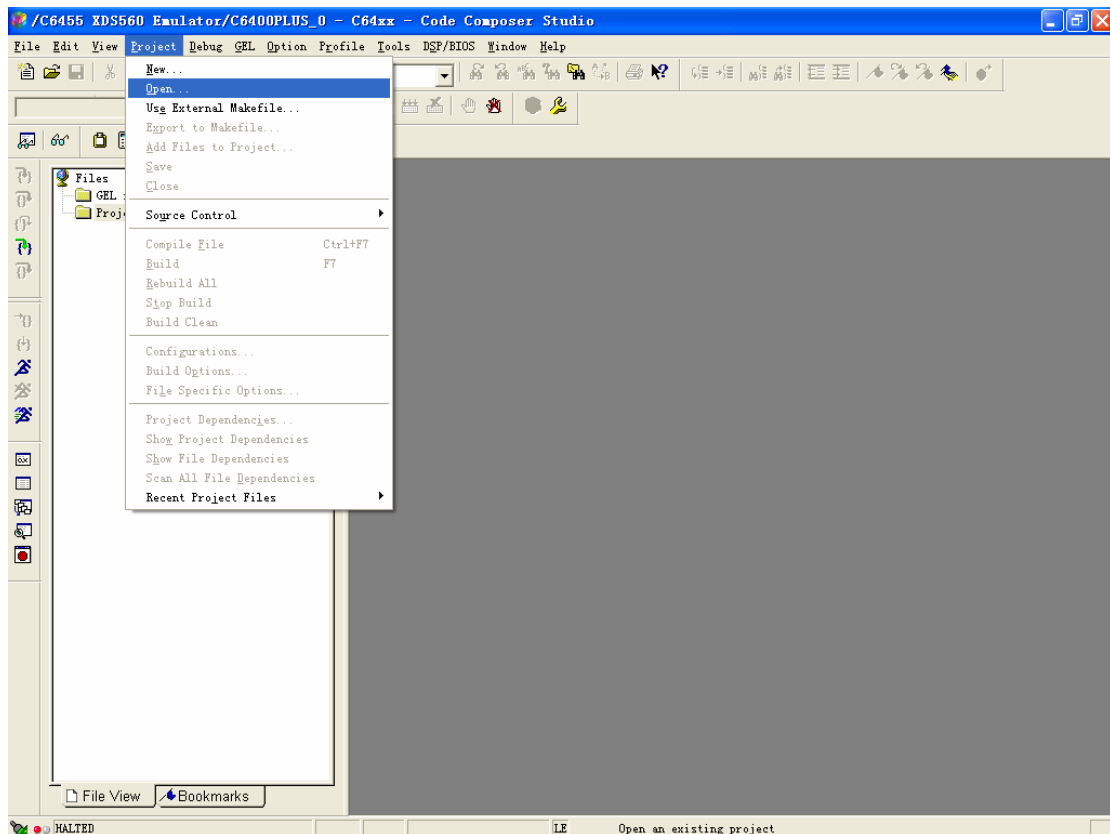
管脚	定义	方向	功能
1	/EM_WE	输入	EMIF 写信号
3	EM_A3	输入	地址线
4	AEM1/EM_BA0	输入	地址线
6	EM_D0	输入/输出	数据线
8	/EM_CS3	输入	EMIF 片选线
11	EM_D2	输入/输出	数据线
12	AEAW2/EM_A4	输入	地址线
13	EM_D5	输入/输出	数据线
14	AEMA0/EM_BA1	输入	地址线
15	/EM_CS4	输入	EMIF 片选线
16	AEM2/EM_A0	输入	地址线
17	/EM_CS5	输入	EMIF 片选线
18	EM_D3	输入/输出	数据线
20	EM_D6	输入/输出	数据线
22	EM_D1	输入/输出	数据线
23	EM_D4	输入/输出	数据线
25	EM_D7	输入/输出	数据线
27	TVP_EN	输出	TVP5150 使能
28	/RESET_TVP	输出	TVP5150 复位信号
29	EXT_27MHZ	输入	时钟
30	LED	输出	LED 信号
32	ESAM_IO	输入/输出	ESAM 信号
33	ESAM_RST	输出	ESAM 复位信号
35	S_CAN/232	输出	CAN/232 选择信号
37	INT0	输入	外部中断
40	INT1	输入	外部中断
41	INT2	输入	外部中断
42	INT3	输入	外部中断
49	/CE0	输出	扩展总线片选
50	/CE1	输出	扩展总线片选

52	/CE2	输出	扩展总线片选
53	/CE3	输出	扩展总线片选
65	/OE	输出	扩展总线输出使能
66	/DSPCS	输出	扩展总线数据使能
68	R/W	输出	扩展总线数据方向
70	CNTL0	输出	扩展总线控制输出
71	STAT0	输入	扩展总线状态输入
72	CNTL1	输出	扩展总线控制输出
74	STAT1	输入	扩展总线状态输入
76	S_MCBSP	输出	MCBSP 和音频选择
77	/RESET	输入	复位输入
78	/RESET_OUT	输入	DSP 复位
79	EM_A5	输入	地址线
81	/SYS_RESET	输入	系统复位输入
82	GPIO3	输入/输出	保留
85	GPIO2	输入/输出	保留
86	GPIO1	输入/输出	保留
87	GPIO0	输入/输出	INT0 和 INT1 相与后输出
89	GPIO66	输入/输出	DSP 与 ESAM 间信号
90	GPIO57	输入/输出	INT2 和 INT3 相与后输出
91	GPIO60	输入/输出	保留
92	GPIO65	输入/输出	保留
93	GPIO59	输入/输出	保留
94	GPIO58	输入	DSP 与 ESAM 间信号
95	(EM_R/W)C_WE	输入	读写信号
96	/EM_OE	输入	EMIF 输出使能
97	AEAW0/EM_A2	输入	地址线
99	AEAW1/EM_A1	输入	地址线

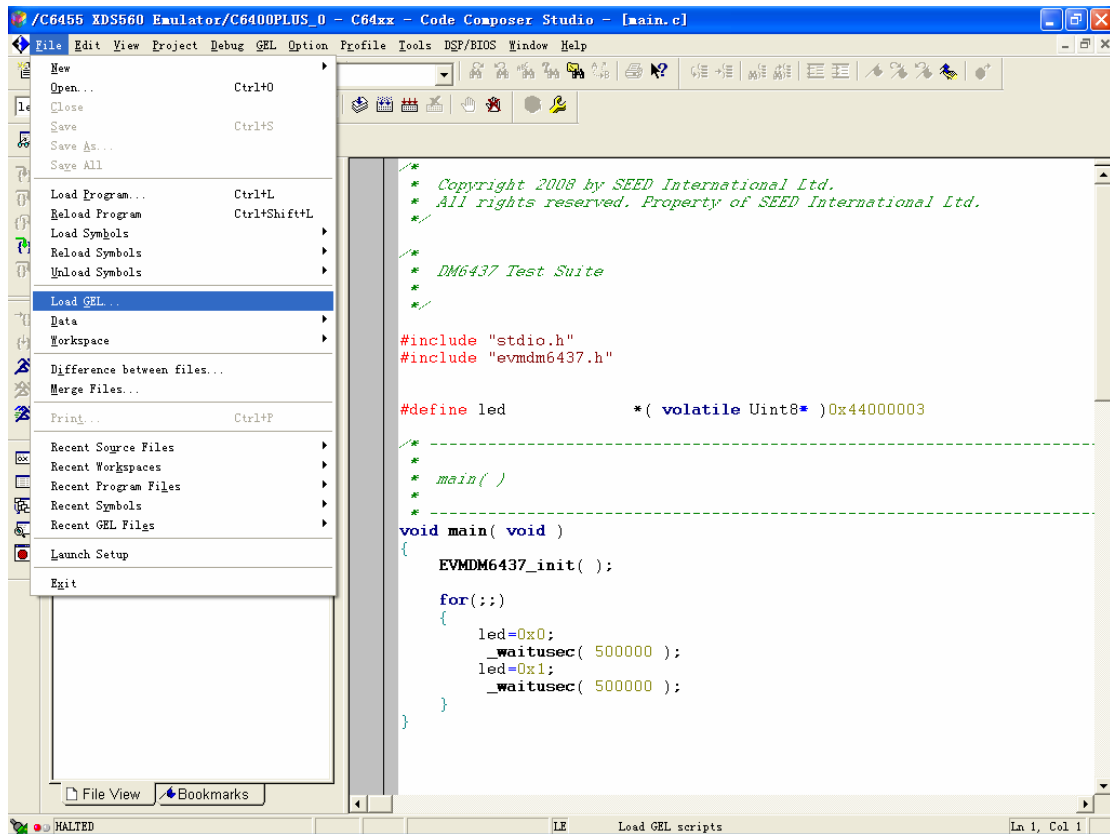
工程调试环境的建立

这里以 SEED-DEC6437 模板的 LED 测试程序为例，说明如何建立工程调试环境。

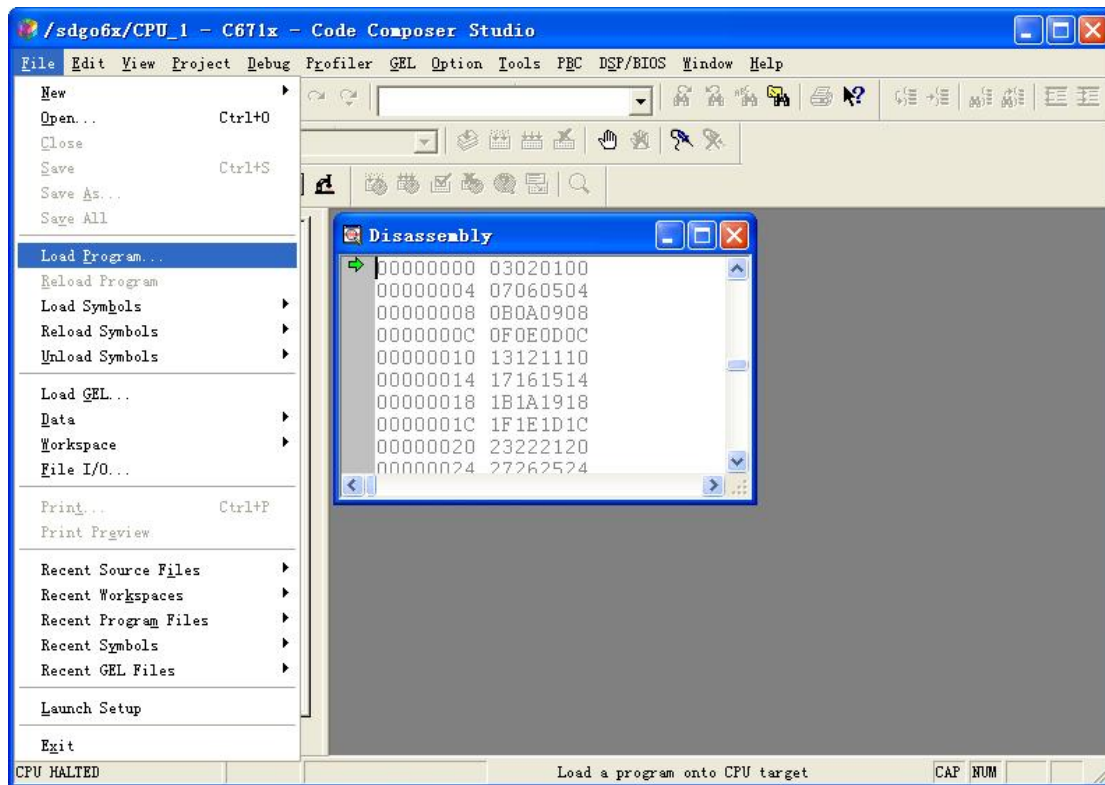
1. 打开 led.prj 工程



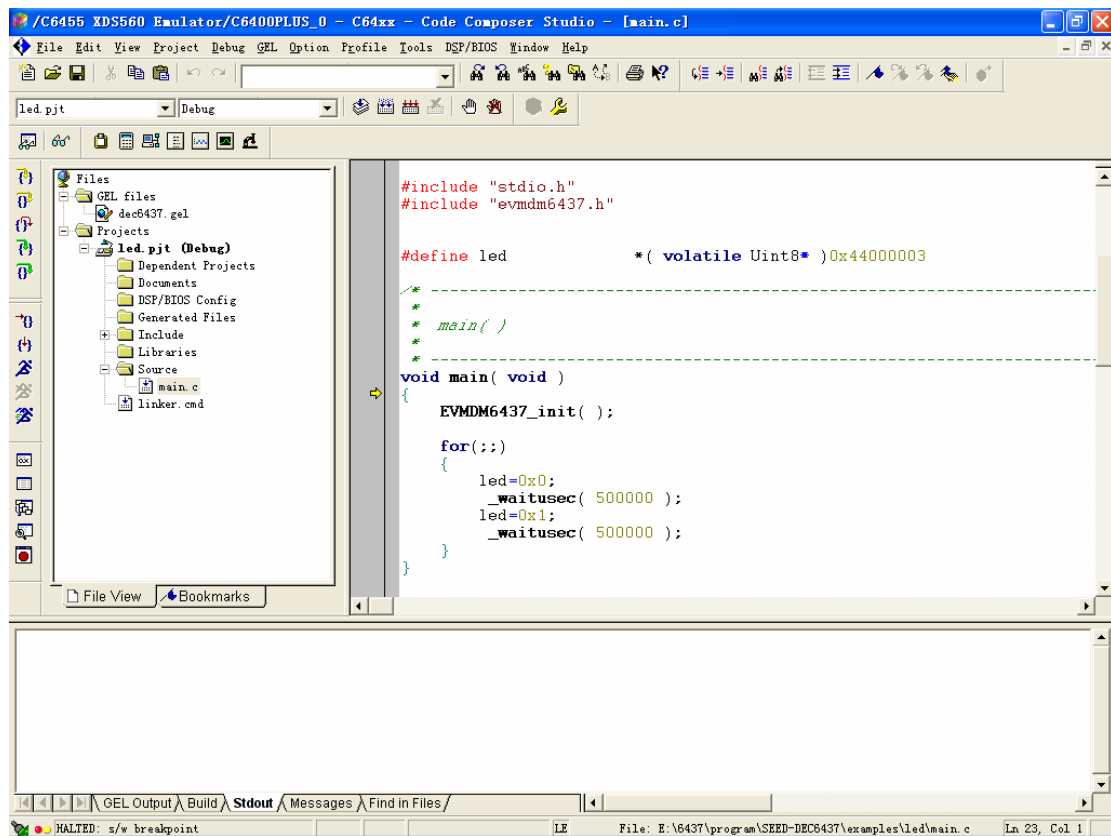
2. 装入 dec6437.gel 文件



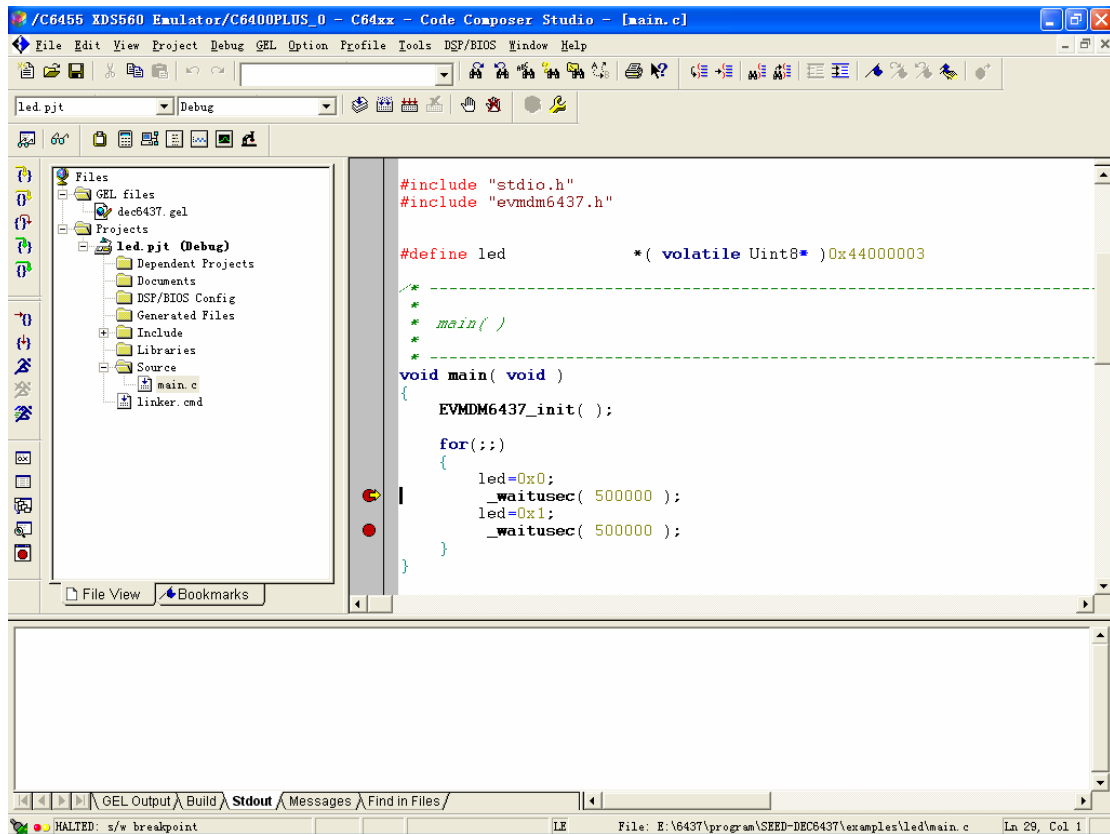
3. 装入可执行的 led.out



4. 用 Debug→Go Main 命令，执行程序到 C 程序的主函数 main()。



5. 然后即可设置观察窗与断点等调试信息。



6. 将上述这些设置保存到 led.wks 文件中，下次直接 Load Workspace 就可见到与这次相同的工程调试环境了。

