

TLK105/DP83848和 DM8127 百兆网口使用指南

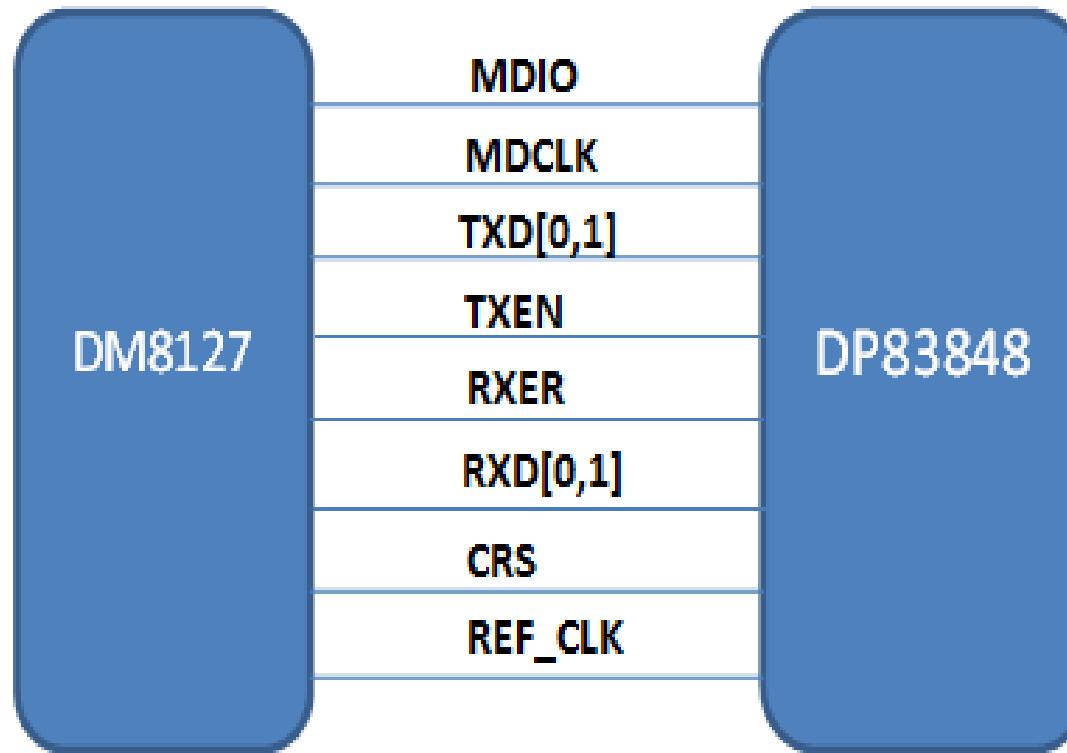
TI Signal Chain and DSP FAE team

描述

- TI的TLK105/DP83848K作为一款支持RMII/MII 10M/100M工业级高性价比的以太网PHY芯片，被越来越多的客户所使用。下面从硬件连接以及软件驱动调试方面，详细描述了TLK105/DP83848在TI DM8127平台上的应用。

RMII mode

DM8127 –TLK105/DP83848 硬件连接框图



设计注意事项

- 使用**RMII**时，**DM8127RMII_REFCLK**可以选择输出50MHz参考时钟给**DP83848K**,可以省掉晶振。如果采用**MII**接口，则需外部25Mhz晶振
- 上述信号线除了**MDIO**的两条线之外，其他信号线要作等长处理。
- **EMAC**到**PHY**之间的走线距离要小于2 inch。
- **RX_DV**上拉，确保**PHY**工作于**RMII**模式。
- **MDIO**需要使用1.5K 上拉。
- 检查**PHY**地址配置（使用2.2K上拉或者下拉），请使用0x1及以上的地址，地址0x0对应于**DP83848K**有特殊含义,使芯片进入**MII** 隔离模式的。
- **TX/RX**信号使用50 欧姆上拉。

驱动修改

- DM8127的PSP包对于PHY这块使用了通用的驱动，软件配置相对简单，建议在uboot下进行PHY的Bring up。
- 请逐一检查下面几项（u-boot与kernel同样适用）：
 - 确认所选择的PIN脚的复用关系。
 - 配置RMII_REFCLK_SRC寄存器，选择使用内部输出50MHz时钟，还是使用外部时钟50MHz，本例中该寄存器配置为0x4。
 - 配置GMII_SEL寄存器，本例中配置0x5，使能Port0的RMII模式。
 - 配置MAC_CONTROL寄存器为0x8020。
 - 检查PHY_ID的配置。

PHY 的寄存器

- 通过打印PHY的寄存器，以便确认其工作状态以及配置，以下是DP83848正常工作于RMII模式下的寄存器Dump，用于参考：
 - PHY_BMCR=3100
 - PHY_BMSR=786d
 - PHY_PHYIDR1=2000
 - PHY_PHYIDR2=5c90
 - PHY_ANAR=1e1
 - PHY_ANLPAR=c1e1
 - PHY_ANER=f
 - PHY_ANNPTR=2801
 - PHY_PHYSTS=15
 - PHY_LBR=21
 - PHY_PHYCTRL=8023