

SIMPLE SWITCHER® PCB 布局指南

美国国家半导体公司
应用注释1229
Sanjaya Maniktala
2002年7月



介绍

撰写关于PCB布局应用注释所遇到一个难题是，阅读文章的工程师并不是打算使用它的人。即使设计者在电磁场、EMC、EMI、电路板寄生效应、传输线效应、接地等作了很大努力。他很可能致力于主要的设计任务，而将布局的任务留给专门的CAD/布局人员。不幸地是，尤其是对于开关电源稳压器，仅考虑基本的布局，连接性和机械问题是远远不够的。设计师和CAD人员都需注意的是，开关电源转换器的设计与其布局的好坏紧密相关。这可以解释为什么接到大量的客户电话都涉及到开关电源的应用，它们最终都归结到糟糕的实际布局。其实这些问题在最初的原型电路板设计时就应该而且也可以避免，可以在各方面节省时间和金钱。

PCB设计的整个论题是个相当宽泛的课题，包括一些测试的、机械的、和生产的问题，同样也包括某种程度上的兼容和控制问题。如果可以理解得更清楚和更深入一些，还存在特定数量的物理和电磁问题。但是本应用注释的目的是面向那些最可能使用它的读者。尽管有经验的设计者/CAD人员

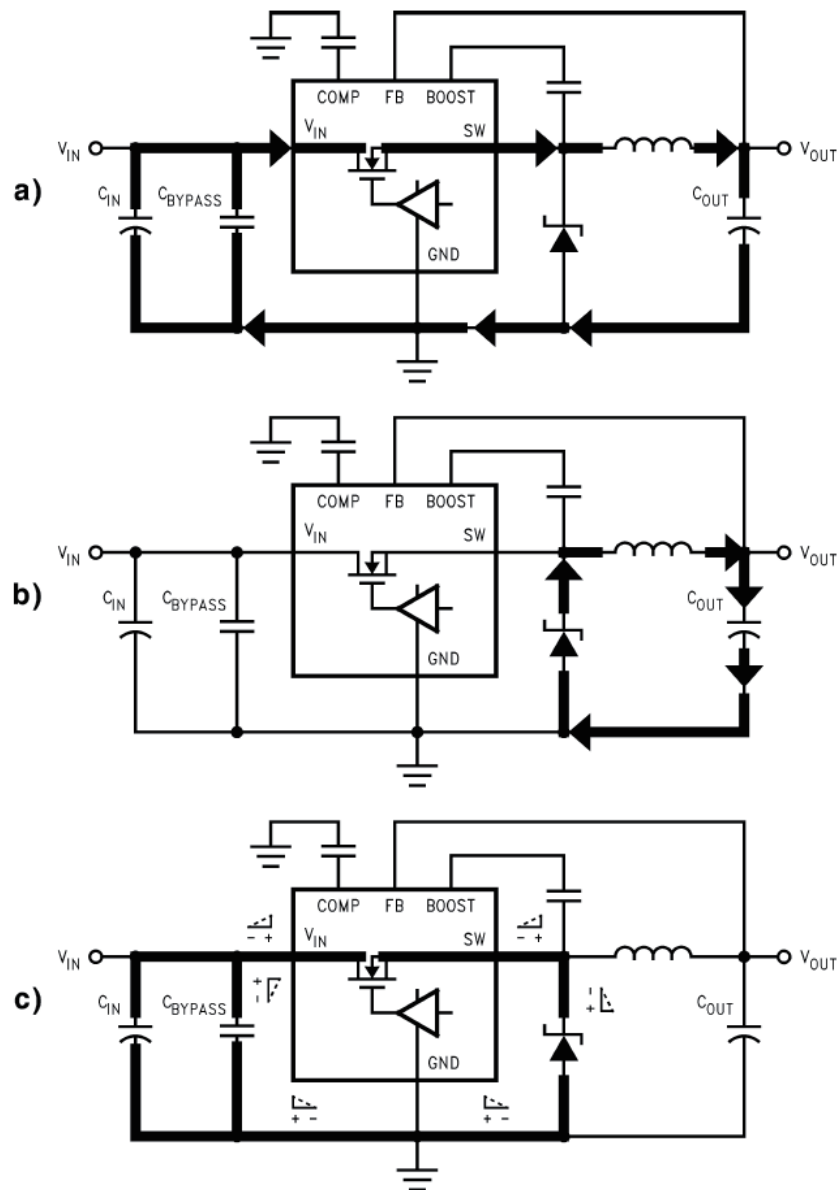
已经具备了足够的设计信息，但是本应用注释包含了一系列快速设定的清楚明了的基本规则，小心谨慎地遵循这些规格可以避免大量问题的出现。我们还特别提供应用LM267x，LM259x和LM257x系列时推荐的初始布局（图2）。关注的焦点是美国国家半导体的降压型Simple Switcher芯片，但是相同的原理适合于任何拓扑结构和开关电源应用。

本应用注释讨论的大多数问题只是围绕着确保基本的电气功能达到所需的性能指标。幸运地是，正如烦恼的开关电源设计师将会很高兴地得知，通常所有涉及的电气性能都是相关联的，而且影响趋势具有相同的“方向”。举例而言，一个“理想”的布局不仅有助于正确地实现芯片功能，而且也能减少电磁辐射，反之亦然。例如，采用减少开关电流的环路面积将有助于提高EMI的指标和性能。然而设计师要注意，这种通常的“趋势”会存在一些例外。这里将会着重描述“覆铜”工艺，这将帮助减少寄生电感和减少噪声引起的IC问题，但这也会增加EMI。

（降压）SIMPLE SWITCHER PCB布局规则的快速设定

- 放置钳位二极管和输入电容，如图2所示。
- 对于高速器件（例如LM267x）不能遗漏放置输入退耦/旁路陶瓷电容（0.1 μ F-0.47 μ F），如图2所示。
- 如果有条件，将通孔连接到接地层（可选，在图2中标记‘X’）
- 如果通孔落在表面贴装(SMT)的电源器件的焊盘下方，可以称它们为“散热孔”。使用正确的尺寸，可以避免出现生产问题。或者将通孔紧靠焊盘放置，但是不要直接置于其下方。
- 如讨论的那样，正确地布置反馈线，远离噪声源，如电感和二极管。
- 禁止在开关结点上错误地增加铜箔宽度。
- 如果钳位二极管需要一个非常大的散热区（已经正确地预计散热区要求），如讨论所示，需要使用隔离。
- 对于更高功率的SMT(表面贴装)应用，为了用更少的铜箔面积而获得更好的散热管理，要求使用2盎司的电路板。

介绍 (续)



20042601

图1.

交流和直流电流的路径

请参考图1a，转换器中的粗黑线表示开关管导通期间主要的（电源）电流的路径。当开关管导通时，电流波形的边沿在很大程度上由CBYPASS决定，剩余部分主要来自CIN。一些较缓慢的电流分量来自于输入直流电源（没有显示），而且也刷新了这些输入电容。图1b表示当开关管处于关闭时的情况。因此看到迹线的特定部分在开关管关闭的瞬间，迹线中突然有电流流过，同样地在某些部分电流需要被突然截止。图1c中表示了两者的“差别”。例如，在图中粗体显示的部分就是电流发生瞬变的迹线。

在导通转换期间的电流图刚好相反，但是“差别”迹

线的部分是相同的。因此，在两种开关管转换期间，电流的“突变”发生在这些不同的部分中。这些迹线受到了电流基波的谐波丰富的上升或下降边影响。这些不同的迹线被认为是“关键”的，并且要在PCB布局时给予高度重视。通常可以这么描述，在这些迹线部分有“交流电流”流过，而“直流电流”在其余部分流过。原因是基本的开关PWM频率仅构成了“交流”迹线中电流波形的总谐波（富里埃）量的一部分。与此相比，在“直流电流”流过的地方，电流不会以逐级的方式变化，所以谐波分量变得更低。同样不奇怪的是直流部分与初级电感进行串联，因为众所周知，电感具有阻止其电流发生瞬变的特性（这与电容会“阻止”电压发生突变）。

交流和直流电流的路径（续）

总结：在开关稳压器布局中，我们认为**交流通路的布局是极为关键的**，而直流通路并非如此。这是需要牢记的唯一的定律。所有其它的法则都要遵循它。对于其它任何拓扑结构同样适用。我们采用与降压结构相同的电流分析其它拓扑结构，从而能发现“**差别迹线**”：通过定义我们得知这些迹线对于布局而言尤为“关键”。

如果发生电流突变时会遇到什么问题？以一个电阻举例，这会造成无法预期或无法鉴定的问题。通过 $V=IR$ 求得电压，所以在给定的电流变化情况下，电压将会按比例变化。例如，厚度为1.4密耳的0.5厘米宽铜线所具有的电阻值为每厘米长度1毫欧姆（在20摄氏度）。所以若在长度1英寸迹线上电流变化1A，其产生的压降仅为2.5毫伏，这显得微不足道，不会给大多数IC的控制部分造成故障。但实际上，感应的电压要大得多。重要的是认识到PCB上的铜箔迹线不仅仅是电阻性的，而且也是电感性的。目前经常用到的经验法则是说“**每英寸迹线的电感约为20纳亨**”。类似与迹线的阻抗，电感值起初看上去都不会太高。但实际上这种相当小的电感在SIMPLE SWITCHER 应用中会导致大多数客户的投诉电话！

计算电感电压的公式为 $V=L*di/dt$ ，所以电压并不取决于电流，而是取决于电流的变化率。当电感在很短的时间内产生1A的变化时，将会有很大的不同。即使是小电感和小电流，如果 di/dt 非常大，感应的电压就会非常大。图1a至图1b（和反面）中所有交流迹线部分（在图1c中显示粗体）在转换期间会产生很高的 di/dt 。在每个受影响的迹线上都会出现感应的电压尖峰，持续发生在交越时间。

为了更好地理解这里的数字：对于典型的降压变换器，交流部分的电流变化量在开关管关断过程中是负载电流的1.2倍，在开关管导通过程中是负载电流的0.8倍（对于“优化”设计的降压电感，参照相关数据手册或选型软件中的电感设计指南）。高速FET开关管，例如LM267x的转换时间大约为30 ns，对于低速双极型开关管，例如LM259x系列的转换时间约为75 ns。这也意味着当布线和负载基本相同时，高速系列开关管的电压尖峰脉冲峰值比低速系列高两倍以上。因此，**当使用高速开关管时，布线变得尤为关键。**

所以，在转换时间为30 ns时，若迹线长为1英寸，瞬态电流为1A时感应电压为0.7V，相比于2.5mV（单独基于电阻来估算）。若迹线长为2英寸，瞬态电流为3A时感应电压就达到4V！在图1c中，沿着迹线的小三角形表明了当转换器从图1a状态转换至图1b时（开关闭），产生瞬态感应电压的方向。可见，假定IC的接地引脚是参考点，开关结点（标记为“SW”）试图变为负极性（合计所有串联迹线部分）。类似地，输入引脚（标记为“VIN”，在所有相关部分中通过串联贡献变为高电平）。图1c表现为在关断期间的转换图。在导通期间所示的所有感应电压极性仅仅反相。在这种情况下，VIN引脚被拉为低电平，开关结点的引脚在瞬间被拉到高电平。

聪明的设计师会了解到，任何电感，即使是寄生电感，也需要被“重置”，这意味着在导通期间的伏秒数值等同于关断期间，极性相反。设计师也了解到在这些寄生迹线电感重置之前，它们不会“允许”这些交越发生。举例来说，在开关关断之前承载电流的迹线将会“坚持”携带电流，直到电压尖峰脉冲迫使其停止下来。类似地，需要开始承载电流的迹线将会“拒绝”承载电流，直到加在其上的电压尖峰脉冲迫使它们这么做。因为开关损耗正比于交越时间，即使这些电压尖峰不会造成反常特性，它们也会使效率劣化。例如，在基于变压器的反激稳压器中，当初级线圈数目远大于次级线圈时，设计师可能会惊讶地发现仅次端迹线电感就会造成多少效率损失。这是因为任何次端失耦（迹线或变压器泄漏）电感反射到原端，都会表现为一个与开关串联的等效寄生电感。这会给有效漏电压增加一个额外的条件，从开关处可以得到其等于次级电感乘以线圈比的平方（线圈比为 Np/Ns ）。因此在反激钳位（齐纳二极管或者RCD）中的功耗会极度增加，从而使效率下降。这里一个教训是尽管（源自迹线或者变压器的）“漏感”被认为是“未耦合”的，实际上从变压器的一端到另一端会明显地感受到失耦的存在。所以实际上它并不是完全的“未耦合”！**实际上这也是低输出电压的反激转换器的效率比高输出电压反激转换器较差的主要原因。**因此，除了基本功能之外，减少关键迹线电感还对以下几种因素尤显重要：即效率和EMI。

很难在示波器屏幕上捕捉到仅在转换期间出现的瞬时电压尖峰。但是如果没有其它“明显的原因”使得IC看起来误操作，则可以假定它们是存在的。这些尖峰脉冲，如果其带有足够高的幅度，能够传播到IC的控制部分，会造成控制器的“混乱”。我们可以观察到性能的反常表现，在少数情况下甚至会造成器件的故障。因为这些尖峰引起的问题都无法轻易地纠正，或者补救一下，一旦起初的布局不好，那么重要的就是在开始要采用一个“正确”的布局图。

设计师可能会问，为什么这些电流突变与寄生迹线电感相关，而不是与降压转换器的主电感相关？那是因为所有的电感都会尽力阻止电流的任何突变。但是由于主电感与寄生迹线电感相比具有更高的电感（和能量存储），因而能够占据“主导”地位。从 $V*dt=L*di$ ，可以看到，如果L足够大，我们需要一个更高的伏秒值（ $V*dt$ ）来实现电流中的给定变化。因此主电感作用之前，迹线电感只是首先“让步”，但是它肯定不会经过“斗争”而下降……电压尖峰才是始作俑者！

注意到信号迹线中的电流并没有在电路图中显示出来。例如，连接补偿结点（标记为“COMP”）或者自举（标记为“升压”）携带相当小的电流，因此不可能造成混乱。所以它们不是很重要，布图时也可不“太严谨”。**反馈迹线是个例外**，我们将在稍后进行讨论。**IC的接地引脚是另一个潜在的噪声拾取点。**没有经验的设计师通常对该引脚的要求估计太低，特别是对于降压型转换器。他们假定，因为在降压转换器中的主功率不会流经接地引脚，“流经接地引脚的电流非

交流和直流电流的路径（续）

常之低”，因此连接到该引脚的迹线长度不是很关键。实际上，尽管流经该引脚的平均电流非常低，峰值电流或者其 di/dt 仍然很高。考察如图1中所示的开关驱动器电路。显然需要电流来驱动开关管。任何作为开关管的FET在工作中需要一个大的峰峰值瞬态电流尖峰来为栅电容充电和放电。使FET开关速度更快，这点非常重要，而且这会减少开关管中的开关/交越损耗并提高转换器的整体效率。（事实上，在实际的IC中，电流的“尖峰”来自于自举电容，然后IC的内置电路会迅速刷新自举电容—通过接地引脚的正是刷新电流）。进而，因为在任何高速数字IC中，内置电路的器件、时钟、门电路和比较器等会突然开启和关断，导致接地引脚中产生小但是陡峭的电流变化。这会造成“接地回流”，反过来会造成控制器的失调。因此到接地引脚的迹线也应尽可能短。这也意味着输入电容，特别是旁路电容“CBYPASS”应该与IC放置得非常近，特别是对于降压芯片而言。

Close

尽可能地靠近放置器件（acap）

我们以前听过这句话，“需要将器件X尽可能地靠近放置”。不久我们被告知“也需要将器件Y尽可能地靠近放置”。于是“Z也是如此”等等。因为任何事物都不可能在同一时间占用同一个位置，所以哪一种情况在物理意义上是不可能实现的？应该首先考虑哪一种情况呢？这是开关电路布局总是面临的煞费苦心的选择。

图1c显示出产生问题的迹线长度。为了使它们很短，显然要保持两个器件的位置很靠近。这些是输入旁路电容，还有钳位二极管。首先考虑输入电容部分。

在电路中，显示出两个输入电容。它们被分别标记为“CIN”和“CBYPASS”。使用所有输入电容的目的是为了减少输入引脚处的电压变化。变化主要是由于脉冲输入电流波形造成的，这也是降压拓扑结构要求的。注意到对于这种特殊的拓扑结构，输出电容的电流是平滑的（因为电感与之串联）。在升压拓扑中情况正好相反：输入电容的电流是平滑的，流入到输出电容的电流是脉冲性质。这使得其对输入退耦的要求比降压拓扑（或降压-升压型）更宽松些。在降压-升压拓扑或者“反激”拓扑中，输入和输出电容电流都是脉冲型的。不仅IC的控制部分/驱动器，而且功率级的输入电流突变波形也需要输入退耦。熟悉Cuk拓扑的设计师都清楚在这种情况下输入和输出电流都是平滑的。因此Cuk转换器被称之为“理想的直流-直流”转换器，并且在很大程度上可

以忽略其预期的寄生电感效应—因为在我们所描述的定义中不存在交流迹线部分。

现在，如果降压转换器的输入功率是通过一个远距离电压源的长引线来提供的，引线的电感将会严重抑制它们提供快速脉冲电流波形的性能。所以在转换器附近需要一个板载电源，并且通过输入电容来提供。电容提供脉冲电流，然后从远距离的电源以较慢的速率（直流电流）进行自身的刷新。

然而，因为输入电容的尺寸相当大，所以在空间上无法尽可能靠近放置。特别是对于极高速开关管，例如LM267x系列（注意这里定义的“极高速”是指具有非常小的交越/转换时间，而不一定是具有高速开关频率）。此外，主输入电容的等效串联电阻（ESR）和等效串联电感（ESL）可能都非常高，这会造成VIN引脚上的高频输入电压纹波。

对于如图1所示的降压转换器电路，输入引脚不仅接到FET开关的漏端，而且也为IC的控制部分提供一个低压内置稳压源。但实际上没有一个串联稳压器能够“阻止”加在输入电压中极高速的瞬态变化。一些噪声会馈入到控制部分，影响程度取决于IC内部对噪声的敏感度（与设计，内置布局，工艺/逻辑系列等有关）。因此，从高频信号的角度，最好设法保持VIN引脚电压的洁净性。注意，这里不建议不区别地通过增加输入电容来对该说法做出回应，因为我们不是讨论发生在开关速率（例如从100 kHz至260 kHz之间）下的自然输入电压纹波。在这里关心的是发生在转换瞬间的噪声，该噪声频谱峰值在10 MHz至30 MHz附近，这是由开关的转换/交越时间确定的。交越时间与基本的PWM开关频率无关，但是会取决于使用的开关管的类型：双极型或者是FET型。

因此具有短引脚或者无引脚的高频“旁路”或者“退耦”电容，如图1所示为“CBYPASS”，应尽量靠近IC的VIN和GND引脚放置。通常采用0.1 μ F至0.47 μ F（单片）多层陶瓷电容（一般为X7R类型，1206尺寸，或者该种流行尺寸的最新的“反置”电极版本，即“0612”，也应注意到较小尺寸的陶瓷电容通常有较高的ESR/ESL值，在使用前应作检查）。因为这种器件可以提供主脉冲电流波形，标记为“CIN”的大电容可以稍微远离一些（大约1英寸）而不会造成任何的有害的影响。若采用更轻的负载，如果可能，在紧靠IC处放置输入大电容，有时候可以省略掉高频旁路电容。但对于高速开关类似于LM267x，输入端陶瓷旁路电容对任何应用都是必需的。

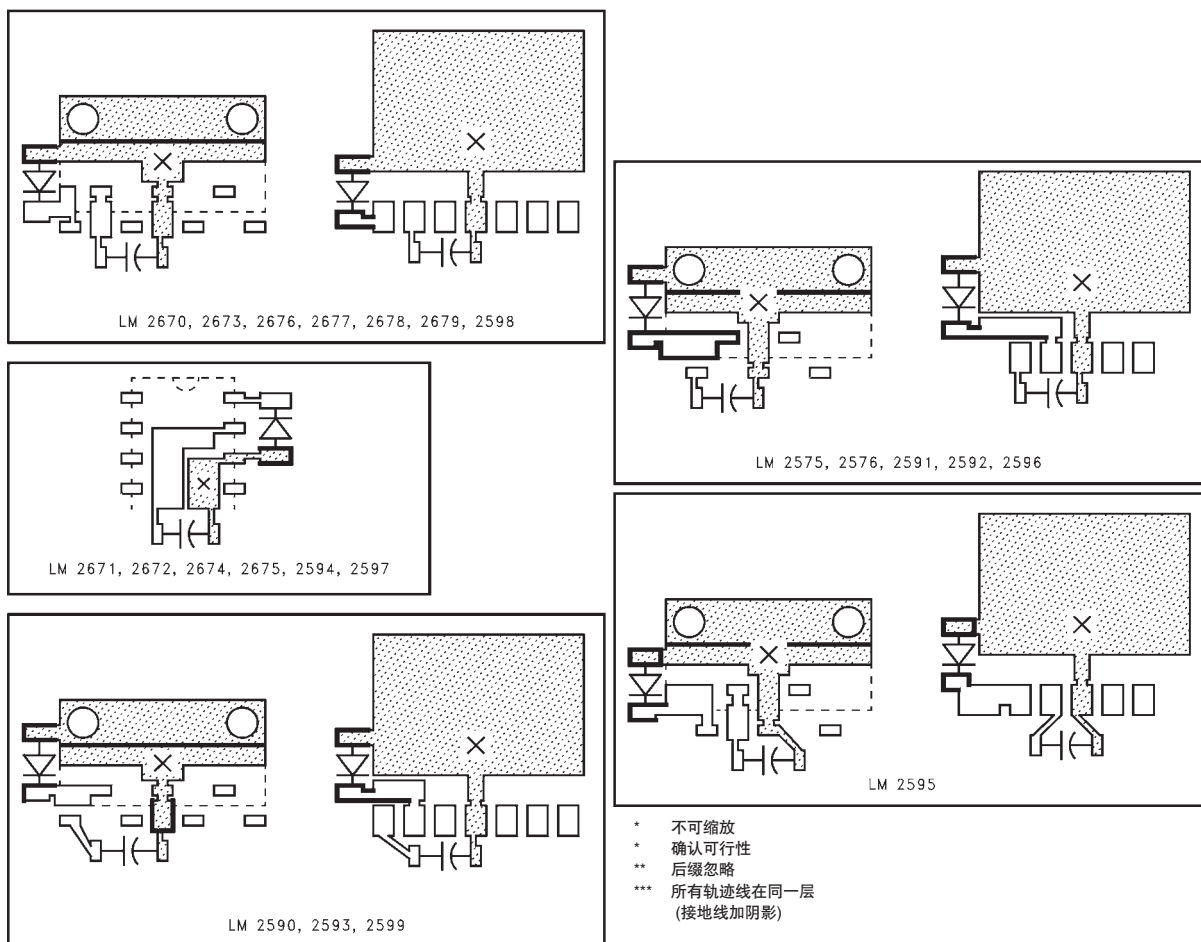
尽可能地靠近放置器件 (acap) (续)

钳位二极管的位置也是很关键的。也需要将它们尽可能地靠近放置。现在，每个拓扑结构都有一个被称之为“开关结点”的端点。这是开关器件的“热”端或“摆动”端。对于集成开关管，该结点也容易造成噪声馈入到控制部分。注意到，问题不是简单地由于该结点的电压摆动造成的，在设计时应切记。问题是由于基本电压方波平顶上的附加噪声尖峰造成的，如前所述，其来源于迹线电感。因此，基本要点是将钳位二极管紧靠IC放置，并采用短且宽的迹线将它直接连至IC的SW引脚和GND引脚。在一些错误的布局中，从开始没有正确放置钳位二极管，而后采用一个小型的串联RC缓冲器来“补救”。一般是用一个10Ω到100Ω的电阻（最好是低感抗型）和一个容值在470 pF至2.2 nF的陶瓷电容组成。若电容值超出这个范围会导致很大的不可接受的功耗（ $= 1/2 \cdot C \cdot V^2 \cdot f$ ），主要是电阻损耗，并且毫无效用。然而，注意到应将RC缓冲器紧靠IC放置，并采用短引线或迹线来跨接开关引脚和GND引脚。有时候设计师认为这是“跨在二极管上”的，因为没有办法在电路图中区分它们的差别。然而，

特别是当二极管为一个肖特基管时，这种缓冲器的主要目的是吸收迹线电感中的电压尖峰脉冲。因此其置位必须能做到对关键部位或输出端的交流迹线部分起到旁路作用，如图1c所示（开关器件的右侧）—这意味着它必须靠近IC放置。当然，如之前所及，最好是一开始就采用良好的布局，远胜于增加这样的额外器件。

仅当输入旁路电容和钳位二极管确定在合适的位置并尽可能靠近之后，才开始布置剩余器件。接到其中任何一个器件的迹线都应短而宽，而且在连到IC的通路中不应出现任何通孔。对于SMT电路板，这意味着输入电容和钳位二极管都应和IC处在相同层上。在图2中提供了推荐的几种开关电路的PCB初始布局。它们都注重于正确放置这两个关键器件。在大多数应用中都强烈推荐采用这些布局。“X”标记为使用通孔连接到地层（如果存在）的推荐位置。对剩余器件的布局要求可以相对宽松（尽管如此实现，仍会存在一些轻微影响，例如输出电压轨和其纹波的精确性。但是与输入退耦电容和钳位二极管错误放置后引发的后果相比则大可忽略）。下面我们来详细讨论布线。

尽可能地靠近放置器件 (acap) (续)



20042602

图2. 推荐的初始布局图

布线

如上所述, 采用“通孔”来对任何关键迹线进行布局是不明智的。从纯粹CAD的角度, 为了实现“跨层”而认为通孔是有用的, 但由于它们看上去是连接问题的简单解决办法, 通常会不加选择地使用。但是它们也会增加阻抗, 而这点也是我们想尽力避免的问题。通孔的电感可由下式给出:

$$L = \frac{h}{5} \left(1 + \ln \frac{4h}{d} \right) nH$$

其中“h”是通孔的高度, 单位是毫米 (等于电路板的厚度, 通常是1.6毫米), “d”是直径, 单位是毫米。因此在标准1.6毫米厚度的电路板上直径为0.4毫米的单孔具有1.2纳亨的电感值。其看上去不是很大, 但已几乎是相同长度和直径的导线电感的两倍多。对于高速LM267x系列而言, 由经验可知, 若用通孔来连接旁路电容和IC, 的确会产生偶然的场问题。所以若出于某些原因必须使用通孔时, 采用几个

通孔并联相比于单个通孔会有更好的效果。并且更大直径的通孔将会更有帮助 (除非它们是用作“散热通孔” - 稍后会作讨论)。

也可认为“需要将迹线设为‘宽’且‘短’”。短迹线的必要性很容易理解, 通常大多数工程师都会有意识地这么做。实际上“每英寸20纳亨”的经验法则也意味着迹线电感总是与长度成正比。然而, 通常会犯的“直观”错误是由于假定了电感与迹线的宽度成反比。所以一些工程师在重要的迹线中会错误地过量“覆铜” (尽管如此做法还有其它的原因, 我们会在以后讨论)。初步估算长度为“l”和直径为“d”的导线的电感为:

$$L = 2l \cdot \left(\ln \frac{4l}{d} - 0.75 \right) nH$$

其中l和d的单位是厘米。注意计算PCB迹线的公式与计算导线的相差不大。

布线（续）

$$L = 2l \cdot \left(\ln \frac{2l}{w} - 0.5 + 0.2235 \frac{w}{l} \right) \text{ nH}$$

其中“w”是迹线的宽度。对于PCB迹线，L与铜箔的厚度几乎无关（1盎司或者2盎司电路板）。以上所有的公式都在图3中描绘出来。可以看到对于给定的长度，宽度“x”的PCB迹线比直径为“x”的导线具有更高的电感值。实际上PCB迹线的宽度为具有相同电感的导线直径的1.78倍。

AWG20导线的直径为32密耳（或者0.081厘米）。所以长度为1英寸（1000密耳或者2.54厘米）时，L等于21纳亨（这是通常的经验法则）。可以发现L几乎与长度成正比。但如果我们将直径加倍到0.16厘米，L等于17纳亨，该值与21纳亨相差不是很大。从而表明这是一个非线性的关系。参考图3，其中描绘出上述的函数关系（用虚线表示PCB迹线），可以发现为了使电感值减半，通常将导线 / 迹线的直径 / 宽度增加10倍。因此电感L与直径d本质上是对数关系。原因是导线的并行部分或线带之间的互感影响。

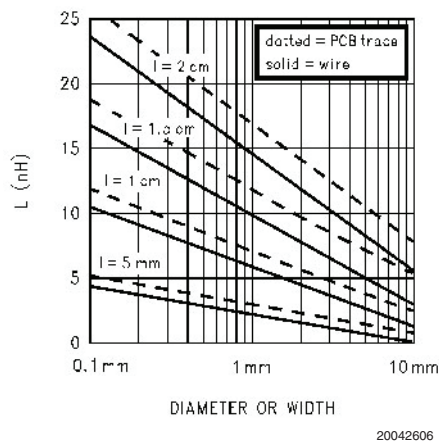


图3. 单位长度的导线电感值与直径的关系

为减少寄生电感效应而“加强”迹线应该是最后采用的方法。第一步减少迹线的长度。增加特定迹线的宽度实际上与初衷是相违背的。特别地，从EMI的角度，开关结点到二极管的迹线是“热”的。这不仅是因为它承载交流（高频）电流，而且因其本身的电压是开关波形。任何具有变化电压的导线，无论电流怎么变化，如果其尺寸足够大，都可被看成是天线。该天线的辐射会对邻近区域造成不良的共模干扰。因此，要求减少而不是增加开关结点四周的铜箔面积。较大的开关电压平面尺寸也会造成容性噪声耦合到邻近迹线中。在一块典型的SMT电路板上，如果背面恰好是“接地

层”，来自开关结点的噪声可以通过PCB的FR4电介质耦合到接地层上。没有“完美”的接地层，因此引入的高频噪声也会造成接地层不仅发射噪声而且会将噪声通过“接地回路”传导到IC。有些人建议在PCB的背面创建与开关结点岛相同尺寸/形状的铜箔岛，将它们通过几个通孔来连接。这是用来防止对其它迹线产生“容性串扰”，并且可增强散热效果。但这也会明显导致接地层的断开和分割。这违背接地层的真实用途，由于分割的接地层中怪异的电流走向，可能产生奇怪的效应。通常情况下，只要有可能，应保持地层连续或不断开，因此对于开关结点，最好的选择是将其四周的铜箔尺寸控制在实际要求的最小范围内。

这里还需回顾一下基本的物理常识：电荷产生电场，电流产生磁场。但如果电场随时间发生变化，也会产生相应的磁场。然而磁场是与电流相关的。因此在PCB铜箔层背面上的交流电压（变化的电场）会通过FR4电介质产生一个“位移电流”（容性耦合电流）。类似地，变化的磁场也会产生电场。以变压器为例，当我们在线圈中施以交流电流（变化的磁场），会得到法拉第感应电压（电场）。无论何时只要切换电压或者电流，都会产生电磁场，这会导致EMI。不注意时，天线结构也会“助长”EMI的发射。因此，在PCB布局上，应使携带“交流（开关）电流”的所有电流环路包围的区域尽量小。类似地，也要使带有“交流（开关）电压”的铜箔层的区域尽量小。两种区域都类似于天线。此外，携带开关电流/电压的迹线也须远离“更安静”的迹线，从而避免串扰耦合。进而，因众所周知的原因，“尖锐的边沿”会使场强增大，在迹线中采用两个45度弯折优于一个90度弯折。

覆铜：何时停止

有时，为了某种目的在迹线中加入充足的铜箔，有时什么都没有，有时以无意识的方式与设计相背。这里没有简单和快速的规则。需要有明确的要求。但首先考虑为什么要用充足的铜箔的“理由”以及实际上需要添加的程度。最常见的要求实际上远低于由“最深处的直觉”做出的预计：我们将分别讨论如下：

A) 电流处理能力

如果将迹线的宽度乘以厚度，得到导线的“截面积”。该值确定了导线的（每单位长度）电阻并导致其发热。这会产生可估计的温升。因此要注意，不是被有些人所“认定”的“电流处理能力”问题，而是与可允许的温升有关。

覆铜：何时停止（续）

军用标准规定最大温升为20°C，但是达到30°C到40°C也是常见的。图4是可用于正确预计的图表。

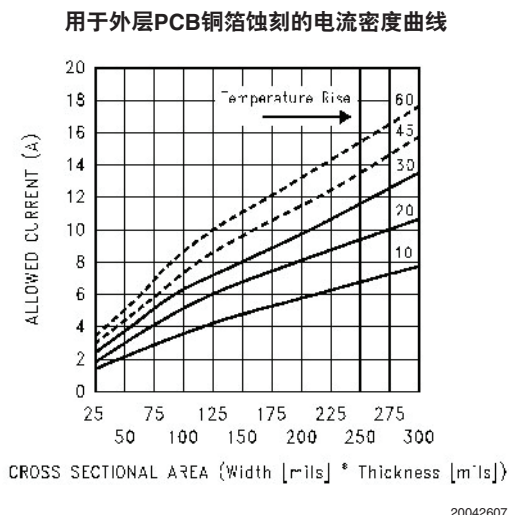


图4. MIL-STD-275E曲线展示电流密度与温升的关系

例如，商用PCB通常用“1盎司”或者“2盎司”来表示。这是指淀积在每平方英尺覆铜层压板上的铜箔重量，以盎司为单位。1盎司实际上等价于1.4密耳的铜箔厚度（或者35 μm）。同样地2盎司为该值的两倍。在本应用注释中我们仅考虑外层（不是指内层），因此最多为双面（2层）的电路板。

采用铜迹线的厚度，可以找到所需的迹线宽度。例如，对于1盎司的铜箔电路板（铜箔厚度1.4密耳），并且允许20°C的温升，当电流为4A时需要 $75/1.4=54$ 密耳（1.4毫米）宽的迹线。当采用2盎司的电路板时，需要该值的一半，即0.7毫米宽的迹线。

然而，我们也注意到1盎司的双面电路板会经过一个非电解覆铜工序（在加阻焊掩膜之前），从而产生通孔（PTH：电镀通孔），而当被认为更靠近1.4盎司的铜电路板时，该工序就可有效地结束了。因此在开始布局之前就与PCB生产商确认下来是一个很好的想法。还需注意的是，即使单面电路板通过一个热气焊剂平整工序（在阻焊掩膜之后），其中薄锡合金层是淀积在“无掩蔽”（无阻焊掩膜）铜箔区域上的。这样的确会增加这些迹线的有效厚度，但不会像镀铜那样有效，因为锡合金的电阻比铜高10倍。

当估算电阻散热时，了解迹线中的平均电流非常重要。对于Buck型转换器，输入部分的交流迹线中（图1c中IC的左侧）的平均电流为 $I_o \cdot D$ ，其中 I_o 是负载电流，D是占空比。对于输出部分的交流迹线（右侧），平均电流为 $I_o \cdot (1 - D)$ 。所以如果负载电流为3A，占空比（ $\approx V_o/V_{in}$ ）为0.4，于是输

入端的平均电流仅为1.2A。在输出端上平均电流为1.8A。任何情况下电流值都不等于3A的负载电流！所以应依据这种计算方法并采用正确的迹线尺寸。

注意以上描述的预期温升是依据“自身发热”效应。但仅由于邻近器件散发的热量就会使迹线变得非常热。在这种情况下，由于自热产生的即使是30°C（额外的）温升也是无法接受的。“可接受”的温升也取决于最差情况下的环境温度，以及层压电路板的额定温度（对于FR4保持在120°C以下）。

按照上述讨论，得到快速的经验法则：

对于中等温升（低于30°C）并且电流小于5A时

- 对于1盎司电路板，每安培电流至少用12密耳宽的铜箔
- 对于2盎司电路板，每安培电流至少用7密耳宽的铜箔

B) 迹线电感

我们已经看到降低迹线电感的首选方法是减少其长度，而非增加宽度。在特定点范围之外，加宽迹线不会显著降低电感。它既不取决于我们是否采用1盎司或者2盎司的电路板，也不取决于迹线是否无掩蔽（以允许焊接/铜箔进行淀积，因此增加有效的导线厚度）。但如果由于某些原因不能减少长度，也可通过将正向和返回电流迹线平行放置的方法来降低电感。

电感之所以存在是因为它们能存储磁场能量。因此反过来说，如果磁场以某种程度相抵消，电感也会消失。将两个电流迹线平行放置，PCB上的每个迹线都承载相同幅度但方向相反的电流，可以极大地降低磁场值。这两条迹线应是平行且紧靠。它们可以在单面电路板的同一面上并排放置。如果使用的是双面PCB，最有效的办法是将迹线平行放置在PCB的相对面。在这种情况下可以也应保持相当宽的迹线，从而提高它们相互的耦合并能产生所需的磁场抵消效果。注意到如果在一侧上放置接地层，回路会自动“镜像”正向电流迹线并产生磁场抵消和电感下降。

设计师可能会问：为求得先前提出的迹线长度，电感公式该如何变化？— 从表面上看，平行放置会有效果。问题是采用简单迹线电感公式是近似的。很简单，不存在朝一个方向输送电流的独立导线 — 电流必须有回流，所以仅存在电流回路。这是遵循基本的物理原理 — 电荷不能累积并且必须返回：在这种情况下电磁场源的反向端使电流流动。所以无论何时我们讨论单个导线的电感时，基本上都是在讨论非常大的环路。因为承载电流环路的电感正比于环路包围的面积，如果环路面积设置得非常小，电感也就降低了。

覆铜：何时停止（续）

C) 热管理

自然对流取决于与空气接触的表面积的大小。如果用作“散热”的传导板足够厚，可以保证到平板凹槽处的极好的热传导效果，温升将简单地与总的裸露面积成反比。在某种程度上PCB铜板层也有助于对流的实现，差别在于它们不够厚以确保良好的传热。因此我们可以在某种条件下停止：进一步增加铜箔面积产生的热阻改善收效甚微。这是在1盎司铜箔电路板上边长为1英寸的方块上测得的，改善的条件持续到大约3英寸边长，特别是对于2盎司或更厚的电路板，一旦超出这个范围，就需要外置散热器。最终，**可得到合理的热阻经验值（从功率器件的外壳到环境）约为30°C/W。**

这不是说热量仅从铜箔面散逸。用于SMT的通用层压板（电路板材料）是环氧树脂“FR4”（亦称作GF或G10），也是非常好的导热材料。在更多的商用和节约成本的应用中使用CEM1，CEM2，CEM3等更加廉价的电路板材料，幸运的是它们的热传导性能并不差于FR4。所以来自器件层面的一部分热量会传导到接触空气的另一面。因此在另一面上放置铜箔层（这不需要电气相同的结点，它可能是接地层）也会有所帮助，但是与在同一面上的铜箔层相比仅为它的10%到20%。如果采用“散热通孔”来传导热量到另一面，可以极大地减少50%到70%的热阻。这种“并联”或者旁路热量的电路板材料，将热量传导到接触移动空气更多的另一面。

幸运地是Simple Switcher器件的功率封装焊片位于接地电势，所以在焊片四周具有大面积的铜箔层不会产生任何EMI。可以将焊片保持在悬浮状态，但如果要使用它，必须在物理上将它直接连到IC的GND引脚，如图2所示。如果使用双面电路板，几个小通孔从邻近IC的标记为“X”的接地端直接通到PCB另一面的“接地层”上。因此这些通孔不仅有助于接地电路的正确实现，而且也能作为散热通路。因此它们被称作“散热通孔”。**建议采用小型（0.3毫米–0.33毫米直径）通孔，使得电镀过程中可基本填补这些孔洞，因其有助于将热量传导到另一面。太大的孔会造成回流焊过程中的“焊接失败”问题。在区域中几种散热通孔的节距（中心之间的距离）一般为1毫米到1.2毫米，直接在焊片的下方创建散热通孔的栅格。**因为散热通孔也在回流焊过程中从该区域“偷取”热量，无意中导致错误的焊接点，所以有些人建议将通孔（散热或者其它类型的）靠近，**但是不能直接放在任何器件的焊片/腿/引脚的下方。**

从典型的开关IC的内置结构来看，没有理由设置开关结点周围的宽迹线，因为很少有热量能从这条通路释放出来。正如先前所讨论的，该结点作为一个天线，会造成辐射问题。然而，在开关结点上出现大量铜箔这种情况是无法避免

的。**大多数功率二极管的焊片是负极。为了从二极管中散发热量，必须将较大的散热区或者铜箔层接到焊片上。**不幸的是，对于传统的正向至正向Buck拓扑结构（不同于正向至正向的Boost或者负向至正向的Buck-Boost）二极管的负极/焊片对应于开关结点，并不是“安静”的。因此我们在这里遇到了散热需求和EMI之间的利益冲突。对于EMI敏感的应用，需要从正极内部连接到焊片的非典型二极管。或者，如果正在使用外置的散热器，建议在功率器件和（接地的）散热器之间采用电气（非热量！）隔离。这里可以选用Mica或者“Sil-pads”。如果二极管必须是SMT封装，采用隔离封装是个很好的选择。

为了冷却器件而估高铜箔层的尺寸是常犯的错误，这会导致过高的EMI。**Buck转换器二极管中的热量是基于通过二极管的平均电流，而并非由负载电流决定。**注意，一个典型的肖特基二极管具有0.5V的正向压降。如果负载电流为5A，空占比为0.4，功耗仅为 $5 \times 0.5 \times (1-0.4) = 1.5W$ 。如果电路板（在焊片周围的铜箔面积）的温度达到最高值100°C，最大环境温度为55°C，则允许的最高温升为 $100 - 55 = 45^\circ C$ 。对于1.5W的预计功耗，要求的电路板（或者外壳）到环境的热阻为 $45/1.5 = 30^\circ C/W$ 。这在PCB上是可以实现的。为了计算所需的面积，我们可以采用经验公式推导的等式来计算面积“A”：

$$A = 985 \times R_{th}^{-1.43} \times P^{-0.28} \text{ sq.inches}$$

这里P的单位是瓦特， R_{th} 是所需的热阻，单位为°C/W。该例中我们解得：

$$A = 985 \times 30^{-1.43} \times 1.5^{-0.28} \text{ sq.inches}$$

$$A = 6.79 \text{ sq.inches}$$

如果该面积是正方形，要求边长为 $6.79^{0.5} = 2.6$ 英寸。**如果要求该面积超过1平方英寸，应使用2盎司的电路板。**很清楚，在该例中应使用2盎司的电路板，因为它减少了功率器件周围的热“约束”，并使大面积的铜箔区域更有效地用作对流。注意，我们正在讨论的是在PCB的一面上仅有一层铜箔暴露到空气的情况。将接地层分割会造成接到另一面的孤岛，并不认为是好的选择，因为这会导致奇怪的回流。

接地平面

使用双面板时，通常的做法是将其中一面几乎全部接地。有些人认为，通过这种方法，就能解决PCB设计中的绝大部分问题。我们看到，每条信号线都有一条回路，当谐波较高时，回路布线应直接位于信号路径下面，因为如此可消除场效应且减小迹线电感。它也会将电路板一面上功率器件产生的热量耦合到另一面，有助于进行热管理。接地层与其上层噪声迹线之间的容性关系也可以“软化”瞬态，从而降低噪声干扰和EMI干扰。除非交叉耦合变得很严重，使得接地层本身开始辐射。**通孔可将热量从所有功率器件的接地端**

接地平面（续）

方传导至接地层中，也会减少输出电压上的直流电阻失调误差。正如图2中提到的，已经放置“X”标记来表明，如果使用的是双面电路板，并且存在接地层，在这些点的位置上可以增加通孔。它们是可选的，所以如果考虑低成本的单面电路板时，则可以忽略。但如果这些通孔要与开关IC的“散热通孔”挤在一起，因为都是位于SMT功率器件的焊片下方，所以应采用如前讨论的方法适当地确定通孔尺寸。

然而，接地层应“添加”到图2所示的推荐布局中去。它不能替换两个关键器件的正确放置。我们应尽力不去断开或者分割接地层。通常如果有太多的开关功率电流流经该层，会造成“地弹”效应，使得控制器失调。因此在更高的功率应用中，当增加昂贵的多层PCB时，我们采用独立的信号和电源接地层。但对于较低功率的SIMPLE SWITCHER系列产品，需要的只是单个接地层。如果将这些建议牢记于心，认真地进行布局，即使单层电路板也应是足够的。

信号迹线：反馈

反馈迹线是唯一的关键信号线。首先仅考虑Simple Switcher的可调电压版本。迹线的一端接至低阻抗结点，这是输出电压轨或者是输出端的电阻分压器。另一端接至反馈引脚，这是误差放大器的高阻抗输入端。如果该迹线在两个结点之间穿过时拾取噪声（容性或者感性），会导致错误的输出电压，极端情况下会造成不稳定或器件故障。解决该问题有两种方法：

1. 尽可能用短的反馈迹线，从而将AND/OR拾取降到最低
2. 远离噪声源（例如开关二极管，电感等）

将迹线保持很短不一定切实可行。实际上故意将反馈迹线布得长一些，使之远离潜在的噪声源。特别是不应将布线

置于电感或者二极管下方。如果使用的是双面SMT电路板，采用下列较好的策略：

- 在输出电阻分压器处使用一个通孔，可以将迹线通到另一面
- 迹线要穿越包围的接地层区域，小心不要在电感/二极管下方走线，不要与电路板任何一面上的任何功率迹线平行放置（尽管可以垂直跨过它们）
- 即使非常靠近IC，采用其它的通孔来将迹线引到器件端，在这里将它连接至IC的反馈引脚

请参考图5a，显示了可调电压器件的情况。拾取噪声的迹线加粗显示。然而，如果我们考虑采用固定电压的器件，我们会学到重要的知识。如图5b所示。注意这里的反馈迹线没有加粗体标识。原因是只要迹线的一端是个高阻结点，就可以拾取噪声。在图5b中，反馈引脚连接至电阻分压器而不是直接连到误差放大器的输入端。所以它对噪声拾取不敏感。受噪声干扰的唯一部分是IC内部（显示为粗体），这是一个非常短的路径。同样的原理用在可调电压器件上，可为反馈迹线另外提供有趣的布线方法。一种方法如图5c所示。这里“反馈迹线”非常之短，所以它相对地不受噪声干扰。反馈电阻位置靠近IC，在任何一面上的输出到上面电阻的迹线具有低阻性质，所以也不会拾取噪声。然而，较低电阻对地的连接并不理想，因为标记为“ $I_{O^*}R$ ”的电阻压降会轻微地影响输出电压的负载调整率。另外一种方法如图5d所示。该方法可以解决所有的问题。因此这里强烈推荐采用该方法。如果使用接地层，如果正确地放置通孔耦合到该层中，则图5c和图5d实际上都是相同的。对于图5d，如果可能的话，将到电阻分压器的顶层和底层迹线平行放置，并且两者间距要近，从而将任何可能性的噪声拾取降为最小，这是一个很好的建议。

注释

对于上述任何电路的使用，美国国家半导体公司不承担任何责任且不默示任何电路专利许可。美国国家半导体公司保留随时更改上述电路和规格的权利，恕不另行通知。
想了解最新的产品信息，请访问我们的网址：www.national.com。

生命支持策略

未经美国国家半导体公司的总裁和首席律师的明确书面审批，不得将美国国家半导体公司的产品作为生命支持设备或系统中的关键部件使用。特此说明：

1. 生命支持设备/系统指：（a）打算通过外科手术移植到体内的生命支持设备或系统；（b）支持或维持生命，依照使用说明书正确使用，有理由认为其失效会造成用户严重伤害。
2. 关键部件是在生命支持设备或系统中，有理由认为其失效会造成生命支持设备/系统失效，或影响生命支持设备/系统的安全性或效力的任何部件。

禁用物质合规

美国国家半导体公司制造的产品和使用的包装材料符合《消费产品管理规范（CSP-9-111C2）》以及《相关禁用物质和材料规范（CSP-9-111S2）》的条款，不包含CSP-9-111S2限定的任何“禁用物质”。
无铅产品符合RoHS指令。



**National Semiconductor
Americas Customer
Support Center**
Email: new.feedback@nsc.com
Tel: 1-800-272-9959

**National Semiconductor
Europe Customer Support Center**
Fax: +49 (0) 180-530 85 86
Email: europe.support@nsc.com
Deutsch Tel: +49 (0) 69 9508 6208
English Tel: +44 (0) 870 24 0 2171
Français Tel: +33 (0) 1 41 91 8790

**National Semiconductor
Asia Pacific Customer
Support Center**
Email: ap.support@nsc.com

**National Semiconductor
Japan Customer Support Center**
Fax: 81-3-5639-7507
Email: jpn.feedback@nsc.com
Tel: 81-3-5639-7560