基于 Simple Switcher 设计的 FPGA 供电系统

设计目的:设计一个输入电压 DC 9-24V,使用易电源设计输出 提供给 FPGA 及外围器件所需要的各路电压。

设计背景: 众所周知, FPGA 对电源的要求非常高, 下面谈谈设 计一个含有 FPGA 系统所需要的电压。第一,内核电压即 VCCINT, 需要比较大的电流,对于 EP4CE10 来说 VCCINT 为固定的 DC 1.2V, 电流可达几 A,第二,存储逻辑单元的供电电压 VCCO 即 IO 电压, 典型的 IO 电压包括 3.3V, 2.5V,和 1.8V,电流范围在 1A 到几 A 之 间,注意的是 FPGA 上所有 VCCO 引脚不能悬空。每个 BANK 中的 所有 VCCO 必须连接到相同电压值,因此,一个 FPGA 可能会有多 种电压;第三,FPGA 的辅助电源电压 VCCA 以及锁相环电压 PLL, 它们对 FPGA 中有严格要求的资源进行供电,所以它很容易受电源噪 声的影响, VCCA 与 VCCO 及 VCCPLL 必须单独供电。因此,Simple Switcher 模块无疑是最好的选择,较好的 EMI 性能,较高的效率及高 输出电流、小巧易用性封装等。

设计思路: 直接用图表表示拓扑结构, 如下图



设计工具: WEBENCH Dseigner。

设计步骤:

方案1:

1、进入 WEBENCH Designer, 点击"新设计", 进入"Simple Switcher", 然后输入最小电压和最大电压, 输出电压和输出电流, 环境温度默认即可, 如下图所示, 输入 9V-24V DC, 输出 5V 电流 3A;

			the Contract of	计 解决力	j x Visua	lizer 24	HR Help		
单路电源	LED	LED Architect	Power Architect	FPGA/µP	HotSwap	Simple	Switcher	Filters	Clocks
			Fin Min: 9 Outr Yout: 5 Op Ambient Show Recordended	Y Yi Duts Y : Temp: Power Nat	n Max: Iout: 30 °C	24 5 1Cs			

2、然后点击上图的绿色框位置,即显示推荐的电源管理 IC,点 击后如下图所示:

		推荐	零件			
. No	dule		Regu	lator		
LMZ	14203		LM3150			
Open Cr. 1	Design		Open J	Design		
Design Note	3A SIMPLE		Design Note	SIMPLE SWIT		
Topology	Buck		Topology	Buck		
Footprint	294		Max Current	15.00		
(==2)			Pk Efficiency	95%		
Efficiency 92% (1)			Nax Freq	1000		
Frequency (kIz)	447		IC Cost	\$1.86		
BOM Cost (\$)	\$9.25	•				

WEBENCH Designer 首先为我们推荐了解决方案,一种是 Simple

Switcher 模块,另一种是 Regulator 稳压器,这里我们选择第一个 LMZ14203 模块,另外还推荐了其他 48 种符合要求的 Module 和 Regulator 解决方案,如下图所示:

我的设计/我的项目				_	English	日本語 🛙 🎽
SIMPLE Switcher					亡 新设计 解决	D 5x Visual
					推荐和	\$件
				Module		R
			C C	LEZ14203 pen Design	2	
			Design No	te 3A SIMP	LE	Design No
			Topology	y Bud	ck	Topology
			Footprint 294 (mm2)		14	Max Curre Ph Efficie
			Efficien (1)	c y 90	12	Nax Free
			Frequenc (kIz)	y 44	4	IC Cost
			BON Cost	P2 (2)	25	
Switcher Solutions:	(48 found) 🗌 Show	All Columns				27.
Part	Create	WEBENCH Tools	Efficiency (%)	Footprint (mm2)	Frequency (kHz)	BOM Cost (\$)
1 4006200 481	T E 28 21	C	20.5	494	500	*2 11

			(%)	(mm2)	(kHz)	(\$)
LW22679Q-ADJ	开启设计	C ~	80 %	424	500	\$3.77
LW3151-3.3	开启设计	€ 1 ∕);;	90%	439	234	\$4.33
LW5576-Q1	开启设计	C _C ∕	841	435	299	\$4.20
LW26003-Q1	开启设计	℃ ~	85%	499	325	\$4.35
LNZ14203	开启设计	℃ [\\ \\ \	90 %	294	444	\$9.25

3、点击"Open Design", 稍等几秒钟出现如下图所示

我的设计/我的项目	_		_	_		I	ingl	ish	E	本語:	資源中文」	繁體中交
SIMPLE	+	C			00		P	*	101		dV dt	\sim
	Back	新设计	解决方案	Visualizer	BO	1	8	表	E	理图	工作数值	仿真
										ļ	总结	
更改输入			原理图							材料清	单	
¥in 最小 6¥ < 9 ¥ < 42¥		ſ	3	FIT		10×12×	: \$9.3	15 • 5			全元并有占面包加上	**-**
¥in 最大 6¥ < 24 ¥ < 42¥				FII		Cf Cf	7AZCO	0.010	1 50	Esg=224F	7 8	SCOMP.
输出电压: 0.8▼ < 5 ▼ < 6▼	1	*: :		=x:		Cia	NuZat.	52831	3 80	Caged.7s F.	¹¹ m	
输出电流 0A < 3 A < 3A			10274020 worth	Stora the	٦ II	Cost	TOR	C3225	1 50	Cagw100s F.	15	5189A
工作环境温 - 30°C < 30 °C <	÷.	Arra C				Cee	Bullat.	58831	1 50	CagelOaF	7 0	scame.
版 100 ℃ 软启动时间(ms)	Ť,		Ť,		-	Efab	71835	Es:-e	1 \$0	Retition Age1.07E	-	- 74612
1ms < 1 ms < 10ms			÷' '		- 1	2fk:	7	E81-6	1 20	Resistant Ages. 622 Dag	7 0	
						214	7	Est - el	1 50	Ref. 6144	7	-
						81	Tense	LNZ14	1 52			
Reset 提交						Zzab	7242C	FR1-6	1 50	Retition	,	
图表		Ope	rating Va	lues					惣	的整个	设计	
Tix-9.07 Tix-16.57	Name		Va	lue		rod	ıct	Fold	ет		View My C	rders *
Tix=24.07	效率		91	61								
Daty Cycle X	大小		29	1== 2		DRDE	R Ev	alua	tio	on Boa	rds, Samp	les, I
60-0								WE	BEI	NCH D	ownloads:	
									222			_
50-0-									GI	RRFR	File	=
27								Assei	a b1	y Docu	mentation	e 🛛 🗌
20-0- 2			-				-	1.				
8 30.0-							C.	🖹 D	esi	gn Do	cumentatio	on 🔄
20.0-								₽	CA	D File	e Export	- 11
10.0										0.0	XX X 2021	-

出现了可以更改输入的参数、原理图、Bom 清单、图表、效率和所 占面积以及可导出的整个设计等。

4、在每个项目上面双击或者页面的最上面一栏单击图标还可以查看 完整的单个图表,下面简单介绍几个例子及操作;

(1)"原理图":

VinHin = 9 V VinHax = 24 V





(2)"图表"处有多种图表可以选择。



(3)"原理图仿真和热仿真":热仿真可以帮助设计者在布局的时候 和其他器件或者模块进行合理安排空间,防止因为局部过热导致的器 件性能下降或者不稳定因素产生,下图是热仿真后的图像,基本上没 有温度太高的地方。



(4)"EXPORT":导出功能提供了 Altium Designer、Cadence 等多种 软件的 Schematic 及评估板 Layout 的导出,特别是 Layout 的导出, 某些方面例如 EMI、布线等设计者注意不到的或者想的不周全的地方 WEBENCH Designer 软件都已经做好了,设计者可以参考,大大节省 了设计者的时间以及降低了出错的几率,提高了设计者研发的进度。



5、这里再介绍一下 WEBENCH Designer 还有一个比较实用的工具 "Visualizer"优化,如果您电路板空间有限但是不要求太高的效率或 者您对效率的要求较高但是有足够的空间,可以用 WEBENCH Designer 的优化工具 Visualizer 在面积、效率和成本之间做一个合理

的取舍。

我的设计/我的项目	_		
SIMPLE SWITCHER		[
更改输	认		原理图
Vin 最小 6V Vin 最大 6V 输出电压: 0.8V 输出电流 0A 工作环境温 -30°C 皮 -30°C 軟目动时间(ms) 1ms < 1 1ms < 1 ms < 1	< 9 < 24 < 5 < 3 < 30	¥ < 42¥ ¥ < 42¥ ¥ < 6¥ ∧ < 3∧ *C < 100*C	0.3 FIT

如上图所示界面,点击"Visualizer",出现下图界面:

我的设计/我的项目		English
SIMPLE SWITCHER	E	ter C
		VISUALI
₩EBENCH● 优化工具	更改输入	功能
最优 BOM 成本 最小面积 金 金 金 金 金 金 金 金 金 金 金 金 金 金 金 金 金 3	・JC (AC) 最小地入宅店: 9 (V) 最大地入宅店: 24 (V) 地出5 (V) 地3 (A) 环境温度: 30 (C) 显示替代知并 (只显示模块) 重新计算	Reg. Type: 筆成电路封表: 开/关引脚: 电影正常 軟启动 外部同步 Light Load
X 制: X 制: 园点大小: Search	解决方案:(9 找获) 显	示所有栏 Export
Efficien ▼ Footprin ▼ BOW Cost ▼ 零件	建立 VEBENCE 工 具	原理

调节最左边的旋钮即可根据自己的要求选择。

6、到此采用 Simple Switcher 模块输出 DC 5V 电源的设计基本完成,具体的参数及细节需要根据设计者的实际应用进行设计参数的更改。7、根据拓扑图接下来应将上面产生的 5V/3A 电源作为输入分别产生

辅助电压 VCCA 3.3V、内核电压 VCCINT 1.2V、bank 电压 VCCO 2.5V 和 3.3V 及 PLL 电压 1.2V,接下来仅仅举一个辅助电压 3.3V 的例子,其他电压产生的步骤相同。

8、设计产生输出电压 VCCA 3.3V:

		输	入要求			
tect	Power A:	rchitect	FPGA/µP	HotSwap	Simple	Switche
		Inpu	its		1	
1	in Win:	5	v vi	n Max:	6	
		Outp	outs			
	Yout:	3.3	¥	Iout:	.5	
	01	Ambient	Temp:	30 *0	5	

弹出对话框,选择"Module"

Select your power supply solution



点击后出现下图

	Back	し新設计	Kita Visua	lizer 24HR Help
		推荐	零件	
. Ma	dule		Regu	lator
LM2	21700 Design		LNP1 Open	2010X Design
Design Note	0.5A SIMPL.		Design Note	′∨ X version;
Topology	Buck		Topology	Buck
Footprint (mm2)	44	=	Max Current Pk #fficiency	1.00
Efficiency (1)	89%		Nax Freq	1600
Frequency (kIz)	2578	and the second	IC Cost	\$0.80
ROM Cost (\$)	NA	•	Į	

点击"Open Design",以后的步骤同上面的第4部,接下来按照上面的步骤生成 FPGA 内核电压 1.2V 及 bank 电压 2.5V 就不重复介绍了。

方案2:

其实产生 FPGA 还有一个更简单的方法,以上介绍的方法仅仅是因为 FPGA 有多路电源,方便理解和操作,下面介绍另一种方案:同样点击"新设计",如下图:



选择"FPGA/µP",出现下图

我的设计/我的项目	Englis
SIMPLE SWITCHER	
	FPGA/PROCESSOR

配置 FPGA 负载

		步骤 #1:选择您的FPGA			Select Processors
		All	-		
零件编号	2 🔺	All	-	系列	NumLogic
A3P015		Altera	=	ProASIC3	384.00
A3P030		Actel		ProASIC3	768.00
A3P060		Texas Instruments		ProASIC3	1,536.00
A3P1000		Atmel	•	ProASIC3	24,576.00
A3P125		Actel		ProASIC3	3,072.00

然后选择一个公司的 FPGA, 出现下图:

SIMPLE SWITCHER				Back B	Ċ + FPGA/µP	+工+ 1.加入负载	
					FPGA/PROCESSOR	POWER ARC	HITECT
配置 FPGA 负载							取消 ->
		步骤 #1:选择您的FPGA			Select Processors		步囊 #2:输入FPGA的电源要求
	ſ	Altera				选用的FPGA	Altera Cyclone-IV E EP4CE10
零件编号	2 4	制造商	1.	系列	NumLogic	ATTERA.	I/O Banks : 8
EP3SL150F1152C4N		Altera		Stratix III L	142,000.00		Logic Elements : 10320
EP3SL150F780C4N		Altera		Stratix III L	132,540.00		PLLs : 2
EP3SL200F1152C3N		Altera		Stratix III L	198,900.00		Package : 256-FBGA
EP3SL200F1517C3N		Altera		Stratix III L	198,900.00		User I/Os : 182
EP3SL340F1517C3NES		Altera		Stratix III L	338,000.00	2638*	minn Tottal R2W - 212
EP3SL50F484C3N		Altera		Stratix III L	47,500.00	选择添加	1的负载 下一个步骤: 逶加多个负载 ->
EP3SL50F780C3N		Altera		Stratix III L	47,500.00		
EP3SL70F484C3N		Altera		Stratix III L	67,500.00	VCCA	voltage : 2.30 v Current : 0.1 A
EP3SL70F780C3N		Altera		Stratix III L	67,500.00		
EP4CE10		Altera		Cyclone-IV E	10,320.00	VCCD_	PLL Voltage : 1.2 V Current : 0.5 A
EP4CE115		Altera		Cyclone-IV E	114,480.00		
EP4CE15		Altera		Cyclone-IV E	15,408.00	-	m Valtana i (i.a. 1.) 1.20 V. Current i 1.4
EP4CE22		Altera		Cyclone-IV E	22,320.00	VCCIN	IL TOLIAGE . 1.2 T
EP4CE30		Altera		Cyclone-IV E	28,848.00		▼

点击红框处的"添加多个负载",出现下图界面:

SIMP SWIIC	LE ER		よい 「 「 「 「 「 「 「 「 「 「 「 「 「	↓ /wP Processor 1.加入负载 2. 优化 3. 检视/3	□ ↓ · · · · ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓	4) Help	
FPGA/PROCESSOR POWER ARCHITECT							
电源列表	- 配置您的电源					添加电源	• Quick Mode
SOURCE_DC_1 FPGA Tanbient : 30 °C		新学校不生活 添加多个负载 : FPGA负载		、 添加负载	O Show All Rails		
	Whin : 9 V	VMax : 24 V	[[Hot Swap Supply Isolation Supply			
							提交项目要求
	配置您	的电源和负载				×	
施加到直流	流电源的负载 FPGA					(Properties) (Sequencing	示范
LOAD_1	Less VCCA		负载电压: 3.3 Ⅴ	最大负载电流(ILoadMax):	1 8 0	图除这个负载	重设
	最大输出纹波电压 % 6	% 🗌 Ripple 總波辭	│ ✔ 使用独立电源 │] LDO Supply 📔 External Sync			
	☑ 软曲动 : 1	mSec Group : None	Sequence : UP = Any order., Down = Any	y order.			
LOAD_2	Less WCCD_PLL		负载电压: 1.2 ♥	最大负载电流(ILoadMax):	0.5 A (删除这个负载	
	最大输出纹波电压 % 6	% 🗌 Ripple 總波器	│ ☑ 使用独立电源 │] LDO Supply 📔 External Sync			
	✔ 秋曲助 : 1	mSec Group : None Group : None	Sequence : UP = Any order., Down = Any	y order.			
LOAD_3	Less VCCINT		负载电压: 1.2 ♥	最大负载电流(ILoadMax):	1 8	删除这个负载	
	最大输出的波曲压 % c	6 [1.m.e [[] =			

根据需要增加或者去除负载 LOAD_X, 勾选"实用独立电源", 设置完成后,点击"提交项目要求", WEBENCH 生成设计可行性, 稍后生成项目, 如下图:



上图中 A 区域可选拓扑结构; B 区域是选完拓扑结构后的直观图; C 区域可调节电源的效率、所占面积大小、BOM 成本和数量; D 区域 是优化调校旋钮; 左下角区域是电源效率、BOM 成本及封装面积的 直观图。我们随便打开一个拓扑结构,放大图如下:



点击"检视项目细节",出现下图:



图中左边是拓扑图,右上是各个稳压器的功率耗散、BOM 成本和面积的柱状图,右下是稳压器的原理图,还可以选择替代稳压器。更改完成后点击"Saves Changes"后,再点击"Create Project"。出现如下图:



可以在图中查看 BOM 仿真优化导出设计等。到此,采用 FPGA/μP 设计的易电源方案已经完成了。

设计总结:通过前面的设计,可以看出 Simple Switcher 的实用性, 配合 WEBENCH Designer 的使用实现了最大的设计方便性。易电源 优势和其他电源相比,优势明显。体积小,输出电流大,外围器件少, 低的 EMI 等;在电子技术日新月异的今天,电源管理部分在整个系 统设计中的地位越来越重要,电源的稳定是整个系统稳定的一个关键 因素之一。因此,选择一个良好的电源是项目成功的关键,而易电源 会成为我的首选电源。