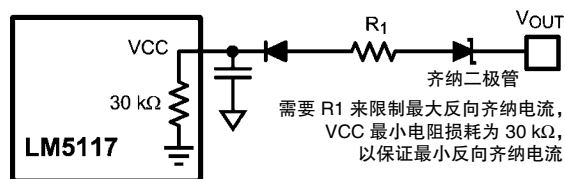


对于 $14.5V < V_{OUT}$ 的应用，外部电源电压可通过串联在输出至 VCC 的一个齐纳二极管来调节。



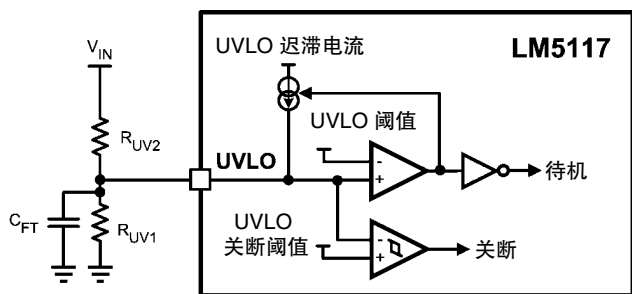
30143259

图 5: $14.5V < V_{OUT}$ 的外部 VCC 电源

在高输入电压应用中，应格外注意确保 VIN 引脚不超过 75V 的绝对最大额定电压。线路瞬态或负载瞬态期间，VIN 上的电压振铃超过绝对最大额定值就可能损坏 IC。精心的 PC 板布局和在靠近 VIN 和 AGND 引脚的地方使用高质量的旁路电容是必不可少的。可以选择在 VIN 增加一个 RC 滤波器 (R_{VIN} 、 C_{VIN})，帮助防止不良的 PC 板布局和高频开关噪声注入带来的错误操作。推荐的电容值和电阻值范围分别为 $0.1 \mu F$ 至 $10 \mu F$ 和 1Ω 至 10Ω 。

UVLO

LM5117 包含一个双电平 UVLO (欠压锁定) 电路。当 UVLO 低于 $0.4V$ 时，LM5117 处于关断模式。关断比较器可提供 $100 mV$ 的迟滞，以避免转换过程中的跳动 (chatter)。当 UVLO 引脚的电压高于 $0.4V$ ，但低于 $1.25V$ 时，控制器处于待机模式。在待机状态下，VCC 偏置稳压器被激活，而 HO 和 LO 驱动器被禁用，SS 引脚保持低电平。此功能允许通过一个集电极开路或漏极开路器件将 UVLO 引脚拉至低于 $0.4V$ ，以实现远程关断功能。当 VCC 引脚超过其欠压锁定阈值，且 UVLO 引脚电压高于 $1.25V$ 时，HO 和 LO 驱动器被启用，并开始正常运行。



30143268

图 6: UVLO 配置

UVLO 引脚不应该浮置。从 VIN 至 AGND 可使用一个外部 UVLO 设定点分压器来设置稳压器的最小输入工作电压。分压器的设计必须是当输入电压处在所需工作范围时，UVLO 引脚电压高于 $1.25V$ ，但绝不会超过 $15V$ 。如果有必要，UVLO 引脚可以用一个齐纳二极管来钳位。

UVLO 迟滞是通过一个内部 $20 \mu A$ 灌电流完成的，该电流开启或关闭进入 UVLO 设定点分压器的阻抗。当 UVLO 引脚的电压超过 $1.25V$ 阈值时，灌电流被启用，迅速提高 UVLO 引脚的电压。当 UVLO 引脚电压降至低于 $1.25V$ 阈值时，灌电流被禁用，导致 UVLO 引脚的电压迅速下降。将 C_{FT} 电容器与 R_{UV1} 并联，有助于最大限度地降低注入到 UVLO 引脚的开关噪声，但在 $20 \mu A$ 灌电流被禁用时，可能会减慢 UVLO 引脚电压的下降速度。建议的 C_{FT} 值范围是 $10 pF$ 至 $220 pF$ 。

R_{UV1} 和 R_{UV2} 的值可以用下面的公式来确定：

$$R_{UV2} = \frac{V_{HYS}}{20 \mu A} [\Omega] \quad (1)$$

$$R_{UV1} = \frac{1.25V \times R_{UV2}}{V_{IN(STARTUP)} - 1.25V} [\Omega] \quad (2)$$

式中 V_{HYS} 是所需的 UVLO 迟滞， $V_{IN(STARTUP)}$ 是稳压器开启时所需的启动电压。

振荡器和同步功能

LM5117 开关频率是通过 RT 引脚和 AGND 引脚之间连接的一个外部电阻来设定的。该电阻应位于非常靠近器件的位置，并直接连接至 RT 和 AGND 引脚。为了设置一个理想的开关频率 (f_{SW})，可以用下面的公式计算电阻值：

$$R_T = \frac{5.2 \times 10^9}{f_{SW}} - 948 [\Omega] \quad (3)$$

RT 引脚可用来同步内部振荡器至外部时钟。内部振荡器可以通过将上升沿 (positive edge) AC 耦合至 RT 引脚来同步。RT 引脚的标称电压是 $1.25V$ ，且 RT 引脚的电压必须超过 RT 同步正阈值，以断开 (trip) 内部同步脉冲检测器。经 $100 pF$ 电容耦合的 $5V$ 振幅脉冲信号是一个很好的起点。建议外部同步脉冲频率是通过 RT 电阻设定的频率的 $\pm 10\%$ ，而且在设定频率的 $+100/-40\%$ 的条件下工作。应该注意，确保 RT 引脚电压不低于外部脉冲下降沿 $-0.3V$ 。这样就可以限制外部同步脉冲的占空比。

R_T 电阻是必不可少的，无论振荡器自由运行还是外部同步运行。