

PCB设计入门

概要

本章旨在说明如何生成电路原理图、把设计信息更新到PCB文件中以及在PCB中布线和生成器件输出文件。并且介绍了工程和集成库的概念以及提供了3D PCB开发环境的简要说明。

欢迎使用Altium Designer，这是一个完善的适应电子产品发展的开发软件。本章将以“非稳态多谐振荡器”为例，介绍如何创建一个PCB工程。

创建一个新的PCB工程

在Altium Designer里，一个工程包括所有文件之间的关联和设计的相关设置。一个工程文件，例如xxx.PrjPCB，是一个ASCII文本文件，它包括工程里的文件和输出的相关设置，例如，打印设置和CAM设置。与工程无关的文件被称为“自由文件”。与原理图和目标输出相关联的文件都被加入到工程中，例如PCB，FPGA，嵌入式(VHDL)和库。当工程被编译的时候，设计校验、仿真同步和比对都将一起进行。任何原始原理图或者PCB的改变都将在编译的时候更新。所有类型的工程的创建过程都是一样的。本章以PCB工程的创建过程为例进行介绍，先创建工程文件，然后创建一个新的原理图并加入到新创建的工程中，最后创建一个新的PCB，和原理图一样加入到工程中。

作为本章的开始，先来创建一个PCB工程：

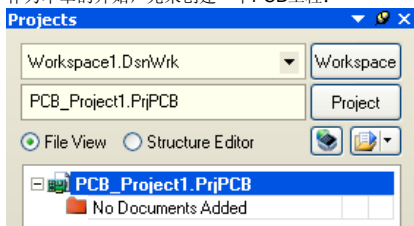


图6-1 PCB工程的创建

- 1.选择File>>New>>Project>>PCB Project，或在Files面板的内New选项中单击Blank Project (PCB)。如果这个选项没有显示在界面上则从System中选择Files。也可以在Altium Designer软件的Home Page的Pick a Task部分中选择Printed Circuit Board Design，并单击New Blank PCB Project。
- 2.显示Projects面板框显示在屏幕上。新的工程文件PCB_Project1.PrjPCB已经列于框中，并且不带任何文件，如图6-1所示。
- 3.重新命名工程文件（用扩展名.PrjPCB），选择File>>Save Project As。保存于您想存储的地方，在File Name中输入工程名Multivibrator.PrjPCB并单击Save保存。下面我们将会创建一个原理图文件并添加到空的工程中。这个原理图就是教程中的例子非稳态多谐振荡器。

创建一个新的电气原理图

通过下面的步骤来新建电路原理图：

- 1.选择File>>New>>Schematic，或者在Files面板内里的New选项中单击Schematic Sheet。在设计窗口中将出现了一个命名为Sheet1.SchDoc的空白电路原理图并且该电路原理图将自动被添加到工程当中。该电路原理图会在工程的Source Documents目录下。
- 2.通过文件File>>Save As可以对新建的电路原理图进行重命名，可以将通过文件保存导航保存到用户所需要的硬盘位置，如输入文件名字Multivibrator.SchDoc并且点击保存。

当用户打开该空白电路原理图时，用户会发现工程目录改变了。主工具条包括一系列的新建按钮，其中有新建工具条，包括新建条目的菜单工具条，和图表层面板。用户现在就可以编辑电路原理图了。

用户能够自定义许多工程的外观。例如，用户能够重新设置面板的位置或者自定义菜单选项和工具条的命令。

现在我们可以继续进行设计输入之前将这个空白原理图添加到工程中，如图6-2。

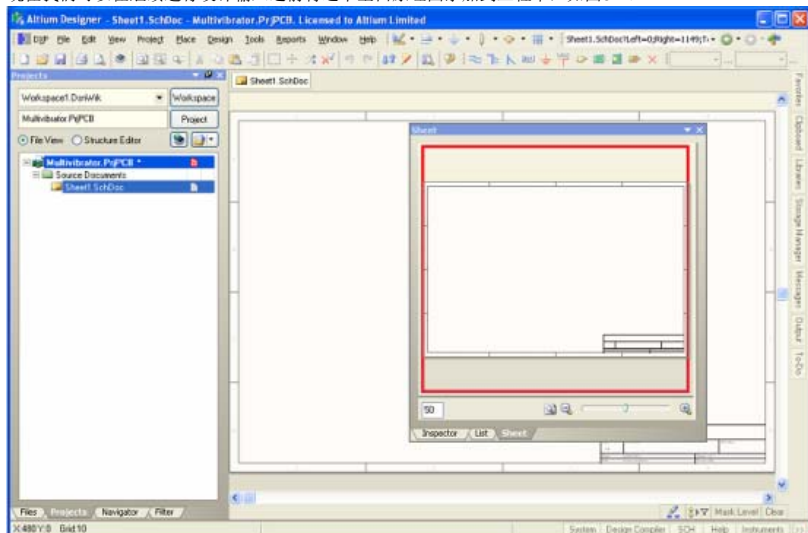


图6-2新建电路原理图

添加电路原理图到工程当中

如果添加到工程中的电路原理图以空文档的形式被打开，可以通过在工程文件上点击右键并且在工程面板中选择Add Existing to Project 选项，选择空文档并点击Open。更简单的方法是，还可以在Projects面板中简单地用鼠标拖拽拉空文档到工程文档列表中的面板中。该电路原理图在Source Documents工程目录下，并且已经连接到该工程。

设置原理图选项

在绘制电路原理图之前要做的第一件事情就是设置合适的文档选项。完成下面步骤：

- 1.从menus菜单中选择Design>>Document Options，文档选项设置对话框就会出现。通过向导设置，现在只需要将图表的尺寸设置唯一改变的设置只有将图层的大

小设置为A4。在Sheet Options 选项中，找到Standard Styles 选项。点击到下一步将会列出许多图表层格式。

2.选择A4格式，并且点击OK，关闭对话框并且更新图表层大小尺寸。

3.重新让文档适合显示的大小，可以通过在中选择View>>Fit Document。在Altium中，可以通过设置热键的方法让菜单处于激活状态。任何子菜单都有自己的热键用来激活。

例如，前面提到的View>>Fit Document，可以通过按下V键跟D键来实现。许多子菜单，比如Eidt>>DeSelect 能直接用一个热键来实现。激活Eid>>DeSelect>>All on Current Document，只需按下X热键，并且按下S热键即可。

下面将介绍电路原理图的总体设置。

1.选择Tools>>Schematic Preferences，来打开电路原理图偏好优先设置对话框。这个对话框允许用户设置适用于所有原理图定的为全球局配置参数的偏好设置，适用于全部原理图。

2.在对话框左边的树形选项中单击Schematic-Default Primitives，激活并使能Permanent选项。单击OK以关闭该对话框。

3.在您开始设计原理图前，保存此原理图，选择File>>Save [快捷键：F，S]。

画电路原理图

接下来可以开始画电路原理图。本章将使用如图6-3所示的电路图为例进行讲解。这个电路是由两个2N3904三极管组成的非稳态多谐振荡器。

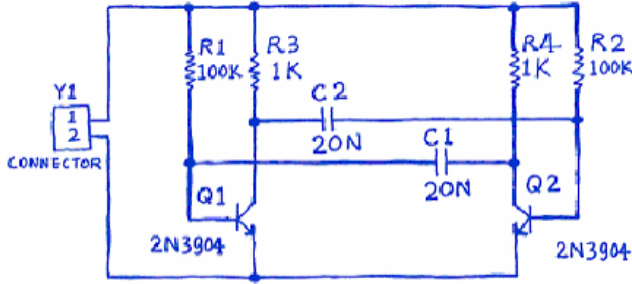


Figure 1. An astable multivibrator.

图6-3 非稳态多谐振荡器

加载元件和库

Altium Designer为了管理数量巨大的电路标识，电路原理图编辑器提供了强大的库搜索功能。虽然元件都在默认的安装库中，但是还是很有必要知道如何通过从库中去搜索元件。按照下面的步骤来加载和添加图6-3电路所需的库。

首先我们来查找型号为2N3904的三极管。

1.点击Libraries标签显示Library面板，如图6-4。

2.在Library面板中点击Search in按钮，或者通过选择Tools>>Find Component，来打开Libraries Search对话框，如图6-5所示。

3.对于这个例子必须确定在Options设置中，Search in 设置为Components。对于库搜索存在不同的情况，使用不同的选项。

4.必须确保Scope设置为Libraries on Path 并且Path包含了正确的连接到库的路径。如果在安装软件的时候使用了默认的路径，路径将会是Library。可以通过点击文件浏览按钮来改变库文件夹的路径。对于这个例子还需得确保Include Subdirectories复选项框已经勾选。

5.为了搜索所有3904的所有索引，在库搜索对话框的搜索栏输入*3904*。使用*标记来代替不同的生厂商所使用的不同前缀和后缀。

6.点击Search 按钮开始搜索。搜索启动后，搜索结果将在库面板中显示。

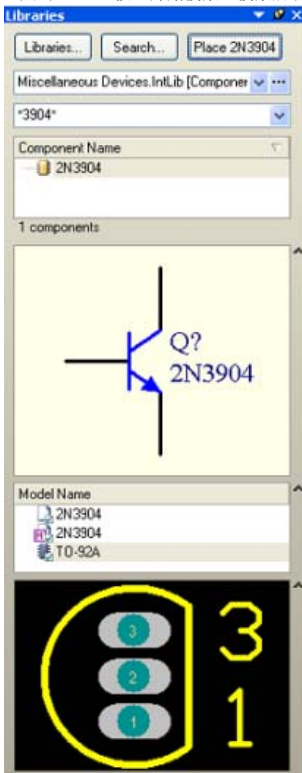


图6-4库面板

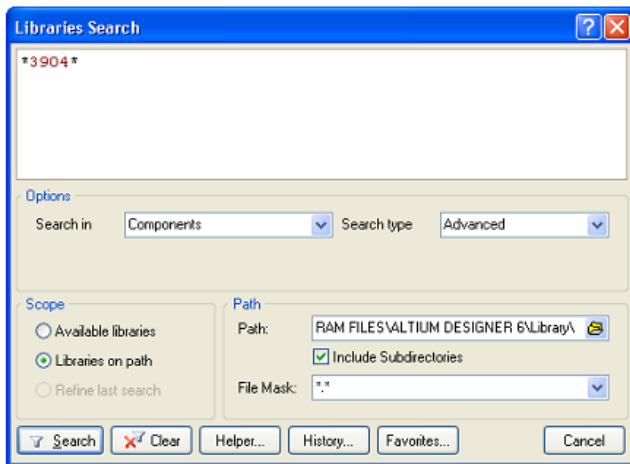


图6-5库搜索对话框

7. 点击Miscellaneous Devices.IntLib库中的名为2N3904的元件并来添加它。这个库拥有所有的可以利用于仿真的BJT三极管元件标识。

8. 如果选择了一个没有在库里面安装的元件，在使用该元件绘制电路图前，会出现安装库的提示。由于Miscellaneous Devices 已经默认安装了，所以该元件可以使用。

在库面板的最上面的下拉列表中有添加库这个选项。当点击在列表中一个库的名字，在库里面的所有元件将在下面显示。可以通过元器件过滤器快速加载元件。

在电路原理图中放置元件

第一种要在电路图中放置的元件为三极管，Q1 和 Q2。电路图的大概布局将参照图6-3所示。

1. 选择View>>Fit Document 让，原理图表层全屏显示。

2. 通过Libraries 快捷键来显示库面板。

3. Q1 和 Q2为BJT三极管，所以从Libraries面板顶部的库下拉列表中选择Miscellaneous Devices.IntLib库激活当前库来激活这个库。

4. 使用filter快速加载所需要的元件。默认的星号*可以列出所有能在库里找到的元件。设置filter为*3904*，将会列出所有包含文本3904的元件。

5. 2N3904将选择该元件2N3904，然后点击Place 按钮。或者，直接双击该元件的文件名。光标会变成十字准线叉丝状态并且一个三极管紧贴着光标。现在正处于放置状态。如果移动光标，三极管将跟着移动。

6. 放置器件在原理图之前，应该先设置其属性。当三极管贴着光标，点击TAB键，将打开Component Properties 属性框。把该属性对话框设置成如图6-6所示。

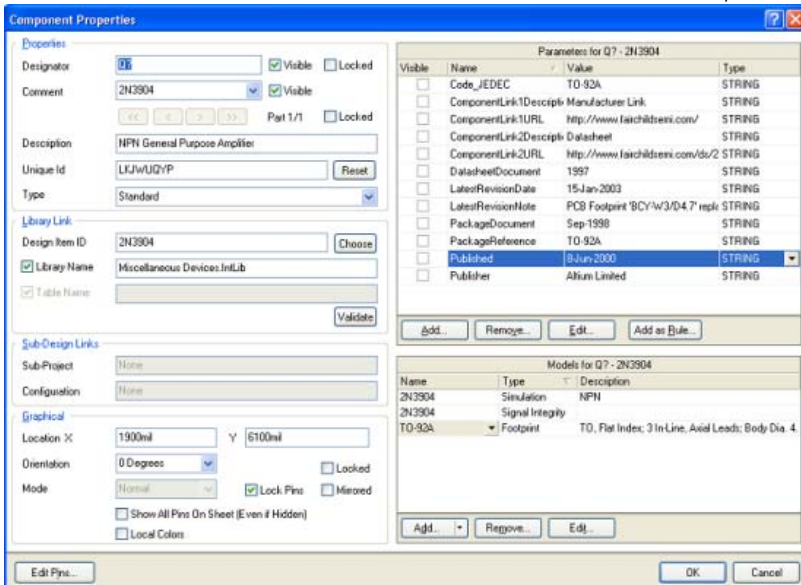


图6-6Component Properties 属性框

7. 在Properties对话框中，在Designator栏输入Q1。

8. 接下来，必须检查元件封装是否符合PCB的要求。在这里，使用的集成库对于中已经包含了封装的模型以及和仿真模型电路都已经包括了。确认调用了封装TO-92A封装模型包含在模块中。保持其他选项为默认设置，并点击OK按钮关闭对话框。

现在开始放置器件：

1. 移动光标，放置三极管在中间靠左的位置。点击鼠标或者按下ENTER键来完成放置。

2. 移开光标，在原理图上将出现该三极管，并且仍旧处于放置器件状态，三极管仍然贴着光标。Altium Designer的功能是允许反重复放置同一器件。所以，现在放置第二个三极管。由于该三极管跟原来的一样，因此所以在放置器件时不需要再次编辑器件的属性。Altium Designer，将自动增加designator的名字中的数字后缀。所以这次放置的三极管的designator将为Q2。

3. 当参照示例电路图（图6-3）日志的时候，将发现其实Q2为Q1的镜像。通过按下X键来改变放置器件的方向。这将使元件沿水平方向方向翻转。

4. 移动光标到Q1的右边，为了使得位置更加准确，点击PAGE UP键两次来放大画面。这样可以看到栅格线。

5. 点击ENTER来放置Q2。每次放置好一个三极管，又会出现一个准备放置的三极管。

6. 所有三极管都放置完毕后，可以通过点击右键或按下ESC键来退出放置状态。光标又回到原来的样子。

接下来放置四个电阻：

1. 在库面板中，激活Miscellaneous Devices.IntLib 库。

2. 设置filter为res1。

3. 点击Res1来选择该器件，这样一个电阻元件符号将贴着光标。

4. 按下TAB来编辑属性。在属性对话框中，设置designator为R1。

5. 在模型列表表中确定AXIAL-0.3已经被包含。

6. PCB元件的内容由原理图映射过去，所以这里并且设置R1的大小为100k。

7. 由于不需要仿真，所以设置Value参数中的Visible选择为非使能。

8. 按下空格键使得电阻旋转90°，位于正确的方向。

9. 把电阻放置在Q1的上方，按下ENTER完成放置。不用担心如何连接电阻到三极管，在连线部分将会做说明。

- 10.接下来放置一个100K的电阻R2于Q2的上方。Designator/Designator的标号会自动增加。
- 11.剩下的两个电阻R3和R4的大小为1k，通过TAB键设置它们的Comment/Comment为1k，确认Value的Visible选项非使能，点击OK按钮关闭对话框。
- 12.放置R3和R4如图6-1所示，并通过点击右键或ESC退出。

现在放置两个电容：

- 1.电容器件也在Miscellaneous Devices.IntLib库中，该库已经选择了。
- 2.在Libraries面板的元器件过滤区内输入cap于filter。
- 3.点击CAP来选择该器件，点击PLACE，这样一个电容元件符号将贴着光标。
- 4.通过TAB键设置电容属性。设disigatordesignator为C1，Comment为20n，Visible为非使能，PCB封装为RAD-0.3。点击OK。跟设置电阻一样，如果需要仿真，则需要设置Value的值。这里不需要仿真，所以Value设置为非使能。
- 5.跟前面一样，放置电容。
- 6.通过右键或ESC退出。

最后一个需要放置的器件是connector，位于Miscellaneous Connectors.IntLib。

- 1.在库面板中，选择Miscellaneous Devices.IntLib库。需要的connector为2排针，所以filter设置为*2*。
- 2.点击Header 2来选择该器件，点击PLACE。通过TAB键设置电容属性。设disigatordesignator为Y1，Visible为非使能，PCB封装为HDR1X2。点击OK。
- 3.在放置前，按下X键，使得器件处于垂直方向。然后放置connector器件。
- 4.退出放置。

5.File>>Save来保持原理图。

现在已经放置完所有的元件。元件的摆放如图6-7，可以看出这样的放置留了很多空间来

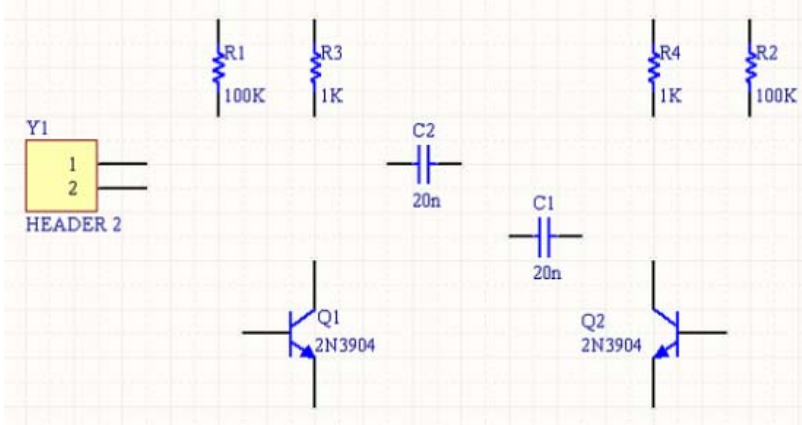


图6-7 所有元器件放置完成的原理图

连线元件管脚。这一点非常重要，因为不可能连接位于管脚正上方的管脚。

如果想移动元件，点击，并保持，拖动元件到用户想要的位置。

电路连线

连线是处理电路中不同元件的连接。按照图6-3来连接电路原理图，完成下面的步骤。

- 1.为了使电路图层美观，可以使用PAGE UP来放大，或PAGE DOWN来缩小。保持CTRL按下，使用鼠标的滑轮可以放大或缩小图层。
- 2.首先连接电阻R1到三极管Q1。在菜单中选择Place>>Wire 或者在连线工具条中点击Wire来进入绘线模式。光标会变成crosshair十字准线模式。
- 3.把光标移动到R1的最下面，当位置正确时，一个红色的连接标记会出现在光标的位置。这说明光标正处于元件电气连接点的位置。
- 4.单击或者按下ENTER键来确定第一个连接点。移动光标，会出现一个从连接点到光标位置，随着光标延伸的线。
- 5.在R1的下方Q1的电气连接点的位置放置第二个连接点，这样第一根连线就快画好了。
- 6.把光标移动到Q1的最下面，当位置正确时，一个红色的连接标记会出现在光标的位置。单击或者按下ENTER键来连接Q1的基点。
- 7.光标又重新回到了十字准线cross hair状态，这说明可以继续画第二跟线了。可以通过点击右键或者按下ESC来完全退出绘线状态，不过现在还不要退出。
- 8.现在连接C1到Q1和R1。把光标放在C1左边的连接点上，单击或者按下ENTER，开始绘制一个新的连线。水平移动光标到R1与Q1所处直线的位置，电气连接点将会出现，单击或按下ENTER来连接该点。这样两根直接便自动的连接在一起了。
- 9.按照图6-3绘制电路剩下的部分，如图6-8。

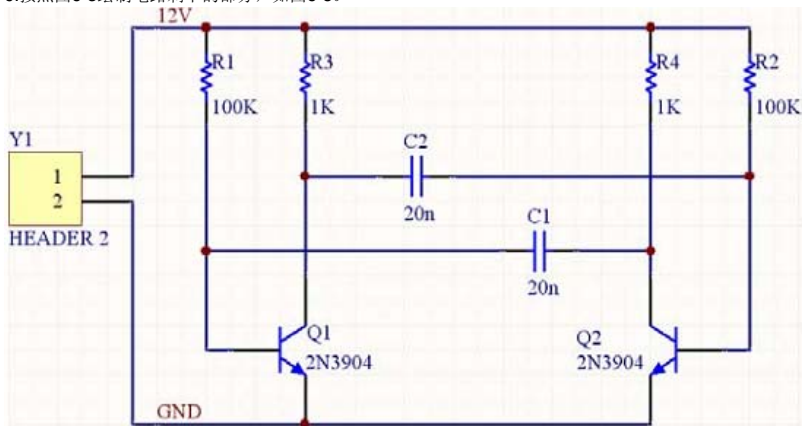


图6-8 完成布线的原理图

- 10.当完成所有连线的绘制时，单击右键或按下ESC来退出画线模式。光标回到原来的状态。
- 11.如果想移动元件跟连接他的连线，当移动元件的时候按下并保持按下CTRL键，或者选择Move>>Drag。

网络和网络标记

每个元件的管脚连接的点都形成一个网络。例如一个网络包括了Q1的基点，R1的一个脚和C1的一个脚。

为了能够简单的区分设计中比较重要的网络，可以设置网络标记。接下来放置两个电源网络标记：

- 1.选择Place>>Net Label。一个带点的框将贴着光标。
- 2.在放置前，通过TAB键打开Net Label dialog。
- 3.在Net栏输入12V，点OK关闭。
- 4.在电路图中，把网络标记放置在连线的上面，当网络标记跟连线接触时，光标会变成红色十字准线red cross。如果是一个灰白十字准线的cross，则说明放置的是管脚。

5. 当完成第一个网络标记的绘制，仍处于网络标记模式，在放置第二个网络标记前，可以按下TAB键，编辑第二个网络。
 6. 在Net栏输入GND，点击OK关闭。然后放置标记。
 7. 在电路图中，把网络标记放置在连线的上面，当网络标记跟连线接触时，光标会变成red cross红色十字准线。单击右键或按下ESC退出绘制网络标记模式。
 8. 选择File>>Save，保存电路图同时保存项目。
- 恭喜用户完成第一使用Altium Designer绘制的电路原理图。在把原理图变成电路板之前，必须设置项目的选项。

设置工程选项

工程选项包括了：error checking parametersError Reporting, a connectivity Connectivity matrixMatrix, Class Generator, the Comparator setup, ECO generationGeneration, output paths and netlist optionsOptions（输出路径和网表），Multi-Channel naming formats, Default Print setups, Search Paths以及任何用户想制定的工程元素。当编译工程的时候，Altium Designer将会用到这些设置。

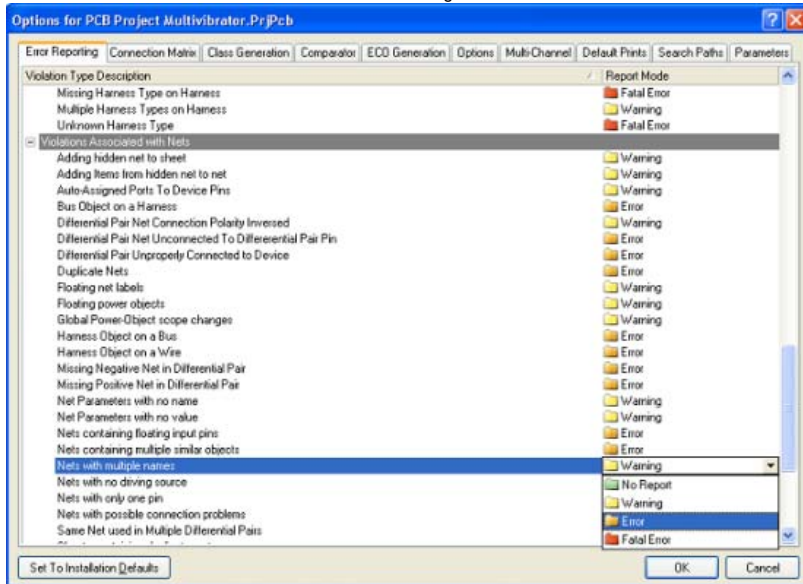


图6-9工程选项的设置

当编译一个工程时，将用到电气完整性规则来校正设计。当没有错误的时候，重编译的原理图设计将被装载进目标文件。例如通过生成ECOs来产生PCB文件。工程允许比对源文件和目标文件之间存在的差异，并同步更新两个文件。

所有与工程相关的操作，都可在Project对话框的Options（Project>>Project Options）里设置，如错误检查，文件对比，ECO generation。具体请参看图6-9。

工程输出，例如装配输出和报告可以在File菜单选项中设置。用户也可以在Job Options文件（File>>New>>Output Job File）中设置Job选项。更多关于工程输出的设置如下所示。

选择Project>>Project Options，某个工程的选项对话框便会打开

在这个对话框中可以设置任意一个与工程相关的选项。如图所示为怎样改变Error Reporting中各项的报告方式。

检查原理图的电气属性

在Altium Designer中原理图图表不仅仅是简单的图，它包括了电路的电气连接信息。用户可以运用这些连接信息来校正自己的设计。当编译工程时，Altium Designer将根据所有对话框中用户所设置的规则来检查错误。

设置Error Reporting

Error Reporting 用于设置设计草图检查。Report Mode设置当前选项提示的错误级别。级别分为No Report, Warning, Error, Fatal Error, 点击下拉框选择即可，如上图所示。

设置Connection Matrix

Connection Matrix界面显示了运行错误报告时需要设置的电气连接，如各个引脚之间的连接，可以设置为四种允许类型。如图所示的矩阵给出了一个原理图中不同类型连接点的图形的描绘，并显示了他们之间的连接是否设置为允许。

如图6-10中所示的矩阵图表，先找出Output Pin，在Output Pin那行中找到Open Collector Pin列，行列相交的小方块呈橘黄色，这说明在编译工程时，Output Pin与Open Collector Pin相连接会是产生错误的条件。

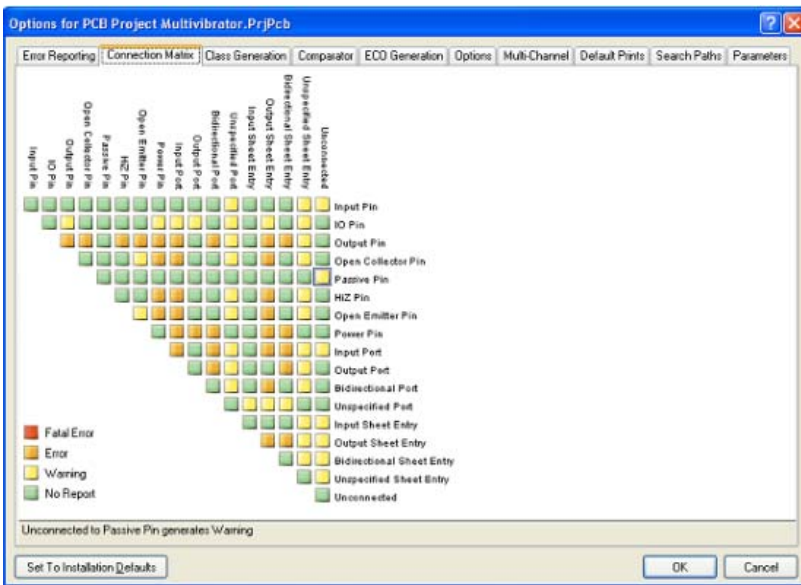


图6-10 设置Connection Matrix

用户可以根据自己的要求设置任意一个类型的错误等级，从no report到fatal error均可。右键可以通过菜单选项控制整个矩阵。

改变Connection Matrix的设置

点击Connection Matrix界面

点击两种连接类型的交点位置，例如Output Sheet Entry 和 Open Collector Pin的交点位置。

点击直到改变错误等级。

设置Comparator

Comparator界面用于设置工程编译时，文件之间的差异是被报告还是被忽略。选择的时候请注意选择，不要选择了临近的选项，例如不要将Extra Component Classes选择成了Extra Component。

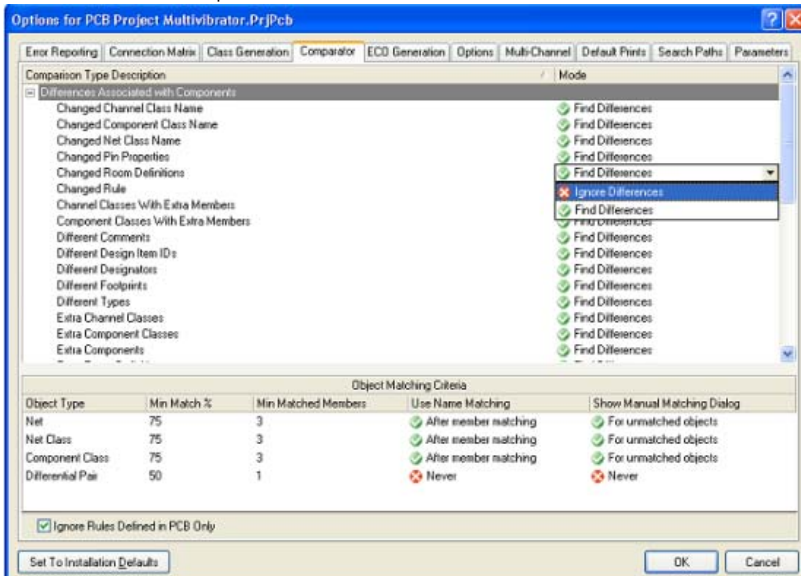


图6-11 设置Comparator

点击comparator界面，在Associated with Component部分找到Changed Room Definitions, Extra Room Definitions和Extra Component Classes选项。

将上述选项的方式通过下拉菜单设置为Ignore Differences, 如图6-11所示。

现在用户便可以开始编译工程并检查所有错误了。

编译工程

编译工程可以检查设计文件中的设计草图和电气规则的错误，并提供给用户一个排除错误的环境。我们已经在Project对话框中设置了Error Checking和Connection Matrix选项。

要编译多频振荡器工程，只需选择Project>>Compile PCB Project。

当工程被编译后，任何错误都将显示在Messages上，点击Messages来查看错误（View>>Workspace Panels>>System>>Messages）。工程已经编译完后的文件，

在Navigator面板中将和可浏览的平衡层次（flattened hierarchy），元器件，网络表和连接模型一起，被将列出所有对象的连接关系在Navigator中。

如果电路设计的完全正确，Messages中不会显示任何错误。如果报告中显示有错误，则需要检查电路并纠正确保所有的连线都是正确的。

现在故意在电路中引入一个错误，再编译一次工程。

在设计窗口的顶部点击激活Multivibrator.SchDoc。

选中R1和Q1的B极之间的连线，点击DELETE键删除此线。

再一次编译工程（Project>>Compile PCB Project）来检查错误。

Messages中显示警告信息，提示用户电路中存在未连接的引脚。如果Messages窗口没有弹出，选择View>>Workspace Panels>>System>>Messages。

双击Messages中的错误或者警告，编译错误窗口会显示错误的详细信息。从这个窗口，用户可以点击错误直接跳转到原理图相应的位置去检查或者改正错误。

下面将修正上文所述的原理图中的错误

点击激活Multivibrator.SchDoc。

在菜单中选择Edit>>Undo，或者使用快捷键Ctrl+Z，原先被删除的线将恢复原状。

检查Undo操作是否成功，重新编译工程（Project>>Compile PCB Project）来检查错误。这时Messages中便会显示没有错误。

在菜单中选择View>>Fit All Objects，或者使用快捷键V，F，来恢复原理图预览并保存没有错误的原理图。保存工程文件。

现在已经完成了设计并且检查过了原理图，可以开始创建PCB了。

创建一个新的PCB文件

在将原理图设计转变为PCB设计之前，需要创建一个新的PCB和至少一个板外形轮廓（board outline）。在Altium Designer中创建一个新的PCB的最简单的方法就是运用PCB板向导，它可让您根据行业标准选择自己创建的自定义板的大小。在任何阶段，都可以使用后退按钮检查或修改该向导的之前页面。

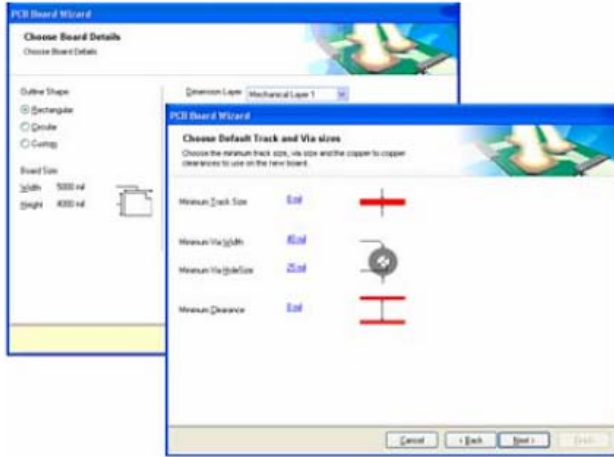


图6-12 PCB板向导

用PCB向导创建一个新的PCB用的PCB向导，步骤如下：

1. 创建一个新的PCB，点击PCB Board Wizard，在Files底部的New from Template选项内点击PCB Board Wizard部分。如果在屏幕上没有显示此选项，按一下向下向上箭头图标关闭一些上层上面的选项。
 2. 打开PCB Board Wizard向导界面，单击下一步继续。
 3. 设置测量单位Imperial，例如1000mil = 1英寸。
 4. 向导的第三页可选择需要的板轮廓形。本页将确定我们自己的电路板尺寸。从板轮廓形列表中选择Custom，并单击下一步。
 5. 在下一页，输入自定义板的选项。对于例子给出的电路，2 × 2英寸的板便足够了。在Width和Height中选择Rectangular和type 2000。取消选择Title Block & Scale，Legend String和Dimension Lines。单击Next继续。
 6. 此页用于选择板的层数。例子中的电路需要两层信号层而不需要电源层。单击Next继续。
 7. 选择thruhole vias only设置设计中的孔类型，并单击Next。
 8. 下一页用于设置元件/布线选项。选择Through-hole components选项并设置One Track与临近焊盘之间可以通过的线的数量。单击Next。
 9. 下一页用于设置一些设计规则，如线的宽度和孔的大小。离开选项则设置为默认值。单击下Next。
 10. 单击Finish。PCB Board Wizard已经设置完所有创建新板所需的信息。PCB编辑器现在将显示一个新的PCB文件，名为PCB1.pcbdoc。
 11. PCB文件显示出一个预设大小的白色图纸和一个空板（黑色为底，带栅格），如图6-13所示。如果需要关闭，选择Design>>Board Options，并在板设置对话框中取消选择Display Sheet。用户可以用Altium Designer的其它PCB模板来添加边界，栅格参考和标题。
- 如需了解更多有关board shapes, sheets和templates, 请翻阅参阅Preparing the Board for Design Transfer手册。

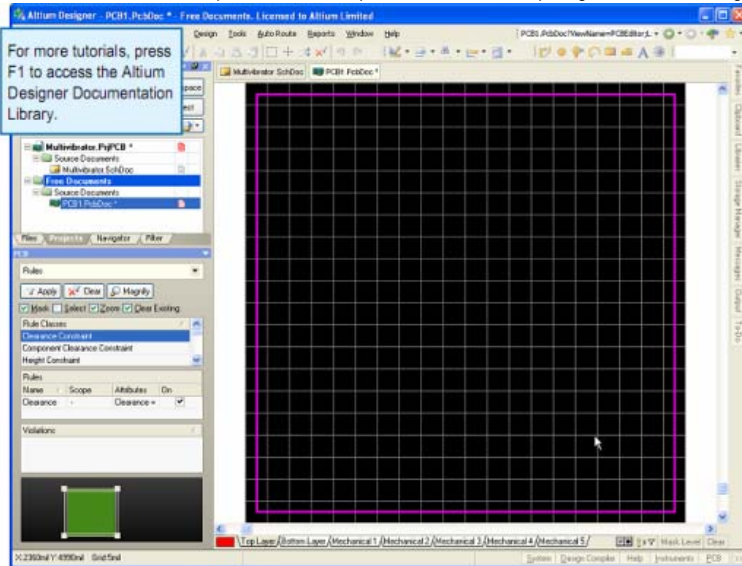


图6-13 PCB文件

12. 现在图纸已关闭，如需显示板的形状，选择View>>Fit Board [快捷键: V, F]。

13. PCB文件自动添加（连接）工程并被列在Projects中源文件里工程名的下方。通过选择File>>Save As重新命名新的PCB文件（带.PcbDoc扩展名）。浏览到用户想存储PCB的位置，在File Name里键入文件名multivibrator.pcbdoc，并点击Save。

在工程中添加一个新的PCB

如果要将PCB文件作为自由文件添加到一个已经打开的工程中，则需在Projects中右键单击PCB工程文件，并选择Add Existing to Project。选择新的PCB文件名并点击打开。现在PCB文件已经被列在Project下的Source Documents中，并与其它工程文件相连接。用户也可直接将自由文件拖拉到工程文件下。保存工程文件。

导入设计

在将原理图的信息导入到新的PCB之前，请确保所有与原理图和PCB相关的库是可用的。因为只有默认安装的集成库被用到，所以封装已经被包括在内。如果工程已经编译并且原理图没有任何错误，则可以使用Update PCB命令来产生ECO（Engineering Change Orders 工程变更命令），它将把原理图的信息导入到目标PCB文

件。

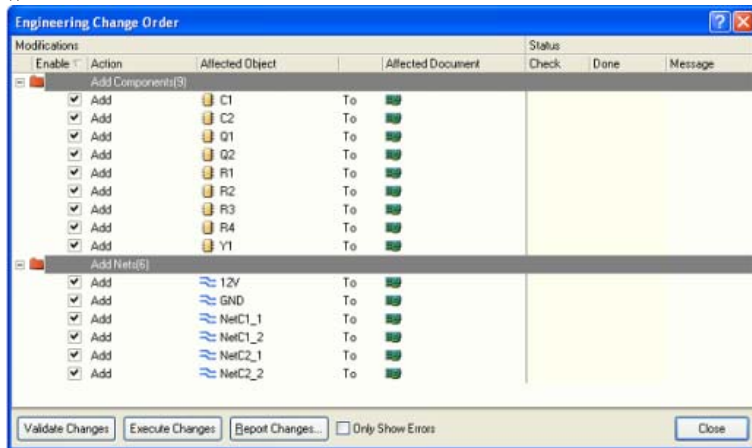


图6-14 信息导入

更新PCB

将原理图的信息转移到目标PCB文件：

1. 打开原理图文件，multivibrator.schdoc。
2. 选择Design>>Update PCB Document (multivibrator.pcbdoc)。该工程被编译并且工程变更命令对话框显示出来，如图6-14所示。
3. 点击Validate Changes。如果所有的更改被验证，状态列表(Status list)中将会出现绿色标记。如果更改未进行验证，则关闭对话框，并检查Messages框更正所有错误。
4. 点击Execute Changes，将更改发送给PCB。当完成后，Done那一列将被标记。
5. 单击Close，目标PCB文件打开，并且已经放置好元器件，结果如图6-15所示。如果用户无法看到自己电路上的元器件，请使用快捷键V, D (View>>Document)。



Figure 4. The components next to the board, ready for positioning.

图6-15 元器件封装放置完成

印刷电路板（PCB）的设计

现在，我们开始摆放在PCB上的元器件及进行布线。

对PCB工作环境的设置

在我们开始摆放元器件在板上之前，我们需要对PCB工作环境进行相关设置，例如：栅格、层以及设计规则。PCB编辑工作环境允许PCB设计在二维及三维模式下表现出来。

二维模式是一个多层的、理想的普通PCB电路设计的环境，如放置元器件，电路和连接。三维模式对检验用户的设计的表面及内部电路都非常有用（三维模式不支持提供二维模式下的全部功能）。您可以通过：File>>Switch To 3D，或者File>>Switch To 2D[快捷键为2（二维）、3（三维）]来切换二维与三维模式。

栅格

在开始摆放元器件之前我们必须确保我们的所用栅格的设置是正确的。所有放置在PCB工作环境下的对齐的线组成的栅格称为snap grid捕获栅格。此栅格需要被设置以配合用户打算使用的电路技术。

我们的教程中的电路使用具有最小的针脚间距100mil的国际标准元器件。我们会设定snap grid为最小间距的公因数，例如50mil或25mil，以便使所有的元器件针脚可以放置在一个栅格点上。此外，我们的板的线宽和安全间距分别是12mil和13mil（为PCB Board Wizard所用的默认值），最小平行线中心距离为25mil。因此，最合适snap grid的设置是25mil。

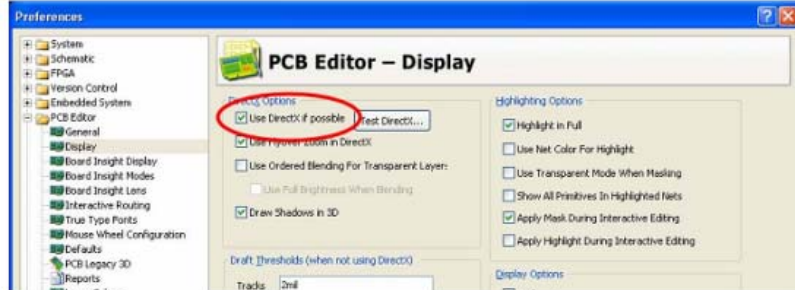


图6-16 栅格的设置

设置snap grid需完成以下步骤:

选择 Design>>Board Options[快捷键分别为: D、O] 打开板Options对话框。

利用下拉列表或输入数字设置Snap Grid和Component Grid的值为25mil。请注意, 此对话框也可以用来界定Electrical Grid。这一栅格作用于用户放置电气对象的时候;它凌驾于与snap Snap gridGrid和snap电气的对象在Component Grid一起使用。单击OK以关闭该对话框。

让我们设置其他可以令放置元器件更容易的Options。

选择Tools>>Preferences[快捷键: T、P]打开偏好设定对话框。按下PCB Editor-General在对话框中的选择树(左侧面板)显示PCB Editor-General的页面。在编辑Options部分, 确保Snap to Center的选项是启用的。这可确保当您“拖拉”一个元器件并放置它的时候, 光标是设定为元器件的参考点。

按下PCB Editor-Display。在DirectX Options部分的页面, 选中Use DirectX if possible的选项。如图6-16所示。这将使我们能够利用最新的3D视图模式。按下OK关闭优先偏好设定对话框。

注: Altium Designer的3D视图模式, 需要DirectX 9.0c的和Shader Model 3或更高版本上运行, 以及一个合适的图形卡。如果用户不能运行DirectX的用户将被限制使用三维视图。

定义层堆栈和其他非电气层的视图设置

View Configurations包括许多关于PCB工作区二维及三维环境的显示选项和适用于PCB和PCB库编辑的设置。保存任何PCB文件时, 最后使用的视图设置也会被随之保存。这使得它可被Altium Designer的另一个使用其关联视图设置的实例所启动调用。视图设置 (View Configurations) 也可以被保存在本地和被使用并用于任何时候的任何PCB文件。用户打开任何没有相关的视图设置 (View Configurations) 的PCB文件, 它都将使用系统默认的配置。

注: View Configurations对话框提供层的二维色彩设置和其他系统基础的颜色设置-这些都是系统设置, 它们将用于所有的PCB文件, 并且不是View Configurations的一部分。二维工作环境的颜色配置文件也可以创建并保存, 并可被以用在任何时间随时调用, 视图配置亦然。



选择Design>>Board Layers & Colors[快捷键: L] 从主菜单中打开View Configurations对话框。此对话框可让您定义、编辑、加载和保存的视图设置。它的设定是用以控制哪些层显示、如何显示共同对象, 例如覆铜、p、焊盘、线、字符串等、显示网络名和参考标记、透明层模式和单层模式显示、三维表面透明度和颜色及三维PCB整体显示。

用户可以使用View Configurations对话框查看或直接从PCB的标准工具栏的下拉列表中选择它们。图6-17示出了视图设置对话框。

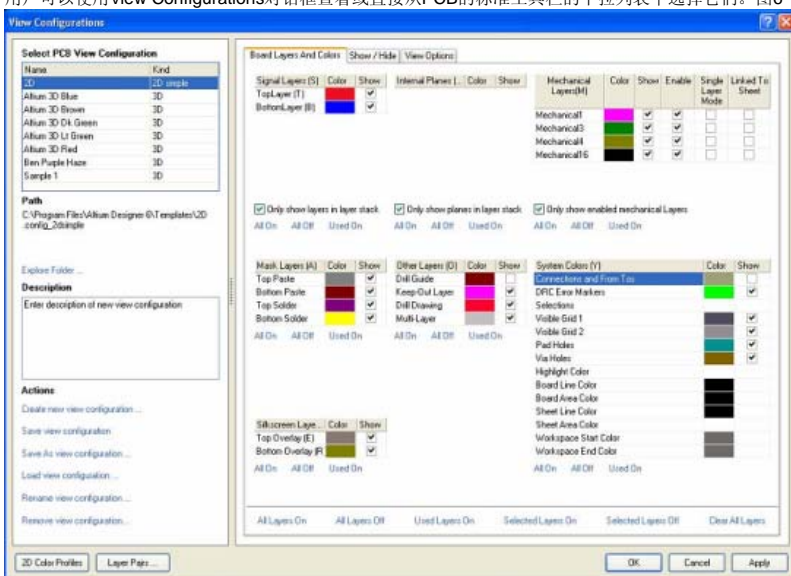


图6-17 视图设置

如果用户看PCB工作区的底部, 用户会看到一系列层的标签, 用户执行的大部分编辑动作都在某一层。

PCB编译器中有三种层:

Electrical layers-其包括32个信号层和16个内层。电气层可以在Layer Stack Manager对话框中添加或删除, 选择Design>>Layer Stack Manager来显示它。

Mechanical layers-它有16个决定板的形状、尺寸的普通机械层 (general purpose mechanical layers), 包括制作的细节或任何其他机械设计的细节要求。这些层可以有选择性地包括在打印输出和Gerber的输出中。您可以在View Configurations对话框中添加、删除和命名机械层。

Special layers-其包括顶部和底部的丝网印刷层、阻焊接层和粘贴层的蒙版层锡膏层、钻孔层、Keep-Out层 (用来界定电气界限的), 多综合层 (用于多层焊盘和过

孔），连接层、DRC错误层，栅格层和过孔洞层。
让我们为此教程创建一个简单的二维视图设置。

1.
 - a. 选择Design>>Board Layers & Colors[快捷键: L]打开View Configurations对话框。打开对话框，在Select PCB View Configuration下选择动作配置。如果用户在三维模式下，点击二维的配置。
 - b. 在Board Layers & Colors页面中，选择Only show layers in layer stack 和 Only show enabled mechanical layers 选项。这些设置显示只有在堆栈中的层。
 - c. 单击在页面上的 Used Layers On按钮。令其只显示正在使用的层。即是有设计在上面的层。
 - d. 单击颜色紧邻Top Layer显示2D System Colors对话框并从Basic颜色列表中选择#7（黄色）。单击OK以返回View Configurations对话框。
 - e. 单击颜色紧邻Bottom Layer显示2D System Colors对话框并从Basic颜色列表中选择#228（亮绿色）。单击OK以返回View Configurations对话框。
 - f. 单击颜色紧邻Top Overlay显示2D System Colors对话框并从Basic颜色列表中选择#233（白色）。单击OK以返回View Configurations对话框。
 - g. 确定这四个Mask层和Drill Drawing层不会被确定的每个层的Show选项屏蔽显示。
 - h. 在Actions选择中，单击Save As view configuration并保存文件如tutorial.config_2dsimple。
 - i. 单击OK当用户返回View Configurations对话框以应用所作改变及关闭对话框。

注：记得2D层颜色设定是基于系统的、将应用于所有PCB文件，并不是任何视图文件的一部分。用户可以创建、编辑和保存2D颜色设置文件从2D System Color对话框中。

Layer Stack Manager（层堆栈管理）

例子的PCB是一个简单的设计，可以用单层板或者双层板进行布线。如果设计较为复杂，用户可以通过Layer Stack Manager对话框来添加更多的层。

- 1、选择Design>>Layer Stack Manager [快捷键: D, K]，显示层堆栈管理对话框，如图6-18所示。
- 2、新的层将会添加到当前选定层的下方。层电气属性，如铜的厚度和介电性能，将被用于信号完整性分析。单击OK以关闭该对话框。

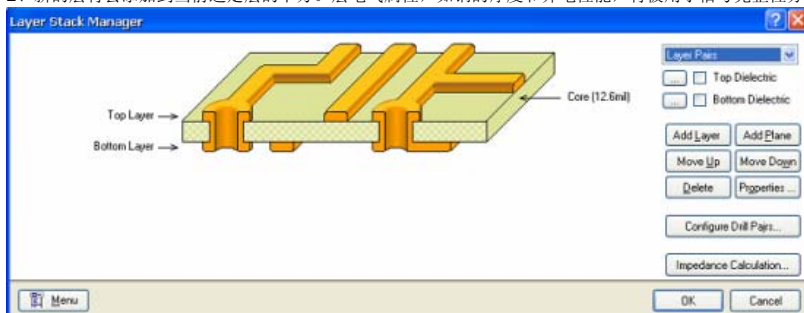


图6-18 层堆栈管理

设置新的设计规则

PCB编辑器是一个以规则为主导的环境，这意味着，在用户改变设计的过程中，如画线，移动元器件，或者自动布线，Altium Designer都会监测每个动作，并检查设计是否仍然完全符合设计规则。如果不符，则会立即警告，强调出现错误。在设计之前先设置设计规则可以让用户集中精力设计，因为一旦出现错误软件就会提示。

设计规则总共有10类，进一步化分为设计规则的类型。设计规则，包括电气，布线，工艺，放置和信号完整性的要求。

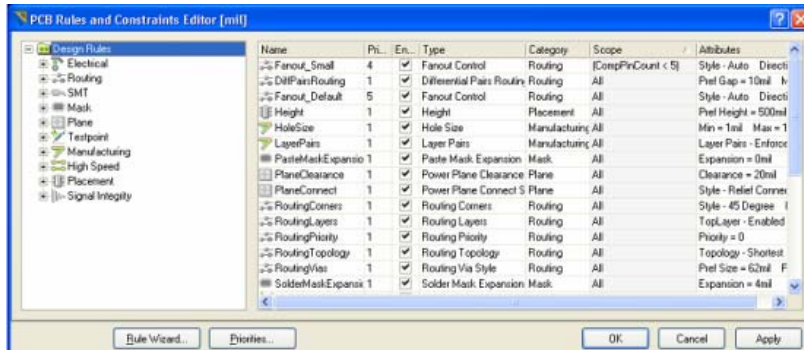


图6-19 设计规则

现在来设置新的设计规则，指明电源线必须的宽度。具体步骤如下：

- 1、激活PCB文件，选择菜单中的Design>>Rules。
- 2、如图6-19，PCB规则和约束限制编辑器对话框就会出现。每个规则类显示在对话框左边Design Rules文件夹的下面。双击Routing扩展，看到相关的布线规则。然后双击Width，显示宽度规则。
- 3、点击选择每条规则。当用户点击每条规则时，右边的对话框的上方将显示该规则的范围（用户想要的这条规则的目标），下方将显示规则的限制。这些规则不仅是预设值，还包括了新的PCB文件创建时在PCB Board Wizard(PCB板向导)中设置的信息。
- 4。点击Width规则，显示其范围和约束限制。本规则适用于整个板。

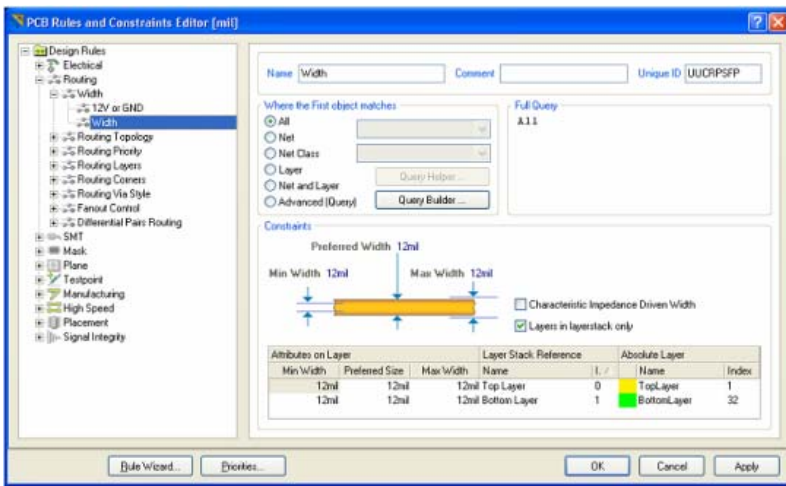


图6-20 设置Width规则

Altium Designer的设计规则系统的一个强大的功能是同种类型可以定义多种规则，每个目标有不同的对象。每个规则目标的确切设置是由被规则的范围决定的。规则系统使用一个预定义层次，来确定规则适应对象。

例如，一块板可以先设置一个宽度约束规则，然后地线设定第二个宽度约束规则，某些连接地的线设定第三宽度约束规则（独立于前两个规则）。规则按照优先顺序显示。

目前已经有一个宽度约束规则适用于整个板（宽度 = 12mil）。现在将为12V和GND网络添加一个新的宽度约束规则（宽度 = 25mil）。添加新的宽度约束规则，步骤如下：

1、找到Design Rules文件夹下的Width，点击右键选择New Rule来添加一个新的宽度约束规则，只设置12V网络。

命名为width_1的一项新的规则出现了。在Design Rules文件夹中点击新规则，来修改线宽的范围和约束。

2、在Name里键入12V或GND。当单击返回时，名称会在Design Rules里自动更新。

3、下一步使用Query Builder来设置规则的范围，也可以随时在范围内直接键入。如果用户觉得Query比较复杂，可以选择Advanced选项，单击Query Helper按钮来使用Query Helper对话框。

4、点击Query Builder按钮，在Board对话框中打开Building Query。

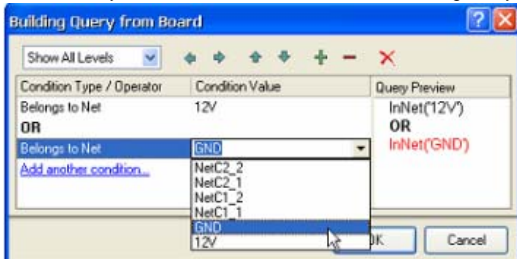


图6-21 设置规则的范围

5、点击Add first condition，从下拉菜单中选择Belongs to Net。在Condition Value中，从列表中点击并选择网络12V。Query Preview现在便读到了InNet ('12v')。

6、点击Add another condition来增加定义GND的宽度。选择Belongs to Net和GND作为Condition Value。

7、点击AND，在下拉菜单

中选择OR。检查预览显示InNet ('12v') OR InNet ('GND')。

8、单击OK来从Board对话框中关闭Building Query。

9、在PCB Rules的底部和Constraints Editor对话框中，点击约束值(10mil)并键入新的值，将Min Width， Preferred Width和Max Width改变为25mil。新规则现在已经被设置，可以选择设置其它规则或者保存并关闭对话框。

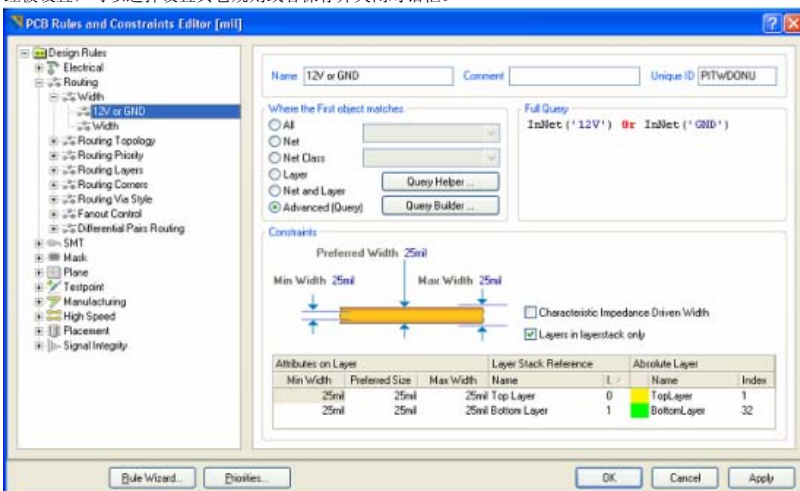


图6-22 新规则设置完成

10、最后，点击编辑原来的规则命名宽度（范围设定为所有），并确认Min Width， Preferred Width和Max Width都设置为了12mil。单击OK关闭该对话框。

当手工布线或者自动布线时，所有的先将会12mil宽，除了GND和12V是25mil宽。

在PCB上摆放元器件

现在我们将开始摆放元器件到正确的地方。

1. 按下快捷键V、D来进行放大板以及元器件。

2. 摆放排针 Y1，将光标移到connector的轮廓的中间，点击并按住鼠标左键。光标将变更为一个十字准线交叉瞄准线并跳转到附件的参考点。同时继续按住鼠标按钮，移动鼠标拖动的元器件。

3. 向着板的左边放置封装（确保整个元器件保持在板的边界内），如图6-23。
4. 当确定了元器件的位置后，释放鼠标按键让它落入当前区域。值得注意的是元器件的飞线随着元件被拖动的情況。
5. 以图6-23为范例，重新摆放其余元器件。当用户拖动元器件的时候可用**空格键**进行必要的旋转（每次向逆时针方向转90°），使连接线如图6-5所示。不要忘记，当用户在摆放每一个元器件的时候要重新优化飞线。

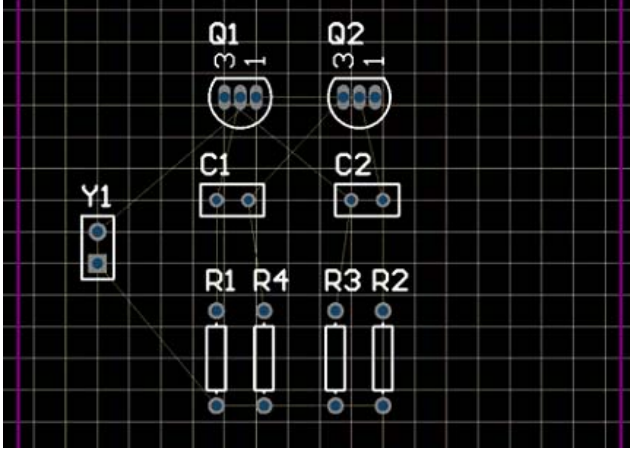


图6-23 元器件放置在板上

元器件文字可以通过相类似的方式重新摆放——点击并拖拉文字，及按下**空格键**进行旋转。

Altium Designer 同时包括强大的互动摆放的工具。让我们使用这些以确保四个电阻器是有最佳的对齐和空间。

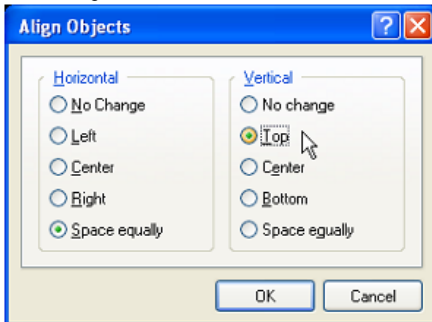


图6-24 元器件的重新摆放

按住**SHIFT**键，分别单击四个电阻器进行选择，或者点击并拖拉选择框包围四个电阻器。选择框会显示在每个选定且颜色设置为系统所选择颜色的元器件周围。要改变这种颜色的设置，选择**Design>>Board Layers & Colors**[快捷键：**L**]。

点击右键并选择**Align>>Align**[捷径：**A, A**]。在Align Objects对话框中，点击Space Equally在Horizontal选项并按一下Top在Vertical选项中。四个电阻现在在对齐并有同样间隔。

在设计窗口中单击其他地方，取消选择所有电阻。

改变封装

现在那些我们放置好的封装里，电容的封装相对于我们的要求太大！让我们把它的封装改成更小的。

1. 首先，我们将浏览一个新的封装。按一下Libraries面板，并从Libraries列表中选择Miscellaneous Devices.IntLib。我们需要有一个较小径类型的封装，所以在Filter区域内输入rad。按一下库名称的旁边的...按钮，并在当前library中选择Footprints选项来显示封装。按一下该封装的名字以看见关联的封装。封装RAD-0.1就合适了。
2. 在Component对话框中双击该电容器和改变封装为RAD-0.1。用户可以键入新的封装名称，或者按下...按钮，从Browse Libraries对话框中选择一个封装。单击Ok，新的封装会在板上显示。按照要求重新定位该标识符。现在用户的板应看起来就像图6-25所示。

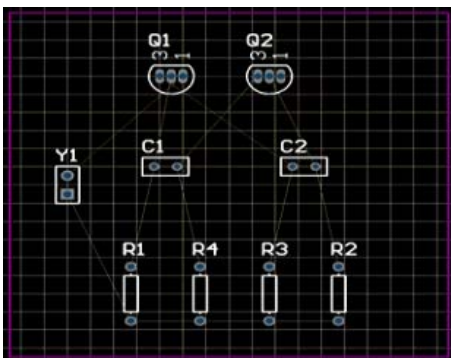


Figure 6. Components placed on the board with new footprints.

图6-25 元器件使用新的封装放置在板上

在所有元器件都摆放好后，就需要进行布线的工作了！

可以在PCB文件中，使用组合CTRL键和箭头键（纵向或横向）或CTRL、SHIFT和箭头键移动选定的物体。选择对象的移动基于Board Options对话框（Design » Board Options[快捷键：**D, O**]）中的当前Snap Grid设置。您可以使用对话框来设定网格预置值。使用快捷键G来遍历不同的snap grid的设置值。用户也可以使用View » Grids子菜单或Snap Grid右键点击菜单来完成。

被选择的对象可以在按住Ctrl键的同时按箭头键少量地移动（根据目前的Snap Grid值）。被选择的对象也可以在按住Ctrl和Shift键的同时按箭头键来实现大幅度的移动（Snap Grid值的10的倍数）。

手动布线

布线是在板上通过走线和过孔以连接组件的过程。Altium Designer通过提供先进的交互式布线工具以及Situs拓扑自动布线器来简化这项工作，只需轻触一个按钮就能对整个板或其中的部分进行最优化布线。

而自动布线提供了一种简单而有力的布板方式，在有的情况下，用户将需要精确的控制排布的线，或者用户可能想享受一下手动布线的乐趣！在这些情况下您可以手动为部分或整个板子布线。在这一节的教程中，我们将手动对单面板进行布线，将所有线都放在板的底部。交互式布线工具可以以一个更直观的方式，提供最大限度的布线效率和灵活性，包括放置导线时的光标导航、接点的单击走线、推挤或绕开障碍、自动跟踪已存在连接等等，这些操作都是基于可用的设计规则进行的。我们现在在“ratsnest”连接线的引导下在板子底层放置导线。

在PCB上的线是由一系列的直线段组成的。每一次改变方向即是一条新线段的开始。此外，默认情况下，Altium Designer会限制走线为纵向、横向或45°的方向，让您的设计更专业。这种限制可以进行设定，以满足用户的需要，但对于本教程，我们将使用默认值。

1. 用快捷键L以显示View Configurations对话框，其中可以启用及显示Bottom Layer。在Signal Layers区域中选择在Bottom Layer旁边的Show选项。单击OK，底层标签就显示在设计窗口的底部了。
2. 在菜单中选择Place>>Interactive Routing [快捷键：P、T]或者点击Interactive Routing按键。光标将变为十字准线十字，显示用户是在线放置模式中。

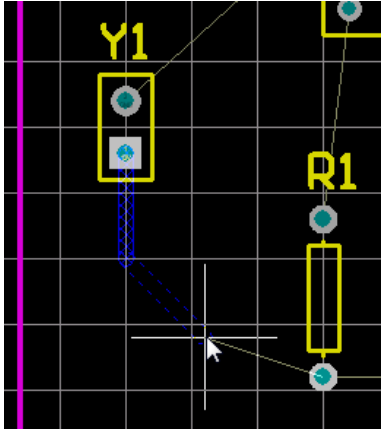


图6-26 手动布线检查文档工作区底部的层标签。Top Layer标签当前应该是激活的。通过按下*键，来在不退出走线模式的情况下切换到底层。此键在可用信号层中循环。Bottom Layer标签会被激活。

3. 将光标定位在排针 Y1 较低的焊盘。点击或按下ENTER，以确定线的第一点起点。
4. 将光标移向电阻R1底下的焊盘。注意：线段是如何跟随光标路径来在检查模式中显示的（图6-26）。检查的模式表明他们还没被放置。如果用户沿光标路径拉回，未连接线路也会随之缩回。在这里，用户有两种走线的选择：
 - CTRL+单击使用Auto-Complete功能，并立即完成布线（此技术可以直接使用在焊盘或连接线上）。起始和终止焊盘必须在相同的层内布线才有效，同时还要求板上的任何的障碍不会妨碍Auto-Complete的工作。对较大的板，Auto-Complete路径可能并不总是有效的，这是因为走线路径是一段接一段地绘制的，而从起始焊盘到终止焊盘的完整绘制有可能根本无法完成。
 - 使用ENTER或点击来接线，用户可以直接对目标R1的引脚接线。这种方法为走线提供了控制，并且能最小化用户操作的数量。
5. 未被放置的线用虚线表示，被放置的线用实线表示。
6. 使用上述任何一种方法，来在板上的其他元器件之间布线。图6-26显示了一个手工布线的板。
7. 保存设计[快捷键：F、S或者Ctrl + S]。

Altium Designer的交互式布线工具提供了可以用来解决布线时的冲突与障碍的功能。在交互式布线模式下，通过使用SHIFT+R来遍历这些模式。可用的模式有：

Push——这种模式将试图移动目标（线和孔），它们可以被重新定位来适应新的布线。

Walkaround——这种模式将试图找到一个布线路径绕过已经存在的障碍而不去移动它们。

Hug&Push——这种模式结合了Walkaround和Push的功能。它会绕过障碍，然而也会考虑采用Push模式来对待固定的障碍。

Ignore——这种模式可让用户在任何地方布线。

在交互式布线过程中，如果尝试布线到一个区域，使用Push or Hug & Push模式仍然无法完成布线，无法完成布线的提示便会立即出现（图6-27）。

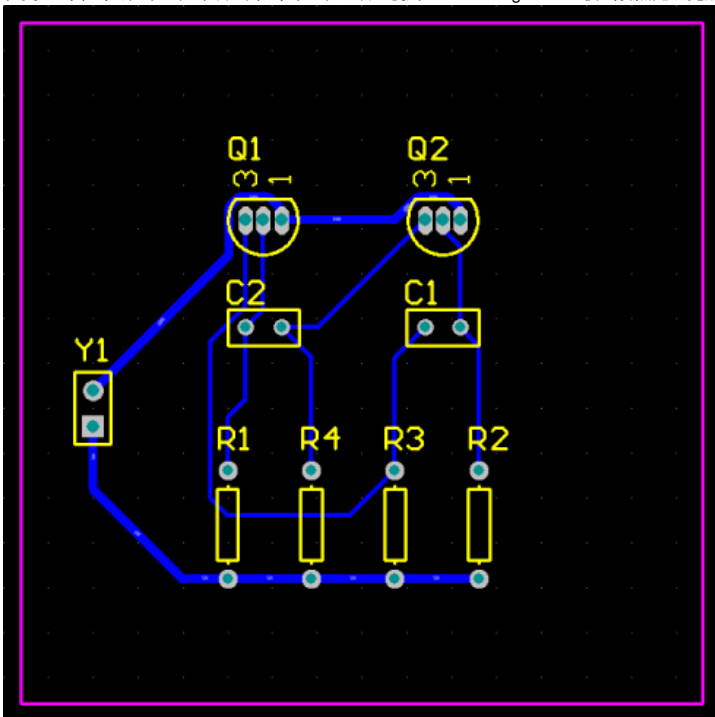


图6-27 Push or Hug & Push模式仍然无法完成布线，会立即出现提示

关于布线的几点提示

布线的时候请记住以下几点：

- 点击或按下ENTER，来放置线到当前光标的位置。检查模式代表未被布置的线，已布置的线将以当前层的颜色显示为实体。
- 在任何时候使用CTRL+单击来执行自动完成连线。起始和终止引脚必须在同一层上，并且没有不能解决的冲突与障碍。
- 利用Shift + R来遍历Push, Walkaround, Hug and Push以及Ignore模式。

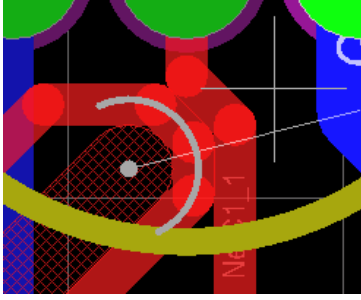


图6-28 双层手动布线•使用Shift +SPACEBAR来选择各种线的角度模式。角度模式包括：任意角度，45°，弧度45°，90°和弧度90°。按空格键切换角度。

- 在任何时间按END键来刷新屏幕。
- 在任何时间使用V, F重新调整屏幕以适应所有的对象。
- 在任何时候按PAGE UP和PAGE DOWN键，以光标位置为核心，来缩放视图。使用鼠标滚轮来向左边和右边平移。按住CTRL键，用鼠标滚轮来进行放大和缩小。
- 按BACKSPACE键，来取消放置上一条线。
- 当用户完成布线并希望开始一个新的布线时，右键单击或按下ESC键。
- 防止不小心连接了不应该连接在一起的引脚。

Altium Designer不断的监察板的连通性，并防止用户在连接方面的失误。

- 要删除线，单击选择它。它的编辑操作就会出现（其余的线将突出）。按下DELETE键来清除所选的线段。
- 重新布线是非常简便的——当用户布置完一条线并右击完成时，多余的线段会被自动清除。
- 完成PCB上的所有连线后，如图6-28所示，右键单击或者按下ESC键以退出防止放置模式。

板的自动布线

请完成以下步骤，用户会发现使用Altium Designer软件是如此的方便。

1. 首先，选择取消布线，Tools>>Un-Route>>All, [快捷键：U, A]。
2. 选择Auto Route>>All。Situs Routing Strategies对话框弹出。按一下Route All。Messages显示自动布线的过程。Situs autorouter提供的结果可以与一名经验丰富的设计师相比，如图6-29所示，因为它直接在PCB的编辑窗口下布线，而不用考虑输入和输出布线文件。
3. 选择File>>Save [快捷键：F, S]来储存用户设计的板。

注：线的放置由autorouter通过两种颜色来呈现：红色，表明该线在顶端的信号层；蓝色，表明该线在底部的信号层。要用于自动布线的层在PCB Board Wizard中的Routing Layers设计规则中指定。此外，注意电源线和地线要设置的宽一些。

如果您设计中的布线与图6-28所示的不完全一样，也是正确的，因为元器件摆放位置不完全相同，布线也会不完全相同。

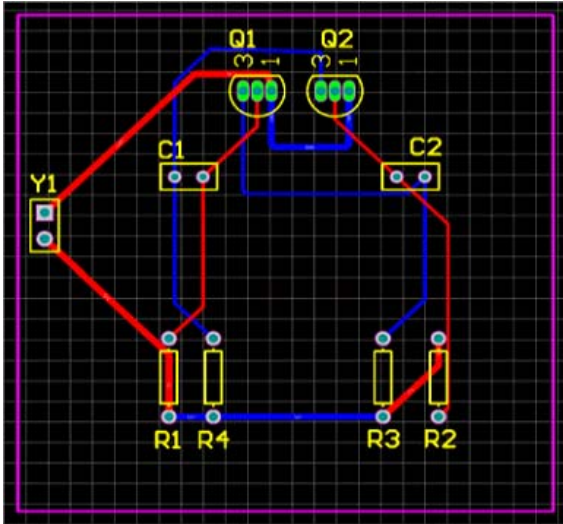


Figure 10. Fully autorouted board.

图6-29 自动布线

因为最初在PCB Board Wizard中确定我们的板是双面印刷电路板，用户可以使用顶层和底层进行手工布线。为此，从菜单中选择Tools>>Un-Route>>All, [快捷键：U, A]来取消布线。和以前一样开始布线，在放置线的时候使用*键来切换层。Altium Designer软件在切换层的时候会自动的插入必要的过孔。

注意：由自动布线器完成的布线将显示两种颜色：红色表示顶部信号层布线和蓝色表示底层信号层布线。可用于自动布线的信号层定义是符合PCB Board Wizard中的布线层设计规则约束。还要注意两个电源网络布线更宽的间隔符合两种线宽规则约束。不必担心，如果在你的布线设计不完全如上图所示的一样。器件摆放的位置将不会完全一样，也可能是不同的布线样式。

板设计数据校验

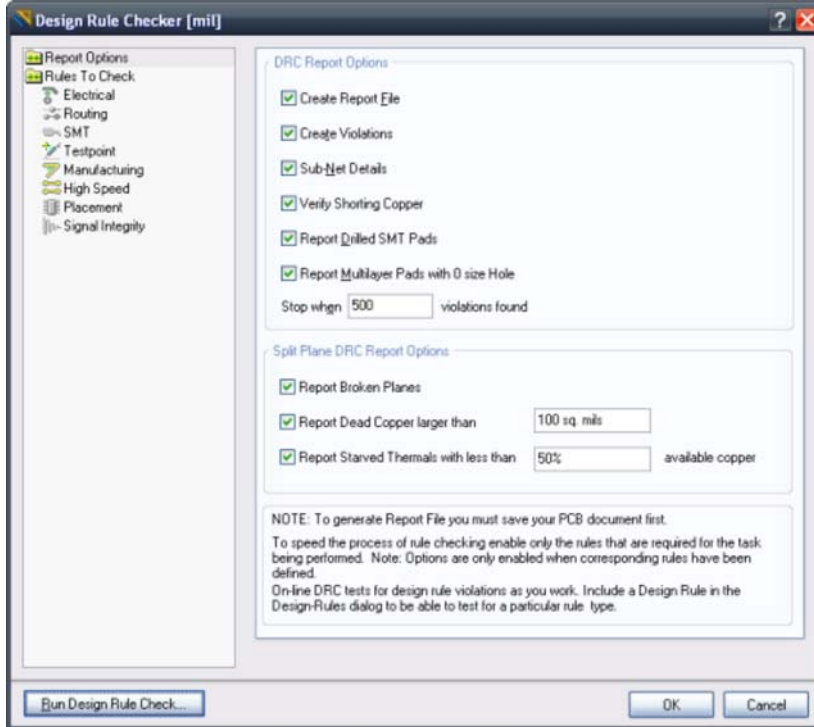
Altium Designer is a rules-driven board design environment, in which you can define many types of design rules to ensure the integrity of your board. Typically, you set up the design rules at the start of the design process and then verify that the design complies with the rules as you work through the design, and at the end of the design process.

Earlier in the tutorial we examined the routing design rules and added a new width constraint rule. We also noted that there were already a number of rules that had been created by the PCB Board Wizard, and that there were some existing design rule violations against these default rules.

Altium Designer支持多级设计规则约束功能。用户可以对同一个对象类设置多个规则，每条规则还可以限定约束对象的范围。规则优先级定义服从规则的先后次序。

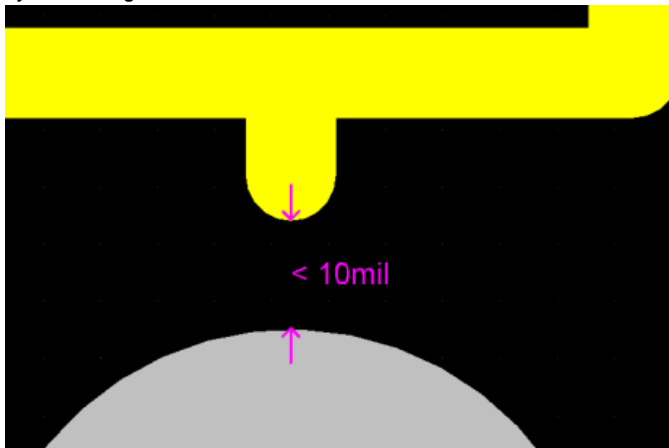
为了校正电路板使之符合设计规则的要求，用户可以利用设计规则检查功能(DRC):

1. 选择 **Design»Board Layers & Colors** (快捷键: L) 并确认复选项 **Show** 及 **System Colors** 区的DRC错误标记选项已被选取, 这样DRC错误标记将被显示。
2. 选择 **Tools»Design Rule Check** (快捷键: T, D), 打开 *Design Rule Checker* 对话框, 使能 **online** 和 **batch** DRC 选项。



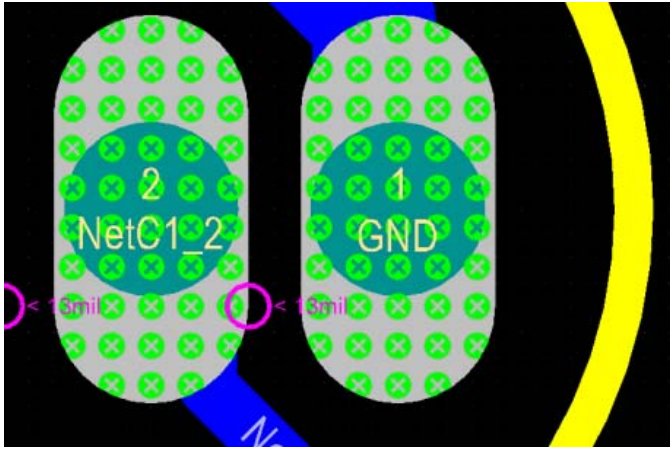
规则检测, **Online**和**Batch**均可以手工配置。

3. 鼠标点击窗口左边的 **Report Options** 图标, 保留缺省状态下 **Report Options** 区域的所有选项, 并执行 **Run Design Rule Check** 命令按钮, 随之将出现设计规则检测报告。并将同时弹出一个消息窗口。
4. 点击违例条款 **Silkscreen over Component Pads**, 用户将跳转到相应违例报告区域。
5. 点击违例条款 **Silkscreen over Component Pads** 的任一条记录, 用户将跳转到PCB, 并放大显示出现违例的设计区域。注意, 放大的倍数取决于在 **System - Navigation** 环境配置内的设置。



显示每项违例的细节, 本例的丝印与焊盘的间隔少于10mil。

6. 显示每项违例的细节, 如上图所示。注意用户可以通过 **View Configurations** 窗口内的 **DRC Detail Markers** 配置违例的图形显示颜色。
7. 需要找出所有实际违反丝印与焊盘间安全间距规则约束的对象, 可以选择菜单 **Reports»Measure Primitives** 命令。注意, 用户可以通过快捷功能按键 **CTRL+G** 修改电气栅格的值。如5mil。
8. To resolve this error we can either modify the footprint, increasing the separation, or we can edit the design rule, decreasing the required separation. For this tutorial we will edit the design rule, to do this select **Design»Rules** from the menus to open the *PCB Rules and Constraints Editor* dialog.
9. In the **Manufacturing** category, open the **Silkscreen Over Component Pads** rule type, and click on the existing rule.
10. Edit the **Silkscreen Over Exposed Component Pads Clearance** value, changing it from 10mil to 9mil.

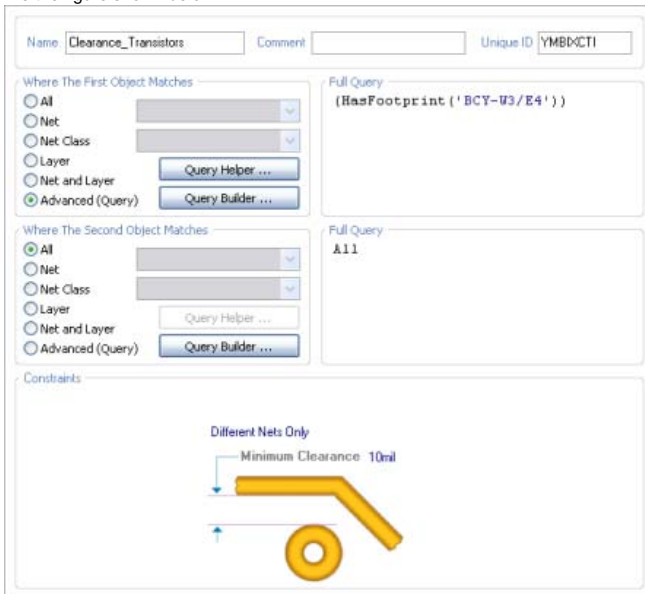


These pads are closer than the 13mil specified in the Clearance Constraint design rule.

- 运用习惯上与检查晶体管上焊盘间的安全间距相同的技术，检查阻焊数据与焊盘之间的间隙。

Switch back to the PCB document and you will see that the transistor pads are highlighted in green, indicating a design rule violation.

1. Look through the errors list in the Messages panel. It lists any violations that occur in the PCB design. Notice that there are four violations listed under the Clearance Constraint rule. The details show that the pads of transistors Q1 and Q2 violate the 13mil clearance rule.
2. Double-click on an error in the Messages panel to jump to its location on the PCB. Normally you would set up the clearance constraint rules before laying out your board, taking account of routing technologies and the physical properties of the devices. Let's analyze the error then review the current clearance design rules and decide how to resolve this situation.
3. Open the *PCB Rules and Constraints Editor* dialog (**Design»Rules**). Expand the **Electrical**, then the **Clearance** rule type. There will be one Clearance design rule, click on it to display its settings.
4. Note that this rule requires **All** objects to be away from **All** other objects, at least **13mil**. Since the clearance between the transistor pads is less than this, they generate a violation when we run a DRC.
5. We know that the minimum distance between the transistor pads is just over 10mil, so let's set up a design rule that allows the clearance constraint of 10mil for the transistors only.
6. Select the **Clearance** type rule in the **Design Rules** folder on the left of the dialog, right-click on it, then select **New Rule** to add a new clearance constraint rule.
7. Click on the new Clearance rule, Clearance_1. Change the **Name** to Clearance_Transistors, and set the **Minimum Clearance** to 10mil in the **Constraints** section.
8. The final task is to set the Scope, or **Full Query** for the rule. There are a number of ways the rule could be scoped, the most appropriate in this case would be to target the rule to any component that uses the transistor footprint. To do that, select the **Advanced (Query)** option (in the upper section of the dialog), then click the ***Query Builder** button to open the *Building Query from Board* dialog.
9. Click **Condition/Type Operator** dropdown to **Add first condition**, and select **Associated with Footprint** from the list.
10. Set the **Condition Value** to **BCY-W3/E4** (the footprint type being used by the transistor), then click **OK** to close the dialog. The new design rule should look like the figure shown below.



Design rule to set the clearance for all components using a specific footprint.

11. Click **OK** to close the *PCB Rules and Constraint Editor* dialog. The online DRC will run automatically, clearing the errors.
12. To confirm that the transistor pad clearance violations have been resolved, run the batch design rule check again (**Tools»Design Rule Check**). When the report opens scroll down and confirm that there are no violations.

Design Rule Verification Report

Date : 7/10/2009
 Time : 11:41:04 AM
 Elapsed Time : 00:00:00
 Filename : C:\Documents and Settings\phil\My Documents\My Designs\Multivibrator\Multivibrator.PcbDoc

Warnings : 0
 Rule Violations : 0

Summary

Warnings	Count
Total	0

Rule Violations	Count
Clearance Constraint (Gap=10mil) ((HasFootprint("BCY-W3/E4"))),(All)	0
Short-Circuit Constraint (Allowed=No) (All),(All)	0
Un-Routed Net Constraint ((All))	0
Height Constraint (Min=0mil) (Max=1000mil) (Preferred=500mil) (All)	0
Hole Size Constraint (Min=1mil) (Max=100mil) (All)	0
Hole To Hole Clearance (Gap=10mil) (All),(All)	0
Minimum Solder Mask Sliver (Gap=10mil) (All),(All)	0
Silkscreen Over Component Pads (Clearance=9mil) (All),(All)	0
Silk to Silk (Clearance=10mil) (All),(All)	0
Net Antennae (Tolerance=0mil) (All)	0
Width Constraint (Min=12mil) (Max=12mil) (Preferred=12mil) (All)	0
Clearance Constraint (Gap=13mil) (All),(All)	0
Power Plane Connect Rule(Relief Connect)(Expansion=20mil) (Conductor Width=10mil) (Air Gap=10mil) (Entries=4) (All)	0
Width Constraint (Min=10mil) (Max=50mil) (Preferred=25mil) ((InNet("1.2V") OR InNet("GND")))	0
Total	0

一份清晰的DRC报告，显示了所有被判定了的违反规则的设计。

现在，用户就完成了PCB版图的设计，然后可以开始产生输出数据文档。不过，在产生输出制造数据之前，用户还可以利用Altium Designer的三维视图功能查看自己设计的PCB板。

在3D模式下查看电路板设计



现在，您的电路板设计已经基本完成，是时候研究一下它的3D模式了。3D模式，可以让您从任何角度观察您设计的板。要

在PCB编辑器中切换到3D，只需选择View>>Switch To 3D [快捷键: 3]或者从列表中的PCB标准工具栏中选择一个3D视图配置。

Altium Designer软件的3D环境的要求支持是DirectX及相关技术，并使用一个兼容块独立的显卡。对于如何测试您的系统，以及让Altium Designer可以使用DirectX，打开Preferences对话框中的PCB Editor - Display (Tools>>Preferences)。

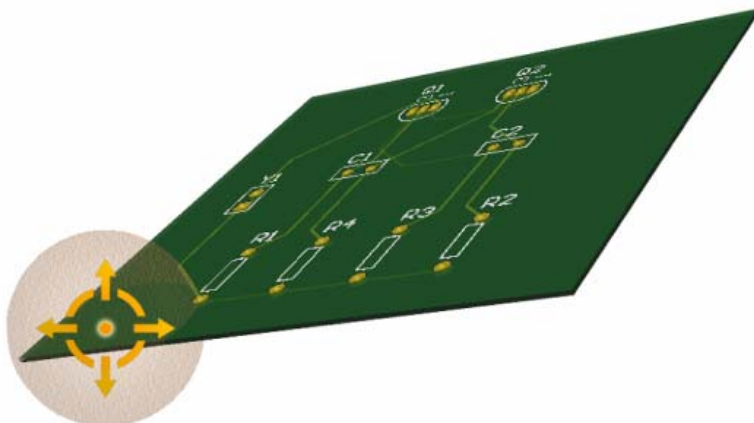


图6-30 3D旋转展示图

您可以滑动变换大小来看，旋转，甚至在板中间看，只要您使用如下操作：

缩放——按Ctrl+鼠标右拖，或者Ctrl+鼠标滚轮，或者PAGE UP / PAGE DOWN键。

平移——鼠标滚轮向上/向下，SHIFT+鼠标滚轮向左/右或向右拖动鼠标来向任何方向移动。

旋转——按住SHIFT键进入3D旋转模式。光标处以一个定向圆盘的方式来表示（图6-11）。该模型的旋转运动是基于圆心的，使用以下方式控制：

用鼠标右拖曳圆盘Center Dot，任意方向旋转视图。

用鼠标右拖曳圆盘Horizontal Arrow，关于Y轴旋转视图。

用鼠标右拖曳圆盘Vertical Arrow，关于X轴旋转视图。

用鼠标右拖曳圆盘Circle Segment，在Y-plane中旋转视图。

您可以使用View Configurations对话框[快捷键: L]来设定3D工作区的显示选项。可以选择各种表面和工作区的颜色以及垂直尺度，这样可以得心应手的来检查PCB的内部。一些表面有一种不透明的设置——越大的透明度的值越大，越少表示的光通过表面的光强度越小，使物体背面后面不明显。您也可以选择显示3D物体本身或

者以2D层的颜色来着色3D对象。

您可以将3D STEP格式模型导入到元器件的封装和PCB设计中并创建自己的3D物体。您也可以以STEP和DWG / DXF格式来输出PCB文件，以便运用到用于其他程序中。3D Viewer可以导入VRML 1.0/IGES/STEP格式的3D物件，也可以导出IGES和STEP格式的3D物件。

注：任何时候在3D模式下，您可以以各种分辨率创建实时“快照（snapshots）”，使用CTRL + C复制，这样就可以将图像（Bitmap格式）存储在Windows剪贴板中，用于其他应用程序。

为元器件封装创建和导入3D实体

到目前为止，我们已经到了最终PCB数据的核实和输出阶段。Altium Designer软件的3D环境提供了一个逼真的优良的供视图查看及检查PCB组装的环境条件，是一个逼真的环境。

元器件封装本身存储有3D模型，用于在3D环境下渲染该元件。此外，精确的元器件间隙检查、甚至是装配整个PCB和外部的自由浮动的3D机械物体外壳都是可能的。这将用到机械CAD软件包，创建一个设计一体化的新的水平，这些Altium Designer软件正好可以提供。

如需要为元器件创建3D实体的详细资讯，请查找Creating Library Components教程中的3D元器件详细部分。

如需用MCAD软件进行3D实体一体化设计的更多信息，请查找 Integrating MCAD Objects and PCB Designs教程。

在 Integrating MCAD Objects and PCB Designs教程中，我们设计的板已经通过器件的3D模型完成了（图6-31）。教程将用机械外壳来装起整块板（图6-32）。板和元器件可以在Altium Designer软件安装中的 Examples/Tutorials/multivibrator_step文件夹中找到。

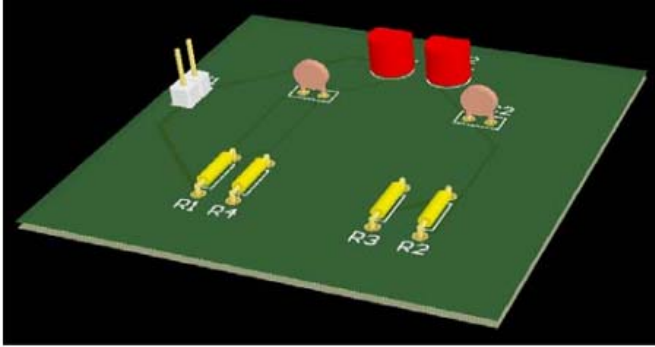


Figure 12. Multivibrator PCB, complete with component 3D bodies.

图6-31 3D效果图



Figure 13. Multivibrator PCB fully assembled into two part housing assembly.

图6-32 .装配效果图

检验PCB板设计

Altium Designer提供了一个规则驱动设计环境，在这里能够设计PCB，并且允许我们定义很多类型的设计规则来保证我们的PCB设计的完整性。典型地，我们在设计过程开始时建立设计规则，再在设计过程结束后用这些规则来校验修正设计标准。

在较早的教程指南中，我们检查了布线设计的规则和增添了一个新的宽度约束规则。我们还注意到，已经有一些由PCB Board Wizard创建的规则。

为了核实已经布好的电路板遵守设计规则，我们来执行设计规则检查（DRC）：

1. 选择Design>>Board Layers & Colors（快捷键：L），保证在System Colors部分中的DRC Error Markers选项中的Show按钮已经使能（打钩），以保证显示DRC错误标记。
2. 选择Tools - Design Rule Check（快捷键：T, D）。保证在设计规则检查对话框的实时和批处理设计规则检测都被配置好。在其中一个各类上单击，比如：Electrical，可以看到属于那个种类的所有规则。
3. 保持所有选项为默认值，点击Run Design Rule Check按钮。DRC就开始运行，报告文件Multivibrator.DRC就打开了。错误结果也会显示在信息面板。点击进入PCB文件，我们将会看到，该晶体管的焊盘是以绿色突出显示的，显示违反设计规则。
4. 通过在信息面板中看错误报告清单，它列出发生在PCB设计的任何违反规则行为。注意有四种列出在清除约束规则中的违反规则。细节表明，晶体管Q1和Q2违反13mil的最小安全距离规则。

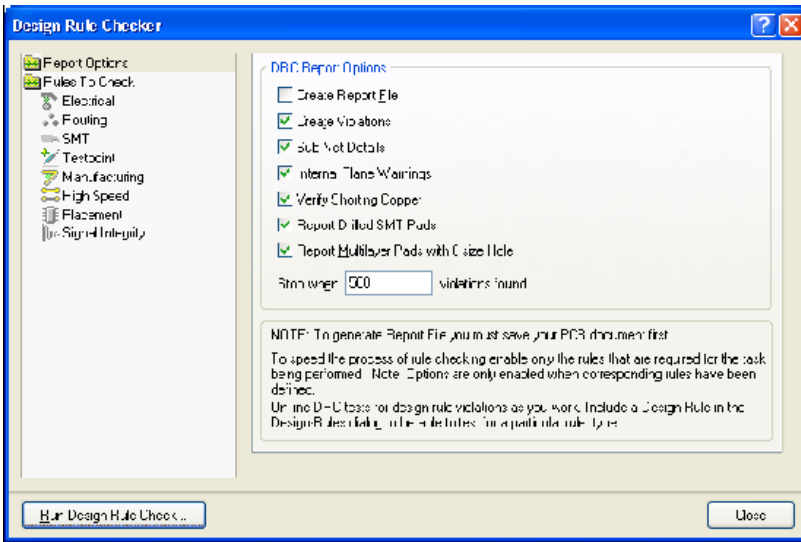


图6-33保持所有选项为默认值

1. 双击Messages面板中的错误，可以跳到对应的PCB中的位置。

通常，我们会在布线之前，设置我们的安全距离规则，同时考虑到布线技术和设备的物理性能。让我们分析错误，然后再次检查现行的安全距离设计规则和决定如何解决这种情况。

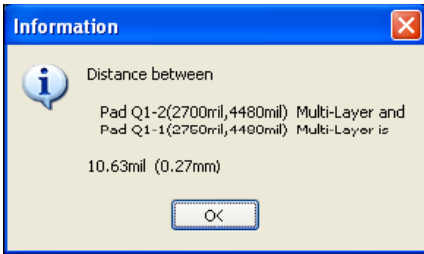


图6-34错误信息

为了找出两个晶体管焊盘间的真实最小安全距离，有以下步骤：

1. 选中PCB文件，光标定位于一个晶体管，按下PAGE UP键来放大视图图像。
2. 选择Reports - Measure Primitives(快捷键：R, P)。光标将变成十字形准线。
3. 使光标定位于晶体管左边的焊盘中间，并点击或按下ENTER。因为光标是超过两焊盘和连接它的布线，一个菜单会弹出让用户选择所需的对象。从弹出式菜单中选择晶体管的焊盘。
4. 再一次，使光标定位于晶体管中间，并点击或按下ENTER。从弹出式菜单中选择晶体管的焊盘。一个显示最小距离的信息框打开了，显示两个焊盘边缘的最小距离是10.63mil。
5. 关闭信息对话框，右键单击或按下ESC退出测量模式，然后使用V、F的快捷键，重新缩放文件。

让我们看看当前的安全距离设计规则：

1. 从菜单中选择Design - Rules (快捷键：D, R)来打开PCB Rules and Constraints Editor对话框。双击Electrical种类，在右边的对话框显示所有的电气规则。双击该安全距离类型，然后按一下就安全距离规则点击"Clearance"规则一项来以打开它。该对话框底部的区域将包含一个单一的规则，标明整个PCB板的最小安全距离为13mil。晶体管之间的焊盘的距离小于安全距离，这就是为什么当我们运行DRC的时候，它们出现了违反规则的信息。

我们现在知道两个晶体管之间的最小焊盘距离是10mil多一点，让我们建立了一个只为晶体管的设计规则，大小为10 mil。

1. 在设计规则文件夹中，选择安全间隙类型，点击右键并选择新规则添加一个新的安全间隙约束规则。
2. 点击新的安全间隙规则，Clearance_1。在resulting页面中的Constraints章节中，设置Minimum Clearance为10 mil。
3. 点击Advanced (Query)，再点击Query Helper从Memberships Checks去建立条件检索，或者也可以为第一个对象（图6-35）在接下来的条件检索中打印进去。

HasFootprintPad("TO-92A", "*")

那个星号表明在封装里名为"TO-92A"的任何焊盘。

1. 保持第二个对象范围为ALL，并单击OK。单击Apply，然后点击OK以关闭PCB Rules and Constraints Editor对话框。
2. 现在，我们可以从设计规则检测对话框（Tools - Design Rule Check）按一下运行设计规则检查按钮。重新运行DRC，不会有违反规则的行为。
3. 保存已经完成的PCB和工程文件。

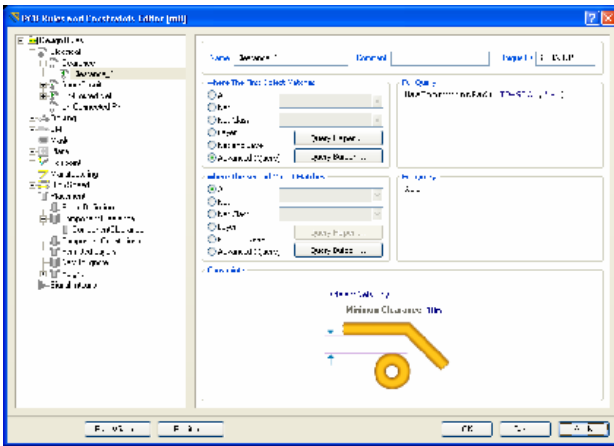


图6-35 使用PCB规则系统规定参数编辑器对话框创建规则。
恭喜，用户已经完成了PCB的布局布线，准备生成输出文件。

输出文件

现在，您已经完成了PCB的设计和布线，用户想要产生输出文件，来审查，制造和组装PCB板。这些文件通常用于提供给板级制造商，因为在PCB制造方面有各种不同技术和方法的存在，Altium Designer具有产生众多各种用途输出文件的能力。

这些用途包括：

装配输出

- 装配图 —— 显示电路板每一面上元器件位置和原点信息-代表制板的立场和方向。
- 抓取选择和放置文件 —— 用于元件放置机械手在电路板上摆放元器件-被智能放置装置用来智能放置元件。

文件输出

- 文件产出复合综合图纸 —— -成品板组装，包括元件和线路。
- .PCB的三维打印， —— 采用从三维视图观察电路板立体角度的看法。
- 示意原理图打印版画 —— 绘制设计的-原理图示意图图纸中使用的设置。

制作输出：

- 绘制复合钻孔图综合演示图纸 —— ：在一张图纸中演示板的位置和大小绘制电路板上钻孔位置和尺寸的复合图纸。
- 演示图纸/向导钻孔绘制/向导 —— 在多张图纸上：在不同的图纸中演示分别绘制钻孔板的位置和大小尺寸。
- 最终的绘制图纸： —— 把所有的制作文件合成单个绘制输出。
- Gerber 文件： —— 制作Gerber 格式的制作信息。
- NC Drill Files —— 创建能被数控钻孔机使用的制造信息。
- ODB++ —— 创建 ODB++ 数据库格式的制造信息。
- Power-Plane Prints —— 创建内电层和电层分割图纸部多层图纸。
- Solder/Paste Mask Prints —— 创建阻焊层和的面具图纸锡膏层图纸。
- Test Point Report —— 创建在不同模式下设计的测试点的输出结果

网表格输出

网络列表表描述在设计上逻辑之间的元器件组件连接，对于移植到其它电子产品设计中是非常有帮助的。

报告输出

- Bill of Materials —— 为了制作板的需求而创建的一个在不同格式下部件和零件的清单。
- Component Cross Reference Report —— 在设计好的原来图的基础上，创建一个组件的列表。
- Report Project Hierarchy —— 在该项目上创建一个原文件的清单。
- Report Single Pin Nets —— 创建一个报告，列出任何只有一个连接的网络。
- Simple BOM —— 创建文本和该BOM的CSV（逗号隔开的变量）文件。

大部分的输出文件是用做配置的，在需要的时候设置输出。在您完成更多的设计后，用户会发现用户经常为每个设计采用相同或相似的输出文件。

Altium Designer 提供一个叫做Output Job Files的方式机制，该机制方式使用一种接口 —— Output Job Editor，可用于将各种输出文件捆绑在一起，将它们发送给各种输出方式媒体（直接打印，PDF和生成文件）。

想得到更多使用 OutputJob Editor的信息，请回到 OutputJob Editor的参考部分。

想得到更多使用 打印PDF的信息，请回到打印PDF的参考部分。

手动输出文件

PCB设计过程的最后阶段，为了更好的满足生产，我们将在指导中说明如何产生Gerber及数控钻孔文件，和BOM文件。我们在这里不再使用Output Job Editor，但是使用单步的菜单命令 - 全部输出文件也可以从菜单命令中直接创建。记得该配置输出文件是作为项目的一部分存储的。

生成 Gerber 文件

每一个 Gerber 文件跟板的一个层关联 —— 器件层、顶部信号层、底部的信号层、焊料掩蔽层等等。

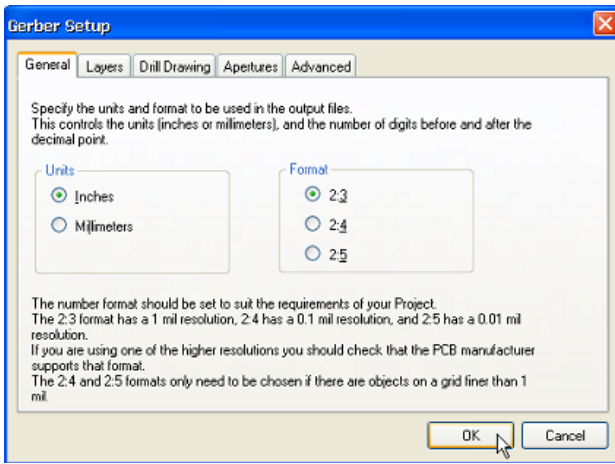


图6-36生成 Gerber 文件

可取的做法是，在提供用于制造的输出文件之前，先咨询电路板制造商，以确认他们的要求。为教程中的PCB创建输出文件：

1. 选择 File>>Fabrication Outputs>>Gerber Files。该设置对话框显示。
2. 单击Layers tab，然后Plot Layers 按钮，并选择Used On。单击OK以接受其他默认设置。
3. 该Gerber档案产生后即被CAM编辑器打开显示。该Gerber文件存储在Project Outputs文件夹，这是自动产生的文件夹。每个文件都有反映其层次的扩展名称，例如：multivibrator.gto为Gerber Top Overlay。这些都会被添加到Projects面板的Generated CAM Document文件夹中。

类似的，选择File>>Fabrication Outputs>>NC Drill Files 命令来打开NC Drill Setup 对话框来创建没有连接的通孔数据。

创建一个器件清单

为教程中的PCB创建一个器件清单（BOM）。

1. 选择 Reports>>Bill of Materials, 显示Bill of Materials for PCB Document对话框。

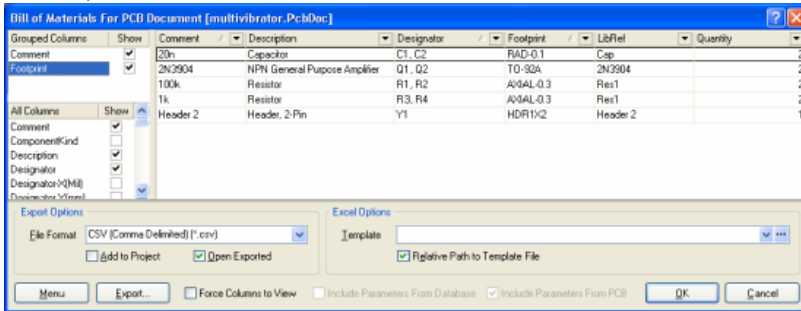


图6-37器件清单

2. 使用此对话框，以建立起自己的BOM的。在用户想要输出到报告的每一栏中都启用Show选项。
3. 从All Columns清单选择并拖动栏标题到Grouped Columns清单，以便在BOM中按该数据类型来分组元件。例如，若要以封装来分组，在All Columns中选择Footprint，并拖曳到分Grouped Columns清单。该报告将据此进行分类。
4. 使能Open Exported选项，选择的CSV为文件格式，然后点击导出按钮创建并在您的CSV查看器（例如Microsoft Excel）中立即打开BOM的文件。还有许多可供选择的BOM和其他报告的类型，这就提供了高度的灵活性。关闭对话框。祝贺！您已经完成了PCB设计过程。

深入研究

本教程只为用户介绍了一些Altium Designer的强大功能。我们学会了绘制电路原理图，设计PCB和布线，但我们只学会了Altium Designer的一些表面的功能。当用户深入探索Altium Designer的时候，用户会发现它丰富的功能，使您的设计生活变得更轻松。大量例子均包括在内，并向用户展示了软件的功能。您可以通过选择File>>Open菜单，然后展开Altium Designer安装路径中的Examples文件夹来打开这些例子。同时，电路板设计的例子也在此文件夹中，有大量子文件夹的例子用于展示了Altium Designer的具体特点。

检查Circuit Simulation子文件夹，来探索Altium Designer的模拟和数字的仿真能力。同样，模拟例子电路例也展示了各种电路的设计，如放大器和电源供应器，有数模混合电路模式的例子，一个数学函数的例子，还有一个包括线性和非线性性源的例子，还有一个真空管的例子。

随着逻辑转换和设计时钟速度的提高，高质量的数字信号变得越来越重要。Altium Designer包括一个先进的信号完整性分析工具，能准确的提供模型并分析您的电路板布局。信号完整性的要求，如阻抗、过冲、下冲以及斜率被界定为PCB设计规则，将在标准设计规则检查中被测试。

如果有您需要分析得更详细分析的网络，您可以选择Tools>>Signal Integrity来进行信号完整性分析仪，在这里您可以进行反射和串扰分离度仿真。结果显示在像示波器一样的波形分析仪上，在那里您可以研究性能并通过波形结果直接进行测量。

感谢参加学习这个帮助文件。

Attachments:48

Added by Wenlong Hua, last edited by Wenlong Hua on Oct 28, 2009

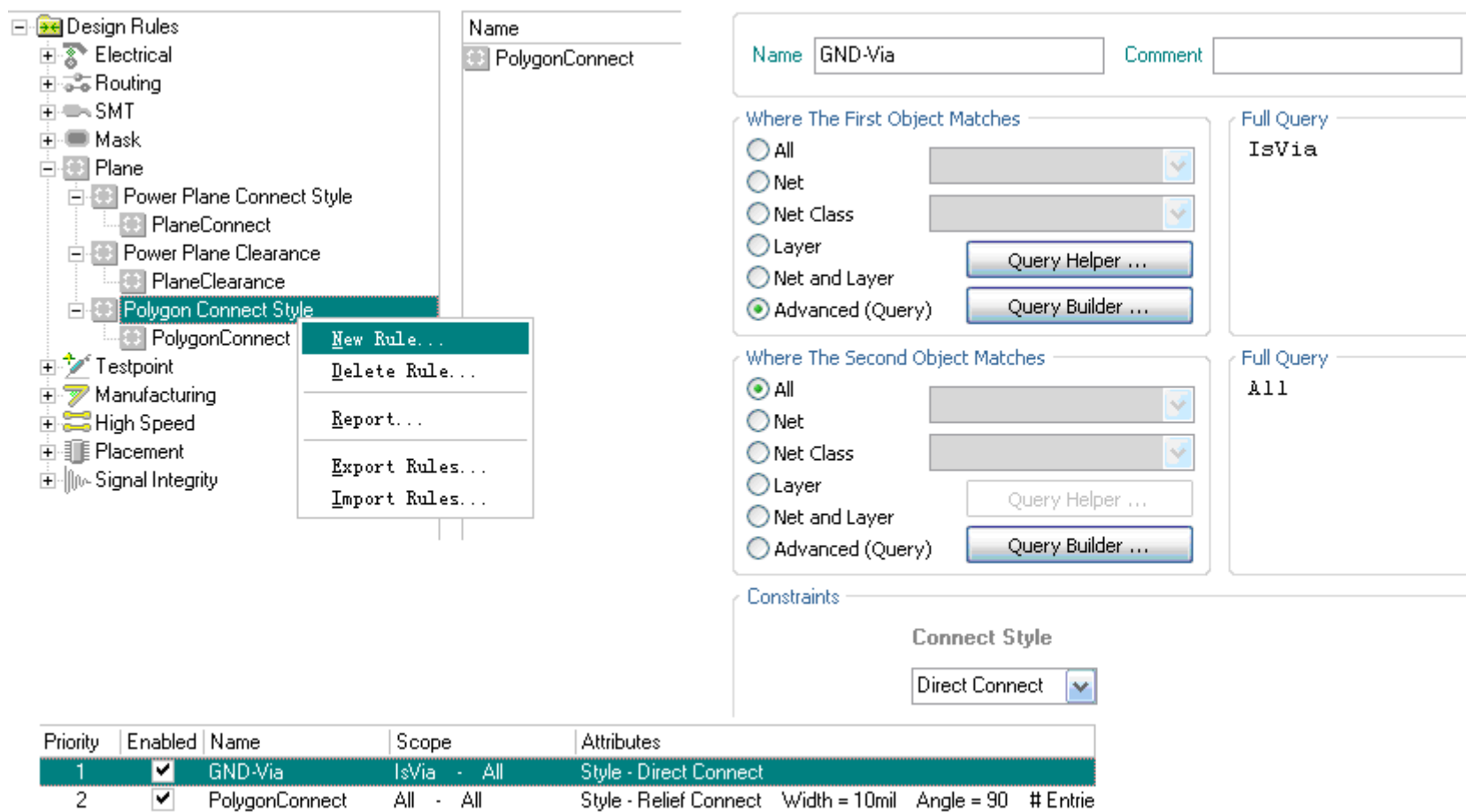
Labels:

Q :994824405

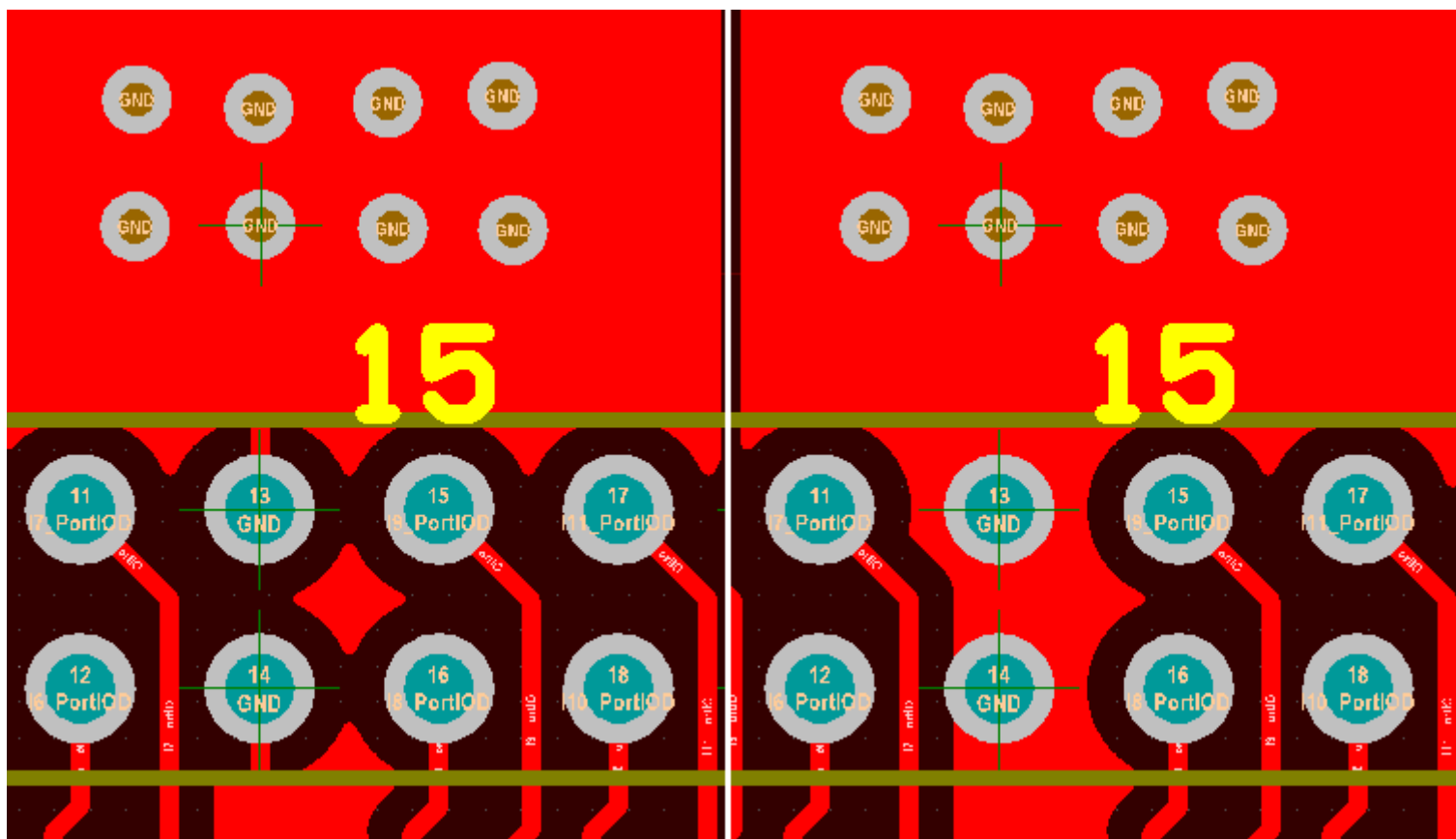
覆铜高级连接方式

如过孔全连接，焊盘热焊盘连接；顶层 GND 网络全连接，其他层热焊盘连接线宽 0.3mm

在 AD PCB 环境下，Design>Rules>Plane> Polygon Connect style ,点中 Polygon Connect style，右键点击 new rule -----新建一个规则 点击新建的规则既选中该规则，在 name 框中改变里面的内容即可修改该规则的名称，默认是 PolygonConnect_1，现我们修改为 GND-Via，选项 Where The Frist Object Matches 选Advanced (Query)，Full Query 输入IsVia（大小写随意），Connect Style 选 Direct Connect，其他默认设置，点击下边的priorities 把GND-Via规则优先级最高，（1 为最高，2 次之...）如下图：



回到 PCB 设计环境下进行覆铜，覆铜网络选 GND，覆好铜以后对于网络为 GND 的 Via（过孔）将为全覆铜的连接，而非默认的 relief connect 方式（热焊盘方式），由于规则是对过孔的全连接覆铜，所以对于焊盘的覆铜是热焊盘方式连接方式，见下图（左）：



如果想过孔和焊盘多用热焊盘方式，那在 Full Query 修改为 IsVia or Is pad，更新下刚才的覆铜，地焊盘也全连接了，如上图（右）同样也可以 Full Query 为 Is pad，InNet('GND')，InNet('GND') And OnLayer('TopLayer')，InComponent('U1')，InComponent('U1') OR InComponent('U2') OR InComponent('U3')，innetclass('Power')等等...

1. InNet('GND') 对于网络名为 GND 的网络进行覆铜连接，覆铜连接规则采用 InNet('GND') 的覆铜连接规则，注：InNet('X')，X 为 PCB 中的网络名，Connect Style 可全连接 或 热焊盘 或 无连接 方式；热焊盘方式还可设置 2，4 连接，45 度，90 度和连接线宽，下面的也类同；

2. InNet('GND') And OnLayer('TopLayer')，对于位于 TopLayer 层的 GND 网络进行的覆铜采用该覆铜连接规则，OnLayer('X')，X 为层名，层名称修改可通过 Design>Layer Stack Manager，双击层名称修改。；

3. InComponent('U1')，对于元件 U1 的覆铜采用该覆铜连接规则，U1 上有个 x 网络，同时覆铜的网络也为 x，这样改规则才有效果，例如 U1 上有个管脚连接到 GND 网络，同时覆铜网络选 GND，此时改规则才有效果；否则等于没有这个规则，与不建立规则效果一样；

4. InComponent('U1') OR InComponent('U2') OR InComponent('U3') 对于 元件 U1，U2，U3 采用该覆铜连接规则，即 U1，U2，U3

多采用改覆铜连接规则，关系是 OR ，而非 AND；

`innetclass('Power')`，Power 类网络的覆铜连接方式规则，Design>Classes 创建一个规则类，类的方式有多种，网络类，元件类，层类等。

网络类指向 PCB 中的网络名，层类指向 PCB 中的元件（焊位），层类指向 PCB 中的层；；；例：`innetclass('Power')`，在 net classes（网络类）下新建一个规则（new rule），同样是右键增加，并改名为 Power，选中这个网络类规，添加左边的的网络到右边去，比如添加 GND，VCCINT，

VCC3.3,VCC1.2,VCCA,GNDA 等...这样在多个多个网络的不同覆铜就不用分别建立 GND，VCCINT，VCC3.3，VCC1.2，VCCA，GNDA 的覆铜连接规则，自需要建立一个网络类覆铜连接规则即可，在覆铜的时候覆铜网络连接到相应的网络即可；

注意：所有上面的规则多要设置相应的优先级和新建规则，新建规则的优先级设为高，默认规则的优先级最低，其他优先级看实际排列。所有选项选 Where The Frist Object Matches 选 Advanced (Query)，Full Query 输入相应的数据命令，对于相对简单的类似只是网络和层的覆铜连接 `InNet('GND') And OnLayer('TopLayer')`---顶层地网络的覆铜连接方式，可选择 The Frist Object Matches---Net and Layer，在里面的下拉框中选择相应的 Net 和 Layer 后。Full Query 框软件会执行填充数据，完成后 Apply OK 回到 PCB 中（Full Query 框中语法错误，软件会提示错误，而填入一个不存在的层或网络名则不会），再在 PCB 进行覆铜选择相应的覆铜网络即可，覆铜间距默认是 10mil，如需特殊间距则需修改间距规则；

高级间距规则

比如覆铜间距 16mil，其他安全间距 8mil，过孔到过孔间距 100mil，焊盘到焊盘间距 100mil，焊盘到过孔间距 100mil，顶层地覆铜 0.8mm，顶层 VCC3.3 与 VCC1.8 覆铜间距 0.5mm 等

Altium Designer 的间距规则默认为一个 10mil 间距，没有区分焊盘到焊盘，过孔到过孔，走线到覆铜等的间距，想要高级规则，必须自己新建。

在 PCB 设计环境下 Design>Rules>Electrical>Clearance，同样右键新建一个间距规则并重命名为 Poly，Where The First Object Matches 选 Advanced (Query)，Full Query 输入 inpolygon，Constraints 把默认的 10mil 修改为 20mil，优先级 Poly 比默认的 Clearance 的 10mil 高，这 2 个间距规则共同构成覆铜间距为 20mil，其他间距例如走线到走线，走线到焊盘过孔间距为 10mil 的规则，如下图：

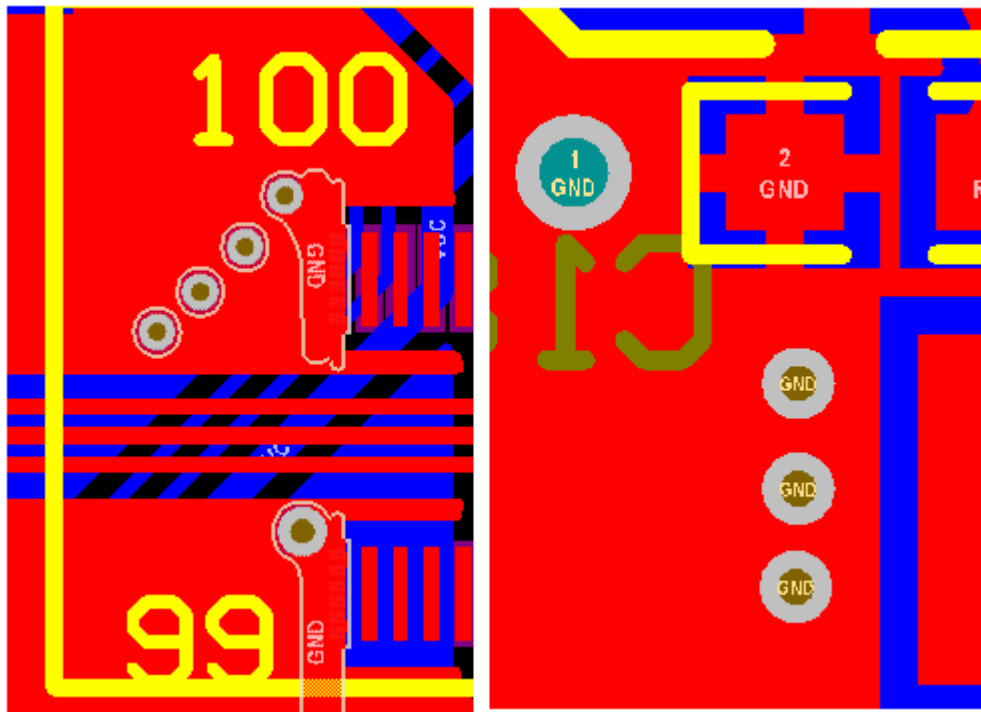
The screenshot shows the 'Design Rules' tree on the left with 'Electrical > Clearance' selected. A context menu is open over 'Clearance' with 'New Rule...' highlighted. The main window shows the configuration for a new rule named 'Poly'. The 'Where The First Object Matches' section has 'Advanced (Query)' selected, and the 'Full Query' is 'inpolygon'. The 'Where The Second Object Matches' section has 'All' selected, and the 'Full Query' is 'All'. The 'Constraints' section shows a 'Minimum Clearance' of 20mil. Below this is the 'Edit Rule Priorities' dialog box.

Priority	Enabled	Name	Scope	Attributes
1	<input checked="" type="checkbox"/>	Poly	inpolygon - All	Clearance = 20mil
2	<input checked="" type="checkbox"/>	Clearance	All - All	Clearance = 10mil

Below the table is a diagram showing a yellow wire and a yellow circular pad. A blue arrow points to the gap between them, labeled 'Minimum Clearance 20mil'.

下 2 图是过孔覆铜全连接 viaconnect，默认安全间距 clearance 8mil，覆铜间距 16mil 规则的覆铜，inpolygon 是所有的覆铜，如果想要其他覆铜间距，则需要在新建覆铜规则，比如 VCC3.3 覆铜 0.5mm，VCC1.8 覆铜间距 0.6mm，其他覆铜 0.4mm；优先级 16mil 的最低；覆一片铜到 VCC3.3 网络同时起名该覆铜为 VCC3.3-ALL；覆一片铜到 VCC1.8 网络同时起名该覆铜为 VCC1.8-ALL；同样要兴建间距规则，见下面第 3-6 张图：

The screenshot shows the 'Design Rules' tree on the left with 'Electrical > Clearance > Poly' selected. The main window shows the configuration for a new rule named 'viaconnect'. The 'Where The First Object Matches' section has 'Advanced (Query)' selected, and the 'Full Query' is 'isvia'. The 'Where The Second Object Matches' section has 'All' selected, and the 'Full Query' is 'All'. The 'Constraints' section shows a 'Minimum Clearance' of 16mil. Below this is a diagram showing a yellow wire and a yellow circular pad. A blue arrow points to the gap between them, labeled 'Minimum Clearance 16mil'.



Design Rules

- Electrical
 - Clearance
 - VCC1.8-ALL
 - VCC3.3-ALL
 - OtherPoly
 - Clearance
 - Short-Circuit
 - ShortCircuit
 - Un-Routed Net
 - UnRoutedNet
 - Un-Connected Pin

Different Nets Only

Minimum Clearance 0.6mm

Name: VCC1.8-ALL Comment: Unique ID: TVSKOS

Where The First Object Matches

- All
- Net
- Net Class
- Layer
- Net and Layer
- Advanced (Query)

Where The Second Object Matches

- All
- Net
- Net Class
- Layer
- Net and Layer
- Advanced (Query)

Full Query: InNamedPolygon ('VCC1.8-ALL')

Full Query: All

Constraints

Design Rules

- Electrical
 - Clearance
 - VCC1.8-ALL
 - VCC3.3-ALL
 - OtherPoly
 - Clearance
 - Short-Circuit
 - ShortCircuit
 - Un-Routed Net
 - UnRoutedNet
 - Un-Connected Pin
- Routing
- SMT
- Mask
- Plane

Different Nets Only

Minimum Clearance 0.5mm

Name: VCC3.3-ALL Comment: Unique ID: GDOTGJI

Where The First Object Matches

- All
- Net
- Net Class
- Layer
- Net and Layer
- Advanced (Query)

Where The Second Object Matches

- All
- Net
- Net Class
- Layer
- Net and Layer
- Advanced (Query)

Full Query: InNamedPolygon ('VCC3.3-ALL')

Full Query: All

Constraints

Design Rules

- Electrical
 - Clearance
 - VCC1.8-ALL
 - VCC3.3-ALL
 - OtherPoly
 - Clearance
 - Short-Circuit
 - ShortCircuit
 - Un-Routed Net
 - UnRoutedNet
 - Un-Connected Pin
- Routing
- SMT
- Mask

Different Nets Only

Minimum Clearance 0.4mm

Name: OtherPoly **Comment:**

Where The First Object Matches:

- All
- Net
- Net Class
- Layer
- Net and Layer
- Advanced (Query)

Full Query: inpolygon

Where The Second Object Matches:

- All
- Net
- Net Class
- Layer
- Net and Layer
- Advanced (Query)

Full Query: All

Constraints:

Design Rules

- Electrical
 - Clearance
 - VCC1.8-ALL
 - VCC3.3-ALL
 - OtherPoly
 - Clearance
 - Short-Circuit
 - ShortCircuit
 - Un-Routed Net
 - UnRoutedNet
 - Un-Connected Pin
- Routing
- SMT
- Mask
- Plane

Different Nets Only

Minimum Clearance 0.254mm

Name: Clearance **Comment:**

Where The First Object Matches:

- All
- Net
- Net Class
- Layer
- Net and Layer
- Advanced (Query)

Full Query: All

Where The Second Object Matches:

- All
- Net
- Net Class
- Layer
- Net and Layer
- Advanced (Query)

Full Query: All

Constraints:

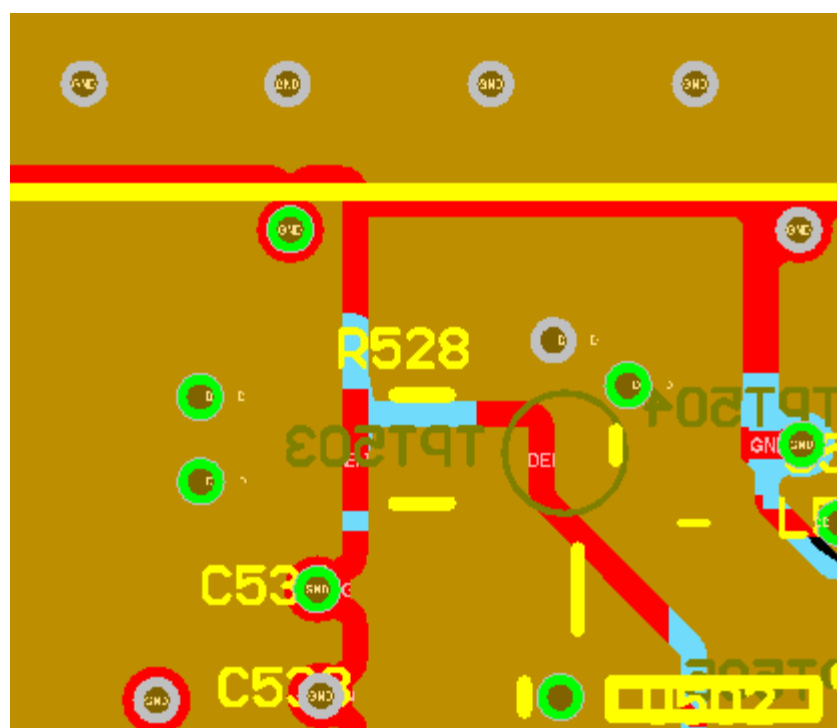
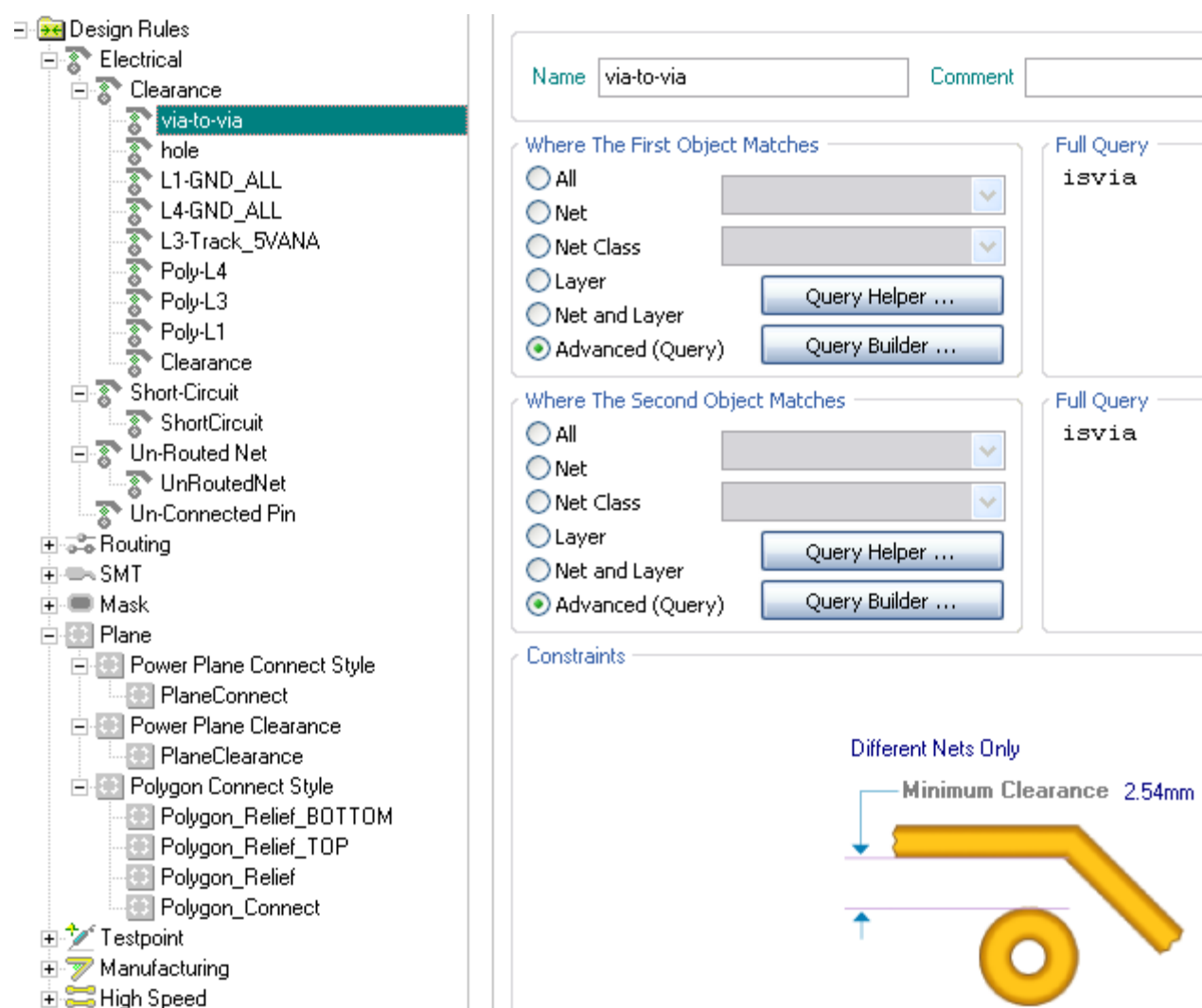
Edit Rule Priorities

Rule Type: Clearance

Priority	Enabled	Name	Scope	Attributes
1	<input checked="" type="checkbox"/>	VCC1.8-ALL	InNamedPolygon	(VC Clearance = 0.6mm
2	<input checked="" type="checkbox"/>	VCC3.3-ALL	InNamedPolygon	(VC Clearance = 0.5mm
3	<input checked="" type="checkbox"/>	OtherPoly	inpolygon	All - Clearance = 0.4mm
4	<input checked="" type="checkbox"/>	Clearance	All	All - Clearance = 0.254mm

Increase Priority Decrease Priority Close

下图是过孔到过孔的间距规则，Where The First Object Matches ,Where The Second Object Matches 的 FullQuery ,只有这2个参数一个是 isvia, 另一个是 ispad 即可； 如果一个 ispad 另一个 isvia, 那就是过孔到焊盘的间距； 如果一个 ispad 另一个 ispad, 那就是焊盘到焊盘的间距； 随后填入具体的间距即可， Where The Second Object Matches 默认是 ALL ， 修改他就是第一个和第二个间距规则， IsVia 和 ALL 就是 Via 到其他的间距规则， IsVia 和 IsVia 就是过孔到过孔的间距规则；



过孔到过孔间距没有到 2.54mm 的在线 DRC 检查出来绿色显示；

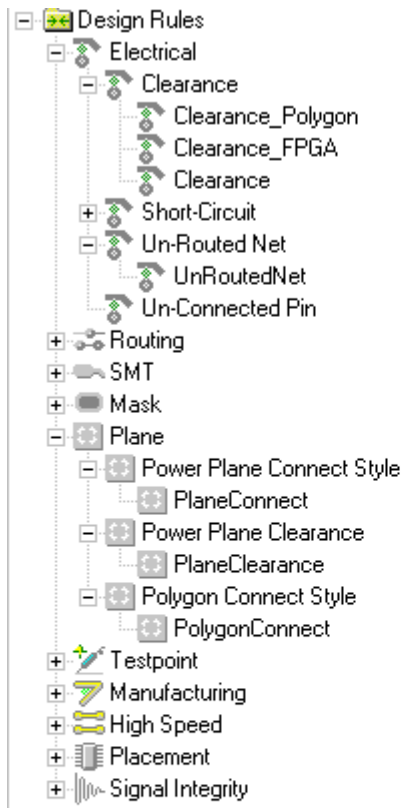
注：设置小间距管脚间距：一些FPGA芯片等很多焊盘间距多达到了0.2mm，默认的10mil（0.254mm）间距显然是冲突的，上述问题可以通过 HasFootprint('PQ208')或IsPad and InComponent('U1') ; (IsPad and InComponent('JP4')) or (IsPad and InComponent('JP3')) HasFootprint('PQ208')，封装为 PQ208 的元件；

sPad and InComponent('U1')，元件 U1 的管脚间的间距；

上面 2 个规则只是管脚间距，从上面拉出来的线的间距是其他的规则值，当然不能太大；比如上面的 PQ208 焊盘 0.3mm。焊盘间距 0.2mm，布线 0.2mm，那拉出来的线间距就是 0.4mm。如果把布线间距设为 0.5mm,1mm ，要么绿色，要么拉不出来；

(IsPad and InComponent('JP4')) or (IsPad and InComponent('JP3'))，元件 JP3,JP4 的间距规则；

见下面 3 张图：



Name: Clearance_FPGA Comment: Unique ID: GYTV

Where The First Object Matches:

- All
- Net
- Net Class
- Layer
- Net and Layer
- Advanced (Query)
 - Query Helper ...
 - Query Builder ...

Full Query: IsPad **and** InComponent (' U1 ')

Where The Second Object Matches:

- All
- Net
- Net Class
- Layer
- Net and Layer
- Advanced (Query)
 - Query Helper ...
 - Query Builder ...

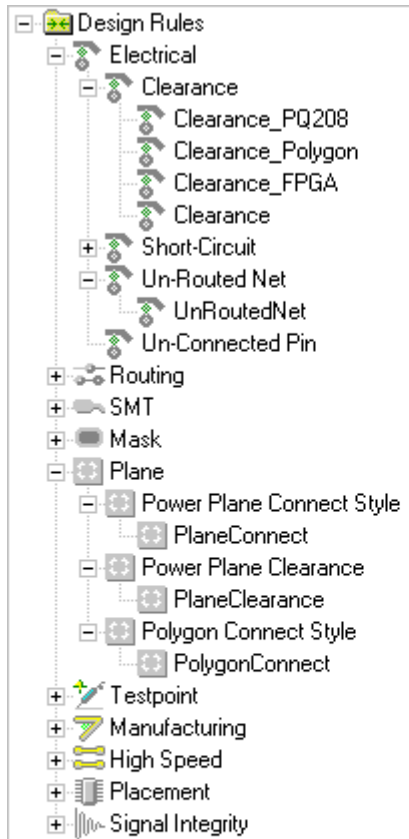
Full Query: All

Constraints:

Different Nets Only

Minimum Clearance 0.2mm

A diagram illustrating a minimum clearance of 0.2mm between a yellow PCB track and a yellow via. A blue arrow points to the gap between the track and the via, with the text 'Minimum Clearance 0.2mm'.



Name: Clearance_PQ208 Comment: Unique:

Where The First Object Matches:

- All
- Net
- Net Class
- Layer
- Net and Layer
- Advanced (Query)
 - Query Helper ...
 - Query Builder ...

Full Query: HasFootprint (' PQ208 ')

Where The Second Object Matches:

- All
- Net
- Net Class
- Layer
- Net and Layer
- Advanced (Query)
 - Query Helper ...
 - Query Builder ...

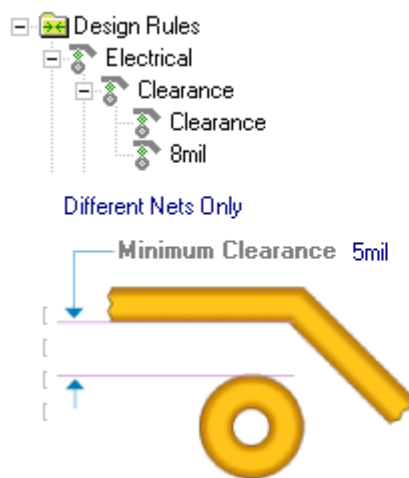
Full Query: All

Constraints:

Different Nets Only

Minimum Clearance 0.2mm

A diagram illustrating a minimum clearance of 0.2mm between a yellow PCB track and a yellow via. A blue arrow points to the gap between the track and the via, with the text 'Minimum Clearance 0.2mm'.



Name: Clearance Comment: Unique ID: HPXAKJTM

Where The First Object Matches:

- All
- Net
- Net Class
- Layer
- Net and Layer
- Advanced (Query)
 - Query Helper ...
 - Query Builder ...

Full Query: (IsPad **and** InComponent (' JP4 ')) **or** (IsPad **and** InComponent (' JP3 ')) **or** (IsPad **and** InComponent (' u2 ')) **or** (IsPad **and** InComponent (' jp5 ')) **or** (IsPad **and** InComponent (' jp2 '))

Where The Second Object Matches:

- All
- ...

Full Query: All

Constraints:

Different Nets Only

Minimum Clearance 5mil

A diagram illustrating a minimum clearance of 5mil between a yellow PCB track and a yellow via. A blue arrow points to the gap between the track and the via, with the text 'Minimum Clearance 5mil'.

下图是一个定位孔间距为 3mm 的间距规则：常用一个内孔=外孔的焊盘做定位孔。该孔不连接到任何网络（不进行电气连接），只拧螺丝用。我们在 PCB 上 4 个脚上放 4 个定位孔，不连接到任何网络，焊盘名称起为 HOLE，内孔=外孔大小；free-hole 含义 free 不连接到任何网络，Hole 焊盘名称；可以是 free-0，free-1，free-2 等等；

The screenshot displays the 'Design Rules' tree on the left, with 'pholeClearance' selected under 'Electrical' > 'Clearance'. The main panel shows the rule configuration for 'pholeClearance'. The 'Name' field is 'pholeClearance'. Under 'Where The First Object Matches', 'Advanced (Query)' is selected, and the 'Full Query' is 'HasPad('free-HOLE')'. Under 'Where The Second Object Matches', 'All' is selected, and the 'Full Query' is 'All'. The 'Constraints' section shows 'Different Nets Only' and 'Minimum Clearance 100mil'. A 3D visualization of a hole and a trace is shown at the bottom right.

下图为一个在 toplayer 层覆铜名为 5VANA 的间距规则，当然 toplayer 可以换成其他层，5VANA 可以换成其他覆铜的名称；

The screenshot displays the 'Design Rules' tree on the left, with 'top_5VANA' selected under 'Electrical' > 'Clearance'. The main panel shows the rule configuration for 'top_5VANA'. The 'Name' field is 'top_5VANA'. Under 'Where The First Object Matches', 'Advanced (Query)' is selected, and the 'Full Query' is 'OnLayer('toplayer') AND InNamedPolygon('5VANA')'. Under 'Where The Second Object Matches', 'All' is selected, and the 'Full Query' is 'All'. The 'Constraints' section shows 'Different Nets Only' and 'Minimum Clearance 0.4mm'. A 3D visualization of a hole and a trace is shown at the bottom right.

下图为 DM 到 DP 网络间距为 20mil 的间距规则:

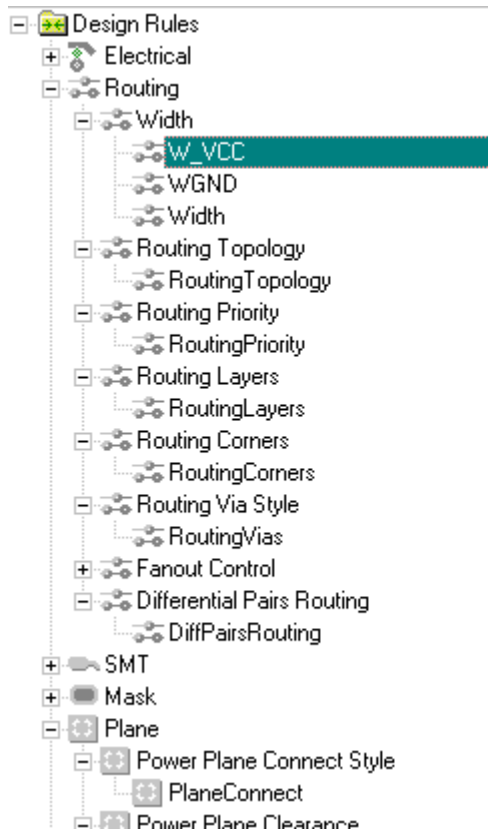
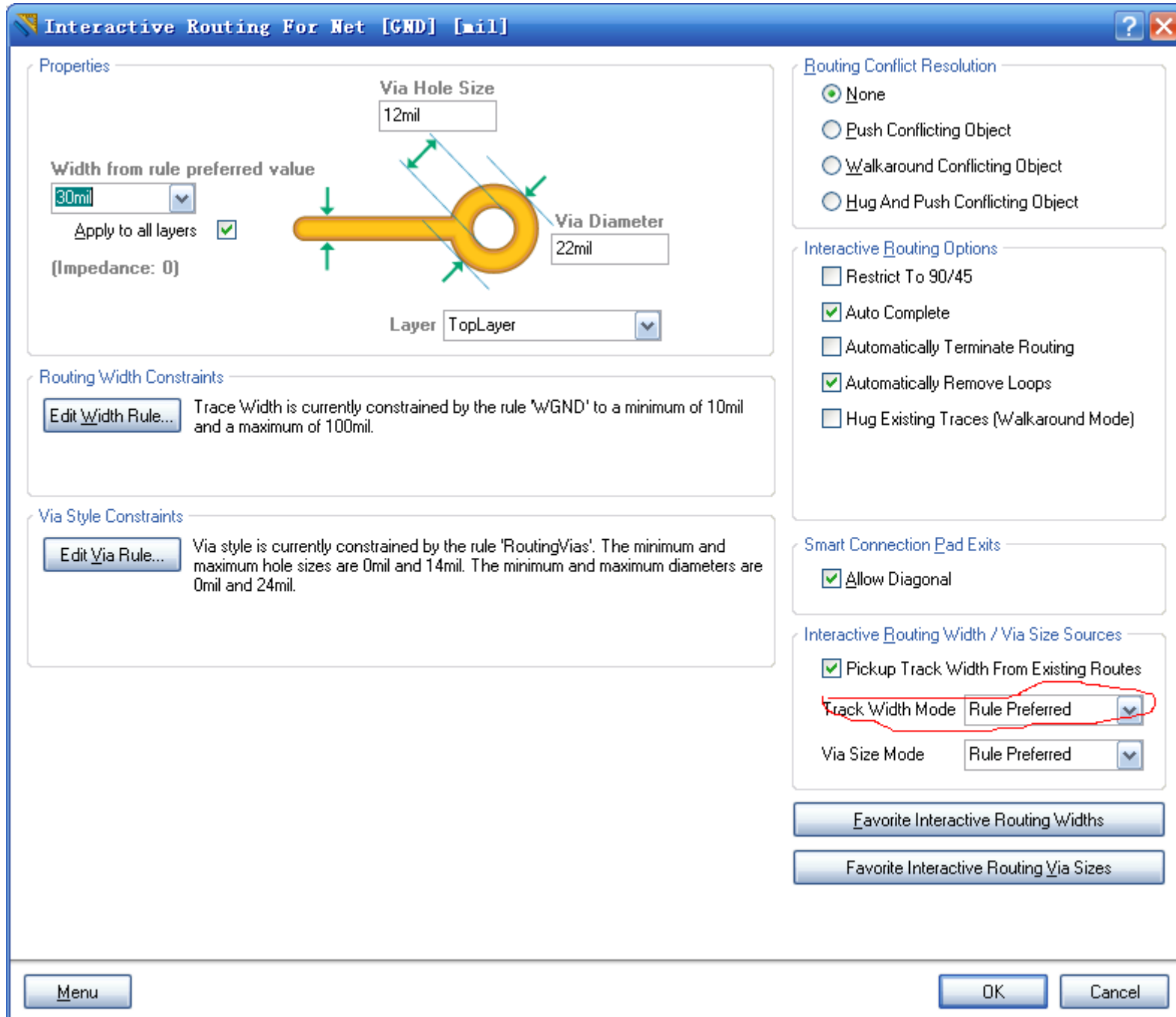
The screenshot displays the 'Design Rules' tree on the left, with 'Electrical' > 'Clearance' > 'DP-DM' selected. The main panel shows the configuration for a rule named 'DP-DM'. The 'Where The First Object Matches' section is set to 'Net' with a value of 'DM'. The 'Where The Second Object Matches' section is set to 'Net' with a value of 'DP'. The 'Full Query' for the first object is 'InNet (' DM ')' and for the second object is 'InNet (' Dp ')'. The 'Constraints' section includes a diagram labeled 'Different Nets Only' showing a yellow L-shaped trace and a yellow circular pad with a 'Minimum Clearance 20mil' dimension line between them.

下图为 MSCLK1 网络到其他间距为 16mil 的间距规则

The screenshot displays the 'Design Rules' tree on the left, with 'Electrical' > 'Clearance' > 'DP-DM' selected. The main panel shows the configuration for a rule named 'DP-DM'. The 'Where The First Object Matches' section is set to 'Net' with a value of 'MSCLK1'. The 'Where The Second Object Matches' section is set to 'All'. The 'Full Query' for the first object is 'InNet (' MSCLK1 ')' and for the second object is 'All'. The 'Constraints' section includes a diagram labeled 'Different Nets Only' showing a yellow L-shaped trace and a yellow circular pad with a 'Minimum Clearance 16mil' dimension line between them.

高级线宽规则

设置 GND 网络 30mil, VCC 网络线宽 20mil, 布线时按 TAB ,Track Width Mode 选 Rule Preferred;



Name: Comment:

Where The First Object Matches:

- All
- Net
- Net Class
- Layer
- Net and Layer
- Advanced (Query)

Full Query:

Constraints:

Preferred Width: 20mil

Min Width: 10mil Max Width: 100mil

Characteristic Impeda

Layers in layerstack o

Attributes on Layer			Layer Stack Reference	
Min Width	Preferred Size	Max Width	Name	L. /
10mil	20mil	100mil	TopLayer	0
10mil	20mil	100mil	BottomLayer	1

The screenshot shows the Design Rules Editor for a Width rule named 'WGND'. The left sidebar shows the rule hierarchy: Design Rules > Routing > Width > WGND. The main panel shows the rule configuration:

- Name:** WGND
- Where The First Object Matches:** Net (Selected), GND (Selected)
- Full Query:** InNet ('GND')
- Constraints:**
 - Min Width: 10mil
 - Preferred Width: 0mil
 - Max Width: 0mil
 - Characteristic Impedance:
 - Layers in layerstack:
- Attributes on Layer Table:**

Min Width	Preferred Size	Max Width	Layer Stack Reference
10mil	30mil	100mil	TopLayer
10mil	30mil	100mil	BottomLayer

The screenshot shows the Design Rules Editor for a Width rule named 'width'. The left sidebar shows the rule hierarchy: Design Rules > Routing > Width > width. The main panel shows the rule configuration:

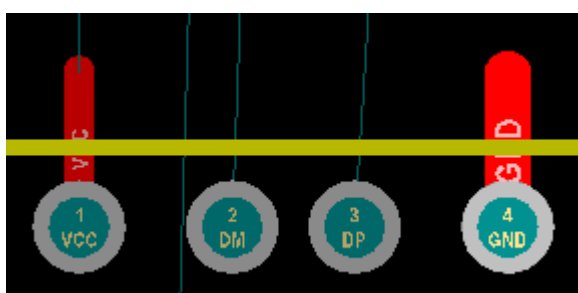
- Name:** width
- Where The First Object Matches:** All (Selected)
- Full Query:** All
- Constraints:**
 - Min Width: 8mil
 - Preferred Width: 8mil
 - Max Width: 30mil
 - Characteristic Impedance:
 - Layers in layerstack:
- Attributes on Layer Table:**

Min Width	Preferred Size	Max Width	Layer Stack Reference
8mil	8mil	30mil	TopLayer
8mil	8mil	30mil	BottomLayer

The 'Edit Rule Priorities' dialog box shows the following configuration:

- Rule Type:** Width
- Table:**

Priority	Enabled	Name	Scope	Attributes
1	<input checked="" type="checkbox"/>	W_VCC	InNet('VCC')	Pref Width = 10mil Min Width = 10mil Max Width = 100mil
2	<input checked="" type="checkbox"/>	WGND	InNet('GND')	Pref Width = 10mil Min Width = 10mil Max Width = 100mil
3	<input checked="" type="checkbox"/>	Width	All	Pref Width = 8mil Min Width = 8mil Max Width = 30mil
- Buttons:** Increase Priority, Decrease Priority, Close



另外还可以添加类来设置线宽规则，适合大批量线宽处理：