



MSP430F2 系列 16 位超低功耗单片机模块原理

第 10 章 通用串口界面 Universal Serial Interface

版本: 1.5

日期: 2007.5.

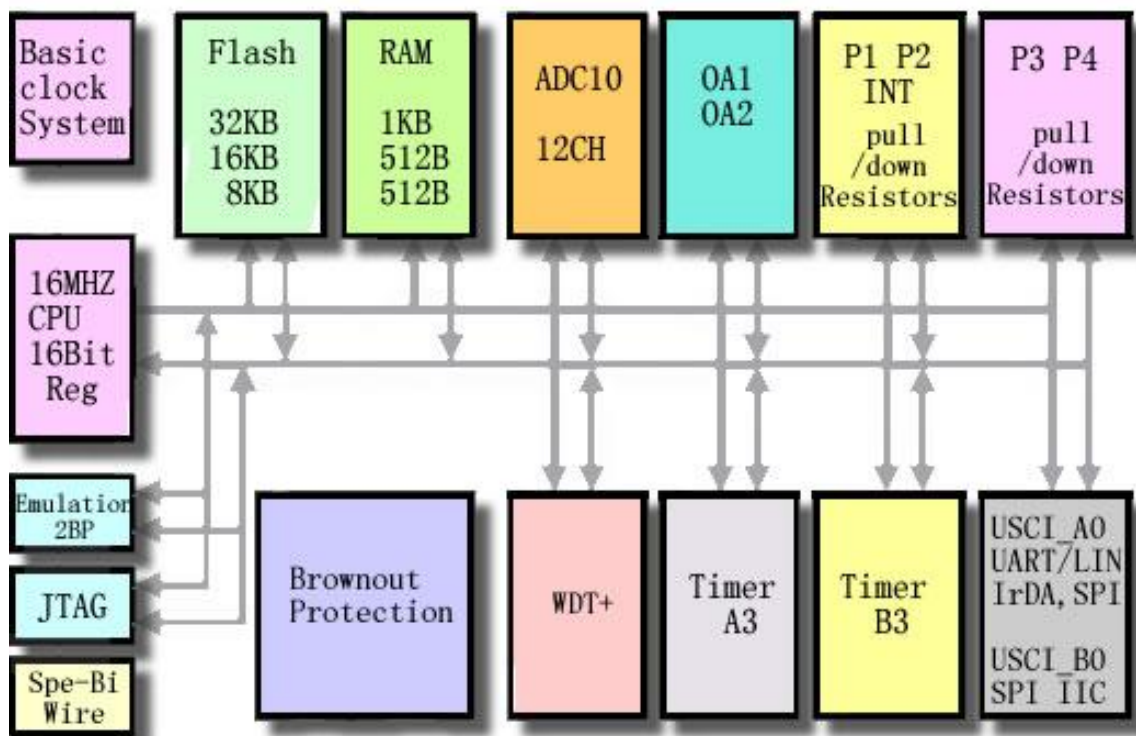
原文: TI MSP430x2xxfamily.pdf

翻译: 陈安都 湖南长沙-中南大学

编辑: DC 微控技术论坛版主

注: 以下文章是翻译 TI MSP430x2xxfamily.pdf 文件中的部分内容。由于我们翻译水平有限, 有整理过程中难免有所不足或错误; 所以以下内容只供参考. 一切以原文为准。

详情请密切留意微控技术论坛。



通用串行接口模块（USI）提供与硬件模块的 SPI 和 I2C 串行通信。本章讨论这两种模式。USI 模块包含在 MSP420X20XX 系列中。

主题

- 10. 1 USI 的介绍
- 10. 2 USI 的使用
- 10. 3 USI 的寄存器

10.1 USI 的介绍

USI 模块提供支持同步串行通信的基本功能。一般地，一个 8、16 位移位寄存器能用来输出数据流，少许的几条指令就可以执行串行通信。另外，USI 包含的内置硬件可以模拟 SPI 和 I2C 通信。USI 模块还包括中断，可以进一步减少串行通信的通用程序并且保持 MSP430 的低功耗特性。

USI 模块的特性包括：

- 支持三线 SPI 模式
- 支持 I2C 模式
- 可变的数据长度
- 在 LPM4 方式下不需要内部时钟
- MSB 或 LSB 指令可选
- 在 I2C 模式下能控制 SCL 打开、停止监测
- 在主机模式下的仲裁丢失监测
- 可编程的时钟发生器
- 可选择的钟极性和相位控制

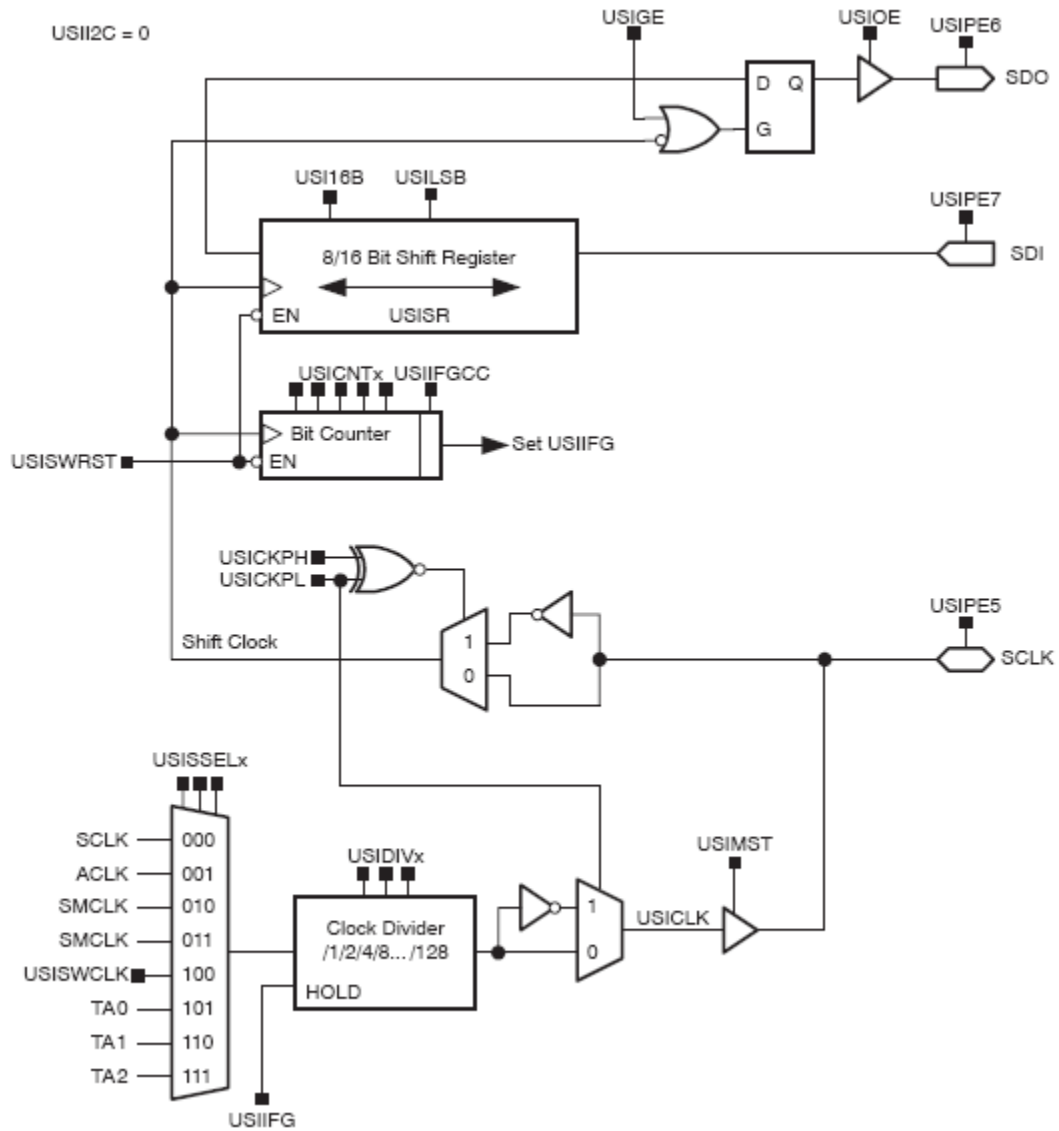


表 10-1 展示了 SPI 模式下的 USI 模块

USIIFG。USICNTX 位可以通过跳变或者直接写零而复位。只有在 USIIFGCC=0 时对 USICNTX 写非零值可以自动清除 USIIFG，否则 USIIFG 将不受影响。当 USIIFGCC 和 USIIFG 都为零时 USICNTX 位停止跳变。并且他们不会溢出到 0FFH。

计数器和移位寄存器都受到同一个时钟驱动。在时钟的上升沿，USICNTX 跳变并且 USISR 采集到下一位的输入。锁存器连接移位寄存器的输出来延迟改变下降沿的输出。可以通过设置 USIGE 位来立即改变。这样设置可以依靠 USILSB 位来输出 USISR 的 SB 或 LSB 到 SDO 脚。

10.2.1 USI 初始化

当对 USI 软件复位时，USISWRST 位置位，USIIFG，USISTTIFG，USISTP 和 USIAL 将保持在复位状态。USISR 和 USICNTX 不会翻转并且内容不会改变。在 I2C 模式下，SCL 线被 USI 硬件释放到空闲状态。

为了激活 USI 端口的功能 USI 控制寄存器的 USIPEX 位必须置位。这将选择 USI 功能,这就可以选择 USI 功能并且维持 PXIN 和 PXIFG 的功能。带着这种特性，端口的输入电平通过 PXIN 寄存器软件读出来并且随后的数据流在数据传输中能发生中断。这个特性很有用，例如，在一个上升沿产生中断。

10.2.2 USI 时钟的产生

USI 的时钟产生器包括一个时钟选择乘法器，一个驱动器就可以选择时钟源。表 11-1 和表 10-2 表示这个块。

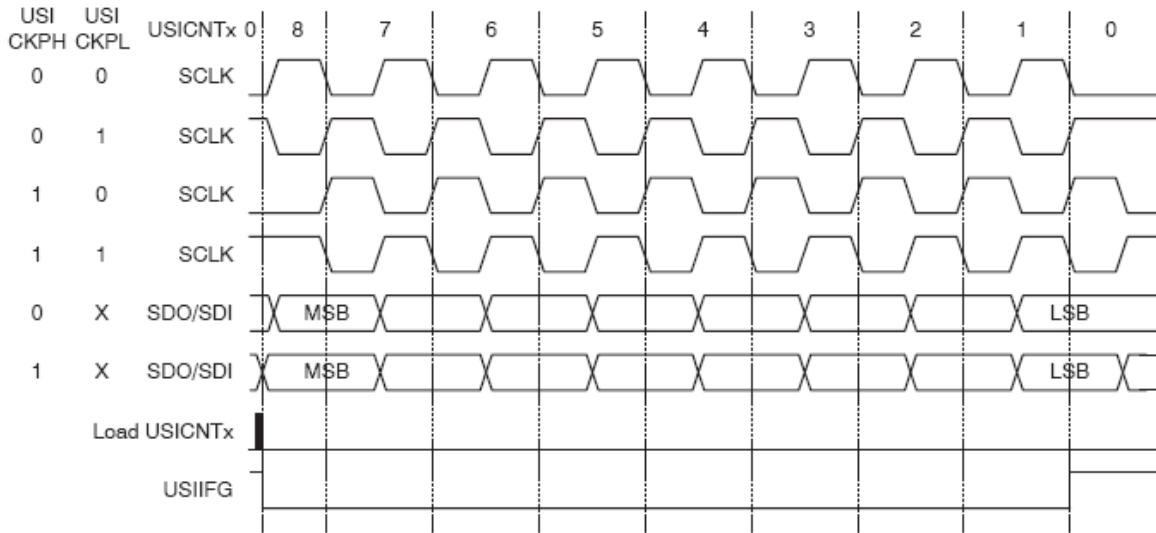
时钟源可以选择从内部的 ACLK、SMCLK 或者外部的 SCLK，以及从 TIMERA 模块的捕获/比较输出。而且，还可以以软件方式即当 USISSELX=100 时用 USISWCLK 位来给模块加时钟。

USIDIVX 可以在 2 到 128 之间分频所选择的时钟。所产生的时钟 USICKL 当 USIIFG=1 或者当模块在从机下操作时被停止。

USICKPL 位用来选择 USICKL 的极性，当 USICKPL = 0 时，USICKL 信号的低电平为无效电平。当 USICKPL = 1 时，时钟信号的高电平为无效电平。

10.2.3 SPI 模式

当 USIIC = 0 时 USI 模块被配置成 SPI 模式。控制 USICKPL 选择 SPI 时钟的无效电平当 USICKPH 选择正常的时钟沿，时钟沿的 SDO 为更新，SDI 为采样。图 10-3 展示了 8 位，高位先传时钟/数据的关系。USIPE5，USIPE6，USIPE7 必须被置位以允许 SCLK，SDO 和 SDI 口功能。



10-3 SPI 时序图

SPI 主机模式

USI 模块通过对 USIMST 位置位并清除 USI2C 的 I2C 位来设置成主机模式。由于主机要提供一个合适的时钟信号给从机需要从机被选中而且 SCLK 被配置成输出。当 USIPE5=1 时，SCLK 自动配置为输出。

当 USIIFG=0 并且 USICNTX>0，时钟发生允许而且主机将使用 USISR 位开始时钟的输出/输入。

接收数据必须从在新数据被写之前从移位寄存器中读出。在典型应用中，USI 软件从 USISR 中读取接收到的数据，同时写需要传输的新的数据到 USISR 中，并且通过写传输位到 USICNTX 中来允许模块进行下一次传输。

SPI 从机模式

USI 模块通过清除 USIMST 和 USI2C 位来配置成从机模式。在这个模式下，USIPE5=1 将 SCLK 自动配置为输入而且 USI 从从机接收外部的时钟信号。

如果 USI 即将传输数据，移位寄存器必须在主机提供第一个时钟沿之前装载数据。通过对 USIOE 置位才能允许输出。当 USICKPH=1 时，在装载到移位寄存器后 MSB 在 SDO 信号上必须是可见的。

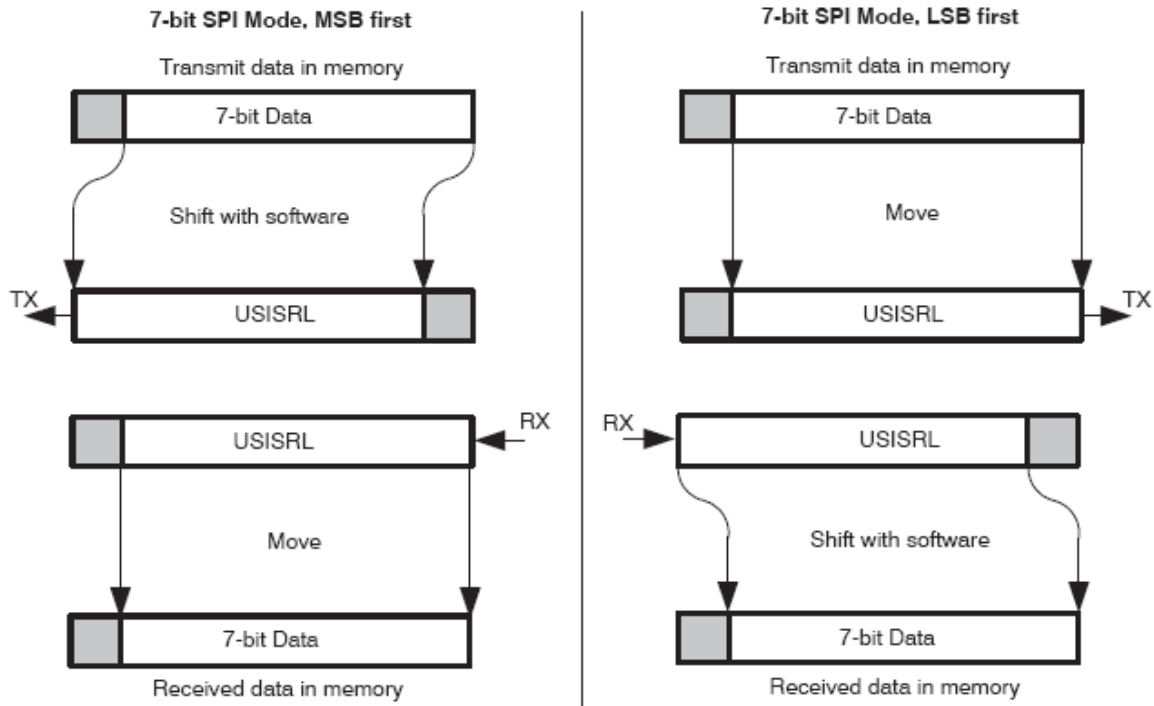
SDO 引脚可以通过清除 USIOE 位被禁止。如果从机在一主多从的情况下不为从机分配地址这是很有用的办法。

一旦接收到所有的位，数据必须从 USISR 中读出来而且新的数据在下一个从主机传来的时钟沿之前装载在 USISR 中。在典型应用中，在接收到数据后，USI 将软件方式读取 USISR 寄存器，并写新数据到 USISR 中等待传输，并且通过写传输位到 USICNTX 中来允许模块进行下一次传输。

USISR 操作

16 位的 USISR 由两个 8 位寄存器组成，USISRL 和 USISRH。控制 USI16B 位选择选择 USISR 用来传送和接收的位。当 USI16B = 0，仅仅是 USISRL 的低 8 位被使用。

传输低 8 位，数据必须装载到 USISRL 中例如没使用的位不被移出。数据必须是 MSB-或者 LSB-，这依靠 USILSB 位。表 11-4 展示了 7 位数据的处理例子。



当 USI16B=1 使，所有的 16 位被用来数据处理。当使用 USISR 来通过 USIRSL 和 USISRH，数据需要被合适的调整当 16 位以下被用在如下的格式中。

SPI 中断

有一个中断向量和 USI 模块关联，而且这个中断标志和 SPI 操作相关。当 USIIE 和 GIE 位被置位时，中断标志将产生一个中断请求。

当 USICNTX 为 0 时 USIIFG 被置位，或者计数或者直接写 0 到 USICNTX 位。当 USIIFGCC=0 时通过写一个大于 0 的值到 USICNTX 位中 USIIFG 被清除，也可以软件清除。

10.2.4 I2C 模式

当 USI2C=1，USICKPL=1 以及 USICKPH=0 时 USI 模块被配置成 I2C 模式。为了和 I2C 数据兼容，USILSB 和 USI16B 必须要清除，USIPE6 和 USIPE7 必须要置位来允许 SCL 和 SDA 口功能。

I2C 主模式

为配置 USI 模块作为 I2C 的主机 USIMST 必须要置位。在主机模式中，在 USIIFG=0 时时钟信号由 USI 模块产生并由 SCL 线输出。当 USIIFG=1 时，SCL 将

处于高阻态或者是高电平。在仲裁部分支持多主机状态将被描述。

从机在主机的 SCL 线为低并且仅仅当 USIDIVX>0 时处于保持态。当 USIDIVX 被置为 1 分频 (USIDIVX=0)，在数据传输过程中不能保持，否则传输不成功。

I2C 从模式

为配置 USI 模块为 I2C 为从模式 USIMST 必须被清除。在从模式中，如果 USIIFG=1 是 SCL 被保持在低电平。在从机启动之后 USISTTIFG 必须被清除并且准备从主机接受从机地址。

I2C 传输机

在 I2C 传输模式中，数据首先被装载到 USISRL 中，当 USIOE 置位时输出被允许并且通过写 8 位数据到 USICNTX 中传输开始。这将清除 USIIFG 并且 SCL 信号在主机模式中产生或者从从机模式的低电平中释放。在传输完所有的 8 位后，USIIFG 被置位，并且在主机模式下时钟信号在 SCL 作用下被停止或者在从机模式下在下一个脉冲时被拉低。

为接收 I2C 的确认位，USIOE 位被软件清除并且 USICNTX 被装载 1。这将清除 USIIFG 而且一位被接收进入 USISRL。当 USIIFG 又被置位，USISRL 的 LSB 作为被接收的确认位并且能通过软件检测。

```
; Receive ACK/NACK
    BIC.B #USIOE,&USICTL0    ; SDA 输入
    MOV.B #01h,&USICNT       ; USICNTx = 1
TEST_USIIFG
    BIT.B #USIIFG,&USICTL1    ; 测试 USIIFG
    JZ TEST_USIIFG
    BIT.B #01h,&USISRL        ; 测试接收 ACK 位
    JNZ HANDLE_NACK          ; Handle if NACK
...Else, handle ACK
```

I2C 接收机

在 I2C 的接收模式下输出必须被禁止通过清除 USIOE 并且 USI 模块准备接收通过写 8 位数据到 USICNTX。这将清除 USIIFG 并且在主机模式下 SCL 产生或者在从机下从保持低电平中释放。在 8 个时钟周期后 USIIFG 被置位。在主模式下这将在 SCL 作用下停止时钟信号或者保持 SCL 为低在从模式下的下一个相位。

为了传输一个确认位或者不确认位，移位寄存器的 MSB 将装载 0 或者 1，USIOE 位通过软件置位而可以输出，并且 1 被写到 USICNTX 位，一旦 MSB 位被移出，USIIFG 将置位并且模块准备在下一个 I2C 数据字节下接收。

```
; 产生应答 ACK
    BIS.B #USIOE,&USICTL0    ; SDA 输出
    MOV.B #00h,&USISRL       ; MSB = 0
    MOV.B #01h,&USICNT       ; USICNTx = 1
TEST_USIIFG
```



```

    BIT.B #USIIFG,&USICTL1    ; 测试 USIIFG
    Z TEST_USIIFG
... 继续 ...

;产生不应答 NACK
    BIS.B #USIOE,&USICTL0    ; SDA 输出
    MOV.B #0FFh,&USISRL      ; MSB = 1
    MOV.B #01h,&USICNT        ; USICNTx = 1
    TEST_USIIFG
    BIT.B #USIIFG,&USICTL1    ; 测试 USIIFG
    JZ TEST_USIIFG
... 继续 ...

```

开始条件

一次开始条件是在 SCL 为高时 SDA 由高到低开始传输。开始条件可以通过复位移位寄存器的 MSB 位而产生。设置 USIGE 和 USIOE 位使输出锁存器透明而且移位寄存器的 MSB 位立即出现在 SDA 口上并拉为低。清除 USIGE 保持时钟锁存器的功能并且保持 0 到 SDA 口上直到数据移出 SCL。

```

; Generate START
    MOV.B #000h,&USISRL      ; MSB = 0
    BIS.B #USIGE+USIOE,&USICTL0 ; 锁存/SDA 输出使能
    BIC.B #USIGE,&USICTL0     ; 锁存屏蔽
... 继续 ...

```

停止条件

一次停止条件是当 SCL 为高时 SDA 一次低到高的传输。为完成确认位并且拉低 SDA 来准备停止条件的产生需要清除移位寄存器的 MSB 并装载 1 到 USICNTX。这将产生一个低脉冲到 SCL 上然后在下一个相位 SDA 被拉低。SCL 在空闲或高时停止，直到模块成为主机模式。为了发生低到高的传输，移位寄存器的 MSB 被置位而且 USICNTX 被装载 1。置位 USIGE 和 USIOE 位使输出锁存器透明同时 USISRL 的 MSB 释放 SDA 到空闲态。清除 USIGE 在输出锁存器中存储 MSB 并且通过清除 USIOE 禁止输出，SDA 保持高直到由于外部拉高而产生的一次开始条件。

```

; 产生 STOP
    BIS.B #USIOE,&USICTL0    ; SDA=output
    MOV.B #000H,&USISRL      ; MSB = 0
    MOV.B #001H,&USICNT      ; USICNT = 1 for one clock
    TEST_USIIFG
    BIT.B #USIIFG,&USICTL1    ; 测试 USIIFG
    JZ TEST_USIIFG            ;
    MOV.B #0FFH,&USISRL      ; USISRL = 1 驱动 SDA 为高

```

BIS.B #USIGE,&USICTL0 ; 显然允许锁存
 BIC.B #USIGE+USIOE,&USICTL; 锁存/SDA 输出屏蔽
 ... 继续 ...

释放 SCL

在不要求 USIIFG 被清除时设定 USISCLREL 位可以释放 SCL，如果它被 USI 模块保持在低电平。USISCLREL 位将被自动清除如果一个开始条件已经收到并且 SCL 线保持为低在下一个时钟周期。

在从模式这一位将被用于阻止 SCL 从低电平下当从机开始监测是否已经被主机给定地址。在下一个开始条件 USISCLREL 将被清除并且 USISTTIFG 将被置位。

仲裁

在多主机 I2C 系统中 USI 模块能够监测仲裁条件。I2C 的仲裁初始化使用的数据呈现在 SDA 上通过比较传输器。第一个主传输器产生逻辑高的仲裁损失为了反相主机产生的一个逻辑低电平。仲裁损失被监测在 USI 模块中通过比较呈现在 BUS 里面的值而且从 BUS 里面读出来。如果数值不等并且仲裁标志损失，USIAL，被置位。清除输出可以允许 USIOE 位和 USI 模块不再驱动 BUS。此时，软件使用者必须检查 USIAL 和 USIIFG 标志以及配置 USI 成从接收器当仲裁损失时，USIAL 标志必须被软件清除。

I2C 中断

USI 附带和 I2C 模式相关的一个中断向量和两个中断标志，USIIFG 和 USISTTIFG。每个中断标志有相应的中断允许位，USIIE 和 USISTTIE。当一个中断被允许时，并且 GIE 被置位，一个置位中断标志将产生中断请求。

当 USICNTX 为 0 时 USIIFG 被置位，或通过技术或直接写 0 到 USICNTX 位。当 USIIFGCC=0 时 USIIFG 将被清除通过写一个大于 0 的值到 USICNTX 位，或者直接通过软件。

当一个开始条件被监测到 USISTTIFG 被置位，USISTTIFG 标志必须用软件清除。

停止条件随着 USISTP 标志被表明已接收，但是 USISTP 标志没有相应的中断功能。当 USIIFGCC=1 时 USISTP 可以通过写大于 0 的值到 USICNTX 位而清除或者直接软件清除。

10.3 USI 寄存器

寄存器	简写	寄存器类型	地址	初始化状态
USI 控制寄存器 0	USICTL0	读/写	078h	01h(PUC)
USI 控制寄存器 1	USICTL1	读/写	079h	01h(PUC)
USI 时钟控制	USICKCTL	读/写	07Ah	Reset和PUC
USI 位计数	USICNT	读/写	07Bh	Reset和PUC
USI 低字节移位寄存器	USISRL	读/写	07Ch	无变化
USI 高字节移位寄存器	USISRH	读/写	07Dh	无变化

USI 寄存器能存取字指令对于表 10-2

Table 10-2 字存取到 USI 寄存器

寄存器	简写	高字节寄存器	低字节寄存器	地址
USI 控制寄存器	USICTL	USICTL1	USICTL0	078h
USI 时钟和计数控制寄存器	USICCTL	USICNT	USICKCTL	07Ah

USICTL0, USI 控制寄存器 0

7	6	5	4	3	2	1	0
USIPE7	USIPE6	USIPE5	USILSB	USIMST	USIGE	USIOE	USISWRST
rw-0	rw-0	rw-0	rw-0	rw-0	rw-0	rw-0	rw-1

USIPE7 USI SDI/SDA 端口使能位

输入在 SPI 模式, 输入或开漏输出在 IIC 模式。

0 USI 功能无效。

1 USI 功能有效。

USIPE6 USI SDO/SCL 端口使能位

输出在 SPI 模式, 输入或开漏输出在 IIC 模式。

0 USI 功能无效。

1 USI 功能有效。

USIPE5 USI SCLK 端口使能位

输入在 SPI 的从机模式, 或 I2C 模式. 输出在 SPI 主模式。

0 USI 功能无效。

1 USI 功能有效。

USILSB LSB 优先选择位

这位控制接收和发送移位寄存器的方向。

0 MSB 优先。

1 LSB 优先。

USIMST 主机选择位

0 从机模式。

1 主机模式。

USIGE 输出锁存选择位

0 输出锁存有效依靠在串行时钟。

1 输出锁存总是有效和显然的。

USIOE 数据输出有效位

0 输出无效。

1 输出有效。

USISWRST USI 软件复位

0 USI 解除工作。

- 1 USI 逻辑处于复位状态。

USICTL1, USI 控制寄存器 1

7	6	5	4	3	2	1	0
USICKPH	USI2C	USISTTIE	USIIE	USIAL	USISTP	USISTTIFG	USIIFG
rw-0	rw-0	rw-0	rw-0	rw-0	rw-0	rw-0	rw-1

USICKPH 时钟相位选择位

- 0 数据转换在首位 SCLK 边沿和捕获在边沿之后。
- 1 数据捕获在首位 SCLK 边沿和转换在边沿之后。

USI2C I2C 模式有效位

- 0 I2C 模式无效。
- 1 I2C 模式有效。

USISTTIE START 条件中断使能位

- 0 中断在 START 条件无效。
- 1 中断在 START 条件有效。

USIIE USI 计数中断有效位

- 0 中断无效。
- 1 中断有效。

USIAL 仲裁丢失位

- 0 无仲裁丢失条件。
- 1 仲裁丢失。

USISTP STOP 条件接收位

- 停止条件已接收。当 USIIFGCC=0 时如果 USICNTX 装载大于 0 的值 USISTP 将自动清除。
- 0 无 STOP 条件接收。
 - 1 STOP 条件接收。

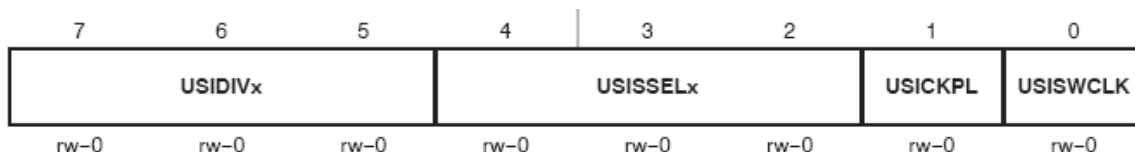
USISTTEFG START 条件中断标志位

- 0 无 START 条件接收. 无中断挂起。
- 1 START 条件接收. 中断挂起。

USIIFG USI 计数中断标志位

- USI 计数器的中断标志在 USICNTX=0 时置位，如果当 USIIFGCC=0 时 USICNTx 中装载一个大于 0 的值则自动清除。
- 0 无中断挂起。
 - 1 中断挂起。

USICKCTL USI 时钟计数寄存器

**USIDIVx 位 7-5 时钟除法器选择**

- 000 除于 1
- 001 除于 2
- 010 除于 4
- 011 除于 8
- 100 除于 16
- 101 除于 32
- 110 除于 64
- 111 除于 128

USISSELx 位 4-2 时钟源选择.不使用在从模式

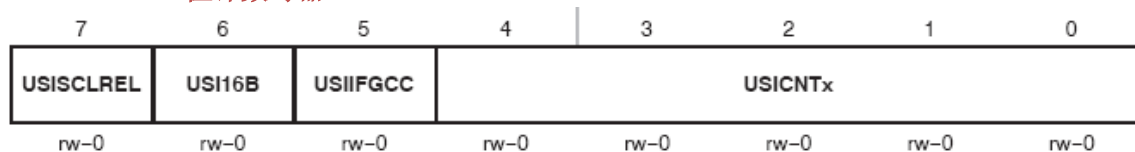
- 000 SCLK (不使用在 SPI 模式)
- 001 ACLK
- 010 SMCLK
- 011 SMCLK
- 100 USISWCLK
- 101 TACCR0
- 110 TACCR1
- 111 TACCR2 (保留在 MSP430F20xx 器件)

USICKPL 时钟极性选择

- 0 非活动状态是低。
- 1 非活动状态是高。

USISWCLK 软件时钟

- 0 输入时钟是低。
- 1 输入时钟是高。

USICNT USI 位计数器**USISCLREL SCL 释放位。**

- SCL 线解除从低到空闲, 假设检测到一个 START 条件, USISCLREL 清除。
- 0 SCL 线为低, 假设 USIIFG 是置位。
- 1 SCL 线为释放。

USI16B 16 位移位寄存器有效位

- 0 8 位移位寄存器模式, 低字节寄存器 USISRL 是未使用。

- 1 16 位移位寄存器模式，两方高和低字节寄存器 USISRL 和 USISRH 是未使用。USISR 地址全部同时 16 位。

USIIFGCC 中断标志清除控制位。

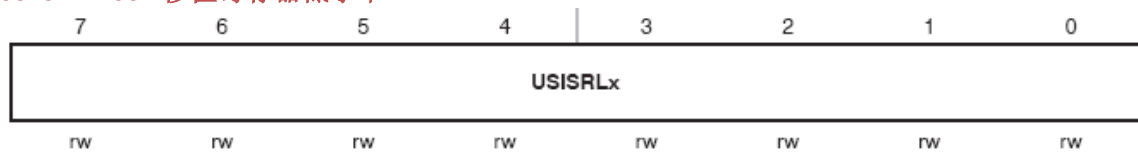
控制 USI 中断标志的复位。如果 USIIFGCC=1 且 USICNTx 被写大于 0 的值 USIIFG 将不会自动清除。

- 0 在 USICNTx 更新时 USIIFG 自动清除。
- 1 USIIFG 不自动清除。

USICNTx 位 4-0 是 USI 位计数

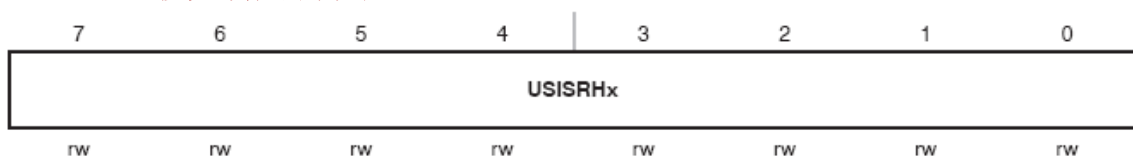
USICNTx 位是设置接收或发送的位数。

USISRL USI 移位寄存器低字节



USISRLx USI 移位寄存器低字节内容。

USISRH USI 移位寄存器高字节



USISRHx USI 移位寄存器高字节内容, 在无用的时候 USI16B=0。



MSP430F224x4 评估板

专业提供 **MSP430** 单片机开发工具