

MSP430 参考手册

第 1 章 时钟模块	3
1.1 时钟模块简介	3
1.2 MSP430X1XX系列时钟模块.....	3
1.3 基本时钟模块的操作	4
1.3.1 低速晶体振荡器 (LFXT1)	4
1.3.2 高速晶体振荡器 (XT2)	5
1.3.3 数字控制振荡器 (DCO)	5
1.3.4 寄存器描述	6
第 2 章 片内Flash	8
2.1 FLASH存储器特点	8
2.2 FLASH存储器映射.....	8
2.3 Flash存储器结构	9
2.4 FLASH存储器操作.....	9
2.4.1 擦除FLASH操作.....	9
2.4.2 写FLASH操作.....	11
2.5 FLASH存储器寄存器.....	14
第 3 章 A/D转换器	17
3.1 ADC12 概述	17
3.2 ADC12 结构	17
3.2.1 12 位的ADC内核	18
3.2.2 模拟多路器	18
3.2.3 参考电压发生器	19
3.2.4 采样及转换所需的时序控制电路.....	19
3.2.5 转换结果缓存	19
3.3 ADC12 转换模式	19
3.3.1 单通道单次转换模式	19
3.3.2 序列通道单次转换模式	20
3.3.3 单通道多次转换模式	21
3.3.4 序列通道多次转换模式	22
3.4 寄存器描述	23
第 4 章 USART外围接口--UART模式	31
4.1 简介	31
4.2 UART (异步) 模式下的USART模块结构	31
4.3 UART (异步) 模式下USART的操作	32
4.3.1 USART初始化和复位.....	32
4.3.2 异步通信字符格式	33
4.3.3 异步多机通信模式	33
4.3.4 串行操作自动错误检测	35
4.3.5 USART的接收使能.....	35
4.3.6 USART的发送使能.....	36

4.3.7 UART波特率发生器	36
4.4 寄存器描述	37
第 5 章 USART外围接口—SPI模式.....	42
5.1 SPI概述	42
5.2 SPI（同步）模式下的USART模块结构	42
5.3 SPI（同步）模式下USART的操作.....	43
5.3.1 USART的初始化和复位.....	44
5.3.2 SPI中的主机模式.....	44
5.3.3 SPI中的从机模式.....	45
5.3.4 SPI使能.....	45
5.4 寄存器描述	46

1 时钟模块

1.1 时钟模块简介

msp430 系列单片机时钟模块主要有以下部件构成：

高速晶体振荡器

低速晶体振荡器

数字控制振荡器

锁频环 FLL 以及锁频环增强版本 FLL+

为适应系统和具体应用需求，MSP430 系列单片机的系统时钟须满足以下不同要求：

高频率，用于对系统硬件需求和外部事件快速反应。

低频率，用于降低电流消耗。

稳定的频率，以满足定时应用，如实时时钟 RTC。

低 Q 值振荡器，用于保证开始及停止操作最小时间延迟。

为了实现上面这些要求，我们在实际中采用锁频环 FLL 以及锁频环增强版本 FLL+等部件来将晶振频率倍频至系统频率：

$$f_{\text{system}} = N \times f_{\text{crystal}}$$

1.2 MSP430X1XX系列时钟模块

时钟模块的结构图 1-1 所示，从图中我们可以看到，MSP430 基础时钟模块有三个时钟输入源：

LFXT1CLK 低频时钟源

XT2CLK 高频时钟源

DCOCLK 数字控制 RC 振荡器

可以提供 3 种时钟信号：

ACLK（辅助时钟）：ACLK 由 LFXT1CLK 经 1、2、4、8 分频后得到，可由软件选作各个外围模块的时钟信号，一般用于低速外设。

MCLK（系统主时钟）：可由软件选择来自 LFXT1CLK、XT2CLK、DCOCLK 三者之一，然后经 1、2、4、8 分频得到，主要用于 CPU 和系统。

SMCLK（子系统时钟）：可由软件选择来自 LFXT1CLK、XT2CLK、DCOCLK 三者之一，然后经 1、2、4、8 分频得到，主要用于高速外围模块。

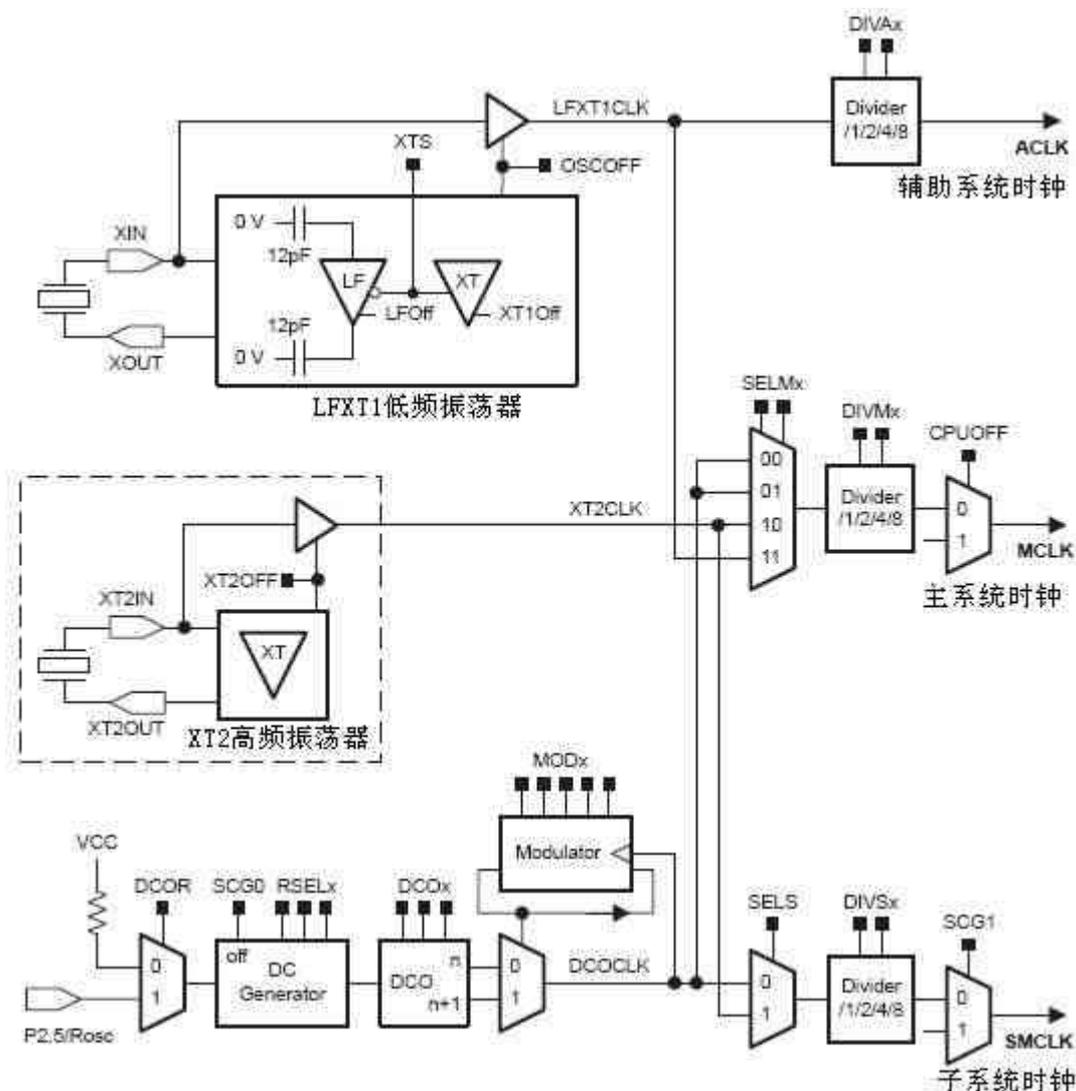


图 1-1: MSP430X1XX 基础时钟模块

1.3 基本时钟模块的操作

1.3.1 低速晶体振荡器 (LFXT1)

LFXT1 满足了低功耗以及使用 32768Hz 晶振的要求，晶振只需经过 XIN 和 XOUT 两个引脚连接，不需要其他外部器件。

LFXT1 振荡器在 PUC 信号有效时开始工作，PUC 信号有效后会将 SR 寄存器（状态寄存器）中的 OscOff 位复位，即允许 LFXT1 工作。

如果 LFXT1CLK 信号没有用作 SMCLK 或者 MCLK 信号，可以用软件将 OscOff 置位以禁止 LFXT1 工作：

```
MOV #OscOff, SR
```

LFXT1 的逻辑控制如图 1-2 所示：

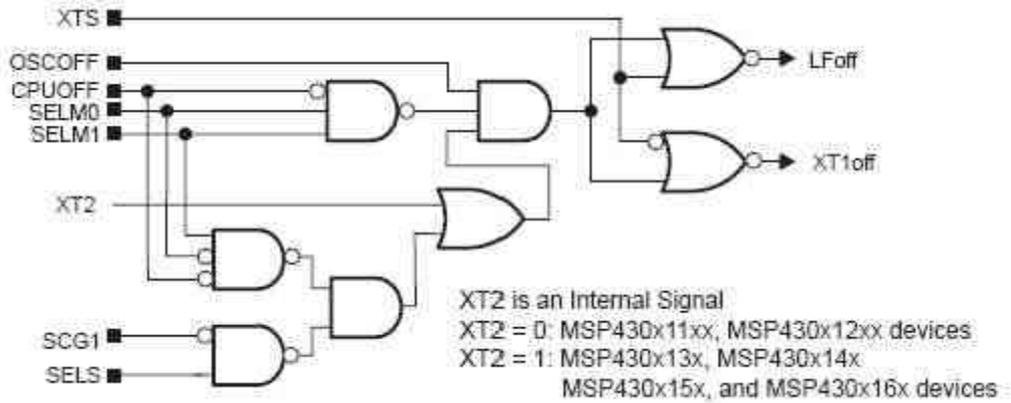


图 1-2 : LFX1 振荡器控制逻辑

1.3.2 高速晶体振荡器 (XT2)

XT2 主要存在于 X13X、X14X、X15X、X16X、X43X、X44X 等器件中，一般称之为第二振荡器 XT2，它产生时钟信号 XT2CLK。XT2 的工作特性与 LFX1 振荡器在高频模式时相类似。如果 XT2CLK 信号没有作用 MCLK 和 SMCLK 时钟信号，可以通过 XT2OFF 位置位来关闭 XT2。

XT2 的控制逻辑如图 1-3 所示：

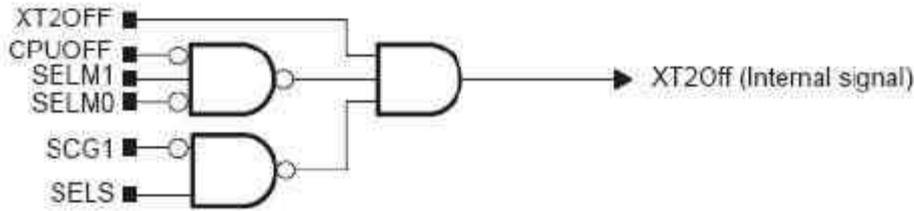


图 1-3 : XT2 控制逻辑

1.3.3 数字控制振荡器 (DCO)

DCO 振荡器是一个可数字控制的 RC 振荡器，它的频率随供电电压、环境温度变化而具有一定的不稳定性。MSP430 可以通过操作寄存器软件调节来增强震荡频率的稳定性。当 DCO 信号没有用作 SMCLK 和 MCLK 时钟信号时，可以用控制位 SG0 关闭直流发生器，直流发生器消耗的电流定义了 DCOCLK 的基本频率。

DCO 的控制逻辑如 1-4 所示：

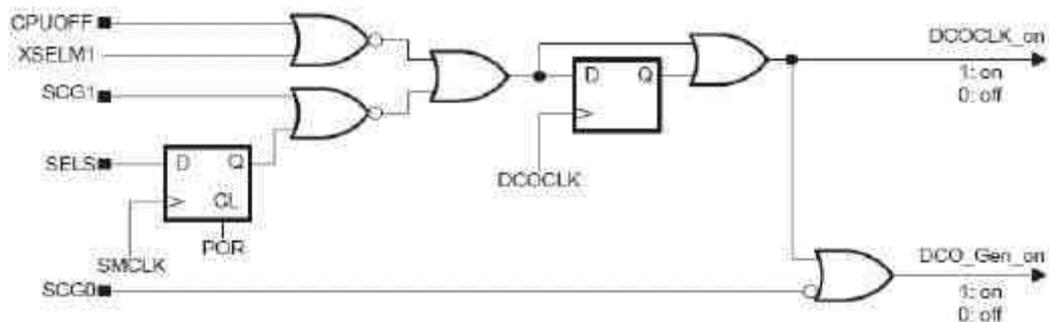


图 1-4: DCO 的控制逻辑

1.3.4 寄存器描述

MSP430F1XX 的时钟模块的控制由 3 个寄存器来完成，DCOCTL、BCSCTL1 及 BCSCTL2 完成。

位	域名	描述
7:5	DCOx	定义 8 种频率之一，可分段调节 DCOCLK 频率，相邻两种频率相差
4:0	MODx	定义在 32 个 DCO 周期中插入的 f_{dco+1} 周期个数，在余下的 DCO 周期为 f_{dco} 周期，控制切换 DCO 和 DCO+1 两种频率。如果 DCO 常数为 7，表示已经选择最高频率，此时不能利用 MOD.0~MOD.4 进行频率调整

DCO 控制寄存器 (DCOCTL)



位	域名	描述
7:5	DCOx	定义 8 种频率之一，可分段调节 DCOCLK 频率，相邻两种频率相差 10%
4:0	MODx	定义在 32 个 DCO 周期中插入的 f_{dco+1} 周期个数，在余下的 DCO 周期中为 f_{dco} 周期，控制切换 DCO 和 DCO+1 两种频率。如果 DCO 常数为 7，表示已经选择最高频率，此时不能利用 MOD.0~MOD.4 进行频率调整。

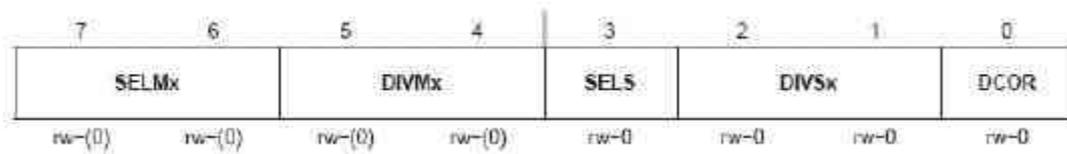
基本时钟系统控制寄存器 1



位	域名	描述
7:5	DCOx	定义 8 种频率之一，可分段调节 DCOCLK 频率，相邻两种频率相差 10%
4:0	MODx	定义在 32 个 DCO 周期中插入的 f_{dco+1} 周期个数，在余下的 DCO 周期中为 f_{dco} 周期，控制切换 DCO 和 DCO+1 两种频率。如果 DCO 常数为 7，

位	域名	描述
7:6	SELMx	选择 MCLK 时钟源： 00: DCOCLK 01: DCOCLK 10: 当片上有 XT2 振荡器的时候时钟源为 XT2CLK，否则为 LFXT1CLK
5:4	DIVMx	选择 MCLK 分频： 00: 1 分频 01: 2 分频 10: 4 分频 11: 8 分频
3	SELS	选择 SMCLK 时钟源： 0: 时钟源为 DCOCLK 1: 当片上有 XT2 振荡器的时候时钟源为 XT2CLK，否则为 LFXT1CLK

基本时钟系统控制寄存器 1



位	域名	描述
7:6	SELMx	选择 MCLK 时钟源： 00: DCOCLK 01: DCOCLK 10: 当片上有 XT2 振荡器的时候时钟源为 XT2CLK，否则为 LFXT1CLK
5:4	DIVMx	选择 MCLK 分频： 00: 1 分频 01: 2 分频 10: 4 分频 11: 8 分频
3	SELS	选择 SMCLK 时钟源： 0: 时钟源为 DCOCLK 1: 当片上有 XT2 振荡器的时候时钟源为 XT2CLK，否则为 LFXT1CLK
2:1	DIVSx	选择 SMCLK 分频： 00: 1 分频 01: 2 分频 10: 4 分频 11: 8 分频
0	DCOR	选择 DCO 电阻： 0: 内部电阻 1: 外部电阻

2 片内Flash

2.1 FLASH存储器特点

FLASH 存储器模块 主要特点:

编程可以使用位、字节和字操作

可以通过 JTAG、BSL 和 ISP 进行编程

1.8~3.6V 工作电压, 2.7~3.6V 编程电压

数据保持时间从 10 年到 100 年不等

可编程次数从 100 到 100,000 次

60K 空间编程时间<5 秒

保密熔丝烧断后不可恢复, 不能再对 JTAG 进行任何访问。

FLASH 编程/擦除时间由内部硬件控制, 无需任何软件干预

2.2 FLASH存储器映射

不同型号器件的 FLASH 容量不同, 所在的地址空间也不一样, 但是都是由 n 段主存储器与 2 段信息存储器组成。信息存储器为每段 128 字节, 分别为信息存储 A 和 B, 主存储器每段 512 字节, 每段进一步可以分为多个 64 字节的模块, 如图 2-1 所示:

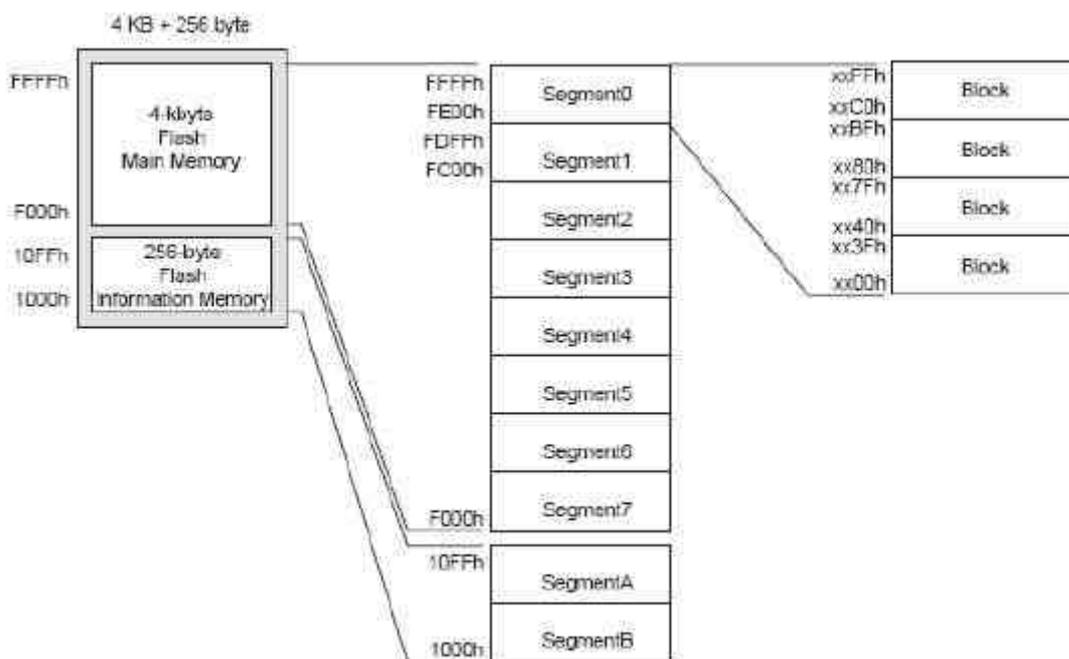


图 2-1 : FLASH 存储器映射

2.3 Flash存储器结构

FLASH 存储器结构图如图 2-2 所示：

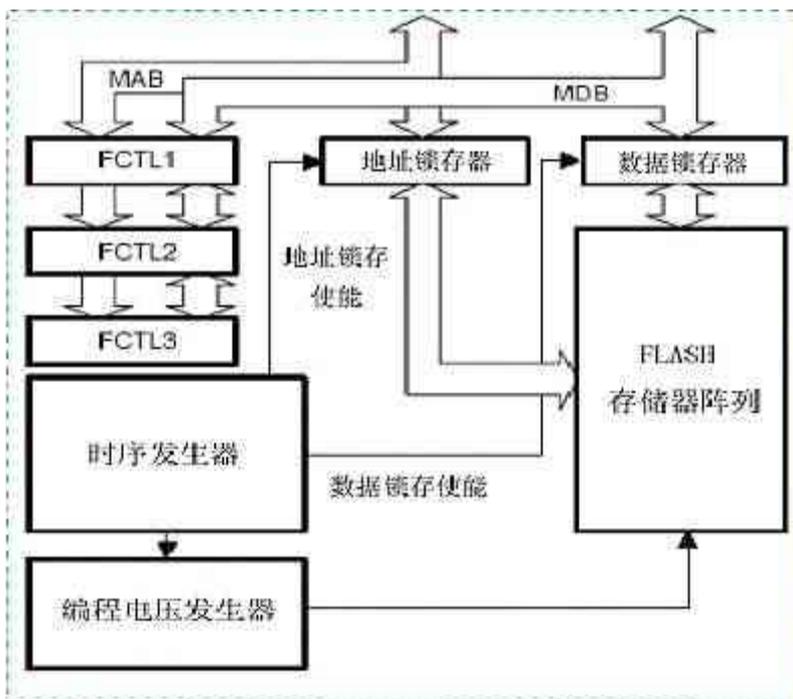


图 2-2: FLASH 存储器结构框图

其中主要的功能部件有：

控制寄存器：控制 FLASH 存储器的擦除与写入

FLASH 存储器阵列：存储体

地址数据锁存器：擦除与编程时执行锁存操作

编程电压发生器：产生编程电压

时序发生器：产生擦除与编程所需所有时序控制信号

2.4 FLASH存储器操作

对 FLASH 模块的操作可分为 3 类：擦除、写入及读出。而擦除又分为单段擦除和整个模块擦除；写入可分为字写入、字节写入、字连续写入和字节连续写入。

2.4.1 擦除FLASH操作

对 FLASH 要写入数据，必须先擦除相应的段，对 FLASH 存储器的擦除模式见下表：

	ERASE 位	擦除模式
0	1	段擦除
1	0	大规模擦除（所有的主存储器段）
1	1	擦除所有的 FLASH 存储器（包括主存储器信息存储器）

表 2-1 : 擦除模式

擦除时序见下图:

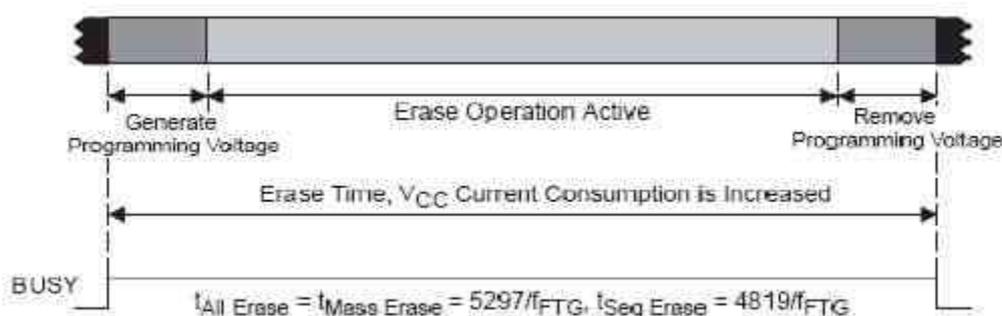


图 2-3 擦除周期

从 FLASH 存储器发起擦除操作

当 FLASH 段擦除操作由 FLASH 存储器内部启动的时候，所有的时序都由 FLASH 控制器来控制。当擦除操作在进行的时候，CPU 挂起；当擦除周期完成以后，CPU 在一次空写之后恢复代码的执行。

当从 FLASH 存储器内部发起一个擦除周期的时候，有可能擦除需要执行的代码，在这种情况下，CPU 在擦除周期后的代码执行将变得无法预料。

擦除顺序如图 2-4 所示:

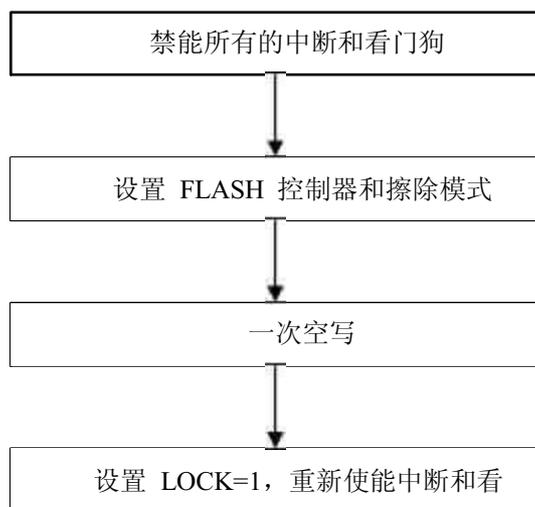


图 2-4: FLASH 存储器内部发起的擦除周期

从 RAM 发起擦除操作

如果由 RAM 发起一个擦除周期，那么 CPU 在擦除的时候不会被挂起，并且能够继续执行来 RAM 中的代码。但是在 CPU 再次访问 FLASH 地址之前，必须不断的轮询 BUSY 位以决定擦除周期是否结束。当 BUSY=1 的时候访问 FLASH，是一次非法访问，ACCVIFG 会被置位，擦除结果变得不可预料。

擦除时序见图 2-5:

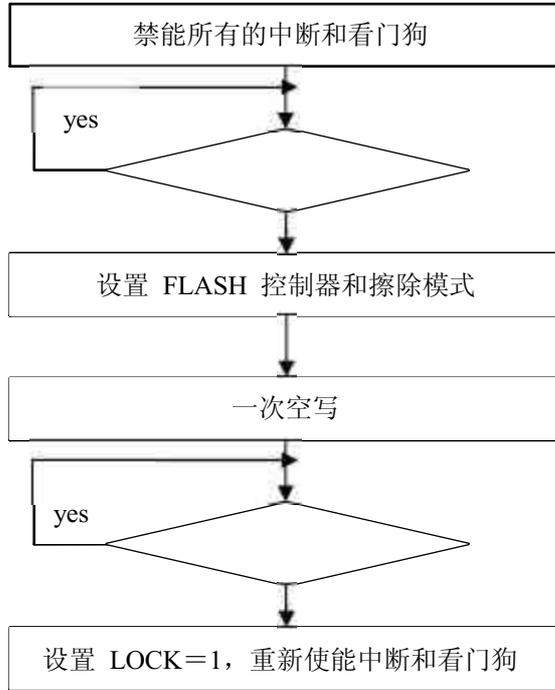


图 2-5 : 从 RAM 发起的擦除周期

2.4.2 写FLASH操作

写模式由 WRT 和 BLKWRT 位进行选择, 如表 2-2 所示:

	WRT	写模式
0	1	以字节/字 写
1	1	以块 写

表 2-2 写模式

从 FLASH 存储器内部发起一次字节/字 写操作
操作顺序如图 2-6 所示:

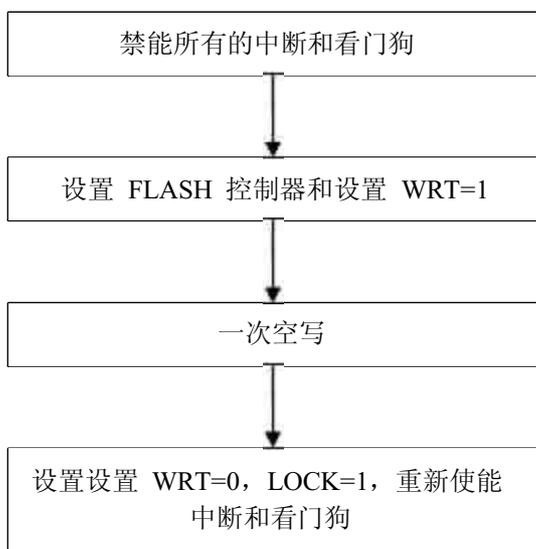


图 2-6: 从 FLASH 存储器发起一次字节/字 写操作
从 RAM 发起一次字节/字写操作
操作顺序如图 2-7 所示:

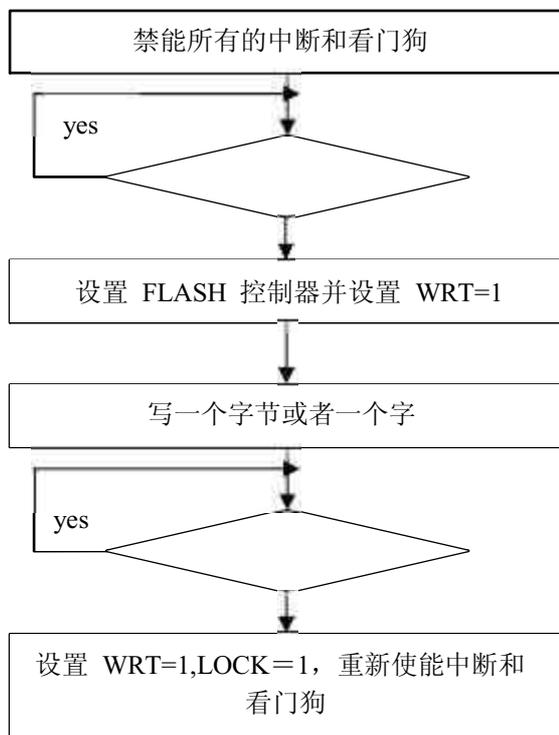


图 2-7: 从 RAM 发起一次字节/字写操作

块写入操作

当有很多顺序字节或者字需要被编程的时候，块写入操作可以用于加速 FLASH 写过程。FLASH 编程电压在写 64 字节模块的时候保持打开状态，在任何一次块写入操作期间都不能超出累积编程时间 t_{CPT} 。

块写入操作不能够由 FLASH 存储器发起，只能由 RAM 发起。在整个块写入周期中，BUSY 位保持置位，WAIT 位必须在写块中的两个字节/字之间被检测。当 WAIT 被置位的时候，模块中下个字节或者字可以被写入。当写连续的模块时，BLKWRT 可以在由 t_{End} 要求的 FLASH 恢复时间之后被清除。BUSY 在每

次模块写入结束以后被置位以指示下个模块可以被写入。模块写入时序如图 2-8 所示：

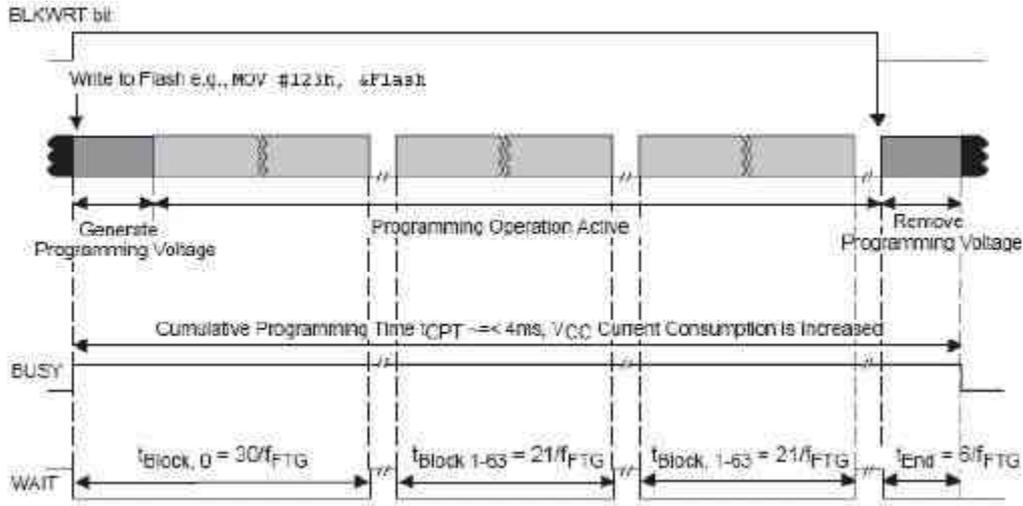


图 2-8：模块写入时序

块写入的顺序如图 2-9 所示：

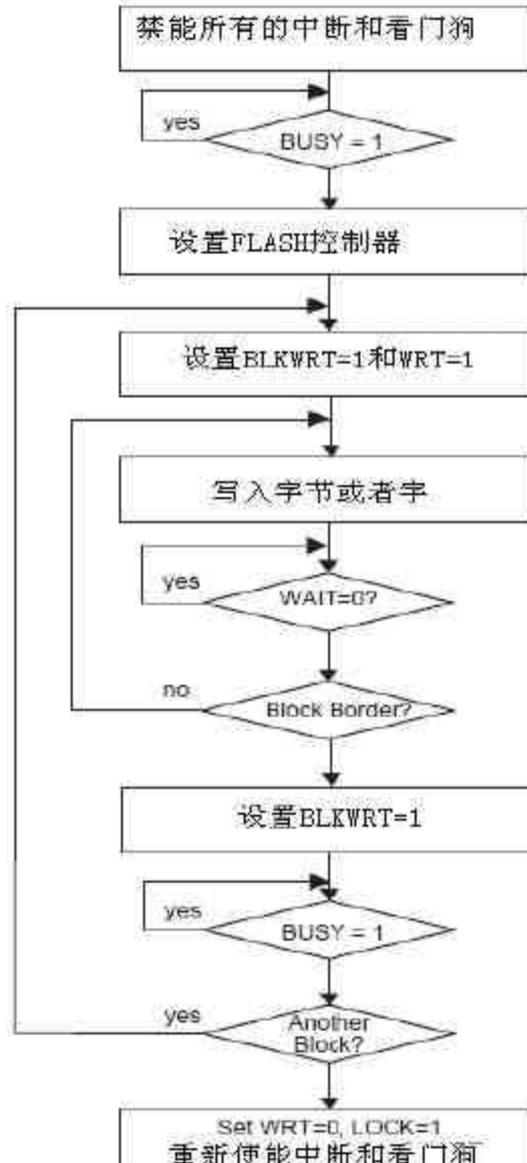


图 2-9：模块写入顺序

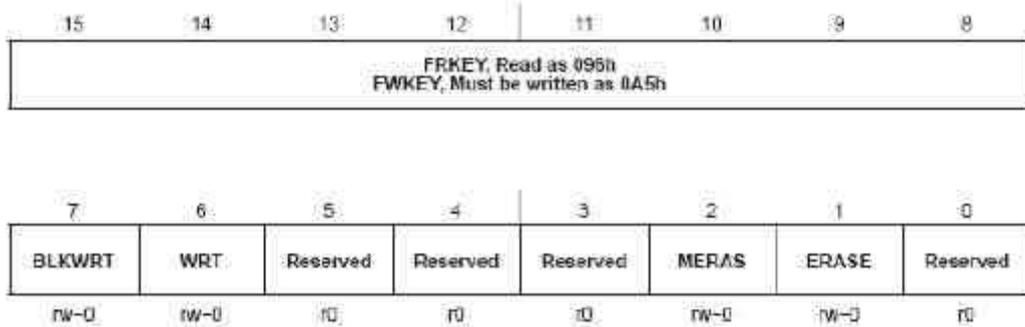
2.5 FLASH存储器寄存器

FLASH 存储器寄存器如表 2-3 所示：

位	域名	描述
15:8	FWKEY/FWKEY	FCTLx 口令，总是读到 096H，必须写为 0A5H，否则将产生一个 PUC
7	BLKWRT	模块写入模式。WRT 必须被为模块写模式置位，BLKWRT 当 EMEX 置位的时候自动复位： 0：模块写模式关闭

表 2-3：Flash 存储器寄存器

FLASH 存储器控制寄存器 1 (FCTL1)

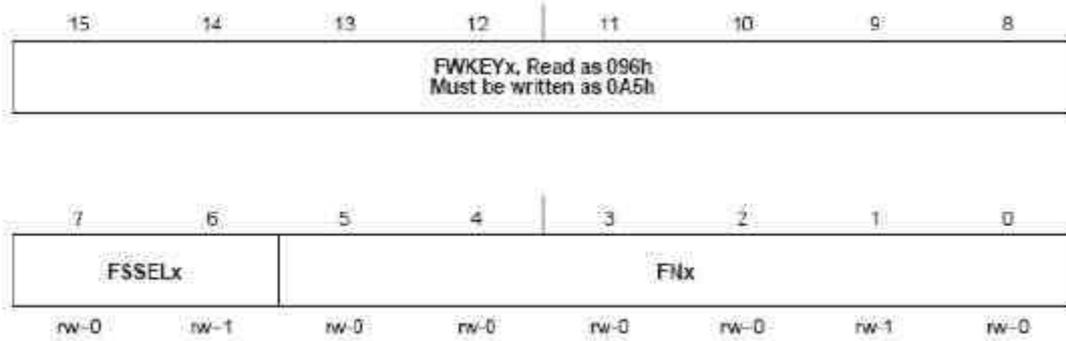


位	域名	描述
15:8	FWKEY/FWKEY	FCTLx 口令，总是读到 096H，必须写为 0A5H，否则将会产生一个 PUC
7	BLKWRT	模块写入模式。WRT 必须被为模块写模式置位，BLKWRT 当 EMEX 置位的时候自动复位： 0：模块写模式关闭 1：模块写模式打开
6	WRT	该位用来选择写模式，当 EMEX 置位的时候 WRT 被自动复位： 0：写模式关闭 1：写模式打开
5:3	—	保留，总是读到 0
2	MERAS	擦除和大量擦除，这两个位一起用来选择擦除模式。见表 2-4，当 EMEX 置位的时候 MERAS 和 ERASE 被自动复位。
1	ERASE	
0	—	保留，总是读到 0

位	域名	描述
15:8	FWKEY/FWKEY	FCTLx 口令，总是读到 096H，必须写为 0A5H，否则将会产生一个 PUC
7	BLKWRT	模块写入模式。WRT 必须被为模块写模式置位，BLKWRT 当 EMEX 置位的时候自动复位： 0：模块写模式关闭

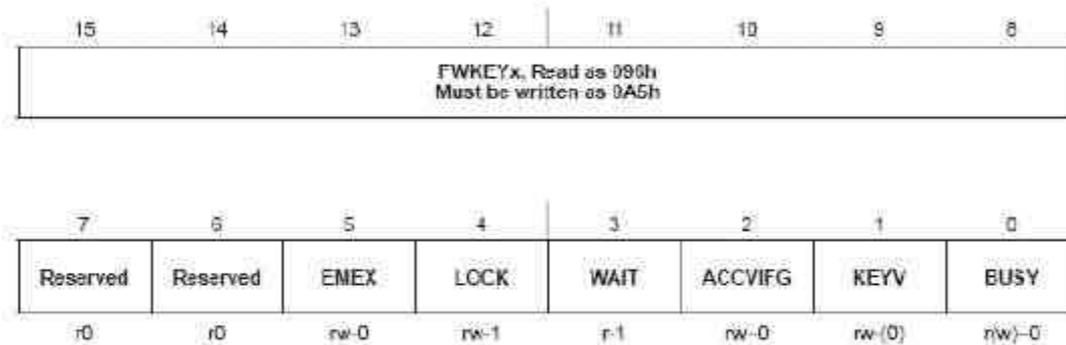
表 2-4 擦除模式

FLASH 存储器控制寄存器 2 (FCTL2)



位	域名	描述
15:8	FWKEYx	FCTLx 口令，总是读到 096H，必须被写 0A5H，否则将发生 PUC 事件
7:6	FSSELx	FLASH 控制器时钟源选择： 00: ACLK 01: MCLK 10: SMCLK 11: SMCLK
5:0	FNx	FLASH 控制器时钟分频系数选择： 0: 1 分频 1: 2 分频 2: 3 分频 ... 63: 64 分频

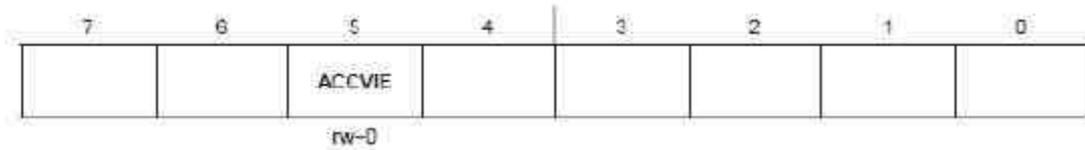
FLASH 存储器控制寄存器 3 (FCTL3)



位	域名	描述
15:8	FWKEYx	FCTLx 口令，总是读到 096H，必须被写 0A5H，否则将发生 PUC 事件
7:6	FSSELx	FLASH 控制器时钟源选择： 00: ACLK 01: MCLK 10: SMCLK 11: SMCLK
5:0	FNx	FLASH 控制器时钟分频系数选择： ...

		<p>式中，如果在 BLKWRT=WAIT=1 的时候将 LOCK 位置位，则 BLKWRT 和 WAIT 将被复位，块写入模式正常结束。</p> <p>0: 不加锁，FLASH 存储器可读、写、擦除</p> <p>1: 加锁，枷锁的 FLASH 存储器可读、不可写、不可擦除</p>
3	WAIT	<p>等待指示信号位，用来指示 FLASH 存储器是否正在被写入：</p> <p>0: FLASH 存储器正在被写入，还不能够进行下一次字节/字写入操作</p> <p>1: 当前数据已经正确地写入 FLASH 存储器，后续编程数据可以被写入</p>
2	ACCVIFG	<p>非法访问中断标志：</p> <p>0: 没有对 FLASH 存储器的非法访问</p> <p>1: 发生对 FLASH 存储器的非法访问</p>
1	KEYV	<p>FLASH 安全口令出错标志。该位用来指示是否有一个不正确的 FCTLx 口令被写入到 FLASH 控制寄存器，当该位置位的时候，产生 PUC 事件。KEYV 位必须用软件来复位：</p> <p>0: FCTLx 口令正确</p> <p>1: FCTLx 口令不正确</p>
0	BUSY	<p>忙标志位。该位指示了 FLASH 时序产生器的状态</p> <p>0: FLASH 时序产生器不忙</p> <p>1: FLASH 时序产生器忙</p>

中断使能寄存器 1 (IE1)



		<p>式中，如果在 BLKWRT=WAIT=1 的时候将 LOCK 位置位，则 BLKWRT 和 WAIT 将被复位，块写入模式正常结束。</p> <p>0: 不加锁，FLASH 存储器可读、写、擦除</p> <p>1: 加锁，枷锁的 FLASH 存储器可读、不可写、不可擦除</p>
3	WAIT	<p>等待指示信号位，用来指示 FLASH 存储器是否正在被写入：</p> <p>0: FLASH 存储器正在被写入，还不能够进行下一次字节/字写入操作</p> <p>1: 当前数据已经正确地写入 FLASH 存储器，后续编程数据可以被写入</p>
2	ACCVIFG	<p>非法访问中断标志：</p>

3 A/D转换器

3.1 ADC12 概述

ADC12 模块支持快速的、12 位的模拟量—数字量转换。模块实现了 12 位的 SAR 内核，采样选择控制器，参考电压发生器和一个 16 字长的转换和控制缓存。转换和控制缓存允许多达 16 个独立的 ADC 采样被转换并存储，而不需要 CPU 的介入。

ADC12 具有以下特点：

- 12 位转换精度，1 位非线性微分误差，1 位非线性积分误差
- 有多种时钟源提供给 ADC12 模块，而且模块本身内置时钟发生器
- 内置温度传感器
- Timer_A/Timer_B 硬件触发器
- 配置有 8 路外部通道与 4 路内部通道
- 内置参考电源，并且参考电压有 6 种组合
- 模数转换有 4 种模式
- 16 字转换缓存
- ADC12 可关断内核支持超低功耗应用
- 采样速度快，最高可达 200ksps
- 自动扫描
- DMA 使能

3.2 ADC12 结构

ADC12 的结构图如图 3-1 所示：

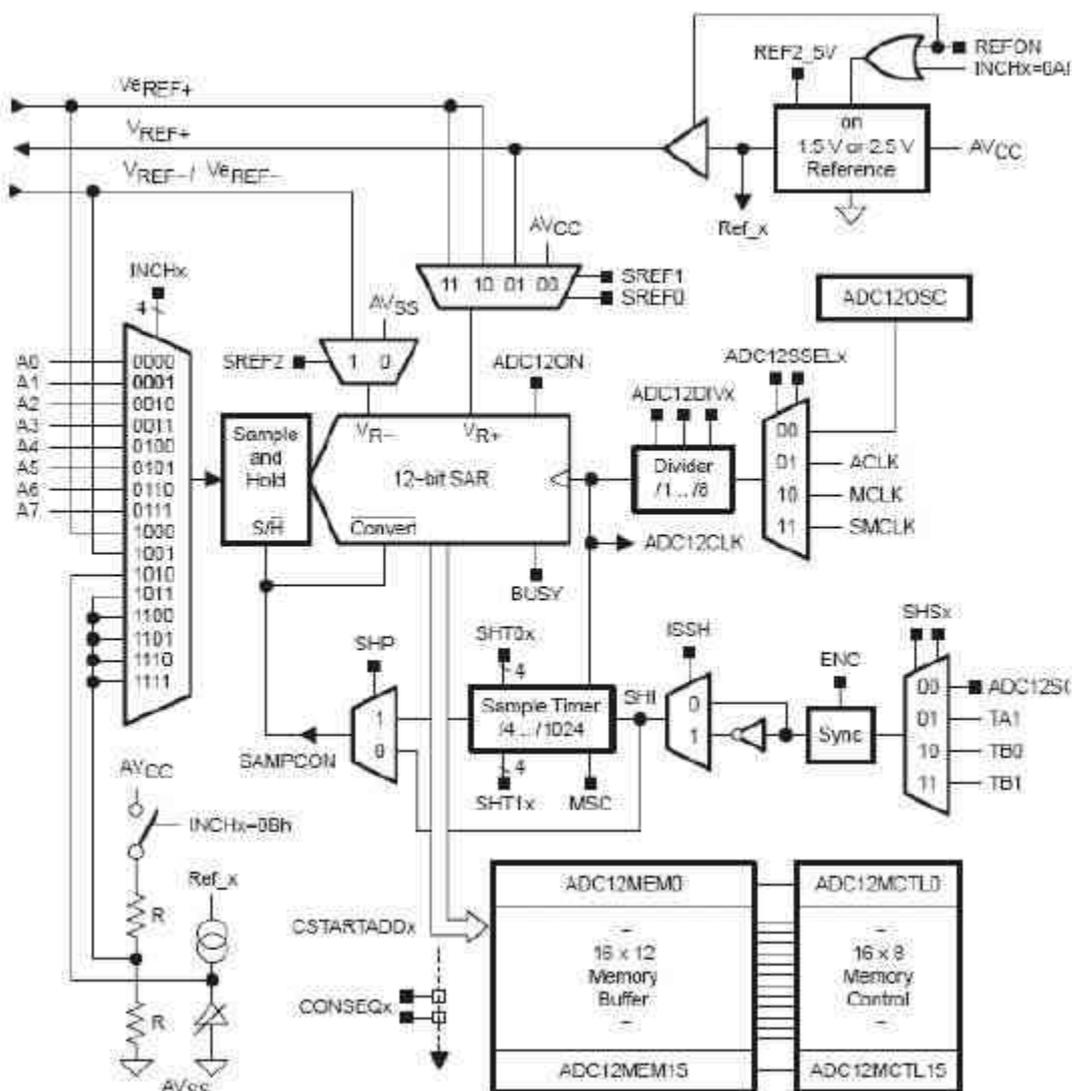


图 3-1: ADC12 结构图

从图中我们可以看到，ADC12 由 5 个功能模块组成，下面分别介绍这几个功能模块。

3.2.1 12 位的ADC内核

ADC12 内核是一个 12 位的模数转换器，并能呢挂钩将结果存放在转换存储器中。该内核使用两个可编程的参考电压 (VR+和 VR-) 定义转换的最大值和最小值。当输入模拟电压等于或高于 VR+时，ADC12 输出满程值 0FFFH，当输入电压小于等于 VR-的时候，ADC12 输出 0。模拟电压的最终转换结果满足公式：

$$NADC = 4095 \times (V_{in} - V_{R-}) / (V_{R+} - V_{R-})$$

ADC12 内核由 ADC12CTL0 和 ADC12CTL1 这两个控制寄存器进行配置，内核通过 ADC12ON 位进行使能。当不使用的時候，ADC12 可以被关闭来节省功耗。在任何转换发生之前，ENC 位必须被置位。

3.2.2 模拟多路器

当对多个模拟信号进行采样并进行 A/D 转换时，为了共用一个转换内核，模拟多路器需要分时地将多

个模拟信号接通，即每次接通一个信号采样并转换。MSP430 ADC12 配置有 8 路外部通道和 4 路内部通道，通过 A0~A7 实现外部 8 路模拟信号输入，4 路呢你不同道可以将 V_{eREF+} 、 V_{REF-}/V_{eREF-} 、 $(AV_{CC}-AV_{SS})/2$ 以及片内传感器的输出作为待转换模拟输入信号，这样就能同时对各路模拟信息进行测量和控制。

3.2.3 参考电压发生器

所有模数转换器（ADC）都需要一个基准信号，通常为电压基准。ADC 的数字输出表示模拟输入相对于它的基准的比率。

MSP430 ADC12 内置参考电源，而且参考电压有 6 种可编程选择，分别为 V_{R+} 和 V_{R-} 的组合。其中， V_{R+} 有 AV_{CC} （模拟电源正端）、 V_{REF+} （A/D 转换器内部参考电源的输出正端）以及 V_{eREF+} （外部参考源的正输入端）， V_{R-} 包括 AV_{SS} （模拟电源负端）和 V_{REF-}/V_{eREF-} （A/D 转换器参考电源负端）。ADC12 可以灵活地设置参考电压发生器的工作，如位 REFON 控制参考电压打开和关闭，以根据实际情况节省功耗；位 Sref 选择参考电源的上述 6 种组合等。

3.2.4 采样及转换所需的时序控制电路

该部分提供采样及转换所需要的各种时钟信号：ADC12CLK 转换时钟、SAMPCON 采样及转换信号、SHT 控制的采样周期、SHS 控制的采样触发来源选择、ADC12SSEL 选择的内核时钟源、ADC12DIV 选择的分频系数等。详细情况参考 3.4 节：寄存器描述。

3.2.5 转换结果缓存

ADC12 共有 12 各转换通道，设置了 16 个转换存储器用于暂存转换结果，合理设置之后，ADC12 硬件会自动将转换结果存放到相应的 ADC12MEM 寄存器当中。每个转换存储器 ADC12MEM_x 都由自己对应的控制寄存器 ADC12MCTL_x。控制寄存器控制各个转换存储器必须选择基本的转换条件。

3.3 ADC12 转换模式

ADC12 提供 4 中转换模式：

- 单通道单次转换
- 序列通道单次转换
- 单通道多次转换
- 序列通道多次转换

下面分别介绍这几种转换模式。

3.3.1 单通道单次转换模式

对选定的通道进行单次转换要进行如下设置：

- $x = CSStartAdd$ ，指示开始转换通道。
- ADC12MEM_x 存放转换结果。
- ADC12IFG._x 为对应的中断标志。

ADC12MCTLx 寄存器中定义了通道和参考电压。

当 ADC12SC 位启动了一次转换时，下一次转换可以通过简单的设置 ADCC12SC 位（ENC 保持为高，或者在设置 ADC12SC 位的同时置位 ENC）来启动。然而，当有其他任何触发源用于开始转换，ENC 位必须在每次转换之间固定。其他的采样输入信号将在 ENC 复位后，置位之前被忽略。单通道单次转换模式状态图如图 3-2 所示：

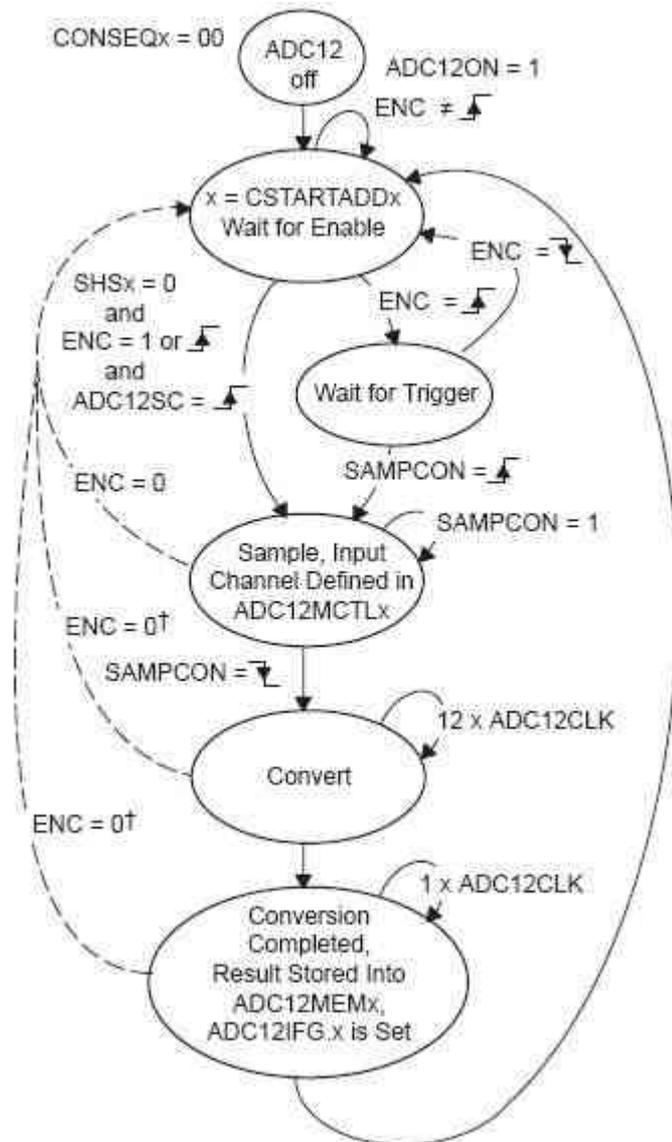


图 3-2 单通道单次转换模式的状态图

3.3.2 序列通道单次转换模式

对序列通道进行单次转换进行如下设置：

$x = CStartAdd$ ，指示开始转换通道。

$EOS(ADC12MCTLx.7) = 1$ 标志序列中最后通道 y ，非最后通道的 EOS 位都是 0，表示序列没有结束。

ADC12MEMx, ADC12MEMy 存放转换结果。

ADC12IFG.x, ADC12IFG.y 为对应的中断标志。

ADC12MCTLx 寄存器中定义了通道和参考电压。

当 ADC12SC 位发起一次序列通道单次转换的时候，可以通过 ADC12SC 位发起下一次转换。当任何其他触发源被使用的时候，ENC 必须在每次转换之间固定。

序列通道单次转换模式的状态图如图 3-3 所示：

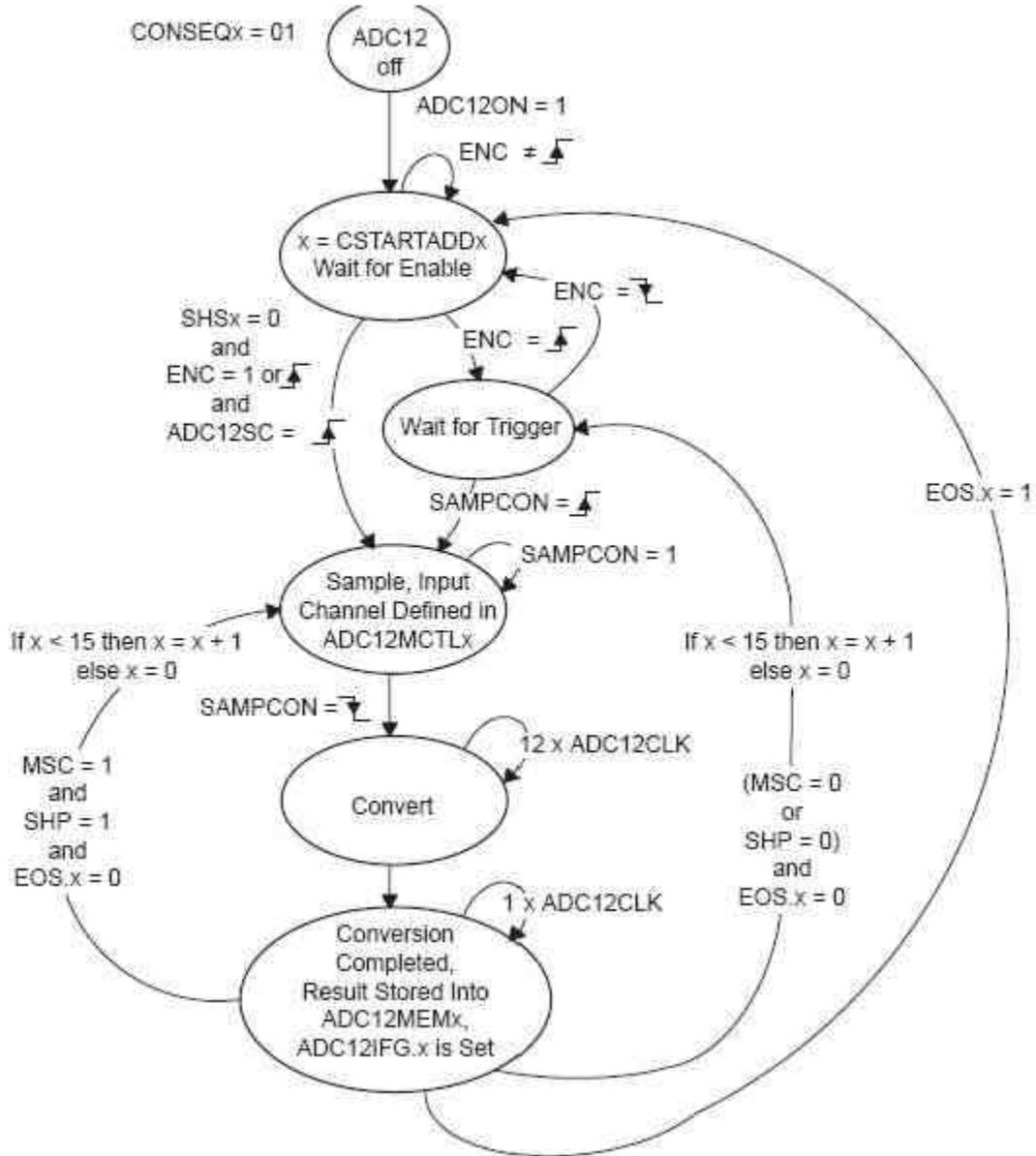


图 3-3 序列通道单次转换模式的状态图

3.3.3 单通道多次转换模式

对单通道进行多次转换，直到关闭该功能或者 ENC=0。进行如下设置：

x = CSSStartAdd，指示开始转换通道。

ADC12MEMx 存放转换结果。

ADC12MCTLx 寄存器中定义了通道和参考电压。

在这种模式下，改变转换模式，不必先停止转换，在当前正在进行的转换结束之后，可改变转换模式。

该模式的停止可有如下几种办法：

使用 CONSEQ=0 的办法，改变为单通道单次模式。

使用 ENC=0 直接使当前转换完成后停止。

使用单通道单次模式替换当前模式，同时使 ENC=0
单通道多次转换模式的状态图如图 3-4 所示：

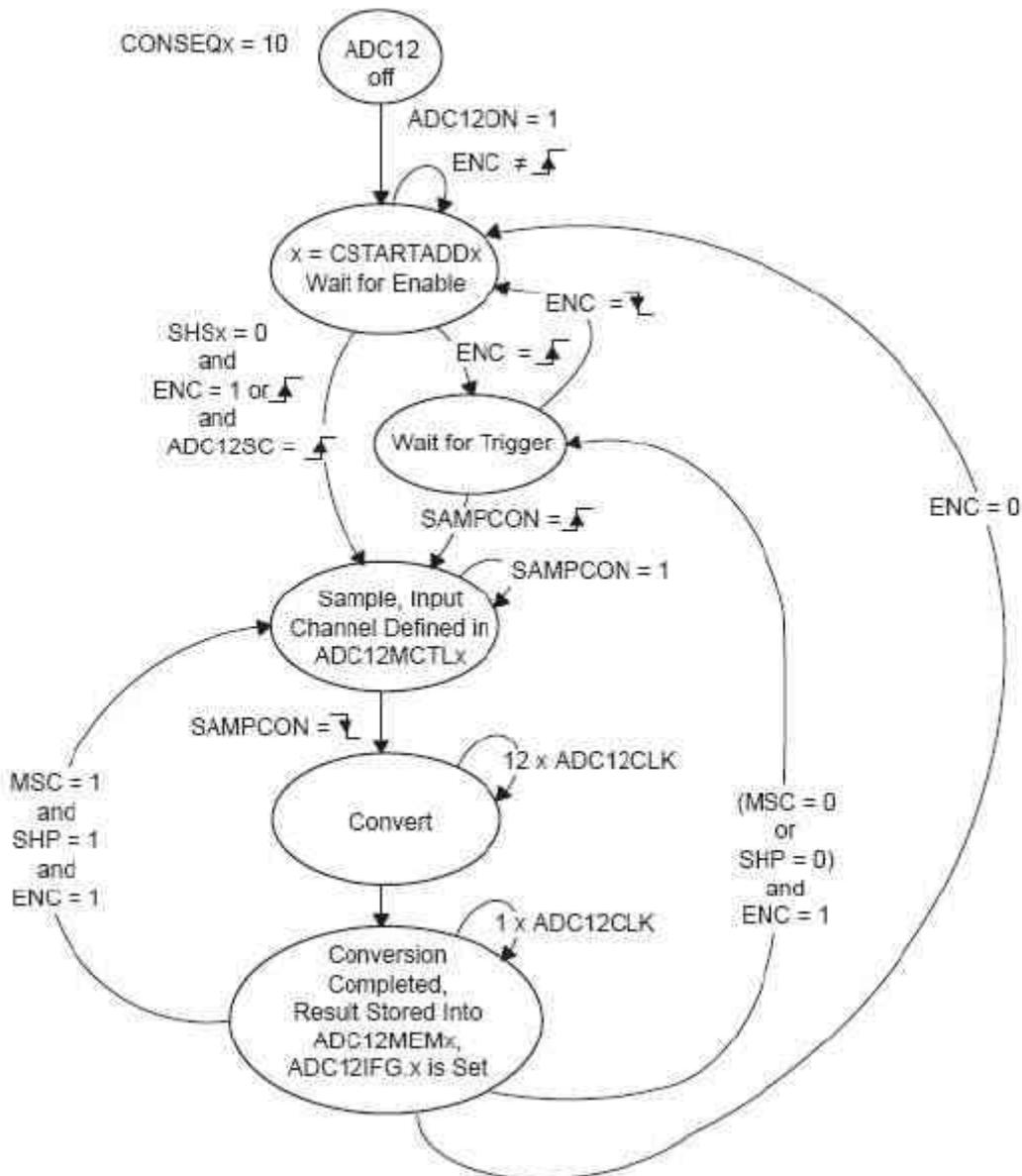


图 3-4: 单通道多次转换模式的状态图

3.3.4 序列通道多次转换模式

对序列通道作多次转换，直到关闭该功能或 ENC=0。进行如下设置：

x=CSSStartAdd，指示开始转换通道。

EOS(ADC12MCTLx.7)=1 标志序列中最后通道 y。

ADC12MCTLx 寄存器中定义了通道和参考电压。

改变转换模式不必先停止当前转换，一旦改变模式（单通道单次模式除外），将在当前序列完成后立即生效。序列通道多次转换模式的状态图如图 3-5 所示：

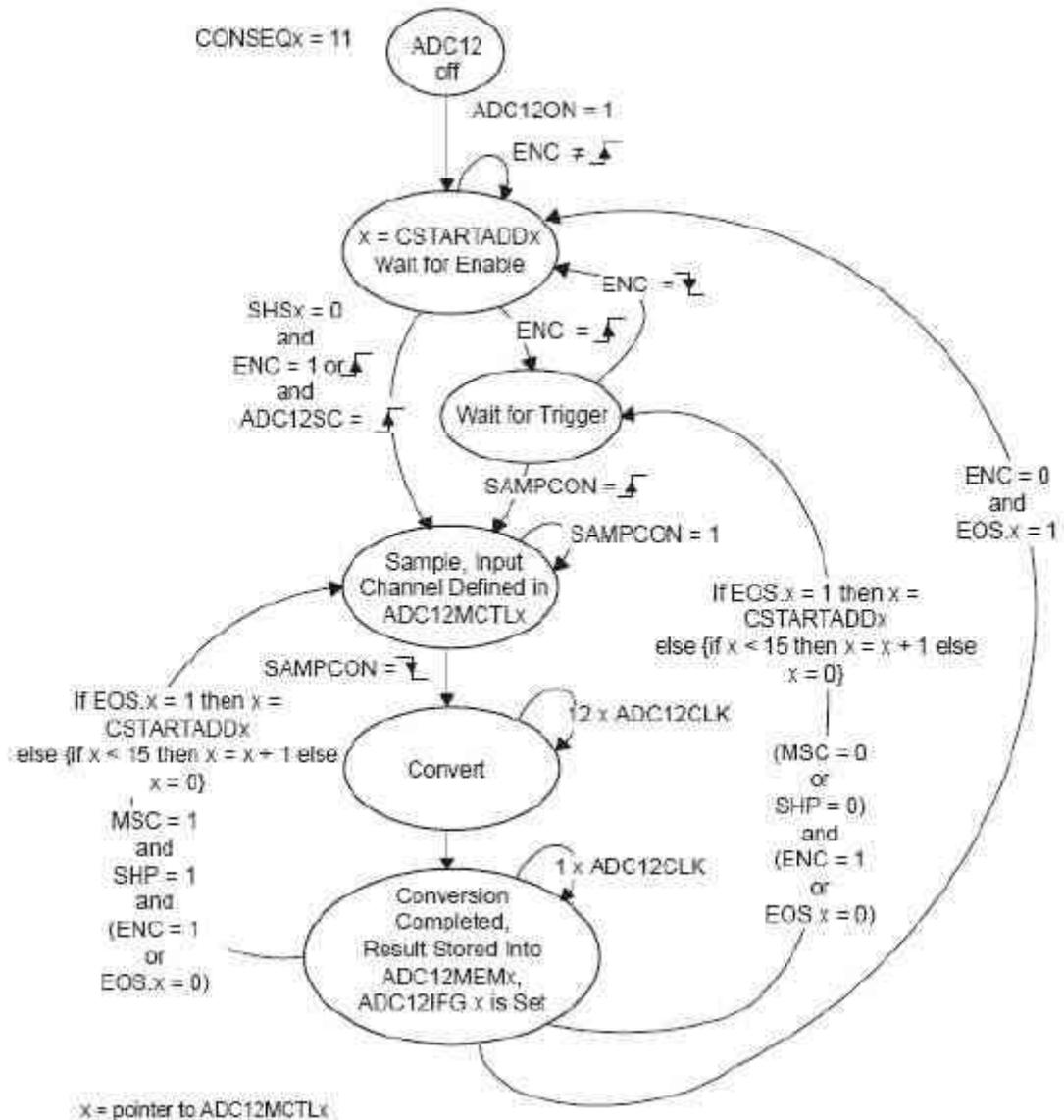


图 3-5: 序列通道多次转换模式的状态图

3.4 寄存器描述

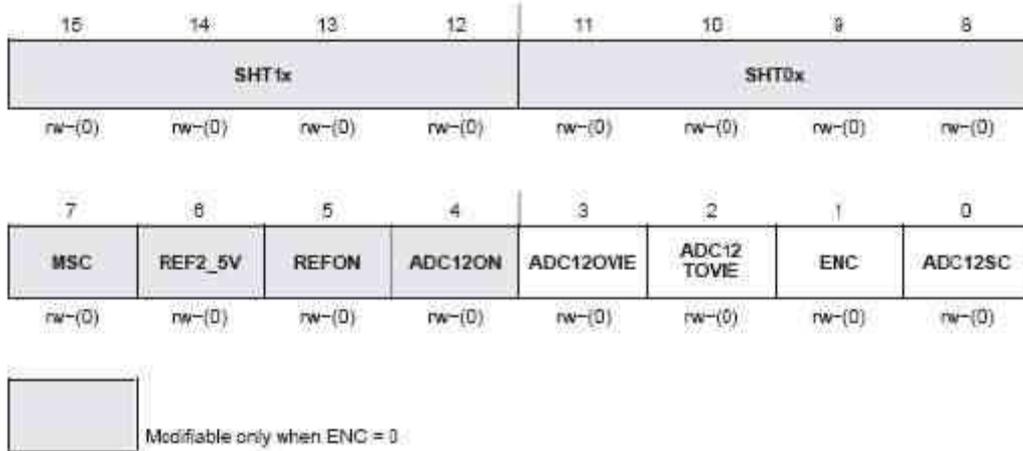
ADC 相关寄存器如表 3-1 所示:

MXCHIP	缩写	类型	地址	初始状态
ADC12 控制寄存器 0	ADC12CTL0	读/写	01A0H	和 POR 一起复位
ADC12 控制寄存器 1	ADC12CTL1	读/写	01A2H	和 POR 一起复位
ADC12 中断标志寄存器	ADC12IFG	读/写	01A4H	和 POR 一起复位
ADC12 中断使能寄存器	ADC12IE	读/写	01A6H	和 POR 一起复位
ADC12 中断向量字	ADC12IV	只读	01A8H	和 POR 一起复位
ADC12 存储器 0	ADC12MEM0	读/写	0140H	无变化
ADC12 存储器 1	ADC12MEM1	读/写	0142H	无变化
ADC12 存储器 2	ADC12MEM2	读/写	0144H	无变化

MXCHIP	ADC12MEM3	读/写	0146H	无变化
ADC12 存储器 4	ADC12MEM4	读/写	0148H	无变化
ADC12 存储器 5	ADC12MEM5	读/写	014AH	无变化
ADC12 存储器 6	ADC12MEM6	读/写	014CH	无变化
ADC12 存储器 7	ADC12MEM7	读/写	014EH	无变化
ADC12 存储器 8	ADC12MEM8	读/写	0150H	无变化
ADC12 存储器 9	ADC12MEM9	读/写	0152H	无变化
ADC12 存储器 10	ADC12MEM10	读/写	0154H	无变化
ADC12 存储器 11	ADC12MEM11	读/写	0156H	无变化
ADC12 存储器 12	ADC12MEM12	读/写	0158H	无变化
ADC12 存储器 13	ADC12MEM13	读/写	015AH	无变化
ADC12 存储器 14	ADC12MEM14	读/写	015CH	无变化
ADC12 存储器 15	ADC12MEM15	读/写	015EH	无变化
ADC12 存储器控制 0	ADC12MEMCTL0	读写	080H	和 POR 一起复位
ADC12 存储器控制 1	ADC12MEMCTL1	读写	081H	和 POR 一起复位
ADC12 存储器控制 2	ADC12MEMCTL2	读写	082H	和 POR 一起复位
ADC12 存储器控制 3	ADC12MEMCTL3	读写	083H	和 POR 一起复位
ADC12 存储器控制 4	ADC12MEMCTL4	读写	084H	和 POR 一起复位
ADC12 存储器控制 5	ADC12MEMCTL5	读写	085H	和 POR 一起复位
ADC12 存储器控制 6	ADC12MEMCTL6	读写	086H	和 POR 一起复位
ADC12 存储器控制 7	ADC12MEMCTL7	读写	087H	和 POR 一起复位
ADC12 存储器控制 8	ADC12MEMCTL8	读写	088H	和 POR 一起复位
ADC12 存储器控制 9	ADC12MEMCTL9	读写	089H	和 POR 一起复位
ADC12 存储器控制 10	ADC12MEMCTL10	读写	08AH	和 POR 一起复位
ADC12 存储器控制 11	ADC12MEMCTL11	读写	08BH	和 POR 一起复位
ADC12 存储器控制 12	ADC12MEMCTL0	读写	08CH	和 POR 一起复位
ADC12 存储器控制 13	ADC12MEMCTL13	读写	08DH	和 POR 一起复位
ADC12 存储器控制 14	ADC12MEMCTL14	读写	08EH	和 POR 一起复位
ADC12 存储器控制 15	ADC12MEMCTL15	读写	08FH	和 POR 一起复位

表 3-1 ADC12 寄存器

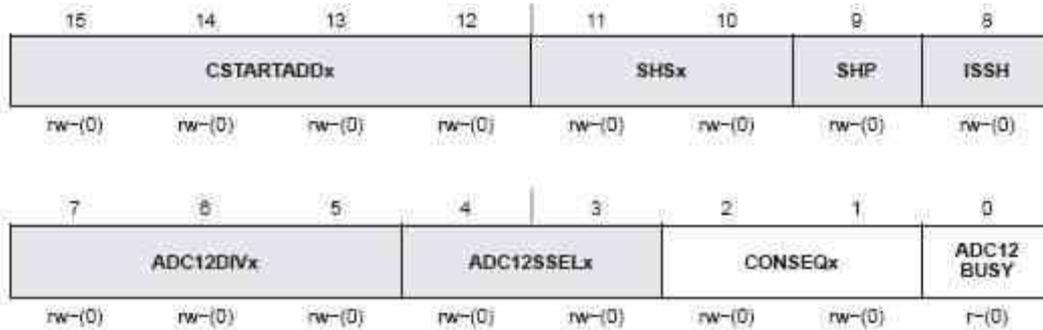
ADC12 控制寄存器 0 (ADC12CTL0)



MXCHIP	域名	描述
15:12	SHT1x	采样保持时间，定义了 ADC12MEM8 寄存器到 ADC12MEM15 寄存器的采样周期中 ADC12CLK 周期数： 0000: 4 0001: 8 0010: 16 0011: 32 0100: 64 0101: 96 0110: 128 0111: 192 1000: 256 1001: 384 1010: 512 1011: 768 1100: 1024 1101: 1024 1110: 1024 1111: 1024
11:8	SHT0x	采样保持时间，定义了 ADC12MEM0 寄存器到 ADC12MEM7 寄存器的采样周期中 ADC12CLK 周期数
7	MSC	多次采样/转换位。仅对序列通道多次转换模式有效： 0: 采样定时器需要 SHI 上的一个上升沿以触发每次采样和转换。 1: SHI 信号上的第一个上升沿触发采样定时器，但是进一步的采样转换在先前的转换结束后自动执行。
6	REF2_5V	参考电压发生器产生的电压，REFON 必须被置位 0: 1.5V

MXCHIP		1: 2.5V
5	REFON	参考电压发生器状态 0: 关闭 1: 打开
4	ADC12ON	ADC12 状态 0: 关闭 1: 打开
3	ADC12OVIE	ADC12MEMx 下溢中断使能, GIE 位也必须被置位以使能中断。 0: 下溢中断禁能 1: 下溢中断使能
2	ADC12TOVIE	ADC12 转换时间下溢中断使能, GIE 位也必须被置位以使能中断。 0: 转换时间下溢中断禁能 1: 转换时间下溢中断使能
1	ENC	转换使能。 0: ADC12 禁能 1: ADC12 使能
0	ADC12SC	开始转换位。软件控制采样和转换开始, ADC12SC 和 ENC 可以通过一条指令被一起置位。ADC12SC 自动复位。 0: 采样和转换尚未开始 1: 采样和转换开始

ADC12 控制寄存器 1 (ADC12CTL1)

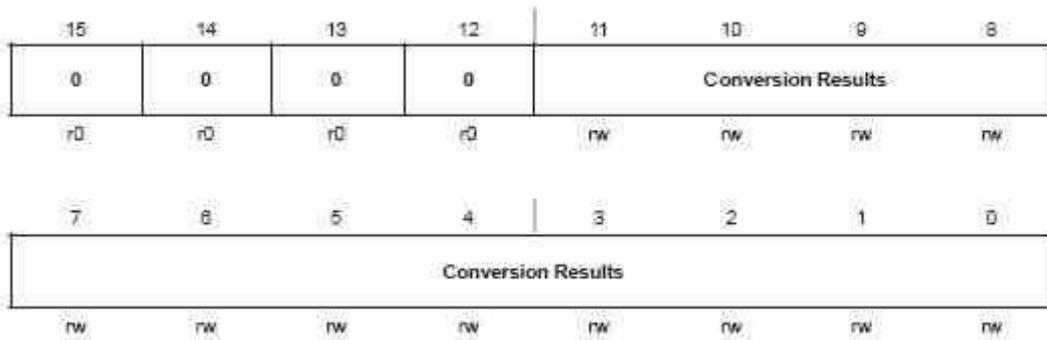


Modifiable only when ENC = 0

5	REFON	1: 2.5V 参考电压发生器状态 0: 关闭 1: 打开
4	ADC12ON	ADC12 状态 0: 关闭 1: 打开
3	ADC12OVIE	ADC12MEMx 下溢中断使能, GIE 位也必须被置位以

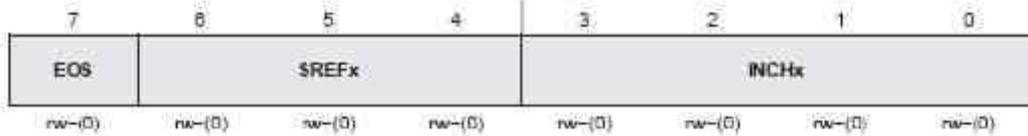
		11: Timer_B.OUT1
9	SHP	采样保持脉冲模式选择, 该位选择了采样信号 (SAMPCON) 的源为采样定时器的输出或者直接为采样输入信号。 0: SAMPCON 信号源为采样输入信号 1: SAMPCON 信号源为采样定时器
8	ISSH	转换信号采样和保持 0: 采样输入信号未被转换 1: 采样输入信号被转换
7:5	ADC12DIVx	ADC12 时钟分频系数 000: 1 分频 001: 2 分频 ... 111: 8 分频
4:3	ADC12SELx	ADC12 时钟源选择 00: ADC12OSC 01: ACLK 10: MCLK 11: SMCLK
2:1	CONSEQx	转换模式选择 00: 单通道单次转换 01: 序列通道单次转换 10: 单通道多次转换 11: 序列通道多次转换
0	ADC12BUSY	ADC12 忙。该位指示了是否存在有效的采样或者转换操作 0: 没有有效的操作 1: 存在一有效的个序列, 采样或者转换

ADC12 转换存储器寄存器 (ADC12MEMx)



		11: Timer_B.OUT1
9	SHP	采样保持脉冲模式选择, 该位选择了采样信号 (SAMPCON) 的源为采样定时器的输出或者直接为采样输入信号。

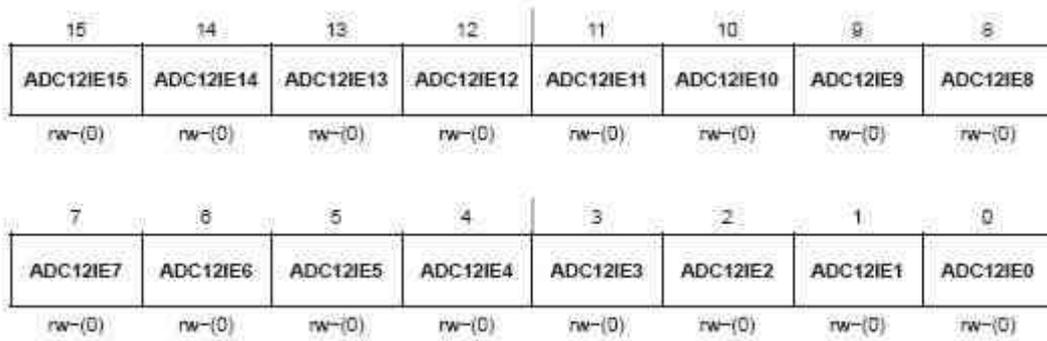
ADC12 转换存储器控制寄存器 (ADC12MCTLx)



Modifiable only when ENC = 0

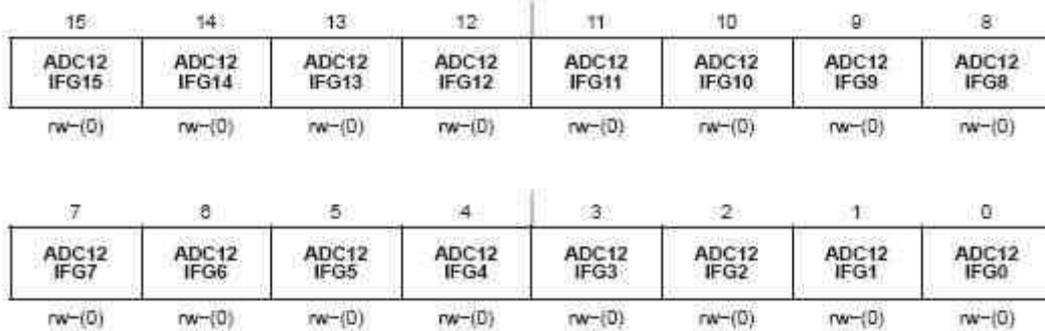
位	域名	描述
7	EOS	序列的结尾，指示序列中的最后一次转换 0: 非序列尾 1: 序列结尾
6:4	SREFx	参考电压选择位: 000 : $V_{R+} = AV_{CC}$ and $V_{R-} = AV_{SS}$ 001 : $V_{R+} = V_{REF+}$ and $V_{R-} = AV_{SS}$ 010 : $V_{R+} = V_{eREF+}$ and $V_{R-} = AV_{SS}$ 011 : $V_{R+} = V_{eREF+}$ and $V_{R-} = AV_{SS}$ 100 : $V_{R+} = AV_{CC}$ and $V_{R-} = V_{REF-}/V_{eREF-}$ 101 : $V_{R+} = V_{REF+}$ and $V_{R-} = V_{REF-}/V_{eREF-}$ 110 : $V_{R+} = V_{eREF+}$ and $V_{R-} = V_{REF-}/V_{eREF-}$ 111 : $V_{R+} = V_{eREF+}$ and $V_{R-} = V_{REF-}/V_{eREF-}$
3:0	INCHx	输入通道选择: 0000 : A0 0001 : A1 0010 : A2 0011 : A3 0100 : A4 0101 : A5 0110 : A6 0111 : A7 1000 : V_{eREF+} 1001 : V_{REF-}/V_{eREF-} 1010 : 温度传感器 1011 : $(AV_{CC} - AV_{SS}) / 2$ 1100 : $(AV_{CC} - AV_{SS}) / 2$ 1101 : $(AV_{CC} - AV_{SS}) / 2$ 1110 : $(AV_{CC} - AV_{SS}) / 2$ 1111 : $(AV_{CC} - AV_{SS}) / 2$

ADC12 中断使能寄存器 (C12IE)



位	域名	描述
15:0	ADC12IFGx	ADC12MEMx 中断标志位，这些位当相关联的 ADC12MEMx 被装载了一个转换结果时置位。ADC12IFGx 位在对应的 ADC12MEMx 被访问时复位，或者由软件进行复位

ADC12 中断标志寄存器 (ADC12IFG)



域名	域名	描述
15:0	ADC12IFGx	ADC12MEMx 中断标志位，这些位当相关联的 ADC12MEMx 被装载了一个转换结果时置位。ADC12IFGx 位在对应的 ADC12MEMx 被访问时复位，或者由软件进行复位 0: 无中断挂起 1: 中断挂起

ADC12 中断向量寄存器 (ADC12IV)



ADC12IV 内容	中断源	中断标志	中断优先级
000H	无中断挂起	—	

MXCHIP	中断源	中断标志	中断优先级
000H	无中断挂起	—	
0002H	ADC12MEMx 上溢	—	最高
0004H	转换时间上溢	—	
0006H	ADC12MEM0 中断标志	ADC12IFG0	
0008H	ADC12MEM1 中断标志	ADC12IFG1	
000AH	ADC12MEM2 中断标志	ADC12IFG2	
000CH	ADC12MEM3 中断标志	ADC12IFG3	
000EH	ADC12MEM4 中断标志	ADC12IFG4	
0010H	ADC12MEM5 中断标志	ADC12IFG5	
0012H	ADC12MEM6 中断标志	ADC12IFG6	
0014H	ADC12MEM7 中断标志	ADC12IFG7	
0016H	ADC12MEM8 中断标志	ADC12IFG8	
0018H	ADC12MEM9 中断标志	ADC12IFG9	
001AH	ADC12MEM10 中断标志	ADC12IFG10	
001CH	ADC12MEM11 中断标志	ADC12IFG11	
001EH	ADC12MEM12 中断标志	ADC12IFG12	
0020H	ADC12MEM13 中断标志	ADC12IFG13	
0022H	ADC12MEM14 中断标志	ADC12IFG14	
0024H	ADC12MEM15 中断标志	ADC12IFG15	最低

表 3-2 ADC12 中断向量值

4 USART外围接口--UART模式

4.1 简介

通用同步/异步接收/发送（USART）外设接口通过一个硬件模块可以支持两种串行模式。

本章介绍了异步 UART 模式的一些操作。

在异步模式下 MSP430 通过接收引脚 URXD 和发送引脚 UTXD 与外部界相连。UART 模式的特点如下：

- 异步模式，包括线路空闲/地址位通信协议

- 两个独立移位寄存器：输入移位寄存器和输出移位寄存器

- 传输 7 位或 8 位数据，可采用奇校验或偶校验或者无校验

- 从最低位开始的数据发送和接收

- 可编程实现分频因子为整数或小数的波特率

- 独立的发送和接收中断

- 通过有效的起始位检测将 MSP430 从低功耗唤醒

- 状态标志检测错误或者地址位

4.2 UART（异步）模式下的USART模块结构

当配置为 UART（异步）模式时，USART 的结构如图 4-1 所示：

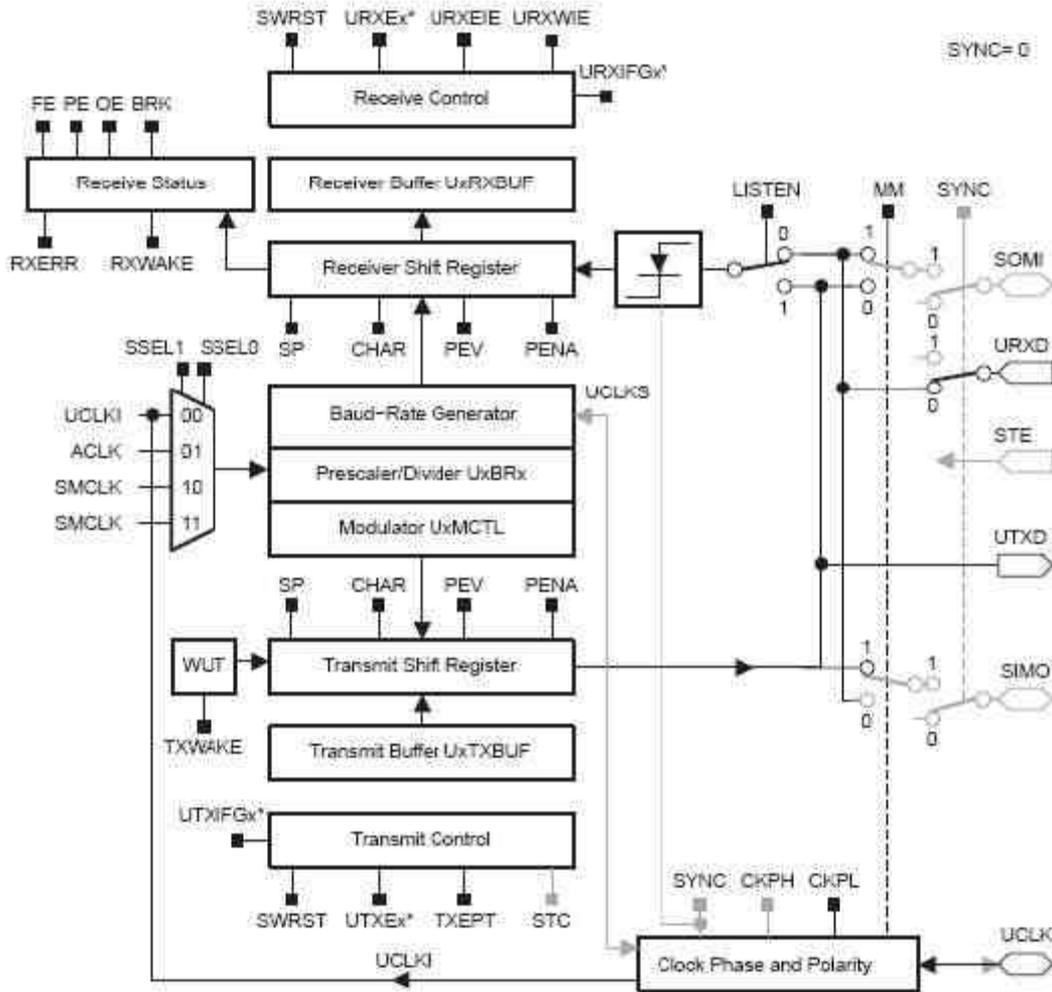


图 4-1: UART (异步) 模式下的 USART 模块结构图

由图可以看到，该模块包含 4 个部分：

- 波特率部分，控制串行通信数据接收和发送的速度
- 接收部分，接收串行输入的数据
- 发送部分，发送串行输出的数据
- 接口部分，完成并/串、串/并转换

4.3 UART (异步) 模式下USART的操作

在 UART 模式下，发送方和接收方的 USART 以异步的方式发送和接收字符，每个字符的时序基于选择的 USART 波特率，发送方和接收方必须使用同样的波特率。

4.3.1 USART初始化和复位

USART通过PUC或者置位SWRST位来复位。在PUC之后，SWRST位也会自动置位，使得USART保持复位状态。当SWRST位置位的时候，URXIEx, UTXIEx, URXIFGx, RXWAKE,

TXWAKE, RXERR, BRK, PE, OE, 和FE位被复位，UTXIFGx和TXEPT位被置位。接收和发送使能标志

URXEx和UTXEx不会受SWRST的影响。

初始化或者重配置USART模块的步骤如下：

1. 置位 SWRST
2. 通过SWRST=1来初始化所有的USART寄存器
3. 通过MEx SFRs来使能USART模块
4. 通过软件来清除SWRST
5. 通过IEx SFRs来使能中断

4.3.2 异步通信字符格式

异步通信字符格式由 4 部分组成：起始位、数据位、奇偶校验位和停止位，如图 4-2 所示：

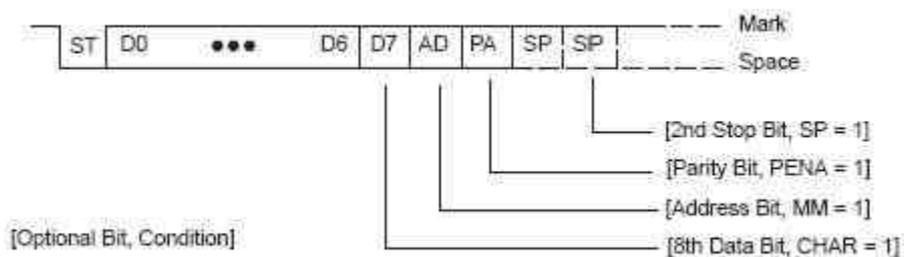


图 4-2: 异步操作的字符格式

用户可以通过软件设置数据位、停止位的位数，以及校验位的有无、奇偶。通过选择时钟源和波特率寄存器的数据来确定位周期。

4.3.3 异步多机通信模式

异步模式下 USART 支持两种多机通信模式，即线路空闲和地址位多机模式，下面分别介绍。

4.3.3.1 线路空闲多机模式

当 MM=0 的时候，选择线路空闲多机模式。该模式下，数据块被空闲时间分隔，在字符的第一个停止位之后，收到 10 个以上的 1，表示检测到接收线路空闲，如图 4-3 所示：

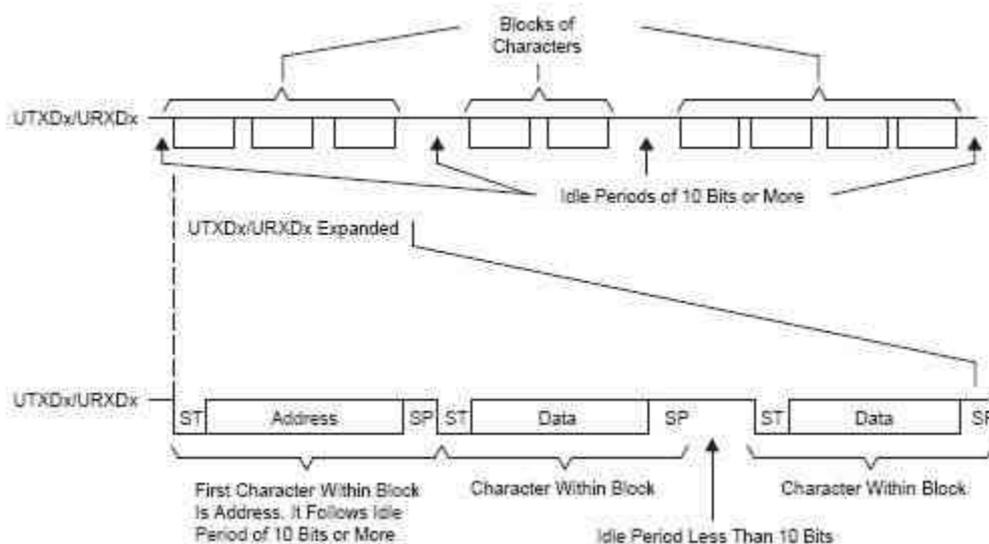


图 4-3: 线路空闲多机模式

空闲周期的第一个字符是地址字符，RXWAKE 位可以用于地址字符的标志，当接受到的字符是地址字符的时候，RXWAKE 被置位，并送入接收缓存。

可以通过发送空闲帧来识别地址字符，步骤如下：

1. TXWAKE=1，将任意数据写入 UTXBUF。当发送移位寄存器为空闲时 (TXEPT=1)，UTXBUF 的内容将被送入发送移位寄存器，同时 TXWAKE 的值移入 WUT。
2. 如果此时 WUT=1，则要发送的起始位、数据位及校验位等被抑制，发送一个正好 11 的周期。
3. 在地址字符识别空闲周期后移出串口的下一个数据是 TXWAKE 置位后写入 UTXBUF 中的第二个字符。当地址识别被发送后，写入 UTXBUF 中的第一个字符被抑制，并在以后被忽略。这时需要随便向 UTXBUF 中再写一个字符，以便能将 TXWAKE 的值移入 WUT 中。

4.3.3.2 地址位多机模式

当 MM=1 的时候，选择地址位多机模式。每个字符包含一个附加位作为地址标志。地址位多机模式的格式如图 4-4 所示：

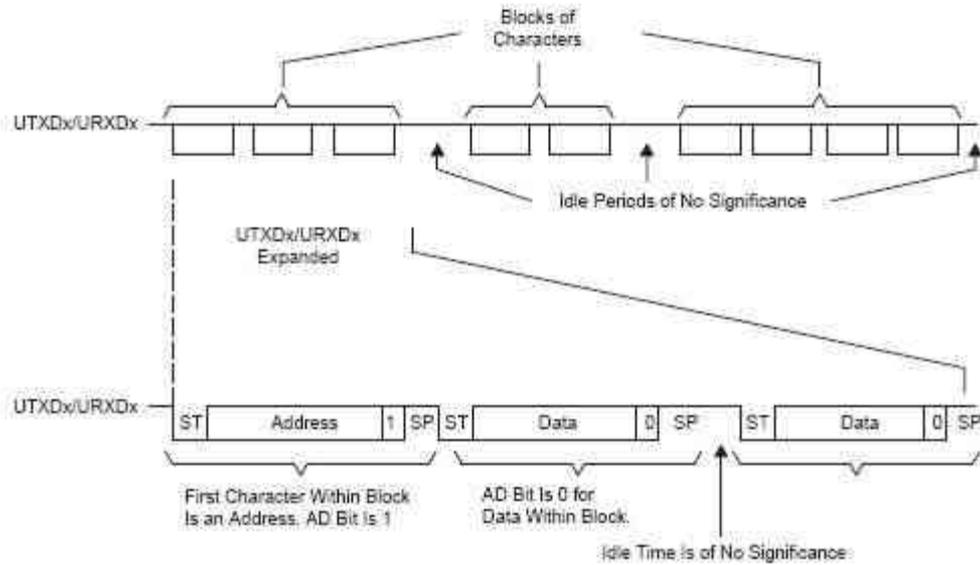


图 4-4: 地址位多机模式

对于在地址位多机模式中的地址发送来说，一个字符的地址位可以通过向 TXWAKE 位写入来控制。每当字符由 UTXBUF 传送到发送器时，TXWAKE 位装入字符的地址位，再由 USART 将 TXWAKE 位清除。

4.3.4 串行操作自动错误检测

USART 模块接收字符时，能够自动进行校验错误、帧错误、溢出错误和打断状态检测。各种检测错误的含义和标志如下：

FE 标志帧错误：当一个接收字符的停止位为 0 并被装入接收缓存，接收的为一个错误的帧，那么帧错标志被设置成 1，即使在多停止位模式时也只检测第一个停止位。同样，丢失停止位意味着从起始位开始的同步特性被丧失，也是一个错误帧。在同步的 4 线模式时，因总线冲突使有效主机停止，并在 STE 引脚信号出现下降沿时使 FE 位设置为 1。

PE 奇偶校验错误：当接收字符中 1 的个数与它的校验位不相符，并被装入接收缓存时，发生校验错，设置 PE 为 1。

OE 溢出错误标志：当一个字符写入接收缓存 URXBUF 时，前一个字符还没有被读出，这时前一个字符因被覆盖而丢失，发生溢出（同步与异步情况相同）。

BRK 打断检测标志：当发生一次打断同时 URXEIE 置位时，该位被设置为 1，表示接收过程被打断过。RXD 线路从丢失的第一个停止位开始连续出现至少 10 位低电平被识别为打断。

4.3.5 USART 接收使能

可以通过接收使能位 URXEx 位来使能或者禁能 URXDx 引脚上的数据接收。如果禁能 USART 接收器，接收操作将在当前接收操作完成之后停止，若没有接收操作，那么接收器立即停止。接收数据缓存 UxRXBUF 包含了来自于 RX 移位寄存器的字符。图 4-5 显示了接收器使能的状态图：

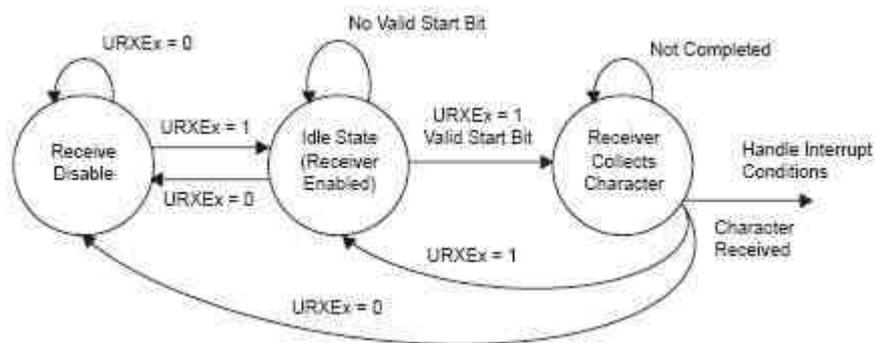


图 4-5: 接收使能的状态图

4.3.6 USART的发送使能

通过发送使能位 UTXEx 来使能或者禁能 USART 的发送。发送通过向 UxTXBUF 写数据来启动。写入到 UxTXBUF 的数据在 TX 移位寄存器为空的下一个 BITCLK 被移到发送移位寄存器，然后开始发送。

如过 UTXEx 位被复位了，那么发送器停止。但是在 UTXEx 复位之前写入 UxTXBUF 的数据或者当前正在发送移位寄存器中的数据还是会被发送出去。

发送器使能的状态图如图 4-6 所示：

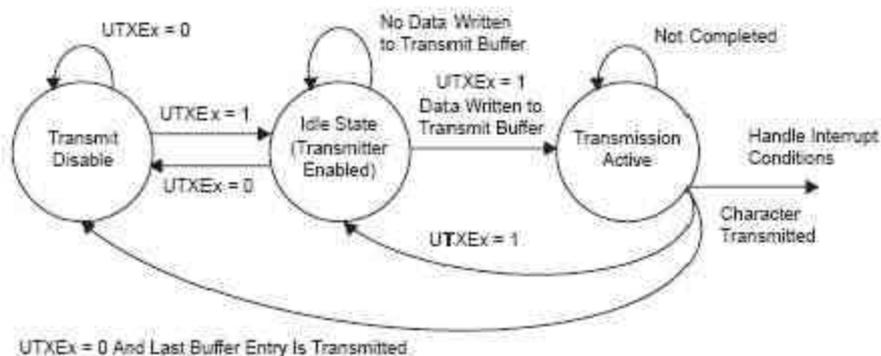


图 4-6: 发送使能的状态图

4.3.7 UART波特率发生器

波特率表示为每秒钟传送二进制数码的位数。

波特率发送器如图 4-7 所示：

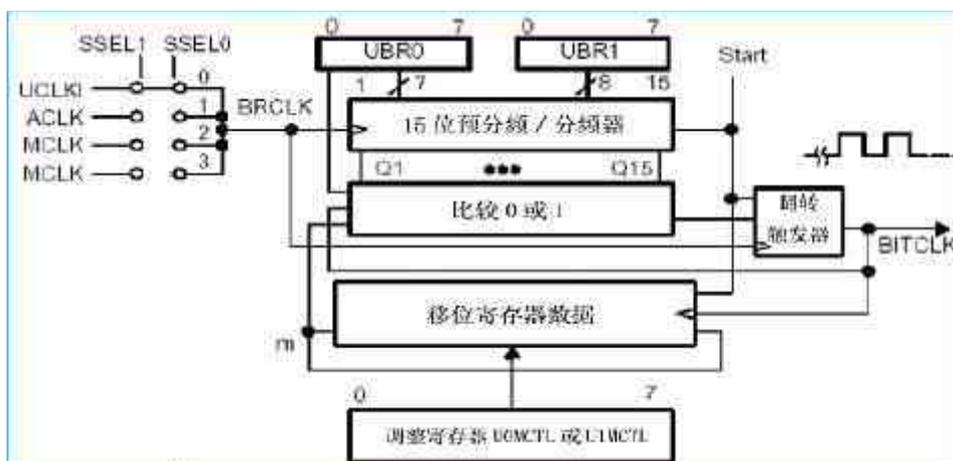


图 4-7: 波特率发生器框图

分频因子 N 由送到分频计数器时钟 (BRCLK) 频率和所需的波特率来决定:

$$N = \text{BRCLK} / \text{波特率}$$

由于 N 可能不是整数, 所以波特率发生器使用一个分频器之外, 还使用了一个调整器, 使得小数部分尽可能准确。

下面通过举例来说明如何设置分频器和调整器:

BRCLK=32768Hz, 要产生 BITCLK=2400Hz, 分频系数=32768/2400=13.65, 所以预分频器的计数值设为 13。接下来用调整器的值来设置小数部分的 0.65。调整器是个 8 位的寄存器, 其中每一位分别对应 8 次分频情况, 如果对应位为 0, 则按分频器设定的分频系数计数; 如果对应位为 1, 则按分频器设定的系数 +1 计数。因为 0.65×8=5.1, 所以调整器中需要有 5 个 1, 而且要相对分散, 例如设为 01101011, 那么波特率发生器将会按照 13、14、14、13、14、13、14、14 的顺序来分频。

4.4 寄存器描述

表 4-1 列出了 USART0 的寄存器

表 4-2 列出了 USART1 的寄存器、

MXCHIP	缩写	类型	地址	初始状态
USART 控制寄存器	U0CTL	读/写	070H	PUC 后 001H
发送控制寄存器	U0TCTL	读/写	071H	PUC 后 001H
接收控制寄存器	U0RCTL	读/写	072H	PUC 后 000H
模块控制寄存器	U0MCTL	读/写	073H	不变
波特率控制寄存器 0	U0BR0	读/写	074H	不变
波特率控制寄存器 1	U0BR1	读/写	075H	不变
接收缓冲寄存器	U0RXBUF	只读	076H	不变
发送缓冲寄存器	U0TXBUF	读/写	077H	不变
SFR 模块使能寄存器 1	ME1	读/写	004H	PUC 后 000H
SFR 中断使能寄存器 1	IE1	读/写	000H	PUC 后 000H
SFR 中断标志寄存器 1	IFG1	读/写	002H	PUC 后 082H

表 4-1: USART0 的寄存器

寄存器	缩写	类型	地址	初始状态
-----	----	----	----	------

位	域名	描述
7	PENA	奇偶校验使能位 0: 奇偶校验禁能 1: 奇偶校验使能
6	PEV	校验选择位。当校验位被禁能的时候 PEV 不使用 0: 奇校验 1: 偶校验
5	SPB	停止位选择: 0: 1 位停止位 1: 2 位停止位
4	CHAR	字符长度 0: 7 位 1: 8 位

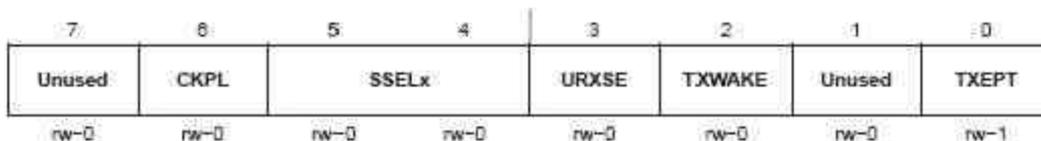
表 4-2: USART1 的寄存器

USART 控制寄存器 (UxCTL)



7	域名	描述
7	PENA	奇偶校验使能位 0: 奇偶校验禁能 1: 奇偶校验使能
6	PEV	校验选择位。当校验位被禁能的时候 PEV 不使用 0: 奇校验 1: 偶校验
5	SPB	停止位选择: 0: 1 位停止位 1: 2 位停止位
4	CHAR	字符长度 0: 7 位 1: 8 位
3	LISTEN	反馈选择。选择是否将发送数据由内部反馈给接收器。 0: 无反馈 1: 有反馈, 发送信号由内部反馈给接收器
2	SYNC	同步模式使能 0: UART 模式 1: SPI 模式
1	MM	多机模式选择 0: 线路空闲多机协议 1: 地址位多机协议
0	SWRST	软件复位使能 0: 禁能 1: 使能

USART 发送控制寄存器 (UxTCTL)



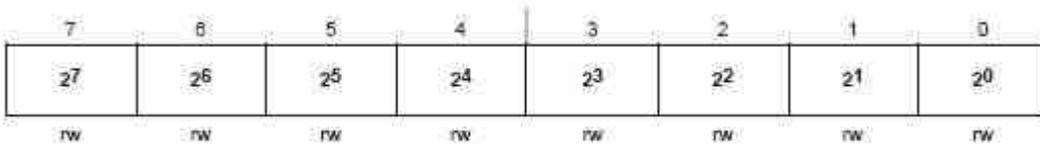
MX	域名	描述
7	—	未使用
6	CKPL	时钟极性选择位 0: UCLKI 和 UCLK 极性相同 1: UCLKI 和 UCLK 极性相反
5:4	SSELx	时钟源选择位。这两位确定波特率发生器的时钟源 00: UCLKI 01: ACLK 10: SMCLK 11: SMCLK
3	URXSE	UART 接收触发沿控制位: 0: 无接收触发沿检测 1: 有接收触发沿检测
2	TXWAKE	发送器唤醒位: 0: 下个发送的字符为数据 1: 下个发送的字符是地址
1	—	未使用
0	TXEPT	发送器空标志 0: 正在传输数据或者发送缓冲器 (UTXBUF) 有数据 1: 发送器移位寄存器和 UxTXBUF 为空或者 SWRST=1

USART 接收控制寄存器 (RCTL)

位	域名	描述
7	—	未使用
6	CKPL	时钟极性选择位 0: UCLKI 和 UCLK 极性相同 1: UCLKI 和 UCLK 极性相反
5:4	SSELx	时钟源选择位。这两位确定波特率发生器的时钟源 00: UCLKI 01: ACLK 10: SMCLK 11: SMCLK
3	URXSE	UART 接收触发沿控制位: 0: 无接收触发沿检测 1: 有接收触发沿检测
2	TXWAKE	发送器唤醒位: 0: 下个发送的字符为数据 1: 下个发送的字符是地址

2	URXWIE	接收唤醒中断使能位，当接收到地址字符时，该位能够置位 URXIFG，当 URXEIE=0，如果接收内容有错误，该位不能置位 URXIFG。 0: 所有接受的字符都能够置位 URXIFG 1: 只有接收到地址字符才能够置位 URXIFG
1	RXWAKE	接收唤醒标志 0: 接收到的是数据 1: 接收到的是地址
0	RXERR	接收错误标志 0: 没有接收错误 1: 有接收错误

USART 波特率控制寄存器 0 (UxBR0)



USART 波特率控制寄存器 1 (UxBR1)



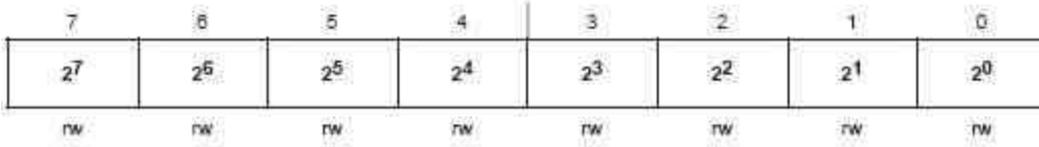
2	URXWIE	接收唤醒中断使能位，当接收到地址字符时，该位能够置位 URXIFG，当 URXEIE=0，如果接收内容有错误，该位不能置位 URXIFG。 0: 所有接受的字符都能够置位 URXIFG 1: 只有接收到地址字符才能够置位 URXIFG
---	--------	---

USART 接收缓冲寄存器 (UxRXBUF)



2	URXWIE	接收唤醒中断使能位，当接收到地址字符时，该位能够置位 URXIFG，当 URXEIE=0，如果接收内容有错误，该位不能置位 URXIFG。 0: 所有接受的字符都能够置位 URXIFG 1: 只有接收到地址字符才能够置位 URXIFG
1	RXWAKE	接收唤醒标志

USART 发送缓冲寄存器 (UxTXBUF)



域名	描述
7:0 UxTXBUFx	发送数据缓存中保存了将要移入到发送移位寄存器比高发送到 UTXDx 上的数据，缓存可以由用户访问。写发送数据缓存将清除 UTXIFGx。如果发送 7 位数据来说最高位未使用，为 0。

5 USART外围接口—SPI模式

5.1 SPI概述

同步模式下，USART 通过 3 个或者四个引脚：SIMO，SOMI，UCLK 和 STE 将 MSP430 连接到一个外部系统连接到外部系统。当 SYNC 位置位并且 I2C 位清除的时候选择 SPI 模式。

SPI 模式的特点包括：

- 支持 3 线或者 4 线 SPI 操作
- 支持主机模式与从机模式
- 接收和发送有单独的移位寄存器
- 接收和发送有独立的缓冲器
- 接收和发送有独立的中断能力
- 时钟的极性和相位可编程
- 主模式的时钟频率可编程
- 7 位或 8 位字符长度

5.2 SPI（同步）模式下的USART模块结构

当配置为 SPI（同步）模式时，USART 模块结构如图 5-1 所示：

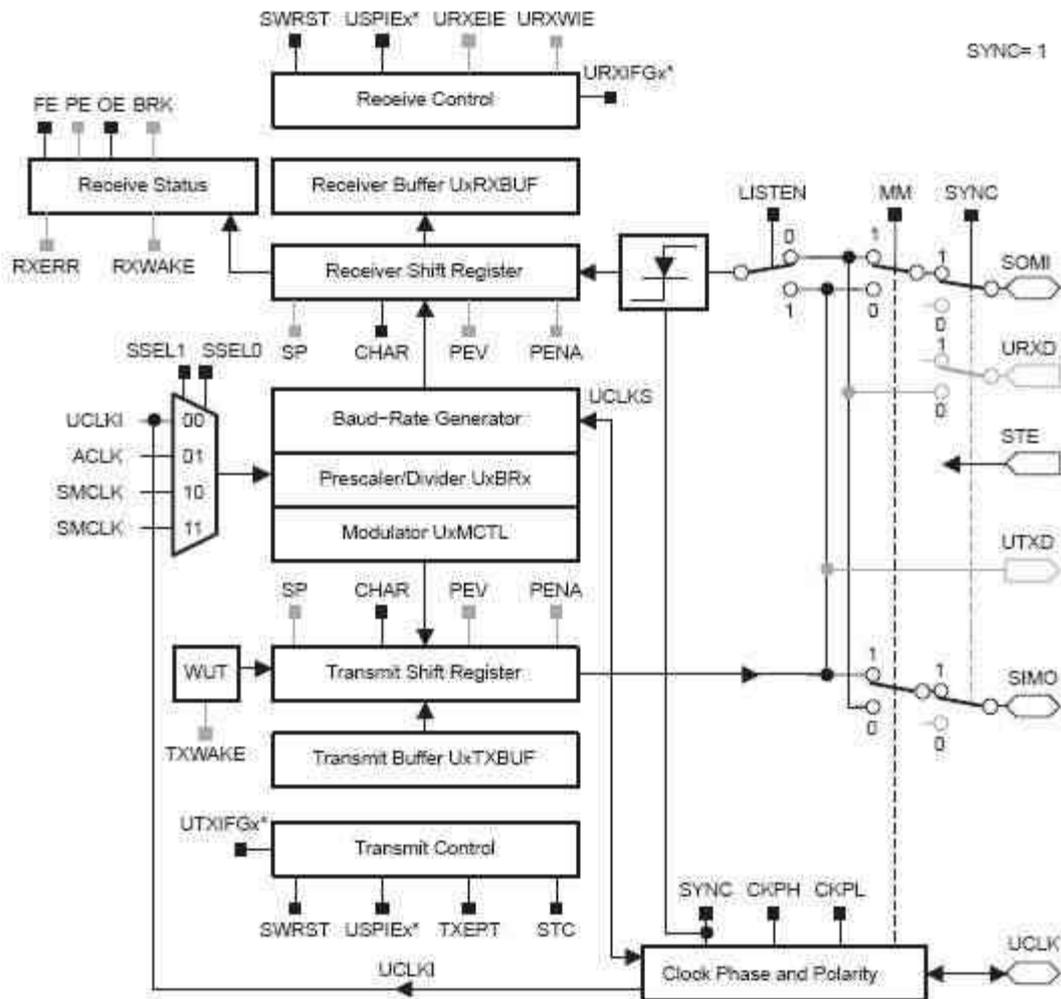


图 5-1 : SPI (同步) 模式时的 USART 模块的结构图

5.3 SPI (同步) 模式下USART的操作

在 SPI 数据交换的时候用到以下 3 个或者 4 个引脚:

SIMO: 从进主出

主机模式: SIMO 是数据输出引脚

从机模式: SIMO 是数据输入引脚

SOMI: 从出主进

主机模式: SOMI 是数据输入引脚

从机模式: SOMI 是数据输出引脚

UCLK: USART 的 SPI 时钟

主机模式: UCLK 是输出

从机模式: UCLK 是输入

STE : 从机模式发送使能, 用在 4 线模式中使多主机共享总线, 不用于 3 线 SPI 操作

5.3.1 USART的初始化和复位

USART通过PUC或者SWRST位复位。在一次PUC之后SWRST位自动置位，将USART保持在复位状态。当SWRST位置位的时候，URXIE_x, UTXIE_x, URXIFG_x, OE, 和FE位被复位，UTXIFG_x位被置位。USPIE_x位不会受SWRST的影响。

初始化或者重配置USART模块的步骤如下：

1. 置位 SWRST
2. 通过 SWRST=1 来初始化所有的 USART 寄存器
3. 通过 MEx SFRs 来使能 USART 模块
4. 通过软件来清除 SWRST
5. 通过 IEx SFRs 来使能中断

5.3.2 SPI中的主机模式

图 5-2 显示了 UASRT 模块使用同步模式时，作为主机与另一 SPI 从机设备的连接。

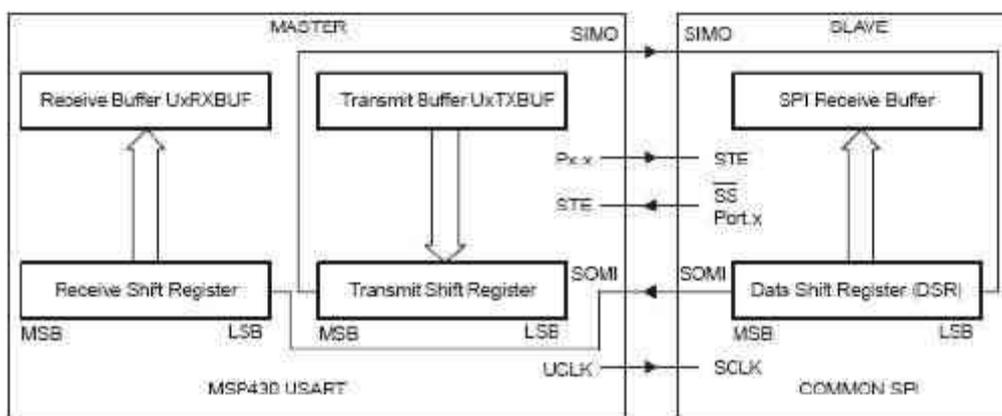


图 5-2: USART 模块作为主机

当控制寄存器中 MM=1 的时候，工作在主机模式。USART 模块通过在 UCLK 引脚上的 UCLK 信号控制串行通信。第一个 UCLK 周期，数据由 SIMO 引脚移出，并在相应的 UCLK 周期的中间，从 SOMI 引脚所存数据。每当移位寄存器为空，已写入发送缓存 UTXBUF 的数据移入移位寄存器，并启动在 SIMO 引脚的数据发送，最高有效位先发送。同时接收到的数据移入移位寄存器。当移完所有选定的位数时，接收移位寄存器中的数据移入接收缓存 URXBUF，并设置中断标志 URXIFG，表明接收到一个数据。在接收过程中，最先接收到的数据为最高有效位，数据以右对齐的方式存入接收缓存器。如果这时前一数据未被读出，则溢出位 OE=1。

在 4 线 SPI 主机模式中，STE 用来防止主机之间的冲突。主机在 STE 为高的时候正常工作，当 STE 变为低的时候：

SIMO 和 UCLK 被设置为输入，不再驱动总线

出错标志位 FE 和 URCTL 中的中断标志位 URXIFG 置位

5.3.3 SPI中的从机模式

图 5-3 显示了 USART 模块使用同步模式时，作为从机与另一设备的连接。

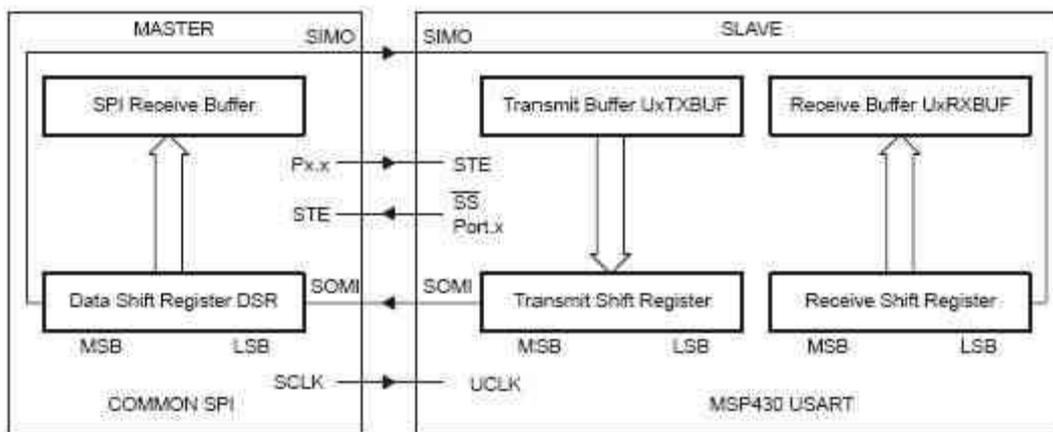


图 5-3: USART 模块作为从机

当选择同步模式且 MM=0 的时候，为从机模式。从机模式下，通信用的串行时钟来源于外部主机，从机的 UCLK 引脚为输入状态。

在开始 UCLK 之前，由 UTXBUF 装入移位寄存器中的数据在主机提供的 UCLK 信号作用下，通过从机的 SOMI 引脚对外发送（给主机）。同时在 UCLK 时钟的反向沿 SIMO 引脚上的串行数据移入接收寄存器。如果中断标志 URXIFG=1，则标志数据已经接收并且装配到接收缓存期。

在使用 4 线同步通信时，STE 信号被从机用作发送和接收使能，它由主机提供。

- STE=1 时，该从机禁止接收和发送
- STE=0 时，该从机被允许接收和发送。

5.3.4 SPI使能

5.3.4.1 发送使能

当 USPIEX=0 时，所有写入到 UxTXBUF 的数据不再被发送。当 USPIEX=1 并且 BRCLK 时钟源激活的时候才开始发送。图 5-4 和图 5-5 显示了发送使能状态图：

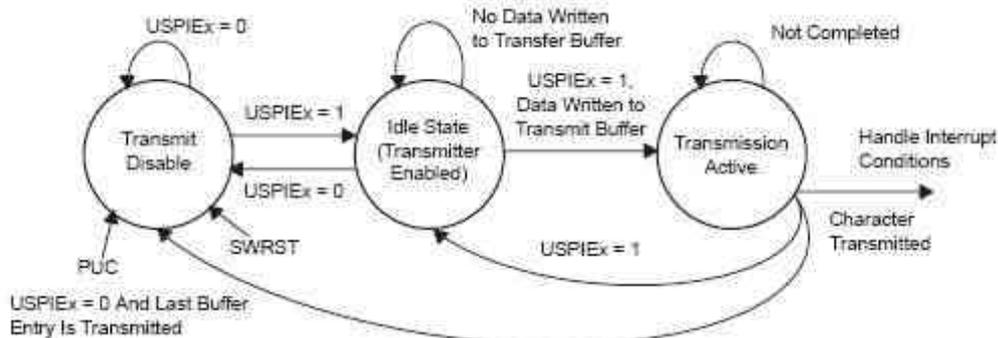


图 5-4: 主机模式发送使能状态图

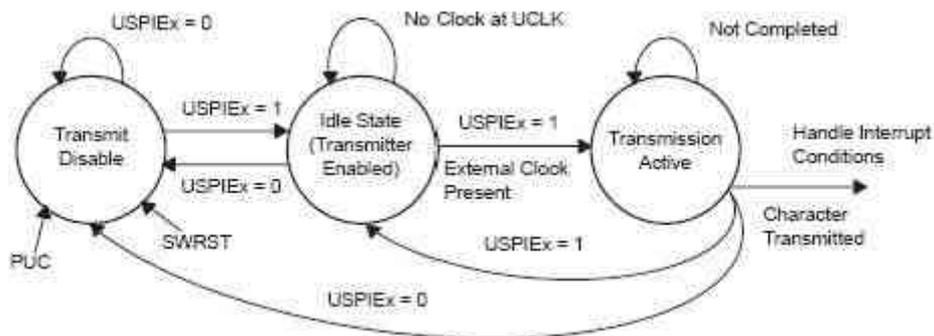


图 5-5: 从机模式发送使能状态图

5.3.4.2 接收使能

当 $USPIEx=0$ 的时候，UCLK 禁止向 RX 移位寄存器中移入数据。

图 5-6 和图 5-7 显示了接收使能状态图：

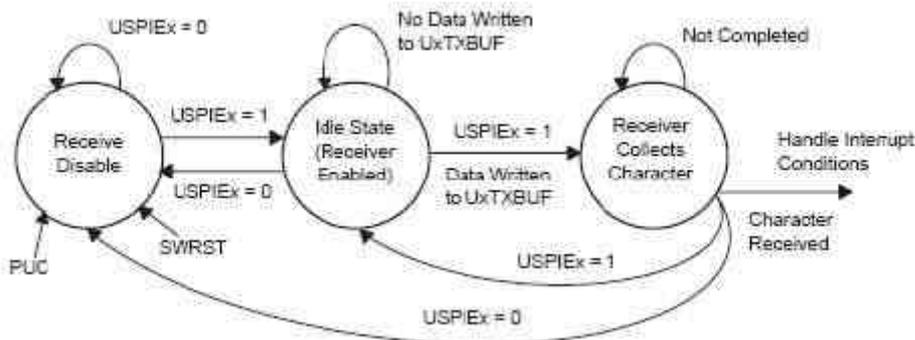


图 5-6: SPI 主机接收使能状态图

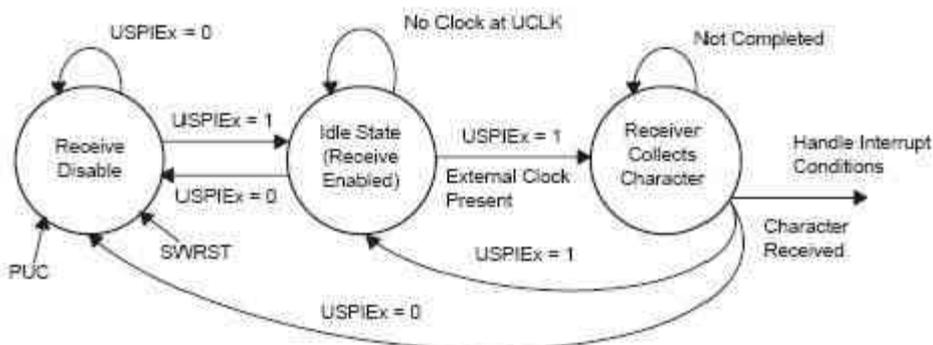


图 5-7: SPI 从机接收使能状态图

5.4 寄存器描述

表 5-1 列出了 USART0 的寄存器

表 5-2 列出了 USART1 的寄存器、

寄存器	缩写	类型	地址	初始状态
USART 控制寄存器	U1CTL	读/写	078H	PUC 后 001H
发送控制寄存器	U1TCTL	读/写	079H	PUC 后 001H
接收控制寄存器	U1RCTL	读/写	07AH	PUC 后 000H
模块控制寄存器	U1MCTL	读/写	07BH	不变
波特率控制寄存器 0	U1BR0	读/写	07CH	不变
波特率控制寄存器 1	U1BR1	读/写	07DH	不变
接收缓冲寄存器	U1RXBUF	只读	07EH	不变
发送缓冲寄存器	U1TXBUF	读/写	07FH	不变
SFR 模块使能寄存器 2	ME2	读/写	005H	PUC 后 000H
SFR 中断使能寄存器 2	IE2	读/写	001H	PUC 后 000H
SFR 中断标志寄存器 2	IFG2	读/写	003H	PUC 后 020H

表 5-1: USART0 的寄存器

寄存器	缩写	类型	地址	初始状态
USART 控制寄存器	U1CTL	读/写	078H	PUC 后 001H
发送控制寄存器	U1TCTL	读/写	079H	PUC 后 001H
接收控制寄存器	U1RCTL	读/写	07AH	PUC 后 000H
模块控制寄存器	U1MCTL	读/写	07BH	不变
波特率控制寄存器 0	U1BR0	读/写	07CH	不变
波特率控制寄存器 1	U1BR1	读/写	07DH	不变
接收缓冲寄存器	U1RXBUF	只读	07EH	不变
发送缓冲寄存器	U1TXBUF	读/写	07FH	不变
SFR 模块使能寄存器 2	ME2	读/写	005H	PUC 后 000H
SFR 中断使能寄存器 2	IE2	读/写	001H	PUC 后 000H
SFR 中断标志寄存器 2	IFG2	读/写	003H	PUC 后 020H

表 5-2: USART1 的寄存器

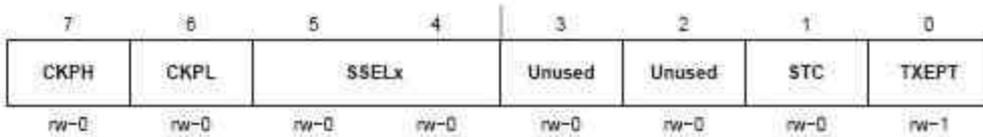
USART 控制寄存器 (UxCTL)



寄存器	缩写	类型	地址	初始状态
USART 控制寄存器	U1CTL	读/写	078H	PUC
发送控制寄存器	U1TCTL	读/写	079H	PUC
接收控制寄存器	U1RCTL	读/写	07AH	PUC
模块控制寄存器	U1MCTL	读/写	07BH	不变
波特率控制寄存器 0	U1BR0	读/写	07CH	不变
波特率控制寄存器 1	U1BR1	读/写	07DH	不变
接收缓冲寄存器	U1RXBUF	只读	07EH	不变
发送缓冲寄存器	U1TXBUF	读/写	07FH	不变
SFR 模块使能寄存器 2	ME2	读/写	005H	PUC

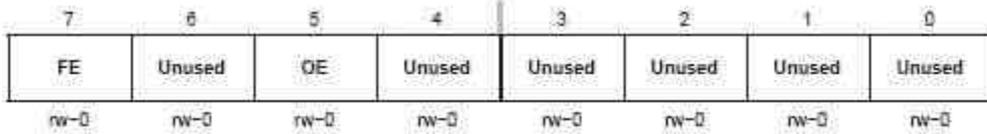
位	域名	描述
7	CKPH	时钟相位选择位，用来控制 UCLK 的相位。 0: 正常的 UCLK 时钟配置 1: UCLK 被延时了半个时钟周期
6	CKPL	时钟极性选择位 0: 时钟信号的低电平为无效电平，数据在 UCLK 的上升沿输出，输入数据在 UCLK 的下降沿被锁存 1: 时钟信号的高电平为无效电平，数据在 UCLK 的下降沿输出，输入数据在 UCLK 的上升沿被锁存
5:4	SSELx	时钟源选择位。这两位确定波特率发生器的时钟源

USART 发送控制寄存器 (UxTCTL)



位	域名	描述
7	CKPH	时钟相位选择位，用来控制 UCLK 的相位。 0: 正常的 UCLK 时钟配置 1: UCLK 被延时了半个时钟周期
6	CKPL	时钟极性选择位 0: 时钟信号的低电平为无效电平，数据在 UCLK 的上升沿输出，输入数据在 UCLK 的下降沿被锁存 1: 时钟信号的高电平为无效电平，数据在 UCLK 的下降沿输出，输入数据在 UCLK 的上升沿被锁存
5:4	SSELx	时钟源选择位。这两位确定波特率发生器的时钟源 00: 外部时钟 UCLK (仅对从机模式有效) 01: 辅助时钟 ACLK (对主机模式有效) 10: 子系统主时钟 SMCLK (对主机模式有效) 11: 子系统主时钟 SMCLK (对主机模式有效)
3	—	未使用
2	—	未使用
1	STC	从机发送控制 0: 4 线 SPI 模式: STE 使能 1: 3 线 SPI 模式: STE 禁能
0	TXEPT	发送器空标志 0: 正在传输数据或者发送缓冲器 (UTXBUF) 有数据 1: 发送器移位寄存器和 UxTXBUF 为空

USART 接收控制寄存器 (RCTL)



	域名	描述
7	FE	帧错误标志 0: 无错误 1: 帧错误
6	—	未使用
5	OE	溢出标志 0: 无溢出 1: 有溢出
4	—	未使用
3	—	未使用
2	—	未使用
1	—	未使用
0	—	未使用

USART 波特率控制寄存器 0 (UxBR0)

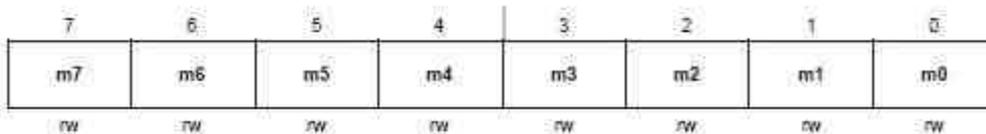


USART 波特率控制寄存器 1 (UxBR1)



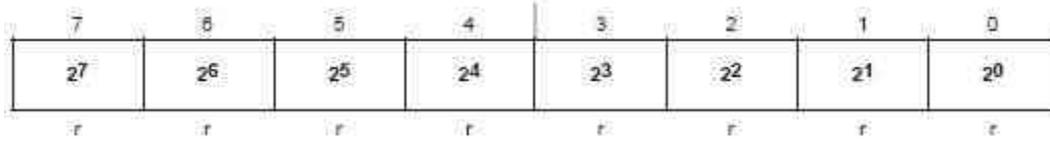
位	域名	描述
7	FE	帧错误标志 0: 无错误

USART 调制控制寄存器 (UxMCTL)



位	域名	描述
7	FE	帧错误标志

USART 接收缓冲寄存器 (UxRXBUF)



位	域名	描述
7:0	UxRXBUFx	接收数据缓冲存放从接收移位寄存器最后接收的字符，可由用户访问。读接收缓存可以复位 OE 位和 URXIFGx 位。如果传输 7 位数据，接收缓存内容右对齐，最高位为 0

USART 发送缓冲寄存器 (UxTXBUF)



位	域名	描述
7:0	UxRXBUFx	接收数据缓冲存放从接收移位寄存器最后接收的字符，可由用户访问。读接收缓存可以复位 OE 位和 URXIFGx 位。如果传输 7 位数据，接收缓存内容右对齐，最高位为 0