

## **DAC34H84 HD2 性能优化与 PCB 布局建议**

涂浩昇 (Lance Tu)

HSP Telecom FAE

### 摘要

本文分析了 DAC 二次谐波的产生，并给出了优化 DAC34H84 谐波性能的 PCB 布局。

Key words: HD2(二次谐波)

DAC(数模转换器)

SFDR(无杂散动态范围)

### 目录

1. 引言.....	2
2. 二次谐波的产生.....	2
3. DAC34H84 模拟输出接口 PCB 布局建议.....	4
4. 结论.....	7
5. 参考文献.....	7

Preliminary

## 1. 引言

DAC34H84 是一款由德州仪器 (TI) 推出的四通道、16 比特、采样 1.25GSPS、功耗 1.4W 高性能的数模转换器。支持 625MSPS 的数据率，可用于宽带与多通道系统的基站收发信机。

由于无线通信技术的高速发展与各设备商基站射频拉远单元 (RRU/RRH) 多种制式平台化的要求，目前收发信机单板支持的发射信号频谱越来越宽，而中频频率一般没有相应提高，所以中频发射 DAC 发出中频 (IF) 信号的二次谐波 (HD2) 或中频与采样频率  $F_s$  混叠产生的信号 ( $F_s - 2 * IF$ ) 离主信号也越来越近，因此这些非线性杂散越来越难被外部模拟滤波器滤除。这些杂散信号会降低发射机的 SFDR 性能，优化 DAC 输出的二次谐波性能也就变得越来越重要。

## 2. 二次谐波的产生

在理想状态下，DAC 的输出状态发生变化时，它应该从当前值直接跳变到期望的新值。但是实际上当 DAC 输出状态改变时，如下图所示，是可能会引起过冲与下冲现象的。

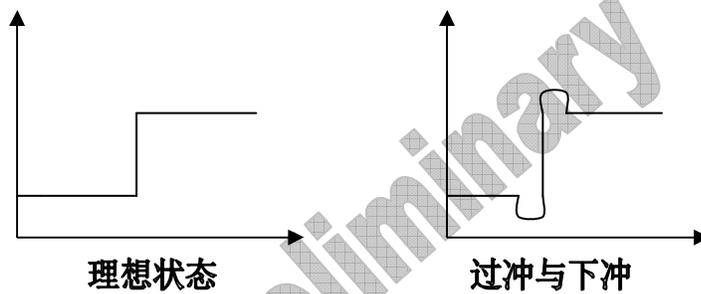


图 1 DAC 输出状态切换

这种现象是由 DAC 内部电流源相邻走线的互容效应以及状态变化时内部开关切换不同步引起的。

互容效应会在电流源线路上引入相邻线路的电流，形成串扰从而形成过冲或下冲脉冲。

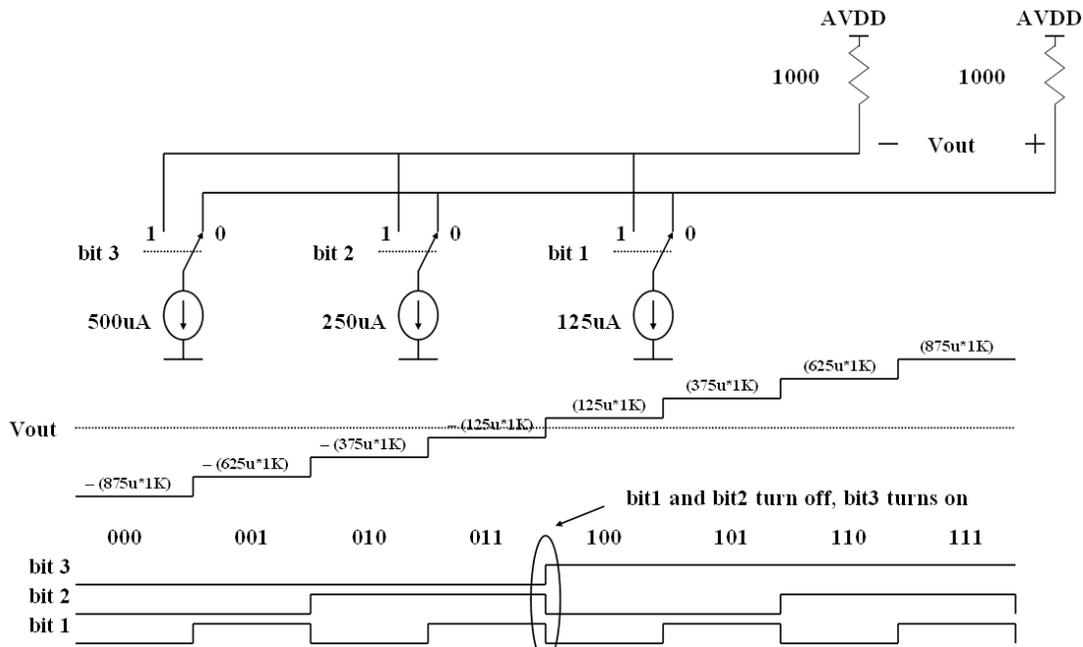


图 2 Three bit binary DAC

如上图所示，以 3 bit 的 binary DAC 为例，在进行代码 011 到 100 状态切换时，需要同时切换 3 个电流源开关，此时就可能会产生上述过冲与下冲现象。

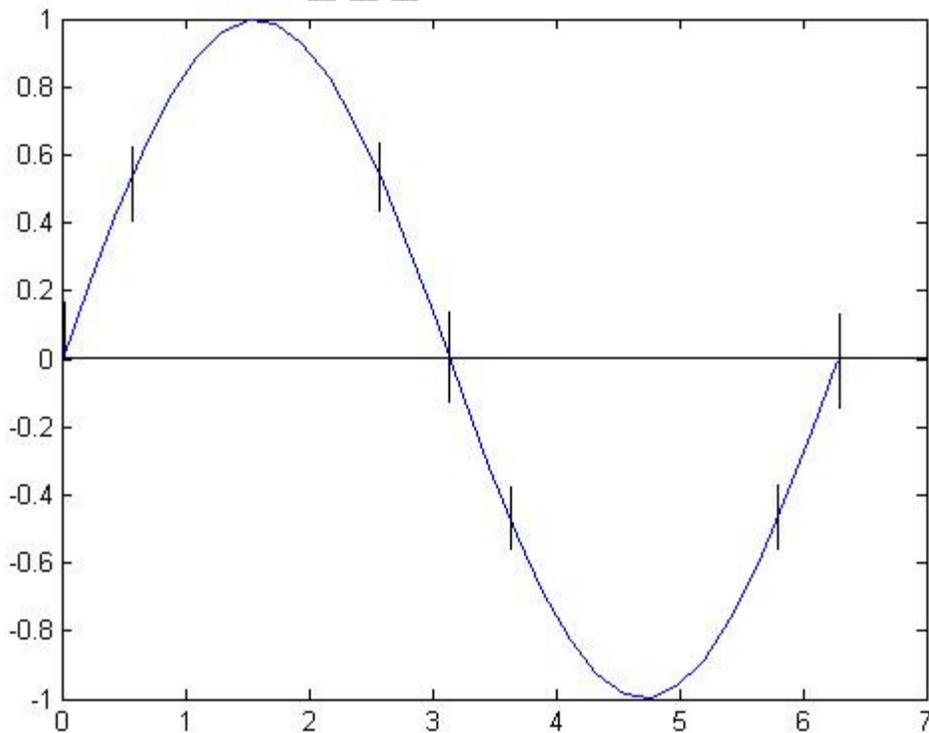


图 3 脉冲对正弦信号的影响

这些过冲与下冲脉冲将会产生 DAC 输出信号的谐波。以正弦波二次谐波的产生为例，如上图所示 DAC 在成形正弦信号时，由过冲与下冲效应引起的脉冲信号数量在一个周期内正好是两次，从而产生了此正弦信号的二次谐波。

改善 DAC 二次谐波性能的方法主要有两种：1. 通过 DAC 模拟输出端合理的 PCB 布局来优化。2. 使用数字预失真算法产生一个幅度相同，相位相差 180 度的信号来抵消 DAC 的谐波。本文主要介绍第一种方法。

DAC 的 HD2 性能可以通过良好的 PCB 走线布局来优化。现在的 RRU 收发信机采用的都是 DAC+IQ 调制器的解决方案。DAC 的模拟输出端口与 IQ 调制器的模拟输入端口之间的 PCB 布局会直接影响系统的线性性能。如果拥有良好的 PCB 走线布局，DAC+IQ 调制器的谐波性能会相对单独的 DAC 有所提高。

PCB 布局在为了满足等长线要求时，通常会采用多个连续 U 字的蛇型绕线法。这些 U 字形在高中频时会形成互感效应。此外 DAC 的模拟输出端口与 IQ 调制器的模拟输入端口电阻的位置会影响阻抗连续性，从而引起回波。以上两个效应都会影响 DAC 的谐波性能。

DAC 的 2 次冲击响应模型如下：

$$h(t) = A + B*x(t) + C*x^2(t)$$

假设通过 DAC I+路的信号为  $x(t) = k*\cos(\omega t)$

$$\begin{aligned} \text{那么 } h(t) &= A + Bk*\cos(\omega t) + Ck*\cos^2(\omega t) \\ &= A + Bk*\cos(\omega t) + Ck*[\cos(2\omega t)+1]/2 \\ &= A + 0.5*Ck + Bk*\cos(\omega t) + 0.5*Ck*\cos(2\omega t) \end{aligned}$$

2 次谐波可以表示为  $0.5*Ck*\cos(2\omega t)$

$$\begin{aligned} \text{2 次谐波的回波为 } Dk*\cos(2\omega t + \phi) \\ = Dk*[\cos(2\omega t)\cos\phi - \sin(2\omega t)\sin\phi] \end{aligned}$$

总 2 次谐波表达式为  $k(0.5*C+D*\cos\phi)\cos(2\omega t) - Dk*\sin(2\omega t)\sin\phi$

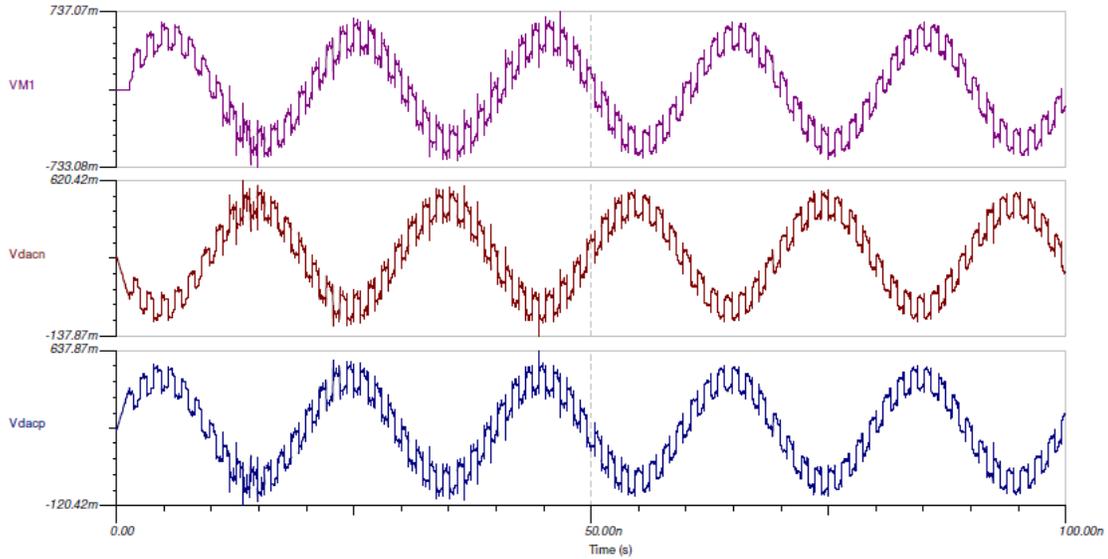
多通道 DAC 的所有通道的 C、k 与  $\omega$  是相同的，不相同的是由 PCB 布局阻抗不连续与互感效应引起的回波幅值 D 与回波相位  $\phi$ 。它们带来了 HD2 性能的差异性。

### 3. DAC34H84 模拟输出接口 PCB 布局建议

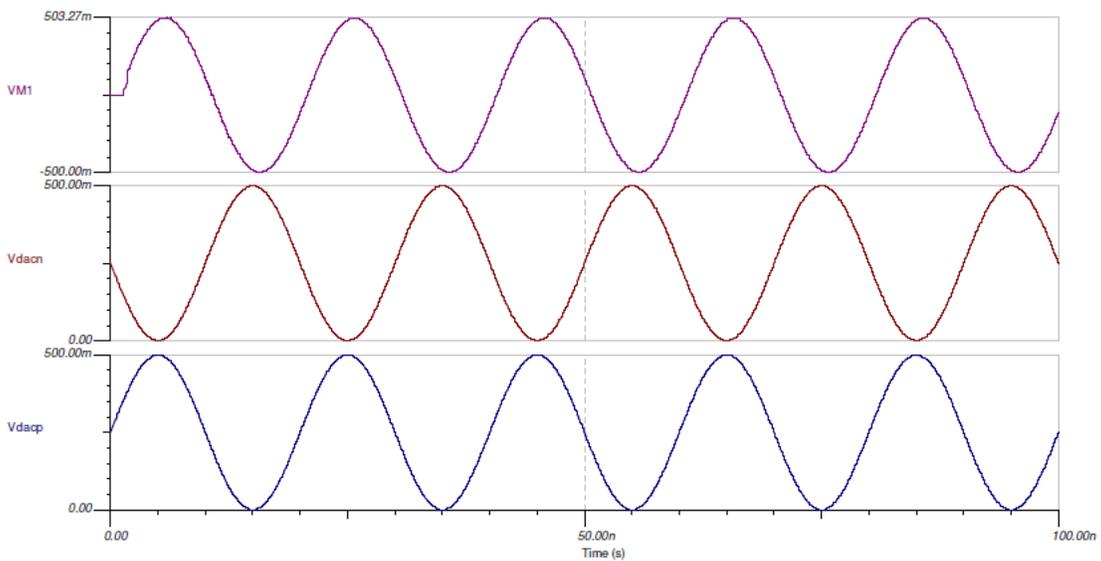
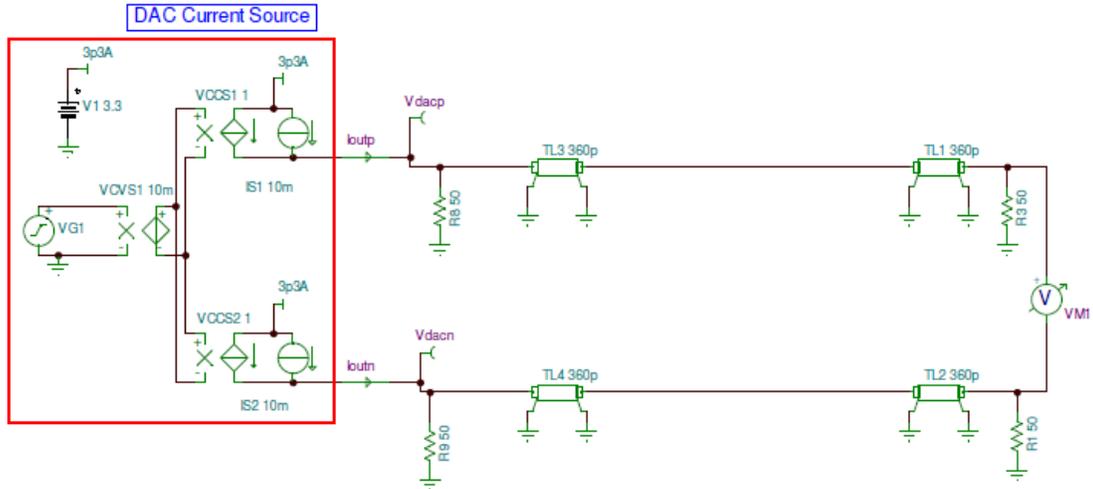
适合 DAC34H84 的 IQ 调制器为 TRF3705，它具有高线性性能，其 OIP3 性能高达 30dBm。

为了充分发挥 DAC34H84 的线性性能，提供更好的 HD2 性能与 HD2 一致性。建议的 DAC34H84+TRF3705 系统 PCB 布局如下：





当 DAC 模拟输出端与 IQ 调制器信号输入端的 50 Ω 电阻紧贴端口时，其仿真结果如下：



通过以上仿真对比可以得出，将端口电阻放置到离端口越近的位置，阻抗就越均衡，信号质量也就越高（以上信号质量仿真引用于“DAC3484 TRF3705 interface termination, Hsia Kang”）。

- (3) 除 DAC34H84 模拟输出走等长差分线以外，图中绿线所指的 DAC34H84 的两对 I 路与 Q 路也需要走等长线，并且在绕线时尽可能的不要一直连续使用 U 字型绕线，以此来保证 I 路与 Q 路的相位平衡并减少不必要的互感效应。
- (4) DAC34H84 与 TRF3705 之间的走线尽可能的不要经过过孔，各个模拟通道保持在 PCB 的同一层，以避免过孔引入的寄生电容。
- (5) 图中 1:1 作为传输线使用的巴伦理论上可以提升 PCB 走线的阻抗连续性，从而提供更优的谐波性能。如果严格按照建议（1）、（2）、（3）、（4）进行了 PCB 布局，此巴伦的效果在中频低于 200MHz 时就不明显了，如果空间不够可以移除。

以上措施会提供更好的 IQ 平衡与阻抗连续性，减小 PCB 走线寄生电容、幅度与相位误差以及耦合与互感效应，从而提高 DAC34H84+TRF3705 输出系统的线性。

通过大量对比测试表明，严格按照上述建议进行 PCB 布局的 DAC34H84+TRF3705 评估板的 HD2 性能会比未严格按照上述建议进行 PCB 布局的评估板的 HD2 性能优化 3 至 6dB。HD3、HD5、HD7 也有着不同程度的优化。

#### 4. 结论

通过合理的 PCB 布局，能够充分发挥 DAC34H84+TRF3705 系统的线性性能。其二次谐波性能会优化至少 3dB，使其在超宽带平台化系统与要求最为严格的多载波 GSM 系统中更加具有优势。

#### 5. 参考文献

- DAC34H84 datasheet, 2011 年 9 月修订版, Texas Instruments Inc.
- TSW30H84EVM PCB layout, 2011 年 9 月, Texas Instruments Inc.
- DAC3484 TRF3705 interface termination, 2011 年 6 月, Hsia Kang, Texas Instruments Inc.