
前 言

作为世界领先的半导体产品供应商，TI 不仅在 DSP 的市场份额上有超过 65% 占有率的绝对优势；在模拟产品领域，TI 也一直占据出货量世界第一的位置。而本手册是针对中国大学生创新活动的简化选型指南，帮助老师和同学们快速了解 TI 的模拟产品。需要提醒大家的是，这本手册仅仅涵盖了 TI 模拟产品的一小部分，如果您需要更为全面细致的选型帮助和技术文档，请访问 www.ti.com/analog 以获取运算放大器，数据转换器，电源管理，时钟，接口逻辑和 RF 等产品信息，访问 www.ti.com/mcu 以获得更多 MSP430, Tiva 和 C2000 的产品信息。

众人拾柴火焰高，如果你读过本手册的前面几个版本，一定会对其中略去的几个章节耿耿于怀，也会对其中草草结束的部分感到不满，今年在 TI 中国大学计划工程师团队的共同努力下，我们基于 2012 年的版本将本手册进行了第一阶段的充实工作。比如我们加入了原理部分，解读了放大器，数据转换器，电源的指标和选型方案；比如我们完善了应用技巧相关的章节，突出了实际操作中需要注意的问题，比如噪声控制，PCB 设计，等等；比如我们开始逐步强调模数混合系统设计的重要性，毕竟在现代的电子系统中，纯模拟的模块已经越来越少了。诸如这些改进，都是为了把更多的业界先进技术带给高校学生，加强同学们的工程实践能力，培养系统设计意识。

本手册将分为以下几部分介绍信号链和电源相关的知识及 TI 产品在大学生创新活动中的应用：

第一部分：运算放大器的原理和设计，由王沁工程师整理和编写；

第二部分：数据转换器的原理和设计，由崔萌工程师整理和编写，钟舒阳和谢胜祥两位工程师也参与了其中的部分章节；

第三部分：线性电源和开关电源的原理和设计，由胡国栋工程师整理和编写，汪帅工程师也参与了其中的部分章节。

全书由黄争规划并进行了校对和修改。但是由于时间仓促，水平有限，手册中一定存在不少错漏，请大家积极给予反馈，提出宝贵意见。

德州仪器中国大学计划

TI 概览

德州仪器公司，Texas Instruments，即 TI，是总部在美国德克萨斯州的一家高科技企业。实际上 TI 的中文名字并不是特别的“清晰明了”，一方面是容易跟咱们的山东德州（因扒鸡而闻名）混淆；另一方面，我曾被问到，参加你们的大学计划，买示波器这类“仪器”打几折？在这些令人哭笑不得的问题背后，其实是 TI 近 80 年的悠久历史。德州是美国的主要石油产地，1930 年 TI 的前身“Geophysical Service Inc.”在德州成立时的主要目的是研发地震仪和石油探测仪器，因此 GSI 在 1950 年正式上市时就挑中了德州仪器这个名字。这也就是 TI 名字的由来。

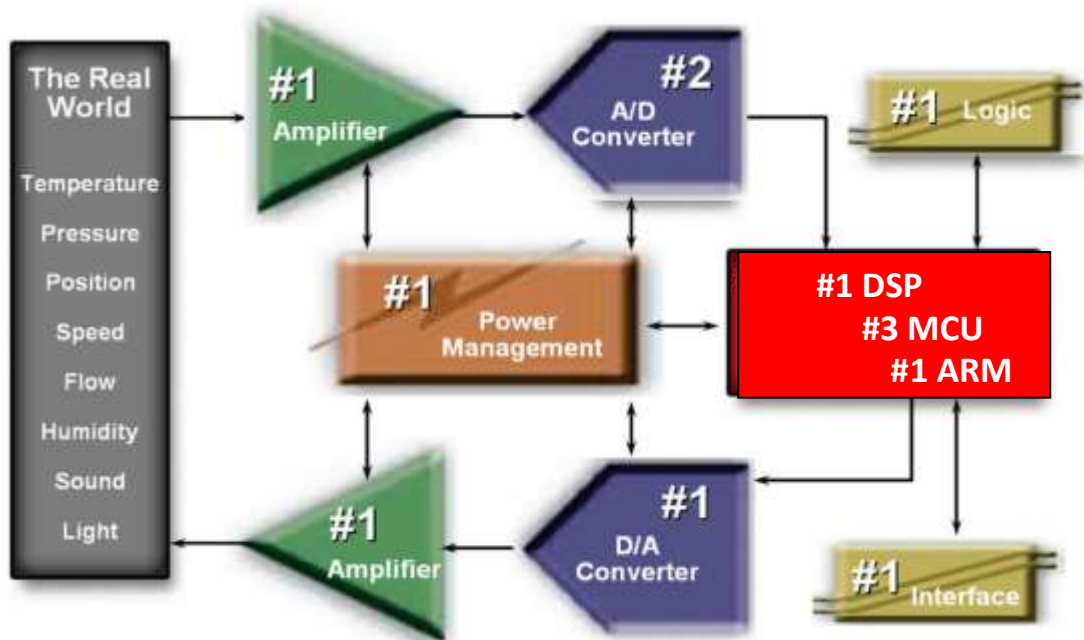
在 1958 年，TI 的工程师 Jack Kailby 先生发明了世界上首颗集成电路芯片，这项发明为人类进步做出了巨大的贡献，Jack Kailby 先生也因此于 2000 年获得了诺贝尔物理学奖。从此，半导体业务开始在 TI 发芽。但是，60/70 年代的美国企业追求的是大而全，TI 也不例外，拥有非常多的业务部门，这种情况一直持续到 90 年代中期。在这 30 年间，TI 在半导体研发方面一直保持着创新，从第一颗单芯片微处理器，到最简单的数字语音合成芯片“spell & speak”，到 1982 年的第一个单芯片数字信号处理器（DSP），到 1993 年发明的数字光源处理技术（DLP）片，半导体业务开始在 TI 的营收中占据着越来越重要的地位。在 1995 年的时候，TI 的营收达到了 130 亿美元，成为过百亿美元的财富 500 强，但有些业务在市场的排名并不十分理想，比如，笔记本电脑排名第九，企业软件排名第十，打印业务排名第九，国防工业排名第十，唯一排到第一位的就是 DSP 业务。

面对更大的竞争和即将来临的网络时代，TI 高层锐意变革，在 90 年代初就非常具有远见的提出了要做“数字时代的领导者”。1996 年 Tom Engibous 出任 TI 总裁，确定了 TI 的重点在半导体业务上，重中之重是 DSP 和 Analog。在 1996 年到 2000 年间，TI 连续卖出了 20 余家公司，又买入了 20 余家，完成了从多样化业务到半导体专营业务的转变。从此，TI 的半导体业务进入了高速发展期，在 DSP 方面，业界最快的 TMS320CC6000 系列、功耗最低的 TMS320C55xx 系列、第一颗运算速度超过 1GHz 的 C64x、第一颗 ADSL 调制解调芯片、ARM+DSP 双核架构的 OMAP 处理器等一系列领先产品的推出，使得 TI 在 DSP 领域奠定了世界第一的地位。

在模拟方面，TI 在 2000 年以当时创纪录的 60 亿美元收购了以设计和制造高端运放和数据转换器著称的 Burr-Brown 公司，这项收购非常大胆，因为当时 TI 的年收入也只有 130 亿美元。但是这也充分说明了模拟在 TI 战略中的重要性。接下来 TI 又收购了 Unitrode、Power Trends 等公司来壮大自己的电源方面的实力。在 2007 年，TI 收购了 Chipcon，在低功耗无线通信领域又占据了市场份额第一的位置。

在单片机方面，TI 在 90 年代末把 MSP430 从专供表类客户的应用中推到通用市场，其业界最低的功耗，集成的高性能模拟和数字外设都倍受客户青睐；C2000 数字信号控制器因为其 DSP 的性能，单片机的价格被誉为实时单片机；而在 2009 年 TI 收购了 Luminary Micro，以最快的方式拥有了 Cortex M3 单片机家族，TI M3 因其低廉的价格，通用的架构，不俗的性能在单片机市场上迅速占领了一席之地。

从下面的系统框图中，我们可以清楚看到 TI 在每一个电子系统的每一个角落都占据着业界数一数二的地位。而正因为持续不断的创新和进取，TI 连续 7 年被《财富》杂志评为全球和全美国最受尊敬的半导体公司，评分远超其他半导体企业。



数字信号处理是对理论和实践都要求极高的一门学科，采样理论，谱分析，滤波器设计，抽取，小信号提取，这些概念和算法包含了一大堆让人头晕眼花的数学公式。推导这些理论已经够让人头疼，那么怎么实现它们呢？TI 从第一颗 TMS32010 问世开始就一直致力于简化工程师实现数字信号处理算法的难度。1996 年 TI 进入中国设立办事处，当时中国熟悉 DSP 理论的人越来越多，但是如何使用硬件来实现这些理论却是个巨大的挑战。TI 管理层敏锐察觉到这个问题，抓住时机在中国高校中开展 TI DSP 大学计划，并在 1998 年和教育部签订谅解备忘录，承诺在中国高校中投资建立 100 个 DSP 实验室，帮助中国高校掌握和应用世界领先的 DSP 技术。2007 年 10 月，TI CEO 理查德·谭普顿先生来访中国，宣布核心大学计划在中国正式启动，这标志着 TI 将继续扩大对中国教育界的投入，比如 TI 中国大学计划将正式扩展到模拟技术和单片机领域，与高等学校进行合作，通过建立学生模拟创新实验室、对教师进行模拟技术和单片机相关的专业知识培训、支持学生参加各种电子设计竞赛等形式，强调模拟及模数混合电路的重要性。

在现代电子设计中，模拟技术和数字技术相辅相成，因此在一系列电子设计竞赛中，TI 的 MSP430、M3 和 C2000 系列单片机作为系统的核心处理器和模拟器件一起在合作省市中推广。在合作的过程中，我们深刻体会到学生对数字器件的感兴趣程度和掌握速度远远高于模拟技术。实际上，TI 各系列的 DSP 和单片机已做到高手遍布民间，学校实验室的技术一代传一代，很多还未毕业的学生就已经拥有了相当深的软硬件经验。相对于数字器件比较单一的硬件结构和编程思想，模拟器件的种类多指标细且用法灵活多变，很容易让人摸不着头脑，比如请看 TI 的模拟器件家族：

放大器	数据转换器	电源管理	接口	RF和模拟元件
				
音频放大器 缓冲放大器 差分放大器 高速放大器 仪器放大器 隔离放大器 对数放大器 低压运算放大器 功率运算放大器 精密运算放大器 可编程增益放大器 视频放大器	音频模数转换器 Δ - Σ 模数转换器 流水线式模数转换器 SAR型模数转换器 音频数模转换器 电流控制数模转换器 Δ - Σ 数模转换器 精密数模转换器 通用数模转换器 音频SRC 数据采集系统 调制器/滤波器	电池管理 电荷泵 DC/DC转换控制器 DC/DC开关转换器 数字电源 显示驱动器 热交换 LED驱动器 线性稳压器 MOSFET驱动器 插装模块 电源因数修正 电源控制 电源电压监控器	1394 CAN 电路保护 数字隔离器 显示接口 LVDS/MLVDS PCIe/PCI RS-485, 232 & 222 SCSI 串行器 解串器 收发器 UART USB	4-20mA转发器 模拟ASSP 模拟MUX 时钟和定时器 比较器 电流旁路监视器 数字上升转换器 数字下降转换器 风扇控制器 ISM Band 基准源 开关 温度传感器 ZigBee™

如何从上表中众多的放大器、数据转换器和电源中选取到合适的产品，又如何针对他们各自的特点发挥出最佳的性能？而这本选型手册的目的就是为了帮助大家做到这一点。

目 录

第一章 ADC	1
1.1 ADC 基本原理(比较器和 FLASH 型 ADC)	1
1.2 ADC 的基本分类	3
1.3 量化误差与分辨率	3
1.4 过采样与欠采样	5
1.5 混叠	8
第二章 ADC 性能指标	13
2.1 静态精度	13
2.2 偏置误差	13
2.2.1 增益误差	14
2.2.2 微分非线性	14
2.2.3 积分非线性	16
2.3 动态指标	16
2.3.1 无杂波动态范围 (SFDR)	17
2.3.2 信噪比 (SNR)	18
第三章 ADC 选型指南	21
3.1 常见 ADC 结构特点与应用场景	21
3.2 SAR 型 ADC	21
3.2.1 SAR 型 ADC 结构与原理	21
3.2.2 在运放和 SAR ADC 间插入 RC 组合	25
3.2.3 Δ - Σ ADC	27
3.2.4 流水线型 ADC (Pipeline)	33
3.2.5 应用场景总结	37

3.3 为您的设计选择合适的 ADC	39
3.3.1 确定 ADC 类型	39
3.3.2 确定所需 ADC 的采样率, 精度	40
3.3.3 选择并设计 ADC 的模拟输入	40
3.3.4 选择并设计 ADC 的参考输入	44
3.3.5 选择并设计高速数据采集系统中的时钟	48
3.3.6 ADC 的数据输出捕获	49
第四章 DAC 简介与指标	58
4.1 DAC 简介	58
4.2 DAC 常见性能指标	59
第五章 DAC 选型与指南	60
5.1 常见 DAC 结构与应用场景	60
5.1.1 电阻串型 DAC (R-String)	60
5.1.2 乘法型 DAC R-2R	64
5.1.3 $\Delta\Sigma$ 型 DAC	70
5.1.4 电流引导型 DAC Current Steering	71
5.1.5 PWM DAC	72
5.1.6 DAC 应用场景总结	79
5.2 DAC 选型与电路设计	80
5.2.1 确定所需 DAC 的类型	80
5.2.2 确定所需的分辨率和建立时间	81
5.2.3 选择并设计 DAC 的模拟输出端	82
5.2.4 选择并设计 DAC 的参考电压输入端	83
5.2.5 选择并设计高速 DAC 的时钟	83
5.2.6 DAC 的数据输入	83

第六章 低噪声精密电路的设计与优化	88
6.1 精密信号链中的噪声抑制.....	88
6.1.1 噪声来源.....	91
6.1.2 减少器件噪声.....	94
6.1.3 减少辐射噪声.....	94
6.1.4 减少传导噪声.....	98
6.1.5 PCB 优化指南.....	101
6.2 利用 DELTA-SIGMA ADC 简化电路设计.....	103
6.2.1 用 Δ - Σ ADC 完成整个信号链的工作.....	104
6.2.2 利用 ADS1147 完成对 3 线制 RTD 电阻的测量.....	105
第七章 高速信号链中 ADC 电路设计	107
7.1 高速数据采集系统中的时钟.....	110
7.1.1 时钟抖动的影响.....	110
7.1.2 时钟幅度的影响.....	113
7.1.3 时钟同步的要求.....	116
7.2 驱动高速 ADC 的模拟输入.....	117
7.2.1 变压器驱动高速 ADC.....	118
7.2.2 全差分放大器驱动高速 ADC.....	119
7.3 使用 FFT 测试高速 ADC	133
附录——应用笔记.....	135

第二部分 数据转换器

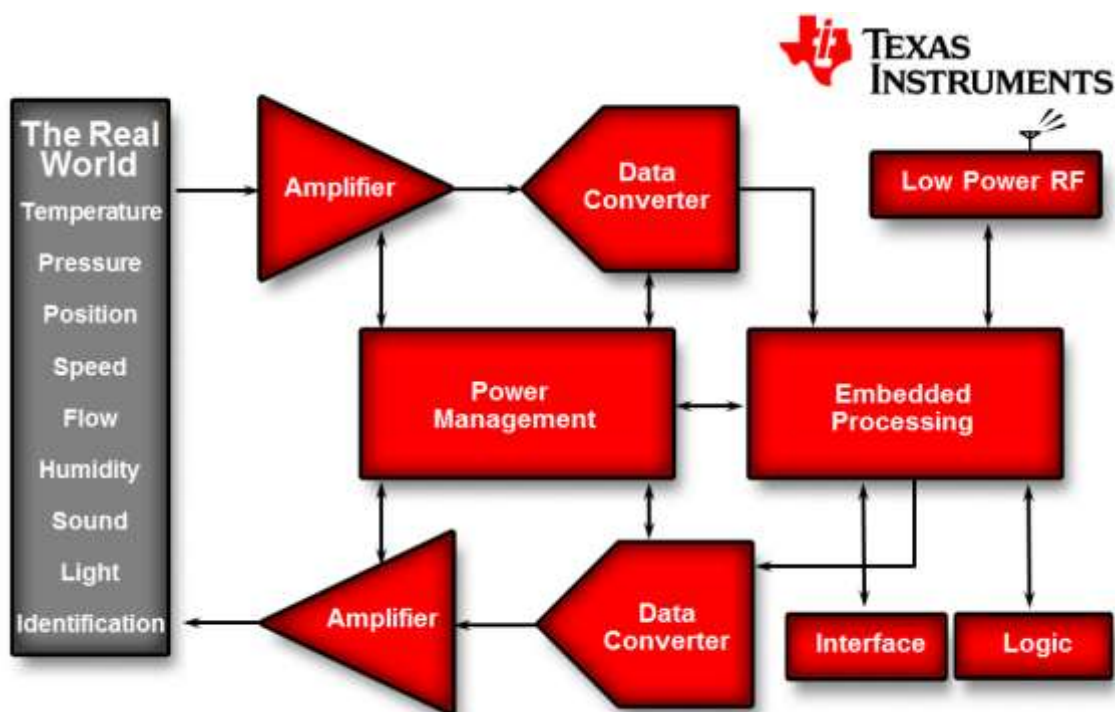


图 1 数据转换器在电路系统中的位置

数据转换器在整个电路系统设计中占据着十分重要的位置。如图 1 所示展示了现实世界和电子电路之前的交互，我们所感受到的是各种模拟量，例如温度，压力，湿度等等，而处理器需要对数字量进行处理，那这中间不可或缺的就是模/数转换器，Analog-Data Converter，也就是 ADC；当处理器对数字信号进行处理后，其结果如何以模拟量的形式反馈到现实世界中呢？这时数/模转换器，Data-Analog Converter，也就是 DAC 则实现了将数字信号转换为可以被感受的模拟信号。从上面的描述中可以看出数据转换器，无论是 ADC 还是 DAC 在整个电路系统中扮演着桥梁的作用，贯通了模拟世界和数字世界，将冰冷的 0 和 1 数字量与丰富多彩的模拟量连接起来，从而实现了与现实生活的改变。

第一章 ADC

2.1 ADC 基本原理(比较器和 Flash 型 ADC)

ADC，顾名思义，实现的是将连续的模拟信号转换为时间离散，幅度离散的数字化信号，从而可以被数字信号处理器或微控制器使用。

为了帮助大家理解，我们举一个最简单的 1bit ADC，也就是我们常见的比较器，做为例子。

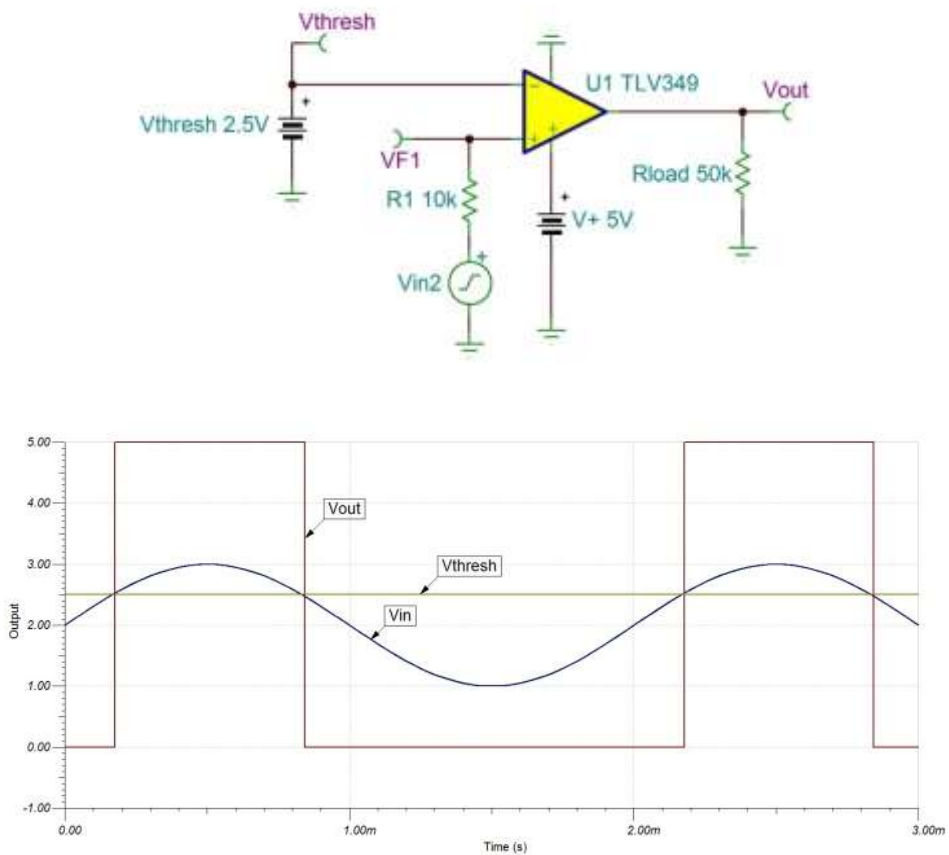
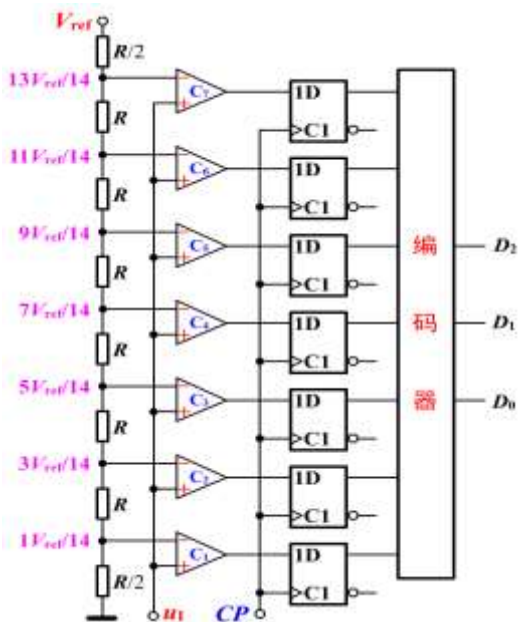


图 1-1 1bit ADC

从图 1-1 中我们看到，比较器成功的以 Vthresh 为阈值，把所有高于 Vthresh 的电压都量化为 1，把所有低于 Vthresh 的信号都量化为 0。这就是最简单的 1bit ADC，能输出 1 位数字信号。

从这个最简单的 1 位 ADC 拓展开来，我们很容易得到一个 N 位的 ADC。图 1-2 是一个 3 位 ADC 为例，8 个电阻将参电压分成 8 个等级，其中 7 个等级的电压分别作为 7 个比较器的比较电平。输入的模拟电压经采样保持后与这些比较电平进行比较，当高于比较器的比较电平时，比较器输出为 1，当低于比较器的比较电平时，比较器输出为 0。比较器的输出状态由 D 触发器存储，并送给编码器，经过编码器编码得到数字输出量。3 位数字输出量表示 2^3 种不同的转换结果。



输入模拟信号	比较器输出							数字输出		
	C_7	C_6	C_5	C_4	C_3	C_2	C_1	D_2	D_1	D_0
$0 < u_i < V_{REF}/14$	0	0	0	0	0	0	0	0	0	0
$V_{REF}/14 < u_i < 3 V_{REF}/14$	0	0	0	0	0	0	1	0	0	1
$3 V_{REF}/14 < u_i < 5 V_{REF}/14$	0	0	0	0	0	1	1	0	1	0
$5 V_{REF}/14 < u_i < 7 V_{REF}/14$	0	0	0	0	1	1	1	0	1	1
$7 V_{REF}/14 < u_i < 9 V_{REF}/14$	0	0	0	1	1	1	1	1	0	0
$9 V_{REF}/14 < u_i < 11 V_{REF}/14$	0	0	1	1	1	1	1	1	0	1
$11 V_{REF}/14 < u_i < 13 V_{REF}/14$	0	1	1	1	1	1	1	1	1	0
$13 V_{REF}/14 < u_i < V_{REF}/14$	1	1	1	1	1	1	1	1	1	1

图 1-2 由比较器构成的 3bit ADC

图 1-2 所示的 ADC 结构即为 Flash ADC，也称并行 ADC 的基本结构。Flash ADC 是目前转换速度最快的 ADC。对于 n 位输出二进制码，Flash ADC 需要 $2^n - 1$ 个比较器。显然，随着

位数的增加，所需比较器数量将迅速增加。受到众多比较器之间存在大量的匹配误差的影响，加之电路成本和功耗的限制，Flash 型 ADC 的分辨率很难做到 10 位以上，Flash 型 ADC 的分辨率一般为 6-8 位，适用于速度要求很高，而对时域分辨率要求较低の場合，比如示波器等仪器中。

2.2 ADC 的基本分类

在上一节中，我们介绍了 ADC 的基本结构，并引出了 Flash 型的 ADC。实际上，根据不同的转换方式，ADC 可以分为许多类型，分别适用于不同的使用环境。除并行 ADC（Flash 型）之外，现代常用的 ADC 包括：逐次逼近型（SAR 型）、流水线型（Pipeline 型）、插值结构和折叠插值型、 Σ - Δ 型等。

表 1.1 列出了几种常用类型 ADC 的特点，在后续章节中我们将详细介绍各种 ADC 的结构和原理，通常来说，在同样的结构下，ADC 的分辨率越高，转换速度就越低。

表 1.1 常见 ADC 对比

转换器结构	转换速度	分辨率	转换器类型
Flash 型	$\leq 10\text{GSPS}$	$\leq 10\text{-bit}$	瞬时值转换型——转换对象是模拟信号在采样时刻或前几个采样时刻的抽样值，即瞬时值
SAR 型 ADS7xxx, ADS8xxx	$\leq 16\text{-bit}$ $\leq 18\text{-bit}$	$\leq 4\text{MSPS}$ $\leq 1.25\text{MSPS}$	
Pipeline 型 ADS7xxx, ADS8xxx ADS6xxx,	$\leq 200\text{MSPS}$ $\leq 250\text{MSPS}$ $\leq 1000\text{MSPS}$	$\leq 16\text{-bit}$ $\leq 14\text{-bit}$ $\leq 12\text{-bit}$	
折叠插值型 ADC12Dxxxx, ADC10Dxxxx, ADC08Dxxx	$\leq 5\text{GSPS}$	$\leq 12\text{-bit}$	
Σ - Δ 型 ADS11xx, ADS12xx	$\leq 4\text{kSPS}$ $\leq 4\text{MSPS}$ $\leq 10\text{MSPS}$	$\leq 31\text{-bit}$ $\leq 24\text{-bit}$ $\leq 16\text{-bit}$	平均值转换型——转换对象是模拟信号在一段时间内的平均值

2.3 量化误差与分辨率

ADC 转换包括采样、保持、量化、编码 4 个步骤。其中，量化是指将信号的连续取值近似为有限多个离散值的过程。我们会发现量化的过程存在一个天生的缺陷，那就是离散的数字信号无法完整的对应每一个连续的模拟电压。以最简单的 1bit ADC（即比较器）为例，1.1 节讲解了它的工作原理，即把所有高于阈值的电压都量化为 1，把所有低于阈值的信号都量化为 0。假设阈值为 2.5V，那么所有高于 2.5V 的电压都会被量化为 1，ADC 无法分辨 3V 和

3.3V 的区别；同理低于阈值时也有类似情况。

多个 bit 的 ADC 也有同样的问题。图 1-3 表示理想 3bit ADC 的转换结果，从图中可以看出转换结果为 8 个数字量，每个数字量分别对应一个模拟电平，我们将最低位数字量所对应的模拟电平称为称为最小有效位（Least Significant Bit，简称 LSB），即图 1-3 中横轴的一小格。图中的虚线代表输入模拟量，实线代表量化之后的数字量所对应的模拟值，二者之间有一定误差，这个误差就叫做量化误差。我们以横轴最左边一格为例，输入 $\leq 1/2$ LSB 时输出为 000b， $1/2$ LSB $<$ 输入 ≤ 1 LSB 时输出为 001b，而实际输入范围是 0-1 LSB，ADC 无法分辨在 0 - $1/2$ LSB，或是 $1/2$ LSB - 1 LSB 之间的输入。在最坏情况下，实际输入和量化之后的值之间有 $1/2$ LSB 的误差。也就是说 ADC 的量化误差为 $\pm 1/2$ LSB。

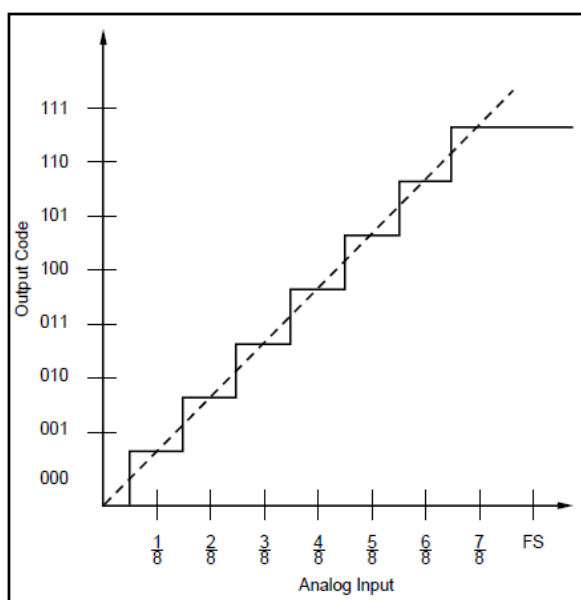


图 1-3 理想 3bit ADC

上面所述的 LSB 是 ADC 中一个重要的基本概念。还有两个概念也十分重要：满量程输入范围和分辨率。我们再看图 3，最小的数字量 000b 对应的模拟量为 0，最大的数字量 111b 对应的模拟量为满量程输入。最大输入和最小输入之间的差，称为满量程输入范围（Full Scale Input Range，简称 FS），FS 就是输入的模拟量的范围。而输出数字量的位数就是 ADC 的分辨率（Resolution），在这里就是 3 bit。

对比 1 bit ADC 和 3 bit ADC 不难发现，在满量程一定的情况下，ADC 的位数越高，量化误差越小。量化误差 e_q 和 ADC 位数 N 之间有如下关系：

$$e_q = \frac{1}{2} \text{LSB} = 0.5 \times \frac{\text{FS}}{2^N}$$

量化误差可以看成是一种噪声作用，称为量化噪声，量化噪声将叠加到理想输出上。量化噪声为白噪声，即噪声的随机变量在输出二进制码之间分布的平均值为 0，则其噪声功率计算如下：

$$e_q^{\text{rms}} = \int_{-\frac{1}{2}\text{LSB}}^{\frac{1}{2}\text{LSB}} \left(\frac{e_q^2}{\text{LSB}} \right) de = \frac{\text{LSB}^2}{12}$$

由此，我们看到当 ADC 的满量程输入和位数一定的情况下，将确定 ADC 的最小分辨率，从而确定了量化噪声功率。下图是从频域上看到的量化噪声功率的分布情况：

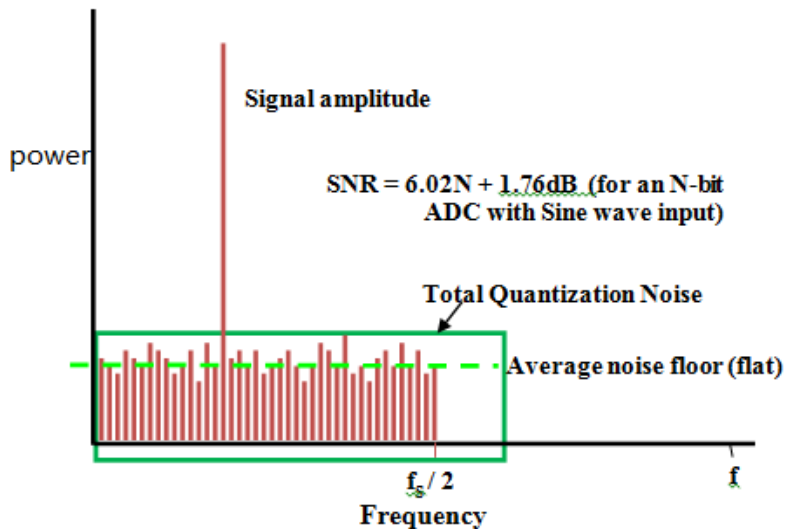


图 1-4 量化噪声在频域的分布情况

从图 1-4 中可以看到，量化噪声均匀的分布在从 0 到 $f_s/2$ 的频谱之间。对于 N-bit ADC 来说，信号功率和噪声功率之比称为信噪比（SNR），在只考虑量化噪声的情况下，信噪比的大小为：

$$\text{SNR} = 6.02N + 1.76\text{dB}$$

2.4 过采样与欠采样

在选择一个 ADC 时，采样频率 f_s 是我们最优先考虑的参数。连续的模拟信号以时间间隔 $t_s = 1/f_s$ 被采样，究竟什么样的采样频率才能保证精确地描述原始模拟信号？很显然，同一时间段内采样越多（采样频率越高），模拟信号的数字表示就越精确。如果采样较少（采样频率越低），则少到一定程度时，模拟信号的关键信息将因得不到采样而丢失。奈奎斯特（Nyquist）采样定律和香农（Shannon）采样定律阐述了对采样信号的频率要求，奠定了采

样的数学基础。

奈奎斯特采样定律：

- 如果采样频率小于最大感兴趣模拟信号频率的两倍，将会出现一种称为“混叠”的现象。如果不希望避免感兴趣的信号发生混叠现象，采样频率 f_s 至少是该信号所含最高频率 f_h 的两倍。

香农采样定律：

- 对带宽为 f_a 的信号进行采样，采样频率 f_s 应不小于 2 倍的 f_a ，否则会导致信息的丢失。
- 信号带宽 f_a 可以是 0（直流）到 f_a ，或从 f_l 到 f_h （带通信号），此时 $f_a = f_h - f_l$ 。

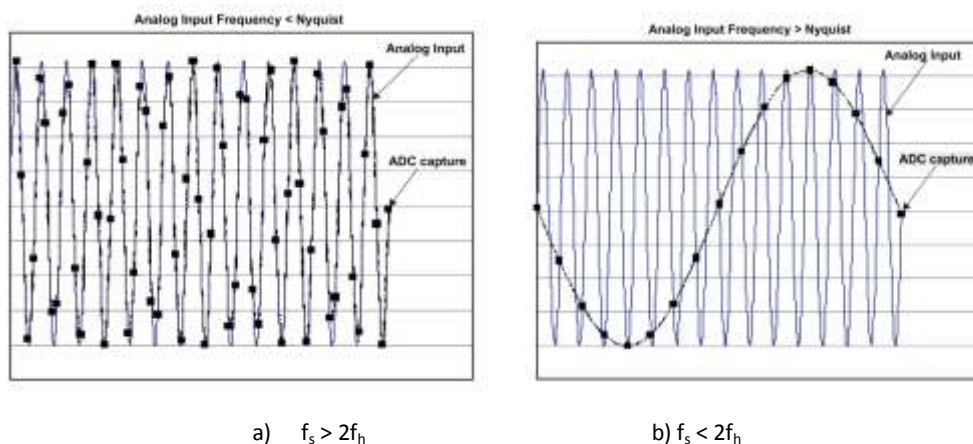


图 1-5 奈奎斯特采样定理

图 1-5 a)表示采样频率 $f_s > 2f_h$ 时的情况，采样频率确保了每个模拟信号周期内有大于 2 个采样点，原信号的信息可以被正确还原，这种情况也称为过采样；在图 5 b)中，采样频率 $f_s < 2f_h$ ，信号被重构为频率小于原频率的信号，这种情况也可被称作欠采样。欠采样时发生的频率偏移现象叫做混叠。

为了更好地理解采样与混叠，我们从频域上对采样定理做一些分析。图中上方是一个 DC 到 f_h 的信号的时域波形，右边是该信号相对应的频域信号波形。第一行 $F(u)$ 是被采样信号 $I(x)$ 的频域响应，第二行中 $S(x)$ 是采样信号的时域信号，是一组间隔为 Δx 的脉冲信号，它的频域响应 $S(u)$ 也是一组脉冲信号，但间隔变为 $1/\Delta x$ 。根据傅里叶变换的法则，时域中相乘相当于频域中做卷积，因此第三行中被采样之后的信号对应的频域响应成为了频域中的周期性重复信号，其间隔为 $1/\Delta x$ 亦即采样频率 f_s 。也就是说时域中对信号进行离散化相当于频域中对信号周期化。图 1-6 表示的是过采样的情况，采样频率 $f_s > 2f_h$ 保证了被周期化之后的频域没有出现频谱重叠。

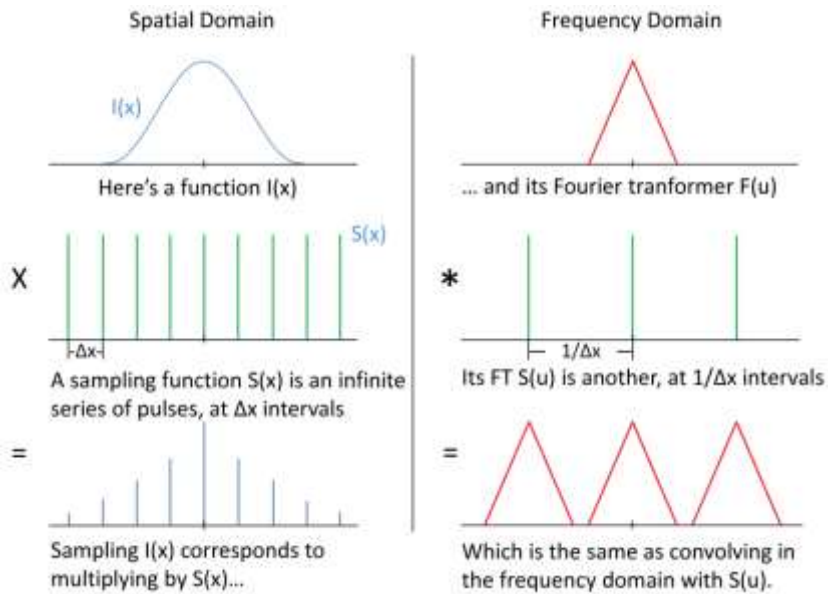


图 1-6 过采样信号时域和频域对比

下面我们看一下 $f_s < 2f_h$ 时的情况，如图 1-7 所示。

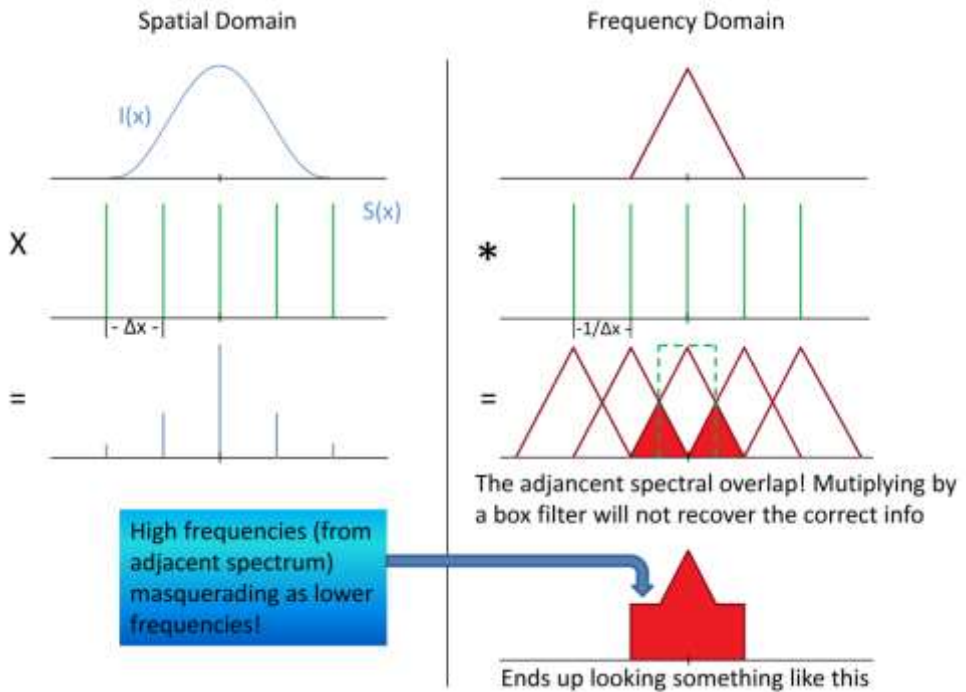


图 1-7 欠采样信号时域和频域对比

在图 1-7 中，由于采样频率 f_s 较低，频域信号的周期间隔 Δx （即 f_s ）也变小了。因此被采样信号在周期化之后，两个相邻周期的信号出现了混叠，见图中红色部分。这种情况下，出现混叠的信号在被还原时无法正确的还原出原信号的全部信息。

从上面的分析我们可以看到，时域上的等间距采样相当于频域里信号频谱的周期性搬移，这解释了混叠现象的发生。因此，对于 DC 到 f_h 的信号采样来说，为确保正确还原出信号的全部信号，过采样是必须遵循的原则。而在对带通信号采样时，我们可以利用混叠来帮助降低系统的设计难度。下一节中我们就将介绍利用过采样与欠采样，以及他们各自的优缺点。

2.5 混叠

在上一节中我们介绍了过采样和欠采样的概念。实际上过采样与欠采样分别有各自的优点和缺点，可以根据不同的需要分别加以利用。下面我们就将分别讨论过采样和欠采样各自的优缺点，并着重讨论如何正确利用混叠。

1) 过采样

图 1-5 上图中时域中黑点所代表的即是过采样所得到的数据波形，过采样时每个信号周期内采样次数大于 2 次。不难理解，每个信号周期内采样点越多，越能够真实还原被采样的信号。图 1-8 从频域的角度分析了过采样的主要优点：一是降低带内量化噪声，二是减小抗混叠滤波器的设计难度。

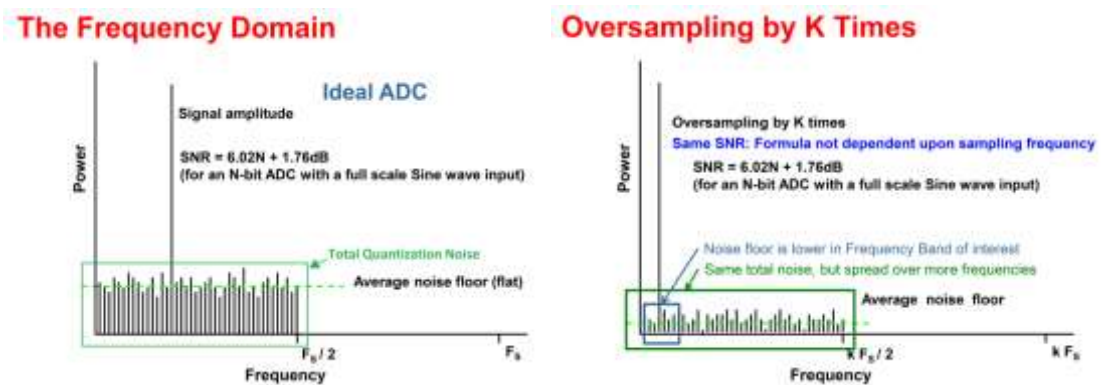


图 1-8 k 倍过采样的量化噪声频谱

图 1-8 分别给出了 f_s 及 K 倍 f_s 采样后得到的频谱。根据 1.3 节所讲的量化噪声的概念，在采样过程中产生的量化噪声均匀分布在从 0 到 $f_s/2$ 的频域范围内，其功率为

$$e_q^{rms} = \frac{LSB^2}{12}$$

由上式可知，量化噪声功率只与最小分辨率有关，与采样频率无关，因此若我们将采样频率增大到原来的 K 倍，由于量化噪声总功率仍保持不变而分布区间扩大到了 $0 - Kf_s/2$ ，所以量化噪声的功率谱密度减小为原来的 $1/K$ ，如图 8 中绿框部分所示。因此如果我们对采样后的数据应用一个数字低通滤波器到感兴趣的频带，就可以有效减少感兴趣频带的带内量化噪声总量，从而有效提高带内的信噪比。如图 8 右图中蓝框部分所示。

在 AD 转换过程中，输入信号会夹杂噪声，其中部分噪声的频率可能大于奈奎斯特频率。如果转换后我们感兴趣的信号频谱在 $0 - f_s/2$ 内，大于奈奎斯特频率的噪声就会混叠到 $0 - f_s/2$ 内从而干扰或污染我们感兴趣的信号。因此在过采样应用中，我们一般要先用低通滤波器将大于奈奎斯特频率的噪声过滤掉，再把信号送入 ADC 的输入端，这种滤波器叫做抗混叠滤波器。

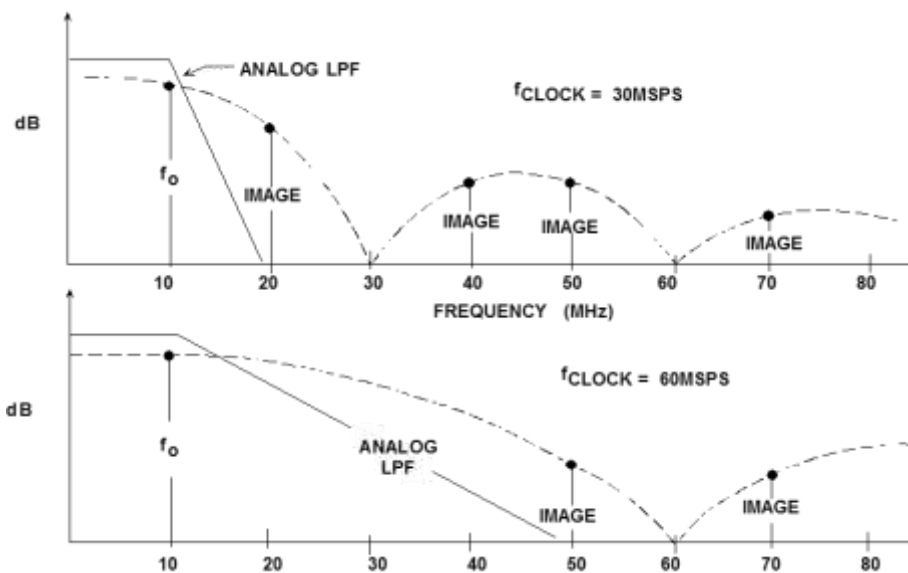


图 1-9 过采样降低对模拟滤波器的要求

例如在图 1-9 上半部分中，要对一个 10MHz 的正弦波采样，采样率为 30MSPS，这时奈奎斯特频率为 15MHz。我们看到频谱上 20MHz 处有一个毛刺，如果不使用抗混叠滤波器，那么 20MHz 处的噪声就会混叠到 10MHz 上，污染我们感兴趣的信号。此时，我们必须使用一个截止频率为 10MHz，过渡带仅有 10 MHz（10MHz 到 20MHz）的一个低通滤波器来做为抗混叠滤波器。如果你设计过低通滤波器，你就知道要在仅仅 2 倍频程的过渡带上设计一个陡峭的滤波器是多么的不容易：一个单极点的滤波器在 2 倍频程中只能提供 6dB 的衰减。因此如果仅仅要求把 20MHz 处的噪声电压衰减 10 倍（-20dB），就已经需要一个 4 阶的低通滤波器。而如果我们把采样率提高到 60MSPS，奈奎斯特频率提高到 30MHz，这次我们只需担心 50MHz 的信号是否会混叠到感兴趣的 10MHz 信号上了，这时的抗混叠滤波器的过渡带为

10MHz 到 50MHz，此时一个两阶的截止频率为 10MHz 的低通滤波器就可以完成将 50MHz 处的干扰信号衰减 10 倍 (-20dB) 的工作。模拟滤波器的设计难度被大大降低了。

2) 欠采样

和过采样对应，欠采样是指 $f_h > f_s/2$ 时的情况。利用混叠现象，我们可以实现利用较低的采样频率对高频带通信号进行采样，从而节省系统的成本、功耗、PCB 面积及模拟前端设计复杂度。

根据香农采样定理，采样频率 f_s 只要大于信号带宽 f_a 的 2 倍以上，信号的信息就可以完整的被保留下来。在这里，信号可以是一个带通信号，带宽为 $f_a = f_h - f_l$ ，以 f_c 为中心。也就是说信号 f_h 频率可以大于奈奎斯特频率 $f_s/2$ ，只要保证带宽低于 $f_s/2$ 就可以采得完整的信号。b) BW = 135 - 180MHz, $F_s = 90\text{MSPS}$

图 1-10 及所示的就是 4 种欠采样的情况，通过分析我们可以了解一个正确的欠采样所需的条件。

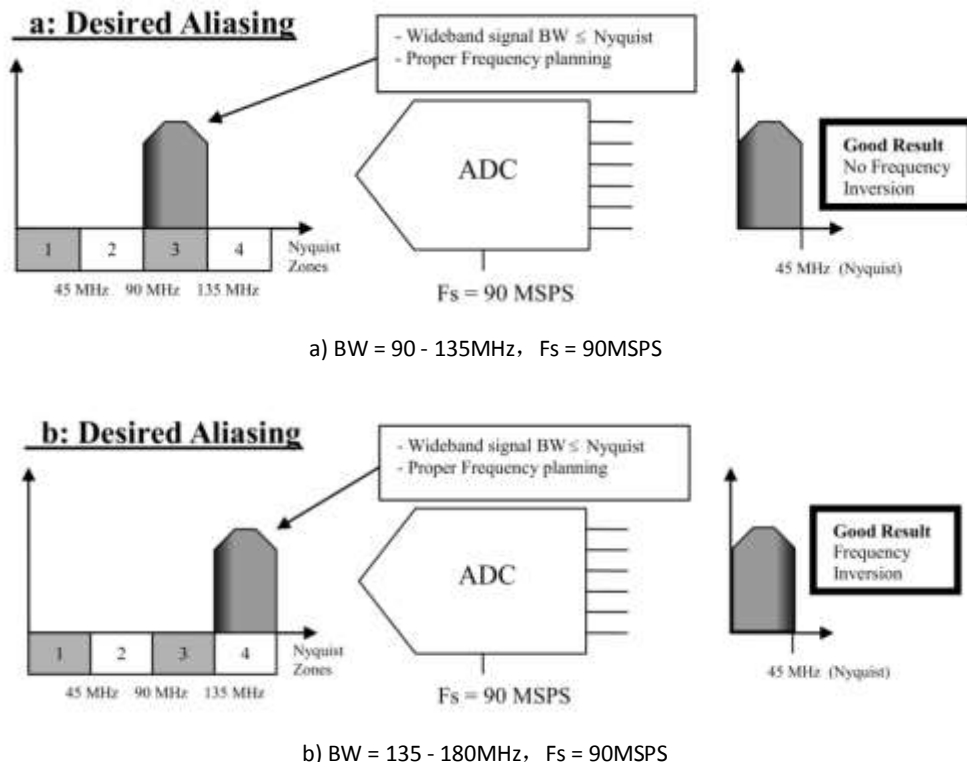


图 1-10 几种不同欠采样分析-正确的欠采样应用

在图 1-10 a)中, 信号频率从 90MHz 到 135MHz, 信号带宽 $f_a = 135 - 90 = 45\text{MHz}$, 如果用 90MHz 的采样频率进行采样, 得到的信号频谱被搬移到了 0 - 45MHz 的范围内。这是我们期望的混叠。图 1-10 b)的情况类似, 信号频率从 135MHz 到 180MHz, 带宽仍为 45MHz, 采样之后利用混叠在频域上得到的信号和 a)中的相同。实际上在采样后, 由于混叠的特性, 在每个 Kf_s ($K = 0, 1, 2, \dots$) 附近都会有信号的镜像, 这就是欠采样的原理。

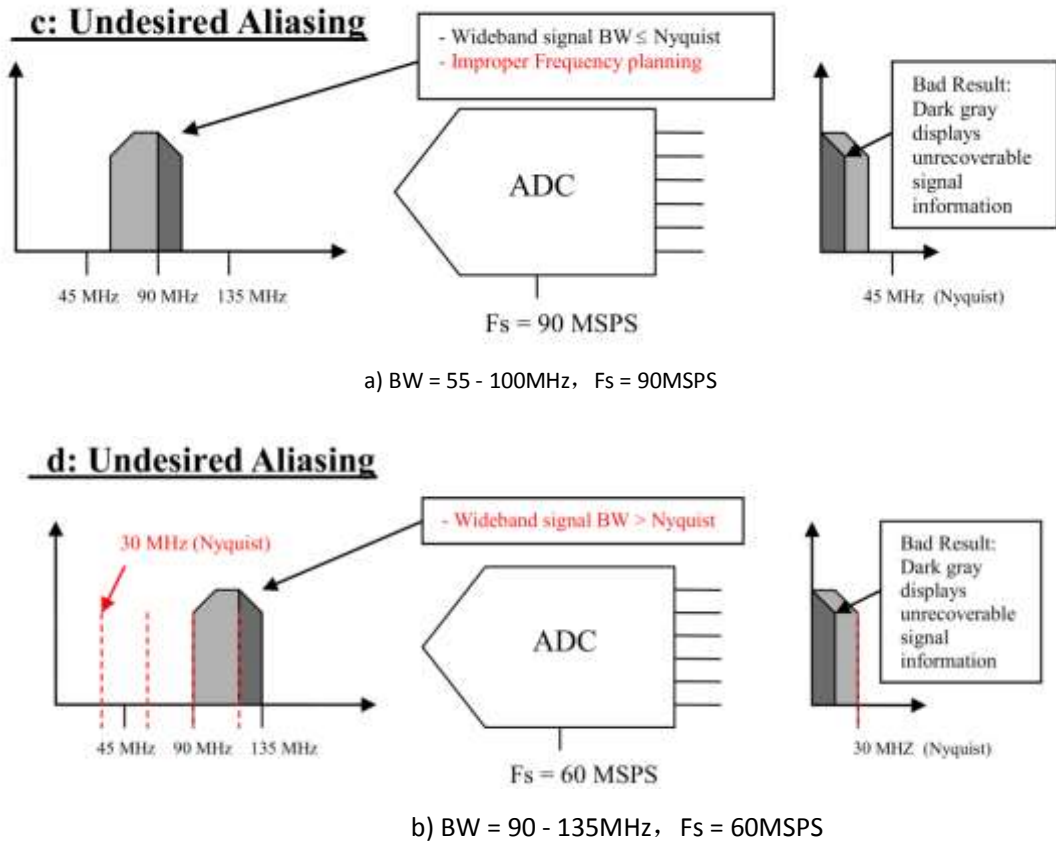


图 1-11 几种不同欠采样分析-不合适的欠采样应用

但是欠采样必须满足两个条件, 一个是选取的 f_s 不能导致被采样的带通信号跨越了 $Kf_s/2$ 的分界线, 我们称之为不正确的频域规划。如图 1-11 a)中, 尽管带宽 f_a 仍为 45MHz, 但信号分布在 60MHz 到 105MHz 的范围内, 中间跨越了 90MHz 的分界线, 采样的结果是不正确的, 右边图形中带通信号重叠在一起, 无法分开。另一个是选取的 f_s 必须大于两倍的信号带宽, b)中信号带宽为 45MHz, 但采样频率变为 60MHz, 这样被采样信号的带宽超过了 $f_s/2$, 信号也无法被完整采样。从上面 2 个例子中可以总结出, 要想让欠采样后的信号能够完整反映出被采样信号的信息, 必须使满足如下两个条件:

1. f_s 必须大于两倍的信号带宽 f_a ;

2. 被采样的带通信号处在 $Kf_s/2$ 到 $(K+1)f_s/2$ 的频段内，不能跨域 $Kf_s/2$ 这条分界线。其中 $K = 0, 1, 2, \dots$

本节对过采样和欠采样作出了分析，过采样的优点是：1. 量化噪声功率总量被分摊到 $f_s/2$ 的频域中， f_s 越高，量化噪声的噪声功率谱密度越低，经过数字低通滤波器后的带内噪声总量越低；2. 截止频率和干扰频率之间的过渡带较宽，利于简化滤波器的设计。而欠采样的优点是可以利用较低的采样频率对高频带通信号进行采样，节省系统成本、功耗、PCB 面积并简化模拟前端的设计。

第二章 ADC 性能指标

实际应用时，由于 ADC 并不是理想 ADC，所以我们在使用时需根据不同应用场景选择不同的 ADC。在这之前，首先了解 ADC 的各性能指标。

3.1 静态精度

静态误差，即就是那些在转换直流（DC）信号时影响转换器精度的误差，可以仅用 4 个术语描述整个静态误差。它们是偏置误差，增益误差，积分非线性误差以及微分非线性误差。每一个可以用 LSB 单元表示或者有时用 FSR 的百分比表示。例如，对于一个 8 位转换器 1/2 LSB 误差对应于 0.2% FSR。

3.2 偏置误差

偏置误差为 1 位最低有效位的 3 位 A/D 转换器转换特性如图 3-1 所示。Y 轴对应输出码字，坐标 X 轴对应模拟输入信号幅度。在数量上，偏置误差为当输入等于 0.5 个最低有效位时，第一个码字转换（从 000 到 001）偏离理想位置的值。另一种求取偏置误差的方式是检查图中 X 与 Y 之间的截距，另外就是直线通过实际转换函数时所截取的 X 坐标。偏置误差引起整个函数曲线转换向 Y 轴方向移动（输出码是独立变量）。偏置误差通常用最低有效位、伏特或者是最大量程的百分数（%FSR）来表示。

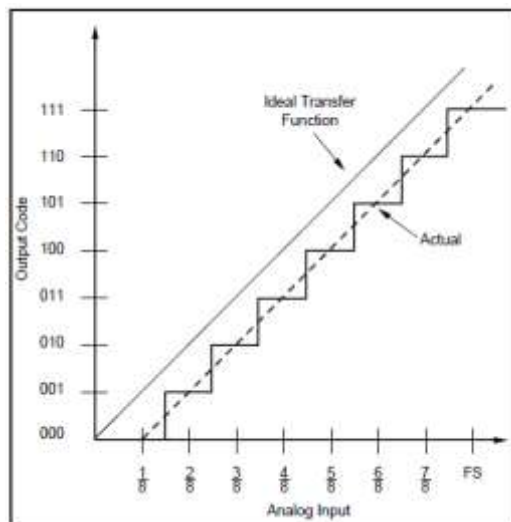


图 3-1 1 个最低有效位的偏置误差

3.2.1 增益误差

图 3-2 给出了具有增益误差的 3 位 A/D 转换器的转换函数，从图中可以看出，增益误差可以描述为直线通过转换函数曲线时，在满量程处的偏差。同时，它也可以描述为+1 的理想增益范围的偏差。虽然增益误差通常被表示成满量程的百分比 (%FSR)，但它也在电压或者最低有效位上有详细说明。增益误差由转换参考电压的误差所决定，因为参考值决定了器件的满量程。

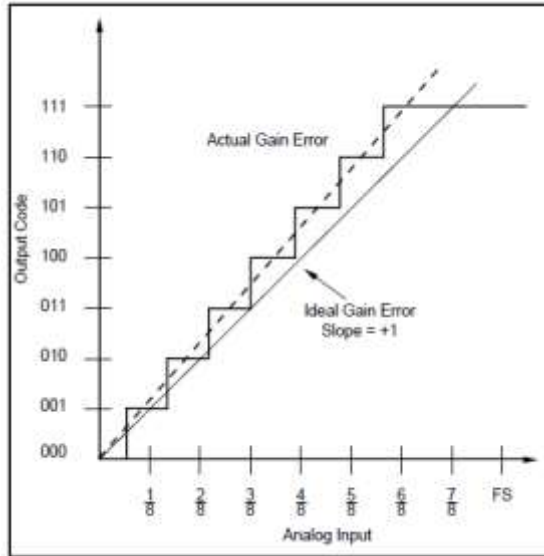


图 3-2 正向增益误差

3.2.2 微分非线性

微分非线性通常用来描述在转换过程中发生码字跳转处的输入电压偏离理想转换电压的大小。图 3-3 给出了微分非线性误差的一个例子。每个码字转换应该发生在等效于一个最低有效位的间隔内。例如，对于一个 3 位的 A/D 转换器，如果第一次转换发生在 $1/8$ 的满量程 (0.125 FSR) 处，那么理想情况下，第二次转换应该发生在 0.250 FSR 处。对于一个特定的码字，偏离理想转换的误差就是微分非线性误差。对于一个转换器来说，微分非线性误差应该描述成所有可能转换过程中最坏情况的转换误差。

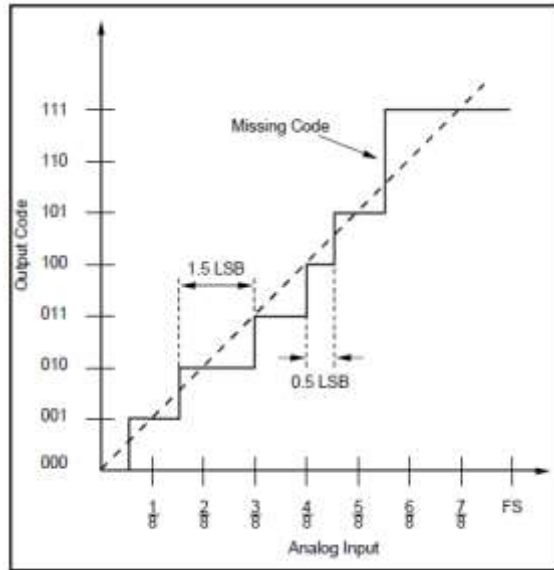


图 3-3 微分非线性

当用最低有效位来衡量转换器的分辨率时，如果微分非线性误差大于等于 -1LSB 的话就暗示有一个码字丢失了。大部分转换器在都指定了“无丢失码”达到何等精度，一般情况下都有“无丢失码”精度等于 A/D 转换器的转换精度即位数。在某些情况下，无丢失码精度小于给定转换器的精度：例如，许多 16 位的转换器可以保证无丢失码精度达到 15 位。一个具有无丢失码字的 16 位的转换器有 65535 种可能的输出码字。如果微分非线性被指定的无丢失码字是 16 位，那么所有的可能输出码字都必须存在。“无丢失码字”这个规格不能用户提供给出关于码字宽度的任何信息；简单地说，每个输出码字的一些部分都是存在的。如果一个 16 位的转换器的微分非线性误差大于等于 -1LSB ，那么在任意输出状态中只能保证 15 位的信息是有效的。如果转换器指定了 15 位的无丢失码字，那么在任意给定输出范围中只能确保 15 位。正误差表示长码，它的值没有实际的限制，并且跟分辨率不相关。微分非线性的一个简单测试是：加输入电压直到转换开始时，此时测量出驱动转换开始所需的输入电压。然后，驱动下次转换开始的输入电压也可以测量出来，将这两次转换过程中的输入电压差减一个最低有效位后，将其定义成转换过程中的微分非线性误差。在这里，需要注意的一点是在测试微分非线性过程中，A/D 转换器中会产生噪声。由于噪声通常是高斯噪声，其平均值将接近于真实的微分非线性值。

3.2.3 积分非线性

积分非线性用来描述 A/D 转换器转换函数的整体形状。这个误差通常被定义为静态线性或者是绝对线性。图 3-4 (a) 给出了积分非线性与终点相关的一个例子，图 3-4 (b) 给出了积分非线性与最佳直线相关的一个例子。对于线性的终点，在转换器的偏置和增益交叉点之间画一条直线，那么转换函数曲线将背离那条直线。与那条直线之间的最大偏离是非线性积分的最坏情况。对于一个最佳情况的例子，此转换在一个最小二乘估计中被用到，先绘制最佳直线，那么转换函数曲线将背离此最佳直线。以终点线性为例，与最佳直线的最大偏离量描述了转换器的积分非线性。积分非线性也能通过对同一极性的微分非线性误差进行求和或者积分而得到。对于积分非线性的一个直接定义是 A/D 转换器中偏离所选直线（理想、最佳或者终点）的最大偏离度量。

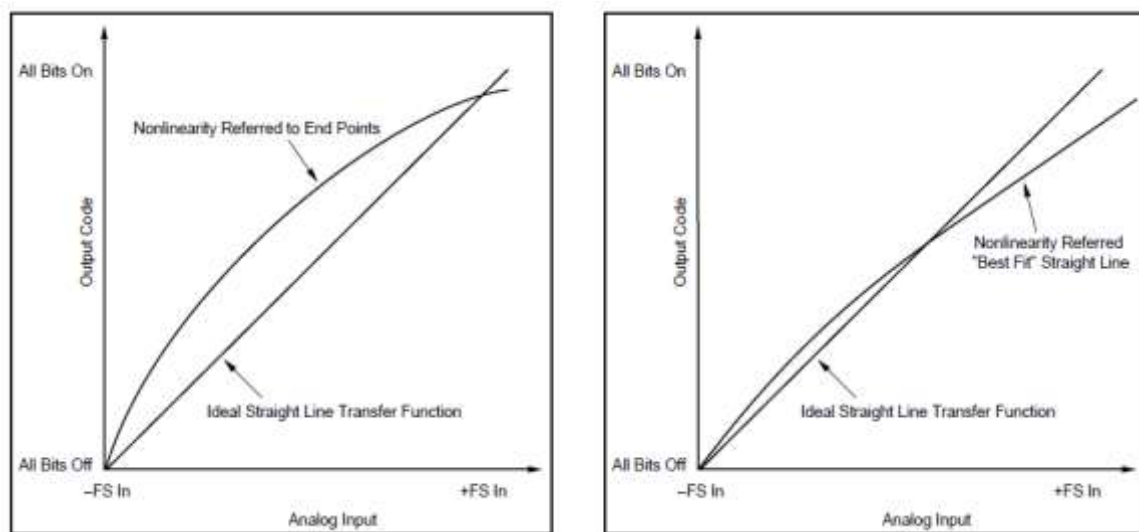


图 3-4 (a) 参考输入的非线性积分 (b) 参考最佳直线的非线性积分 ADC 分类

3.3 动态指标

在精密信号链中，我们的 ADC 测试主要关注 ADC 的直流精度，包括其 DNL, INL, 失调，最小分辨率和 ADC 的输入噪声。我们通常不会在频域来计算对直流采样 ADC 的 SNR，这是因为频域计算基于一个单频正弦波，而我们在精密 ADC 采集中面对的常是变化非常缓慢的信号。因此对于直流采样 ADC 来说，在时域上能达到的最小分辨率和系统噪声是我们关注的焦点。

当然，这些 ADC 很多也拥有数百 KSPS 甚至数 MSPS 的采样率，在音频范围内的交流信号采样也是非常有用处的。这时我们需要从另一个角度来衡量 ADC 的表现。对交流信号采样的 ADC 来说，我们关注更多的是其可重复性，也即频域特性，ADC 的 INL 会显著的影响 ADC 输出的总谐波失真，采样抖动会显著的影响 ADC 的 SNR，我们常用的衡量高速 ADC 性能优良的几个指标就是采样率、输入-3dB 带宽、SFDR、SNR 和 ENOB。动态指标是在频域中来表征的，通常利用快速傅里叶变换（FFT）来得到动态规格。下文将通过一个实例来重点介绍后面三个指标。

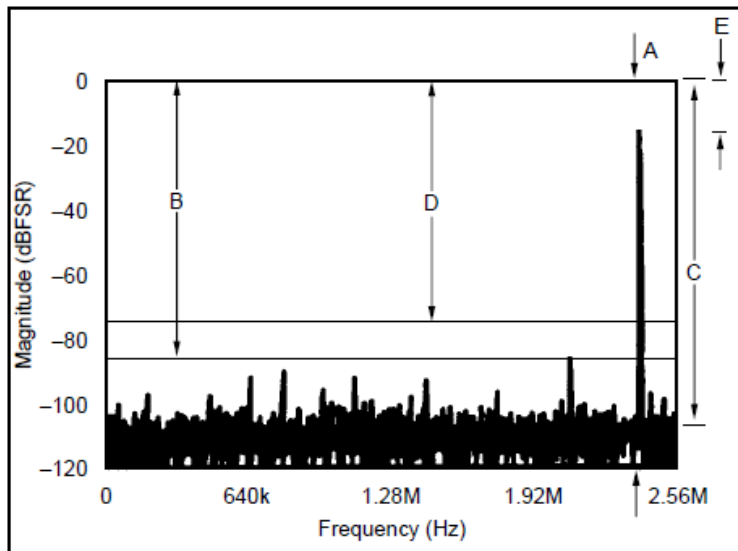


图 3-5 动态规则

如图 3-5 所示为一个 FFT 变换后的频域图，这个特定的 FFT 来自一个 ADS850，一个 14 位，采样频率为 10MHz 的 A/D 转换器。输入的测试信号频率为 2.35MHz 的正弦波。

基本输入信号（A）的频率是 2.35MHz，它也是模拟信号的输入频率。在目标频率处发现其强度低于 0dB，由于个余量出现，这就是净空（E），它通常用来避免当 A/D 转换器或信号源有偏差的时候产生限幅现象。净空在大部分 FFT 测试中设为 0.5dB。为了描述方便，图 3-5 将净空进行了一定的放大。

3.3.1 无杂波动态范围（SFDR）

转换器的无杂波动态范围（SFDR）定义为（B）：在输出频谱中，基频分量与最大谐波间的距离（dBc），当然最大谐波不局限在基频产生的高次谐波分量上。输入信号谐波的寄生毛刺响应以谐波阶数来标记。这些谐波对应于输入采样保持放大器的非线性特性。从图中可以看出有一些寄生毛刺并非输入信号的谐波。这些寄生毛刺来自采样过程。

当使用运放来驱动ADC时，运放的谐波失真会影响到ADC的输出谐波失真。为了确定一个放大器+ADC系统的SFDR值，需要将放大器输出信号的频谱与ADC的频谱叠加，由于电气距离的不同导致了不同的相位位移，因此这两种信号源只有通过功率的型式相加。ADC输出的FFT是在一个特定的输入级别上计算，通常是-1dBFS。放大器的谐波也应该在这个级别上进行测量。然后放大器与ADC各自的谐波幅度将会被从dBc转化为标量并且相加。结果再转化为dBc，方程如下：

$$\text{HDx}_{\text{Combined}}(\text{dBc}) = 10 \times \log_{10} \left[10^{\left(\frac{\text{HDx_Amp}}{10} \right)} + 10^{\left(\frac{\text{HDx_ADC}}{10} \right)} \right],$$

其中HDx_Amp与HDx_ADC分别是放大器以及ADC属于谐波分量的寄生毛刺,以dBc表示。

一些简单的关系有助于在不需要任何数学计算的情况下快速的对系统进行分析。如果ADC和运放的谐波大小相等，则总的谐波大小加上3.01 dB。如果在不同的谐波级别之间差别大于10 dB，忽略较小的一个只会带来很小的误差。

对于一个线性放大器来说，最显著的寄生毛刺通常是二阶、三阶谐波。一般仅需评估这两阶谐波即可。

3.3.2 信噪比 (SNR)

平均噪声基底 (C) 来源于 A/D 转换器的平均噪声和 FFT 本身。FFT 中理想的平均噪声基底可以描述为：

$$6.02n + 1.76 + 10 \log(m/2)$$

这里，n 为 A/D 转换器的分辨率，m 为 FFT 的点数。

A/D 转换器的噪声特性 (D) 用信噪比 (SNR) 来衡量。SNR 中的 S 是输入基频的有效功率，N 是在奈奎斯特频带范围内除直流分量和基频以外的所有谐波的有效功率之和。理论上，SNR=6.02n+1.76，这里 n 为分辨率。

那么，这个理想表达式是从何而来的？对于一个实际的 ADC 而言，如何测量 SNR 的值？

SNR 是通过计算得到的值，它代表了信号的有效值和噪声的有效值之间的比值。然后，对这个比值取 \log_{10} ，再乘以 20，从而得到 dB 形式的 SNR 的值。

推导上述公式，首先需要确定信号的有效值。假设输入信号是正弦信号，则信号的有效值等于 ADC 的满幅度量程除以 $\sqrt{2}$ 。如果 ADC 的增益为 1，你可以将信噪比的等式转换为用比特数表示：信号有效值 = $(2^{(N-1)} \times q) / \sqrt{2}$ ，这里 q 表示最小比特步长 (1LSB)。

所有 ADC 都会由量化误差而产生量化噪声（（在理想情况下，ADC 的唯一噪声来源是其量化噪声）），由此而产生的噪声有效值等于 $q/\sqrt{12}$ 。这个式子的得来如下：

任何 ADC 的不确定值的大小等于 $\pm 1/2 \text{ LSB}$ 。当然，这种假设是基于 ADC 是没有差分非线性误差的理想 ADC。现在我们需要确定的是 1LSB 的有效值。我们可以认为量化误差是由模拟输入信号引起的三角波，而三角波信号的有效值等于信号幅度除以 $\sqrt{3}$ ，所以最终得到的噪声有效值 = $\pm (\text{LSB}/2)/\sqrt{3} = q/\sqrt{12}$ 。

然后，对这些数字进行整理：

$$\text{SNR (dB)} = 20 \log \frac{\text{信号有效值}}{\text{噪声有效值}} = 20 \log \left(\frac{2^{N-1} \times q/\sqrt{2}}{q/\sqrt{12}} \right) = 6.02N + 1.76$$

在一个 A/D 转换器中可接受的 SNR 值可以按下列规则计算：将分辨率乘以 6。例如，对于一个 8 位的 A/D 转换器，那么一个好的 SNR 是 48dB，对于一个 12 位的 A/D 转换器，那么一个好的 SNR 是 72dB。因为在高分辨率（高于 12 位）的 A/D 转换器系统中放大器的 1/f 噪声很难得以降低，在这些高分辨率转换器中难以确保“6 倍”准则。

对于那些高分辨率的转换器，SNR 值在一定程度上依赖于输入信号的频率。对于一个给定的采样频率 f_s ，理论上讲，从直流到 $f_s/2$ 频率带宽范围内的有效功率量化噪声是给定的。此处 q 是一个 LSB 的代表的权值， n 是位数。当输入信号频率与采样频率之比增加时，那么量化噪声将分散在更加狭窄的带宽内，导致模拟输入带宽内噪声的增加。图 3-6 给出了采样

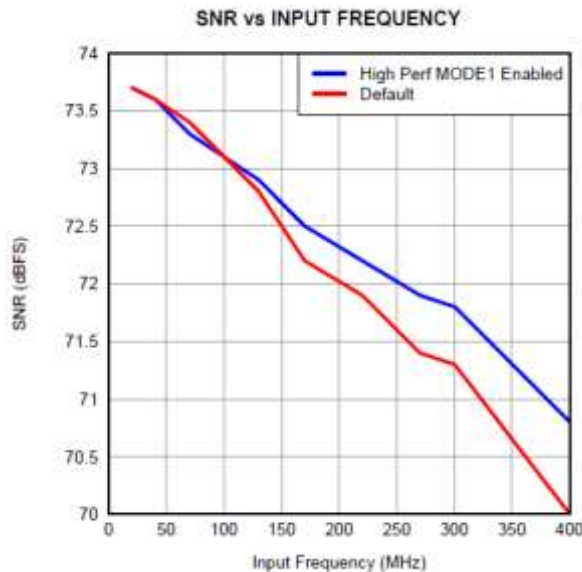


图 3-6 ADS4122 对于的输入频率的 SNR 值

率为 65MSPS 的 12 位 A/D 转换器 (ADS4122) 相对于输入频率的 SNR 值。当转换器的输入频率增加时, 其 SNR 值缓慢下降。对于高速度或者高分辨率的转换器而言, 随着输入频率的增加, 那么 SNR 值下降的更加明显。在时钟抖动一章, 我们会解释这个现象。

在实际测试中, 正弦输入信号的噪声应小于 ADC 理想噪声的 1/3, 在这种情况下, 信号有效值才准确等于信号幅度除以 $\sqrt{2}$ 。

计算 SNR 的时候我们不把谐波能量计算到噪声中去: $SNR = 10\log_{10}(P_s / P_N)$, 这里, P_s 是基波信号功率, P_N 是所有噪声频率分量的功率之和; 而 SINAD (信号与噪声加谐波失真比) 将谐波功率包括在噪声的计算中:

$$SINAD = 10\log_{10}\left(\frac{P_s}{P_N + P_D}\right), \text{ 这里, } P_s \text{ 是基波信号功率, } P_N \text{ 是所有噪声频率分量的功}$$

率之和, P_D 是所有失真频率分量的功率之和。因此 SINAD 肯定会小于 SNR 的值。

我们还可以利用 SINAD 来估算出 ADC 的有效位数(effect number of bits, 简称 ENOB):
 $ENOB = (SINAD - 1.76) / 6.02$;

运放+ADC组合系统的ENOB可以通过将放大器的有效位数以及ADC的ENOB以功率的方式相加来得到。如果放大器的ENOB与ADC的ENOB相等, 则SINAD的数值也相等。在这种情况下, 组合的SINAD将会降低3.01 dB, 组合的ENOB将会减少0.5位。

第三章 ADC 选型指南

4.1 常见 ADC 结构特点与应用场景

现代常用的 ADC 分为逐次逼近型 ADC (SAR 型), Delta-Sigma 型, 和流水线型 ADC (Pipeline 型) 三类。他们各自有着不同的精度和速度范围, 从而有着不同的应用领域。下面讲究 SAR 型 ADC, $\Delta \Sigma$ 型 ADC 以及 Pipeline 型 ADC 原理与结构分别进行阐述。

表 4.1 四种常见 ADC 特性及应用

ADC 类型	转换速率	分辨率	优缺点
SAR	$\leq 4\text{MSPs}$ $\leq 1.25\text{MSPs}$	$\leq 16\text{-bit}$ $\leq 18\text{-bit}$	操作简单, 低成本, 低功耗
$\Delta \Sigma$	$\leq 4\text{kSPs}$ $\leq 4\text{MSPs}$ $\leq 10\text{MSPs}$	$\leq 31\text{-bit}$ $\leq 24\text{-bit}$ $\leq 16\text{-bit}$	成本适中
Pipeline	$\leq 200\text{MSPs}$ $\leq 250\text{MSPs}$ $\leq 1000\text{MSPs}$	$\leq 16\text{-bit}$ $\leq 14\text{-bit}$ $\leq 12\text{-bit}$	高速转换, 价格高, 功耗大

4.2 SAR 型 ADC

4.2.1 SAR 型 ADC 结构与原理

SAR 型 ADC, 即逐次渐进逼近型 ADC, 采用的是多次比较的方式来获得最终的输出结果, 具有简单易用, 功耗低的特点。我们先看图 4-1, 这个老旧的结构可以帮助我们容易地理解 SAR 型 ADC 的工作过程:

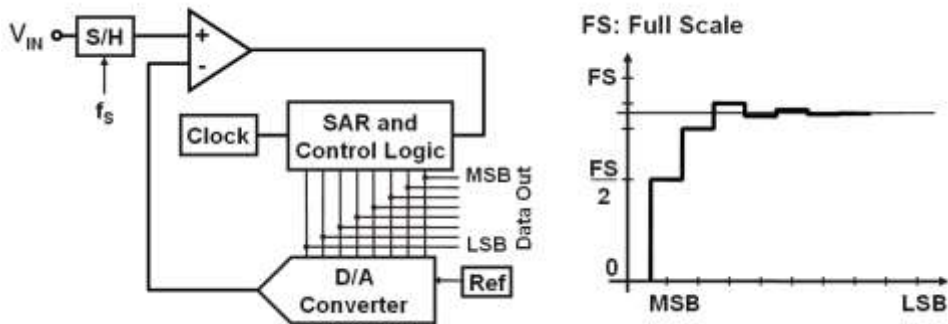


图 4-1 经典 ADC 结构

如上图，假设输入信号的伪代码为 45，ADC 为一个 6 位的 ADC，满量程输出为 63。

1. 在采样阶段，ADC 将输入信号采样至采样保持器(S/H)中并保持住，即此时 S/H 中的值为 45，请记住 S/H 中实际是一个模拟电压，45 是我们给它定义的代表它大小的伪代码；

2. 接下来，在转换的第一个时钟上升沿，SAR 寄存器首先将最高位至 1，即把 32（半个满量程），送给一个 DA 转换器，DA 转换器输出的模拟信号和 S/H 中的模拟信号相比较，因为 45 大于 32，比较器输出为高，提示 SAR 的最高位应该置 1，在时钟的下降沿，ADC 就将输出最高位数据（MSB）为 1；

3. 在第二个转换时钟的上升沿，SAR 会将 MSB-1 位置 1，此时由于 MSB 已经固定为 1，SAR 寄存器中的值实际为 48（ $32+32/2$ ），由于 48 大于 45，比较器输出为低，提示 SAR 寄存器的 MSB-1 位应该为 0，在时钟的下降沿，次高位的 0 也被输出，同时 SAR 寄存器也记住了次高位为 0 的事实；

4. 依次类推，最终可以得到输出结果为：101101。

从上述过程中可以看出，SAR 寄存器的位数越多，逼近得越准确，但所需的转换时间越长。

为提高 SAR 型 ADC 的总体转换速度，减少内部 DAC 的建立时间对速度的影响，现代 SAR ADC 多数采用电荷重分配的 CDAC 输入结构，将采样保持与 DAC 合为一体。

若 SAR 型 ADC 的分辨率为 n 比特，则其内部由 n 个按照二进制加权排列的电容和外加一个“空 LSB”电容组成的阵列，如图 4-2 所示。

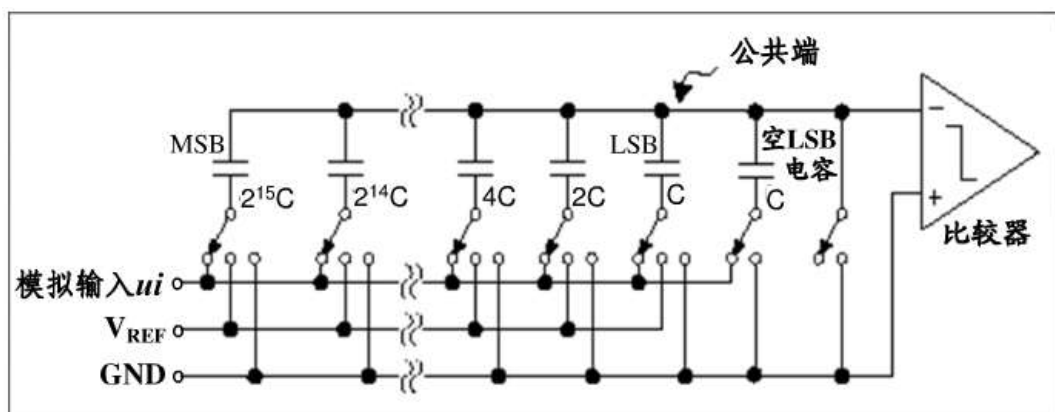


图 4-2 现代 ADC 电容式 DAC 结构

在采样阶段，电容阵列公共端，即比较器的输入端接地，自由端连接到模拟输入 u_i 上，使得电容阵列上的电压与 u_i 成正比。而在保持阶段，公共端与地断开，所有电容的自由端接地，比较器输入电压等于 $-u_i$ 。由此可见电容阵列起到了采样保持功能。

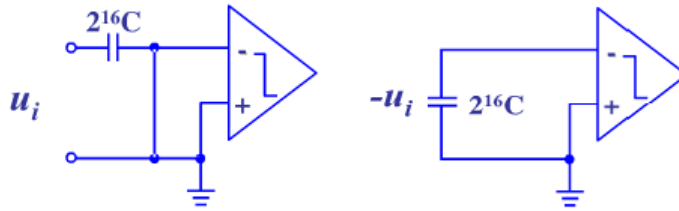


图 4-3 采样阶段（左）和保持阶段（右）

其转换比较方法仍然采用对分法逐次逼近。我们发现图 4-2 中的电容网络从“空 LSB”电容开始，第一个 C 和第二个 C 并联，构成了一个 2C 的等效电容，而这个等效电容又和下一个 2C 电容并联，构成了 4C 的等效电容，依次类推，构成了一个电容分压网络，而且每向下一级（从左向右），其电压为上一级的 1/2。其对分法比较过程如下：

1. MSB 电容自由端接 V_{ref} ，其余电容自由端接地，此时公共端的电压为 $1/2V_{ref}$ ；
2. 如果输入电压 u_i 大于 $1/2V_{ref}$ ，比较器输入为 $-u_i + 1/2V_{ref}$ 仍然小于零，此时比较器输出为逻辑“1”；
3. 保持 MSB 电容与 V_{ref} 相连，将下一个电容连接到 V_{ref} ，重复上面的判断过程，确定输出数字值；
4. 依次循环指导判定全部数字位。

从上述描述可以看出电容阵列的 SAR 型 ADC 好处在于减少了传统 SAR 型 ADC 中由于 DA 引入所需的建立时间。但同时，其内部的电容值随着 ADC 位数增长呈指数级增长，带来的后果是电容体积的增大，以及对芯片工艺要求的增高。这也就解释了为什么 SAR 型 ADC 的精度不会太高。

4.2.1.1 使用运算放大器驱动 SAR 型 ADC

对于一个 SAR 型 ADC，在设计其电路时应当首先考虑的是采样速度和外部信号源内阻。如果忽略这些基本参数，不管是微处理器中内置的还是外置的 ADC，都得不到最好的输出。

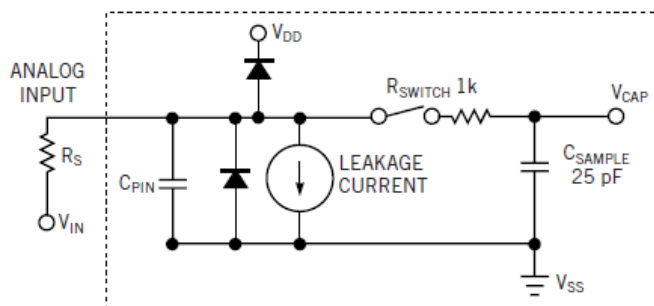


图 4-4 SAR 型 ADC 的输入级模型

首先我们来看 SAR ADC 的输入级，图 4-4 描述了一个典型的 SAR ADC 的输入级模型，从左向右来看，图中可以看出外部输入的阻抗为 R_s 。通常如果用运算放大器来驱动 SAR ADC，运用运放阻抗变换的特点，这个阻抗可以小于数十欧姆（视运放的开环输出电阻和环路增益而定）。但如果采用电阻电桥这类高阻元件直接作为信号源， R_s 通常可以达到数千欧姆。信号经过 R_s 后进入 ADC 的模拟输入端。

进入 ADC 内部的信号遇到的第一个障碍就是输入引脚电容 C_{PIN} 和 ESD(静电放电保护)二极管。这些对输入信号的影响微乎其微，这里将忽略它们，同时忽略的还有输入漏电流。

接着，信号到达导通电阻为 R_{SWITCH} 的开关，采样电容 C_{SAMPLE} 。当开关闭合时，可用 C_{SAMPLE} 来代表主要的采样电路；而输入信号源内阻 R_s ，开关导通电阻 R_{SWITCH} 和采样电容 C_{SAMPLE} 的联合作用构成了一个单极点的 RC 网络。而这个 RC 网络的时间常数可以表示为：

$$t_{RC} = (R_s + R_{SWITCH}) \times C_{SAMPLE}$$

假设在采样刚开始时候的采样电容上电压为 0，电容上的电压大小与上升时间关系可以表示为：

$$V_{IN} = (1 - e^{-\frac{t}{(R_s + R_{SWITCH}) \times C_{SAMPLE}}})$$

通过这个方程，可以根据时间变化确定采样电容上的电压达到输入信号电压值的百分比。

如果你将这个思想应用到在一个如图 4-2 所示的 12 位 ADC 的应用中，就能确定已经从输入信号里采样到了多少位的数据（这里位数通过已经采得的电压占输入电压的百分比来换算，如下表，当采样电容上的电压为输入电压值的 99.32%时，将有 0.68%（剩余百分比）的电压无法准确获得，也就是说最小分辨率为 0.68%，这和 7.2 位的 ADC 的分辨率一致。其换算公式为 $\log_2(1/\text{剩余百分比})$ 。

时间常数个数	1	5	8	9	10
$(R_s + R_{SWITCH}) \cdot C_{SAMPLE}(nSEC)$	25	125	200	225	250
流过 C_{SAMPLE} 的百分比	63.2	99.3	99.966	99.9877	99.9955
C_{SAMPLE} 剩余百分比	36.8	0.67	0.034	0.0123	0.0045
ADC 精度 (位)	1.4	7.2	11.5	13	14.43

根据这个表的计算，如果不能给 ADC 足够的采样时间会导致 ADC 的精度降低。举个例子，一个采样时间为 1.5 个时钟周期的 12 位 ADC，在时钟频率为 2MHz 时折算出的采样时间为 750ns。对比表 1，当 R_s 为 0 时，采样电容上能获得远高于 12 位的精度，采样时间是足够的。但如果现在对信号源增加 5K Ω 内阻，然后可以得到：如果要达到 13bits 精度，转换器

需要 1350ns 的采样时间，750ns 的采样时间就不再那么保险了。这时，可以通过改变软件来降低 ADC 的采样率来获得更长的采样时间，这个是易于实现的。当然，可以通过添加运放缓冲来降低信号源内阻。这也是为什么我们要使用运放来驱动电容输入 ADC 的原因。

4.2.2 在运放和 SAR ADC 间插入 RC 组合

使用运算放大器来驱动 SAR-ADC 看起来是一个简单的任务，好像只要选一个带宽符合 ADC 输入信号要求的运放，然后直接把运放作为缓冲来跟 ADC 相连就可以了。但是不要高兴得太早，你的任务远远没有完成，因为你还没成功解决掉 ADC 输入端电荷注入效应对运放输出造成的影响，如图 4-5 所示。SAR-ADC 输入端的瞬间电流会干扰运放的输出电压，从而导致 AD 输出不准确的结果。

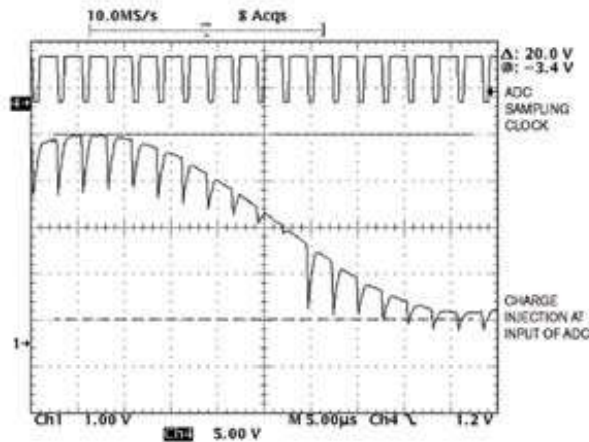


图 4-5 插入电阻后，ADC 电荷注入效应

为了分析 ADC 输入端对运放输出端造成的影响，我们对 SAR-ADC 的输入端进行建模。如图 2 所示，SAR-ADC 的输入端可以等效为一个开关 S1 连接着一个接地电容 CSH；在电压采样前，CSH 通过开关 S2 连到电源、电压参考或地来进行预充电，预充电电压值由你自己的 ADC 电路决定。电压采样开始的时候，S2 打开而 S1 闭合。当 S1 闭合的时候，驱动电路从 CSH 注入或吸出电荷，而 ADC 需要一定的时间来采样信号。在这个采样时间里，ADC 需要从驱动电路汲取足够的电荷量给 CSH，使得系统达到 1/2-LSB 的精度范围之内。

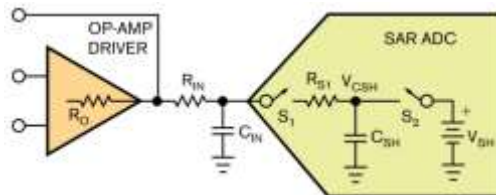


图 4-6 在运放与 ADC 之间添加 RC 电路

为了使设计的电路精度达到更高，应该在运放与 ADC 之间添加一个电阻 RIN 和电容 CIN（如图 4-6 所示）。CIN 的角色是作为一个电荷存储器来为 ADC 的输入端提供足够的电荷，而 RIN 用于避免运放与的 CIN 直接连接并使得运放工作更加稳定。RIN 与 CIN 的结合至少要符合 ADC 采样时间的要求。最后，我们要选择一个带宽与 RINCIN 时间常数相匹配的运算放大器。

首先最重要的是，你需要给采样电容 CSH 充电足够长的时间使其上的电压达到被采样电压的 $\pm 0.5LSB$ 范围内。理论上来说，对 12 位转换器，充电时间应大于 8 倍 $RSW \times CSH$ 。考虑到误差容限，器件参数变动，充电时间应取 10~15 倍 $RSW \times CSH$ 。SAR ADC 需要一增益为 $\pm 1V/V$ 的运放和外接的 RIN 和 CIN 电阻/电容对。在采样期间，ADC 利用 CIN 保持信号稳定；电阻 RIN 将运放和 ADC 负载电容隔离。运放将 ADC 和高阻信号源隔离，同时方便在采样阶段对 CIN 和 CSH 进行快速充电。

设计这样一个看似简单的电路，应遵循以下方法。CIN 须是银云母（silver mica）电容或 COG 电容。这些电容能为 CSH 提供稳定的电压和频率性能。像 X7R，Z5U 这样有电压和频率“记忆”效应的电容，会降低 ADC 的总谐波失真。另外，CIN 应大于 20 倍 CSH。接下来再利用 ADC 内部电阻，电容决定 RIN：最终决定的 CIN 和 RIN 时间常数是 CSH 和 RSW 的 70%，RIN 阻值大小为 $50 \Omega < RIN < 2k \Omega$ 。当最终 RIN 和 CIN 决定后，运放电路应该在驱动阶跃信号时也能及时稳定到期望的精度。

4.2.2.1 TI SAR 型 ADC

TI 提供广泛的 ADC 供用户选择。在登陆 TI 官网后进行数据转换器页面，可以看到页面的左边显示了产品结构树，罗列了不同特性，不同应用场景的数据转换器以及相关的器件。同时在页面可以看到一个数据转换器的快速搜索，单击进入后可以帮助用户更快地在众多 ADC 中选择适合开发的型号。



图 4-7 TI 网页上的数据转换器

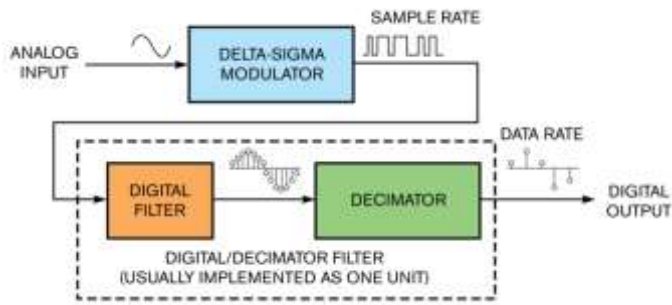
在 SAR 型 ADC 中，TI 有众多不同转换速度，双极型以及同步多通道转换的产品供选择：

器件	简介	封装
ADS7882IPFBT	12 位，3MSPS，伪差分输入，并行输出 ADC	TQFP
ADS7818P	12 位，500KSPS，伪差分输入，串行输出 ADC	DIP
ADS7886SDBBVT	12 位，1MSPS，单端输入，串行输出 ADC	SOT23
ADS8504IBDW	12 位，250KSPS，单端输入 VIN 范围可调（最大±10V）并行输出	SOIC
ADS8508IBDW	12 位，250KSPS，单端输入 VIN 范围可调（最大±10V）串行输出	SOIC
ADS7950SDBT	12 位，1MSPS，单端输入，4 通道选通输入，串行输出 ADC	TSSOP
ADS7861E	12 位，500KSPS，差分输入，双通道同步采样，串行输出 ADC	SSOP
ADS8319IDGST	16 位，500KSPS，伪差分输入，串行输出 ADC	MSOP
ADS8317IDGKT	16 位，250KSPS，差分输入，串行输出 ADC	MSOP
ADS8326IDGKT	16 位，250KSPS，伪差分输入，串行输出 ADC	MSOP
ADS8371IPFBT	16 位，750KSPS，伪差分输入，并行输出 ADC	TQFP
ADS8412IPFBT	16 位，2MSPS，差分输入，并行输出 ADC	TQFP
ADS8509IDW	16 位，250KSPS，单端输入 VIN 范围可调（最大±10V）串行输出	SOIC
ADS8505IDW	16 位，250KSPS，单端输入 VIN 范围可调（最大±10V）并行输出	SOIC
ADS8361IDBQ	16 位，500KSPS，差分输入，双通道同步采样，串行输出 ADC	SSOP
ADS8365IPAG	16 位，250KSPS，差分输入，六通道同步采样，并行输出 ADC	TQFP
ADS8341E	16 位，100KSPS，单端输入，4 通道选通输入，串行输出 ADC	SSOP

4.2.3 Δ - Σ ADC

4.2.3.1 Δ - Σ ADC 结构与原理

如图 4-8 所示，给出了 Δ - Σ 转换器的基本拓扑结构：

图 4-8 Δ - Σ ADC 内部结构

其核心部分是一个 Δ - Σ 调制器级联一个数字滤波器。如果仔细探究 Δ - Σ 转换器，你会发现，尽管不同 Δ - Σ ADC 的指标各有千秋，但是它们都是包含了这一基本的结构。下面将研究这两个模块的基本架构和功能。

Δ - Σ ADC 的输入信号是交流或者直流电压信号。我们不妨用一个单频正弦信号作为 Δ - Σ 转换器的输入信号。如图 4-8 所示，转换器内的调制器使用一个 1bit 的 ADC 对输入信号进行采样，产生粗糙的量化输出信号。调制器把模拟输入信号转换成了高速的脉冲数字信号，脉冲的占空比反映了模拟输入电压的大小。尽管调制器产生了含有噪声的输出信号，但是这些噪声将被整形在输出频谱的高频部分，从而在数字滤波器的输出端得到低噪声、高精度的转换结果。

在调制器的输出端，数字滤波器处理高频噪声和高速采样率带来的数据吞吐率过高的问题。因为此时的信号位于数字域中，因此可以用低通数字滤波器来削弱高频噪声，并且用抽取滤波器来降低输出数据的速度。数字/抽取滤波器对调制器的高速 1bit 数据流进行滤波，形成低速的多比特编码。

大多数转换器只有一个采样率，但是 Δ - Σ 转换器有两个：输入采样率（也称为调制器采样率或过采样速率）和输出数据率。这两个变量之间的比值定义了系统的抽取率（也称为降采样率）。抽取率与转换器的有效精度是紧密相连的，接下来的部分将研究调制器、数字/抽取滤波器和可调节抽取率是如何工作的。

Δ - Σ 转换器中采样调制器的输出信号为一连串的 1bit 码流，这是由于输入信号通过高采样率的量化器而转换生成的。跟所有的量化器一样， Δ - Σ 调制器采样输入信号，产生数字码流表征输入电压。可以在时域或频域观察 Δ - Σ 调制器结构，时域下的一阶调制器结构如图 4-9 所示。

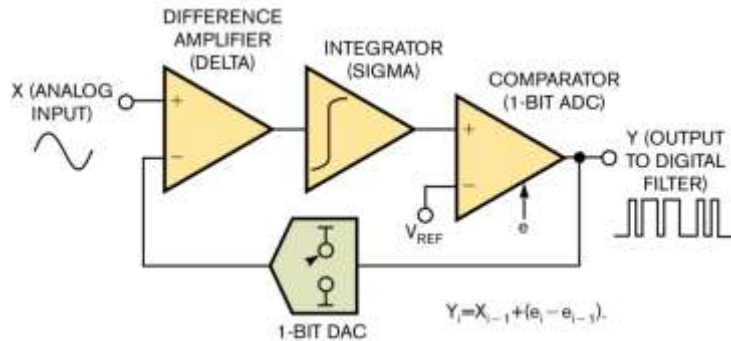


图 4-9 一阶调制器的调整过程：时域

调制器利用一个差动放大器（Delta）得到输入模拟信号与反馈 DAC 输出的模拟信号之间的差值，积分器（Sigma）对差动放大器的输出模拟信号进行积分，并把积分的输出信号（斜坡信号）送入到比较器（1bit 的模数转换器）中，积分结果被转换成“1”或者“0”的数字信号。在系统时钟下，ADC 把 1 位的数字信号送到调制器的输出，与此同时，通过反馈环路，将该数字信号送入 1 位的 DAC 的输入端。

1 位 ADC 把输入信号量化成离散的输出编码，包含有转换器的量化噪声（ e_i ）。调制器的输出等于输入加上量化噪声（ $e_i - e_{i-1}$ ）。在上述公式中，量化噪声等于当前的量化误差信号（ e_i ）减去调制器前一个周期的量化误差（ e_{i-1} ），即 $e_i - e_{i-1}$ ，量化噪声被进一步降低了。时域下的输出信号是代表输入的脉宽信号，频率等于调制器采样频率 f_s 。如果把输出脉冲序列平均化，结果将等于输入信号。

图 4-10 所示的结构框图从频域解释了调制器的工作原理。时域下的输出脉冲信号在频域下表现为输入信号的频谱加上被整形的噪声信号频谱。被整形的噪声特性（低频处的噪声被推到高频处）从频域上体现了调制器的关键作用。

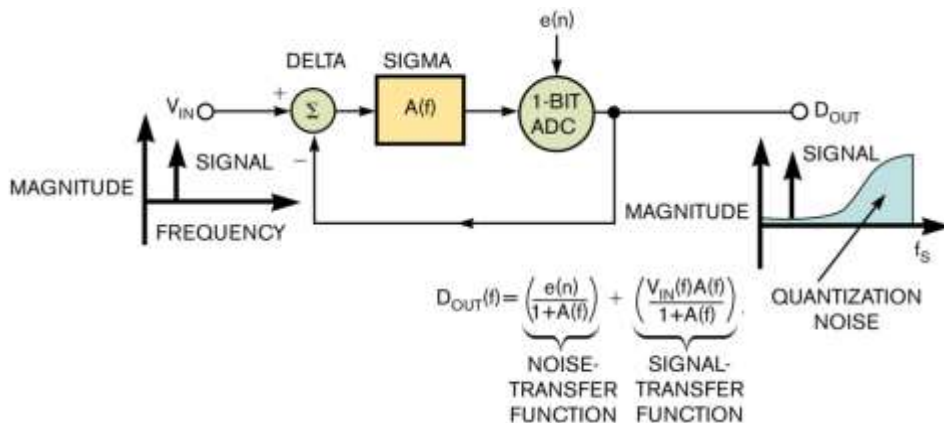


图 4-10 频域上，调制器的关键作用是噪声整形

与一般的调制器不同， Δ - Σ 调制器中的积分器能够对量化噪声进行整形。调制器输出的噪声功率谱不是平坦的。更重要的是，通过频域分析，就可以清楚的看到调制器是如何把噪声整形到高频处，进而在感兴趣的频段得到高分辨率的结果。

在调制器输出中，量化噪声在 0Hz 处是非常低的，然后随着频率的增加而急剧上升，并且在调制器采样频率处达到最大值。

在一阶调制器只积分一次的基础上，二阶调制器通过积分两次，来进一步降低低频量化噪声。很多 Δ - Σ 调制器的阶数甚至更高，如当前比较流行的 Δ - Σ 转换器通常会包含二阶、三阶、四阶、五阶或者六阶的调制器。高阶调制器能够把更多的量化噪声整形到高频处。

接在 Δ - Σ 调制器后面的模块是数字/抽取滤波电路，它对调制器输出的 1bit 码流进行滤波和抽取。在调制器的输出端，高频噪声和高速采样率（意味着高速数据输出率）是两个难题。然而，由于此时的信号位于数字域中，因此，可以用一个低通滤波器来削弱噪声，同时，用抽取滤波器功能的电路来降低输出数据吞吐率。设计师常常把数字滤波器和抽取电路放在一起设计。

图 4-11 显示了信号在数字/抽取滤波器传输过程中的变化情况。数字滤波器的工作频率与调制器的采样速率是相同的（如图 4-11a 所示）。可以看出，24 位的代码流与原始信号波形一致。时域模型下，数字滤波器不仅降低了 Δ - Σ 转换器的噪声从而提高了转换器分辨率，同时数字滤波器还降低了系统噪声，这是因为调制器将低频段的量化噪声整形到高频处，滤除高频噪声即可实现低频处的采样精度提升（如图 4-11b 所示）。

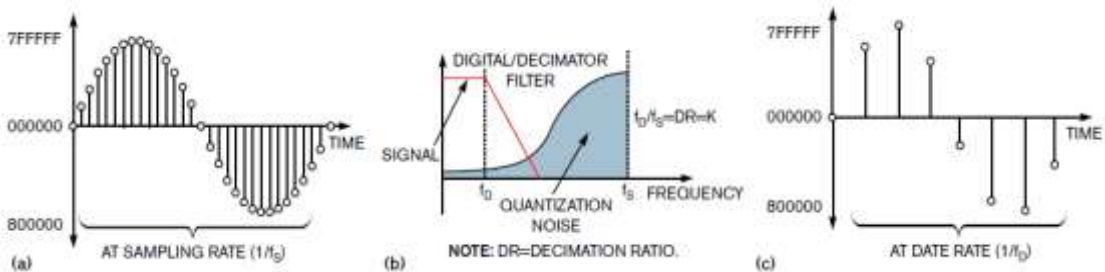


图 4-11 数字滤波器输出端产生一个高分辨率的结果 (a)，同时抑制了高频噪声 (b)。抽取滤波器降低了输出码率 (c)

数字滤波器的功能在于提供一个高分辨的数字信号来描述输入模拟信号，但是数据速度仍然因太快而不能利用。尽管看起来得到了大量的高采样速率下的高质量、多比特的采样信号，但是这些数据中大部分是用不着的。因此，数字/抽取滤波器的第二个功能就是降低数据吞吐率。抽取是一个把输出数字信号的高速率降低到系统的奈奎斯特频率的过程。一种实现降采样功能的简单方式就是对一组 24 位的数据进行平均化（如图 4-11c）。降采样器通过累加这些高分辨率的数据、每几个数据做一次平均、输出平均结果、并清空计算所用的数据开

始下一个平均过程。实现低功耗抽取功能的更为简单的方法就是，每 K 个样本抽出一个 24 位的结果（其中， K 等于抽取率或降采样比率，也有文章称为过采样比率。数值上都等于调制器采样速率与输出数据吞吐率的比，抽取率指与调制器频率比，输出数据速率被降低了 K 倍；而过采样比率指与输出数据速率比，调制器采样频率高 K 倍），这样就不需进行累加和平均计算。

几乎所有的 Δ - Σ 转换器都包含一类平均滤波器，称之为 sinc 或者 FIR 滤波器，根据滤波器的频率响应来命名。许多 Δ - Σ 器件都用 sinc 滤波器来实现两级抽取。工业用途的低速 Δ - Σ ADC 一般只用一个正弦滤波器。

在频域中，数字/抽取滤波器对于信号来说是个低通滤波器（如图 4-11b 所示）。通过这种方式，数字/抽取滤波器大大抑制了调制器的高频量化噪声。量化噪声被衰减后，感兴趣的信号将重新出现在时域中（在对调制器输出的数字信号滤波之前，数字化后的感兴趣低频信号淹没在高频噪声里，时域上很难分辨出来）。

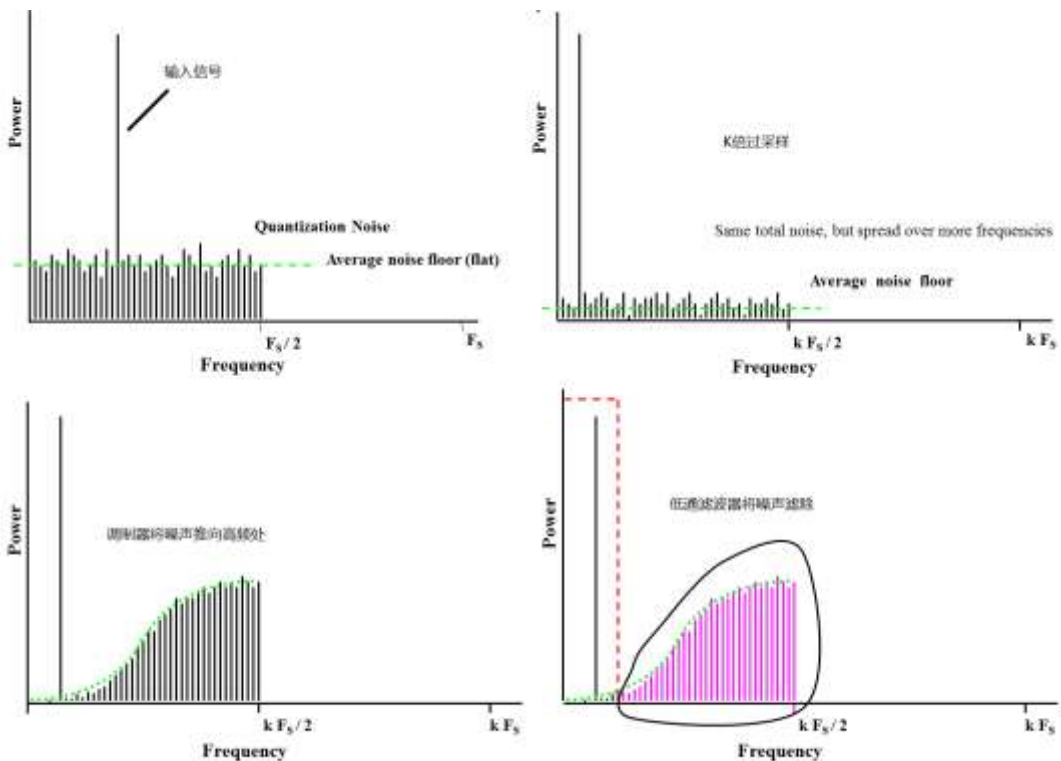


图 4-12 Δ Σ ADC 通过过采样实现精度的提升

图 4-12 更加清晰地解释了 Δ Σ ADC 如果通过过采样来实现精度的提升。从左到右，从上至下看，首先第一张图为采用最小采样率还原 $F_s/2$ 以内的信号，在这种情况下，我们知道信号的信噪比 $SNR=6.02N+1.76dB$ ，其中 N 为 ADC 的位数，所以为增加 ADC 的精度一个最直

接的方法就是增大 N ，即增加 ADC 的位数。而 $\Delta \Sigma$ ADC 则采用的是另一个方法，使用一个 1 位 ADC，通过过采样，噪声滤波来提高精度。第二张图则为 $\Delta \Sigma$ ADC 的过采样，总体的噪声大小和采样没有关系，由于过采样增加了信号分布的带宽，所以平均在有效信号带宽内的噪声会明显减小。 $\Delta \Sigma$ ADC 内部的调制器会将噪声推向高频处（第三张图），噪声分布随频率不同，而总体的噪声是一定的，所以在低频处的噪声会更小，从而更加有效地提高 ADC 的精度。这时通过一个滤波器可以将带宽外的噪声滤除，提高带宽内信号的精度（第四张图）。

从上述分析可以看出 Delta-Sigma ADC 的几个基本特点：首先，它拥有全差分的输入级， V_{in+} 和 V_{in-} 都可以接受电源轨范围内的信号并进行相减，获得优秀的共模抑制能力，实际上在直流段，即使 Δ - Σ ADC 的内部 PGA 设置为 1，其共模抑制比都可以达到 100dB 以上！其次， Δ - Σ ADC 拥有超高的精度，这是通过过采样、 Δ - Σ 调制和数字滤波三个方面结合起来实现的。

4.2.3.2 TI Δ - Σ ADC

TI 拥有众多性能卓越的 Δ - Σ 型 ADC，在直流特性，带宽等方面都有显著的优势。TI Δ - Σ ADC 主要有：高直流精度型，宽带宽型，通用型，带隔离 ADC，电流输入型以及集成有前端放大的 EEG/ECG ADC。

高直流精度型主要针对专注于缓慢变化信号的直流精度的应用，例如温度，压力测量，负载传感以及过程控制等；宽带宽型主要针对对精度和动态范围特性同时有要求，而又允许对输入信号进行平均的应用场景，例如振动信号，音频信号，精密仪器等。通用型则适合低功耗，低成本和小板上面积的应用场景。TI 提供带隔离的 $\Delta \Sigma$ ADC，最高可提供高达 4kV 的峰值隔离。此外，针对生理信号，TI 推出专用 ADC，适合于大信号中微弱信号的提取，例如 EEG，ECG 信号。

器件	简介	封装
ADS1232IPW	10SPS/80SPS, 50/60Hz 陷波器, 集成 PGA, 24 位 ADC	SSOP
ADS1240E	15SPS, 50/60Hz 陷波器, 24 位, 集成 PGA, 4 通道	SSOP
ADS1246IPW	2ksps max, 24 位, 集成 PGA, 单通道	TSSOP
ADS1247IPW	2ksps max, 24 位, 带电流源, 集成 PGA, 双通道	TSSOP
ADS1248IPW	2ksps max, 24 位, 电流源和参考电压输出, 集成 PGA, 四通道	TSSOP
ADS1252U	40KSPS, 24 位 ADC, 单通道	SOIC
ADS1255IDBT	30KSPS, 24 位 ADC, 内部集成 PGA, 双通道输入	SSOP
ADS1271IPW	105KSPS, 24 位 ADC, 单通道	TSSOP

续表

器件	简介	封装
ADS1274IPAPT	四通道的 ADS1271	HTQFP
ADS1146IPW	2ksps max, 16 位, 集成 PGA, 单通道	TSSOP
ADS1147IPW	2ksps max, 16 位, 带电流源, 集成 PGA, 双通道	TSSOP
ADS1148IPW	2ksps max, 16 位, 电流源和参考电压输出, 集成 PGA, 四通道	TSSOP
ADS1158IRTCT	16 位 16 通道 125KSPS Σ - Δ 型 ADC	QFN
ADS1174IPAPT	16 位 4 通道 52KSPS 同步采样 Σ - Δ 型 ADC	HTQFP
ADS1298IPAG	24 位 8 通道低功耗生物电位测量前端 ADC	TQFP
LMP90077MH	16 位传感器前端 ADC	HTSSOP
ADS1202IPWT	16 位, 带有分流器 ADC, 40kSPS ADC	TSSOP

4.2.4 流水线型 ADC (Pipeline)

4.2.4.1 流水线型 ADC (Pipeline) 结构与原理

前面分析了 SAR 和 Δ - Σ 型的 ADC, 这些 ADC 由于自身结构限制, 需要多个时钟周期才能产生一个数据。导致采样率较低, 但是直流精度高, 功耗低, 在工业界应用广泛。在第一章我们就分析过采用 Flash 型的并行结构 ADC 是最快的 ADC, 它在每个时钟周期都可以得到一个数据, 随着模拟技术的发展, 比较器的速度越来越快, Flash 型的 ADC 达到 GSPS 是轻松的事情, 但是由于 n 位的 Flash 型 ADC 需要 2^n 个比较器, 各个比较器的直流特性, 以及对时钟的响应都难以做到完美匹配, 导致精度无法做高。Pipeline 型的 ADC 就是为了同时达到高速度和高精度的一个折中方案。Pipeline 是指的流水线, 工厂中的流水线可以加快生产进度, 同样信号处理中用到流水线也可以加快信号处理的速度。

本节以 ADS5424 为例, 介绍一下 pipeline 结构的 ADC。

先看一下 ADS5424 的基本性能: 采样率 105M, 14bit 分辨率, 信噪比 SNR=74db, 无杂散动态范围 SFDR=93db, 功耗 1.9W。可以看到 pipeline ADC 的功耗比 SAR 型和 Δ - Σ 型要大的多。例如 Δ - Σ 型 ADC ADS1118 的功耗在 0.5mW, SAR 型 ADC ADS8361 的功耗在 200mW。Pipeline ADC 内部使用了多个高速 flash 型 ADC 增大了其功耗。

如下图, 流水型 ADC 由若干级电路级联而成, 每一级电路都包括采样/保持放大器, 低分辨率的 ADC, DAC, 求和电路以及可提供增益的放大器。那么, 流水线型 ADC 是如何工作的呢?

FUNCTIONAL BLOCK DIAGRAM

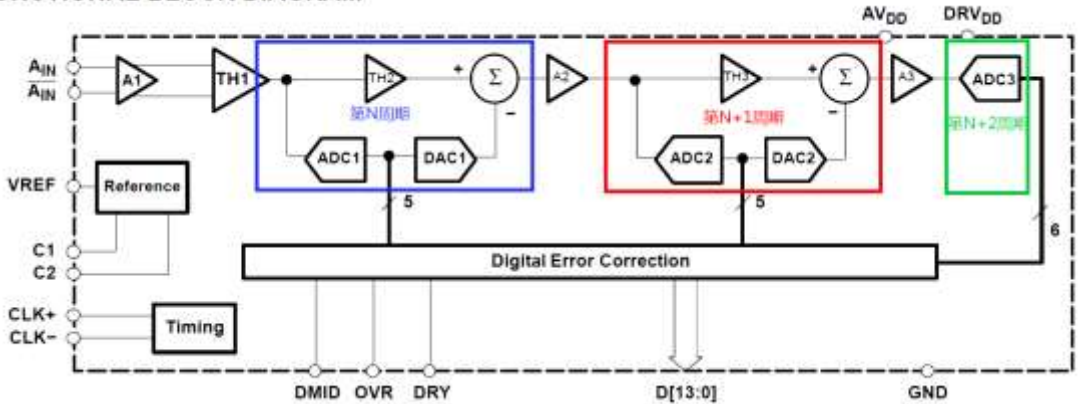


图 4-13 ADS5424 原理框图

下面我们再来看看 ADS5424 内部的结构，了解 pipeline 结构 ADC 是如何实现高速采样的，这对理解其数据接口也很有帮助。

如图 4-13 所示，ADS5424 中有三级流水线，第一个时钟周期 ADC1 采样完毕并将数据给 DAC1，然后输入信号中减去 DAC1 的输出后交给第二级处理。第二个时钟周期 ADC2 采样相减后的信号并将数据给 DAC2，然后再次减去 DAC2 的输出。第 3 个时钟周期 ADC3 采样剩下的信号幅度。三个周期后即可完成采样，在第 N+3 时刻得到第 N 时刻的信号。

这个过程并不是说每次要等 3 个周期才能得到采样值，正是由于 pipeline 的特点，每一级都没有空闲时刻，例如在 N+1 周期里 ADC1 也没有空闲，它同时在处理信号以便在下一个周期传递给 ADC2。用表格表示更为直观，如下表：

clk	ADC1	ADC2	ADC3	out
1	D(N)	D(N+1)	D(N+2)	D(N+3)
2	D(N-1)	D(N)	D(N+1)	D(N+2)
3	D(N-2)	D(N-1)	D(N)	D(N+1)
4	D(N-3)	D(N-2)	D(N-1)	D(N)
5	D(N-4)	D(N-3)	D(N-2)	D(N-1)
6	D(N-5)	D(N-4)	D(N-3)	D(N-2)

可以看到流水线中的信号就像一行人传递水桶一样，刚开始的时候最后一个人是在等待，当每个人都有一桶水后，再往后的每个周期最后一个人都会接到一桶水。所以当流水线流动起来后每个周期就会有一个采样点送出。流水线的方法在处理器中用的也很多，可以实现每个时钟周期处理一条指令。

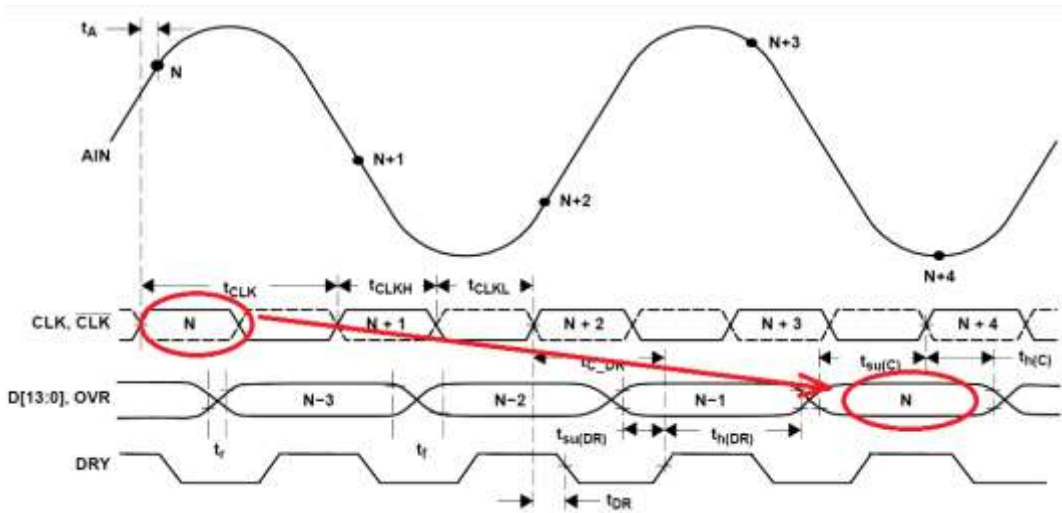


图 4-14 ADS5424 时序图

图 4-14 是 ADS5424 的时序图，通过上面的分析，可以清楚的理解其数据输出格式。由于 pipeline 结构，数据比真实采样时刻有 3 个周期的时延。

看到这里有的读者会问，为什么不将 ADC1 换成 14bit 的，一个周期就能处理完毕采样。这就要看 ADC1 的内部结构了，ADC1 是使用的高速 flash 结构，由高速比较器和译码器组成，如图 4-15 所示：

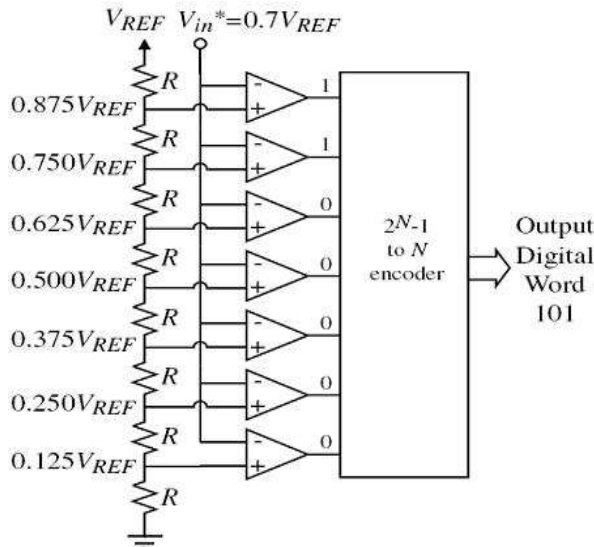


图 4-15 ADC1 的内部结构

可以看到这个 flash 结构中需要多个精确匹配的 R 和比较器，这样才能保证 ADC 的线性。n 位的 flash ADC 就需要 2^n 个一样的 R 和比较器，各个电阻的阻值匹配，各个比较器的

直流特性以及对时钟的响应都难以做到完美匹配，导致精度无法做高。所以需要多个 flash ADC 构成 pipeline 结构来实现高分辨率高速采样。

需要提到的是 pipeline 结构 ADC 中的各流水线上的 Flash 型 ADC 也无法完美匹配，中间的拼合区间会出现非线性，如图 4-16 所示。

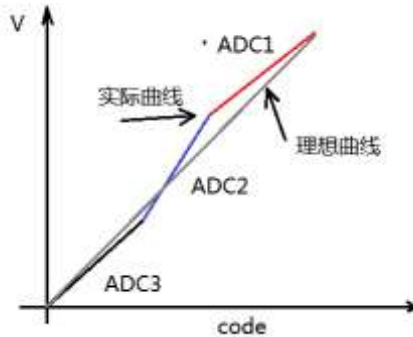


图 4-16 内部的各个 ADC 并不完全一致

要消除这种非线性则需要相应的处理算法，ADS5424 中集成了高速数据处理单元，用于完成这种非线性误差矫正。如下图所示。这些非线性误差直接影响 ADC 的 SNR，SFDR 等交流性能。工艺和算法的好坏决定了 ADC 的性能指标。

FUNCTIONAL BLOCK DIAGRAM

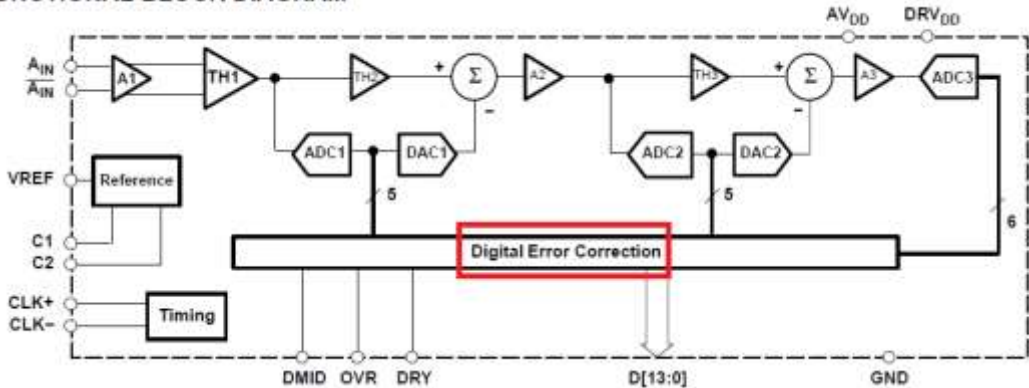


图 4-17 ADS5424 中的高速数据处理单元

4.2.4.2 TI 流水线型 ADC

目前，流水线型 ADC 应用涵盖医疗影像采集，通信基础设施，雷达信号处理等领域，而趋势是往高速高精度发展。以通信基础设施为例，在 GSM 时代，12 位 61.44MSPS 的 ADC 就能胜任一些小型基站的需求，随着 WCDMA 等更宽带移动通信的发展和数字信号处理硬件速度的进步，对 ADC 的需求已经提高到 14 位甚至 16 位，采样率也提高到 200MSPS 以上，并且越来越倾向于向天线端靠拢。

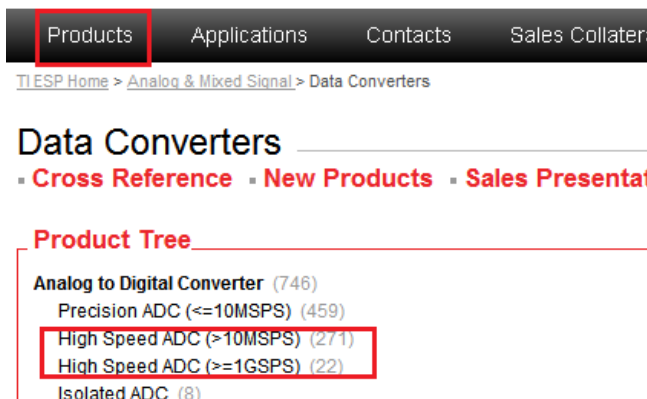


图 4-18 TI 官网中的 pipeline 型 ADC

进入 TI 官网 www.ti.com 在产品目录中 high speed ADC 中可以看到数量众多的 pipeline 高速 ADC。这些 ADC 有着不同的分辨率和采样率和输入范围，通道数等，但是他们都有 pipeline 结构的基本特点。TI 拥有非常广的流水线型 ADC 家族，目前 TI 推出了 16 位 200MSPS 的产品和 12 位 500MSPS 的单片 ADC 产品，这都是产业界最高水平的器件。不过由于受美国商务部出口限制政策的约束，我们向大学只提供不需申请许可证的器件。

器件	简介	封装
ADS62C15IRGCT	双路 11 位 125MSPS, SNR@Boost = 77.5dBFS	VQFN
ADS62C17IRGCT	双路 11 位 200MSPS, SNR@Boost = 79.8dBFS	VQFN
ADS62P15IRGCT	双路 11 位 125MSPS, CMOS or DDR LVDS 输出	VQFN
ADS5517IRGZT	双路 11 位 200MSPS, CMOS or DDR LVDS 输出	VQFN
ADS6124IRHBT	12 位 105MSPS, CMOS or DDR LVDS 输出	QFN
ADS62P24IRGCT	双路 12 位 105MSPS, CMOS or DDR LVDS 输出	VQFN
ADS6123IRHBT	12 位 80MSPS, CMOS or DDR LVDS 输出	QFN
ADS62P23IRGCT	双路 12 位 80MSPS, CMOS or DDR LVDS 输出	VQFN
ADS6122IRHBT	12 位 65MSPS, CMOS or DDR LVDS 输出	QFN
ADS62P22IRGCT	双路 12 位 65MSPS, CMOS or DDR LVDS 输出	VQFN

4.2.5 应用场景总结

从前文对几种 ADC 的结构和特点分析，我们不难发现 这几种 ADC 在采样速度以及分辨率上各有优势，如图 4-19 所示。其中 $\Delta \Sigma$ 型 ADC 由于采用过采样、噪声整形和数字滤波来满足高精度，其有效采样速度受到限制，而分辨率相对则比较高；Pipeline 型 ADC 与之相反，其采样速度可以高达 2GSPS，而采样的精度则受到了限制；逐次逼近型 ADC，即 SAR 型 ADC 处于两者中间，具有高精度，低功耗的特点，其采样率一般最高可达 2-5MSPS。

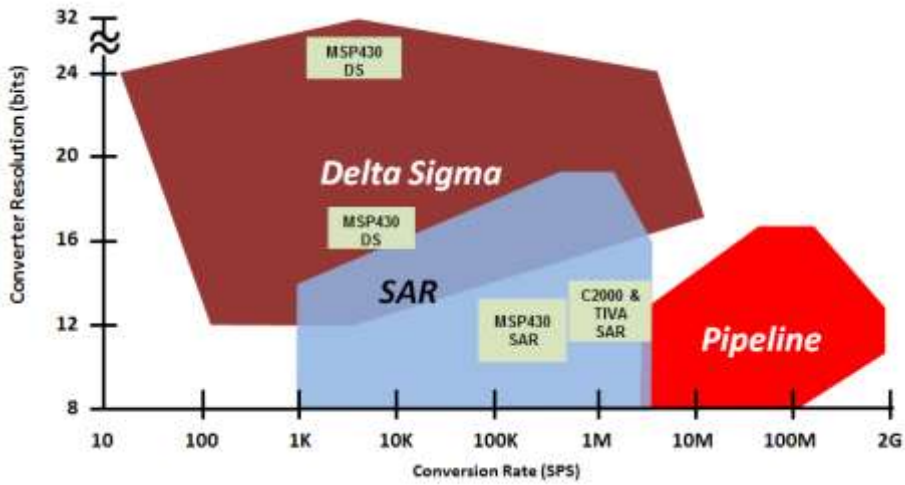


图 4-19 $\Delta \Sigma$ ADC, SAR 型 ADC 以及 Pipeline 型 ADC 采样速度和分辨率对比

同样，不同的信号在带宽和精度上有不同的要求，如图 4-20 所示，可以看到不同的信号对带宽和精度有着不同的需求。结合以上两点，不同类型的 ADC 有着不同的应用场景。

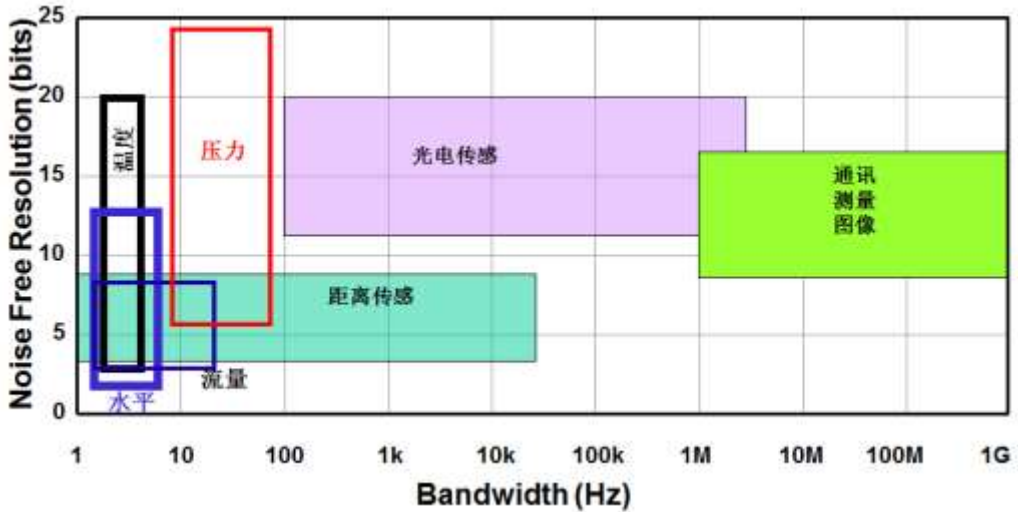


图 4-20 不同信号的特点

根据不同 ADC 性能的特点，这三种 ADC 在应用场景上也会各有侧重。

应用场景	传感器信号	医疗	检测与测量	音频	通信, 图像
信号分类	温度, 湿度, 压力, 电压, 电流等	生理电信号	工业探伤, 震动检测, 电机控制等	交流信号	宽带, 高速
信号特点	小信号, 变化慢, DC 为主	Hz 级微弱信号的提取, 宽动态范围	瞬时采样, DC-KHz 信号	20-20KHz, 宽动态范围, 低失真度	MHz 信号, 大带宽, 宽动态范围
SAR 型 ADC	+++	+	+++	+	-
$\Delta \Sigma$ 型 ADC	+++	+++	-	+++	-
Pinplane 型 ADC					+++

4.3 为您的设计选择合适的 ADC

在工业 PLC 系统里, 我们绝大多数时候都与 SAR 型和 Delta-Sigma 型 ADC 打交道, 他们的超高的直流精度、中等的采样率以及低功耗都符合我们的要求。在了解到 ADC 的基本分类之后, 在实际设计中, 我们如何来进行 ADC 的选型呢? 在挑选 ADC 的时候, 我们可以通过下面的 check list 来判断:

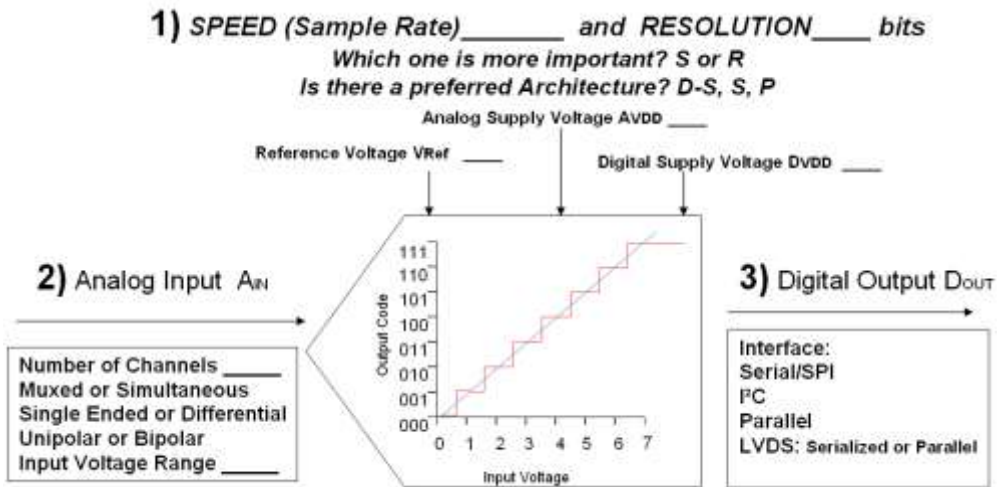


图 4-21 ADC 选型流程表

图 4-21 给出了我们在进行 ADC 设计时需要依次考虑的几个问题:

4.3.1 确定 ADC 类型

首先, 根据需要采集信号的基本特点以及各类 ADC 的特点大致决定所需 ADC 的类型。参考下表, 大致给出了三类 ADC 在不同方面的优势:

特性	SAR	$\Delta \Sigma$	Pipelined
吞吐量	++	++	+++
分辨率	++	+++	+
延迟	+++	—	+
非周期性多通道信号采集（多路复用）	+++	—	—
功耗	低	低	高

4.3.2 确定所需 ADC 的采样率，精度

4.3.2.1 采样率

在大致确定选择 ADC 类型后，进一步根据感兴趣信号的频率和带宽确定所需的采样方式（过采样还是欠采样？），从而确定 AD 转换所需的采样率。精密信号链中，通常采用过采样的方式（通常远大于 2 倍信号频率）来确保时域的精确度，降低带内噪声，前端滤波器通常采用低通滤波器；针对高中频的带通信号，我们通常采用欠采样的方式（采样率低于中频频率，但是远大于信号带宽），把带通信号搬移到低频段进行处理，ADC 前端采用单通滤波器。

4.3.2.2 确定所需精度

ADC 的精度分为两种情况，高精度采样中关注信号的时域特性，比如在针对直流信号的采样中需要确保 ADC 的最小分辨率（LSB）和满量程输入范围要满足设计要求，同时要确保整个系统的噪声小于这个 $LSB/2$ ，这些噪声包括了驱动运放的噪声，PCB 布局布线中引来的噪声；例如，一个体重秤中的压力传感器在 0—200Kg 的输入压力下可以输出 20mV 的电压信号，为了满足体重秤精确到 100g 的要求（即提供 $200Kg/100g = 2000$ 个读数），需要模拟处理电路和 ADC 在 20mV 的满量程输出电压信号中能划分出 2000 个区间，此时如果不将信号放大，我们需要的 ADC 的最小分辨率（LSB）为 $20mV/2000 = 10\mu V$ ，根据 ADC 最小分辨率的计算公式 $LSB=FS/2^n$ ，如果选用的 ADC 满量程输入范围 FS 为 4.096V，那么可以反推出 n 应该取大于 18.65；如果我们将信号放大 100 倍，则所需的 ADC 的最小分辨率为 $2V/2000 = 1mV$ ，同样如果 ADC 的满量程输入范围 FS 为 4.096V，我们只需一颗 12 位的 ADC 就可以满足要求。

而高速应用中关注的是 ADC 的频域特性，即 ADC 的可重复性，这主要包括了 ADC 的频域指标 SINAD 和 SFDR。

4.3.3 选择并设计 ADC 的模拟输入

接下来，需要看 ADC 模拟输入端的输入信号。在 ADC 的模拟输入端，我们需要考虑的问题有：

- ADC 的模拟输入端是单端输入，伪差分输入还是差分输入？
- 信号的通道数，是否需要多通道同步采样，还是采用复用输入？
- 信号的极性和 ADC 输入的极性；
- 信号的大小和 ADC 满量程输入的范围等。

4.3.3.1 单端，伪差分 and 差分输入

单端输入即信号只有一个输入端口，很好理解。那么什么是伪差分和差分输入呢？

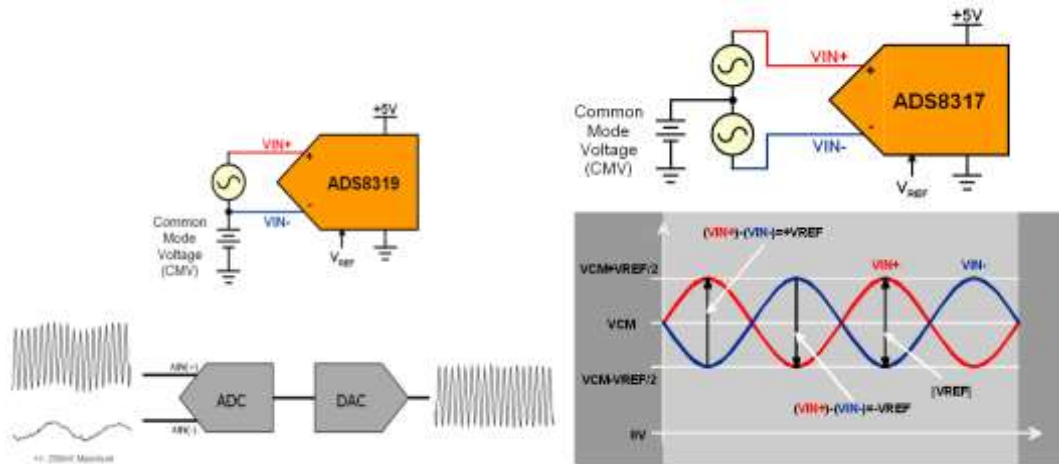


图 4-22 伪差分输入（左）和差分输入（右）

如图 4-22 左所示为伪差分输入，其实质上还是单端输入，因为 V_{IN-} 上的信号并不被采样，保持和转换，而是做为共模抑制端用来消除 V_{IN+} 和地平面上的共模噪声，因此 V_{IN-} 上的电压输入范围一般在 $-0.2V$ 到 $+0.2V$ （即伪差分输入的共模输入范围是 $-0.2V$ 到 $+0.2V$ ）。这是一个 V_{IN+} 上耦合的地平面噪声信号被伪差分输入抑制的例子。而右图所示为全差分输入，即差分输入级则拥有完整的共模抑制能力， V_{IN-} 和 V_{IN+} 拥有同样的输入信号范围。差分输入的 ADC 的满量程输入 ($V_{IN+} - V_{IN-}$) 一般是 $+V_{REF}$ 到 $-V_{REF}$ ，因此 V_{IN-} 和 V_{IN+} 的输入通常要求含有 V_{REF} 的直流偏置，以 V_{REF} 为中心上下摆动（或 V_{IN-} 接入虚地）。因此差分输入的 $\Sigma-\Delta$ ADC 可以直接联接电桥输出，节省仪表放大器，并利用其高分辨率节省主放大器。而差分输入的高精度（16 位）SAR ADC 拥有非常卓越的动态特性，因为差分信号天生拥有共模噪声抑制特性，可抑制偶次谐波，并在相同满量程输入的条件减小差分对上的信号摆幅，从而减少失真。

16 位以下的 SAR 型 ADC 基本都采用伪差分输入，16 位以上的 SAR 型 ADC 和 Delta-Sigma ADC 都提供完整的差分输入级，从而提供极高的共模抑制能力。

4.3.3.2 多通道采样：同步还是复用？

多通道采样分为同步采样和复用采样，在对各个输入通道的信号相位有严格同步要求时（比如三相交流电的电流和电压信号，其相位关系提供了瞬时功率、功率因数等信息），我们需要使用多个 ADC 在同一时刻采样，为简化用户设计，TI 提供一个封装中包含多个 ADC 内核的多通道同步采样产品，如图 4-23 左所示为 ADS8361 的内部示意图，它在三相电采样中得到广泛应用。在工业应用场合中，多数情况下各个通道的模拟信号间是没有相位关系的，比如温度，湿度，压力信号，他们无需用同步采样来保持相位信息，这时采用多路复用器配合一个的单通道 ADC 就可以满足多通道采样的需求，如图 4-23 右边所示为 ADS7950 的示意图，与前者不同的是，其多路复用器的输出和 ADC 的输入没有在芯片内部相连，这样可以在片外加入一个 PGA11x，简化模拟前端因为各个通道需要不同放大倍数带来的多个放大器。采用多路复用器和单 ADC 构建的多通道采样系统，应注意各个通道的建立时间和分配到各通道的采样速率是否足够，若使用 Delta-Sigma ADC，通道的切换与采样周期同步非常重要，否则会引起数字滤波器的建立错误。

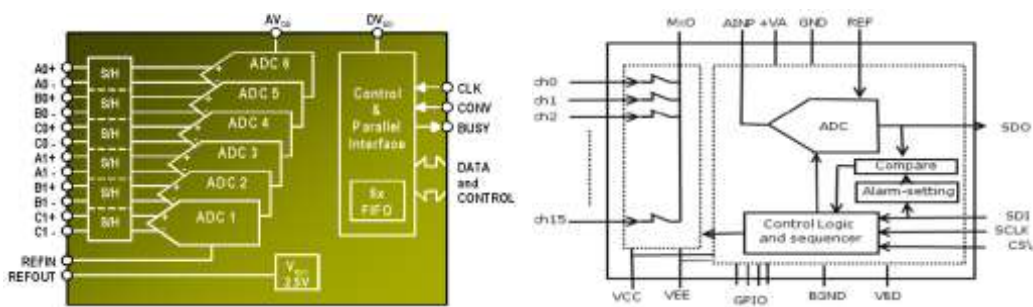


图 4-23 ADS8361 的 6 通道同步采样（左）和 ADS795x 系列的多通道复用采样（右）

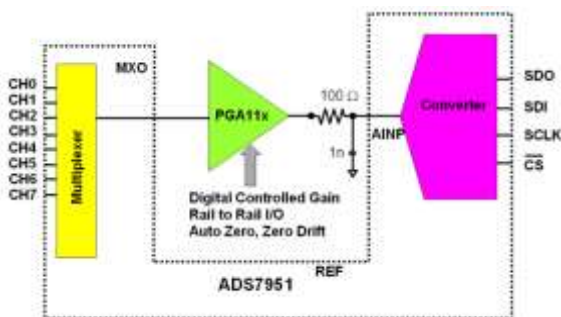


图 4-24 ADS7951 和外部放大器（PGA11x）构成各通道增益可调采样电路

4.3.3.3 输入信号极性及其大小

a. 输入信号的极性：

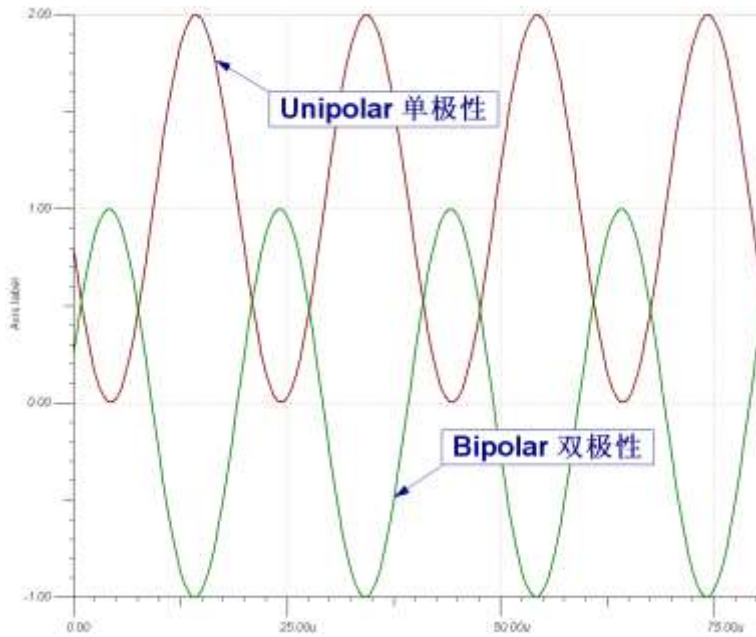


图 4-25 单极信号及双极信号

如图 4-25 所示，所谓单极性信号是指信号幅度范围均在 0V 以上，对应的单极性输入的 ADC 只能接受 0V 以上的信号输入，对于 0V 以下的信号则被忽略。大多数的 ADC 都是单极性输入的，TI 推出的少数一些可以对双极性信号进行直接采样的 ADC，如 ADS850x 系列，但是价格较高。因此在大多数场合下，我们需要对同时含有正负信号的双极性信号进行一些电平抬升等处理才能被单极性输入的 ADC 所接受。

b. 信号的大小：

除了信号的极性，我们还应小心控制输入给 ADC 的信号幅度不超过 ADC 的满量程范围。通常，留出一定的净空是很好的设计习惯，虽然这样会损失一些动态范围，但是对控制运放的输出级失真和 ADC 输入级饱和/失真都有很好的帮助。

在某些情况下输入信号幅度超过 ADC 满量程，这时需要在送入 ADC 前对输入信号预先进行调理。例如，我们需要使用 4.096V 满量程输入的 ADC 来采集 -10V 到 +10V 的输入信号，我们需要使用下面的电路进行信号调理。如图 4-26 所示，峰峰值为 20V 的输入信号通过前级电路的调理，其输出信号为 0V 以上，即单极性信号，同时幅度范围也调整为 ADC 满量程之内。从这个例子我们可以看出，对于输入信号的必要调理在 ADC 电路设计中也是非常重要的。

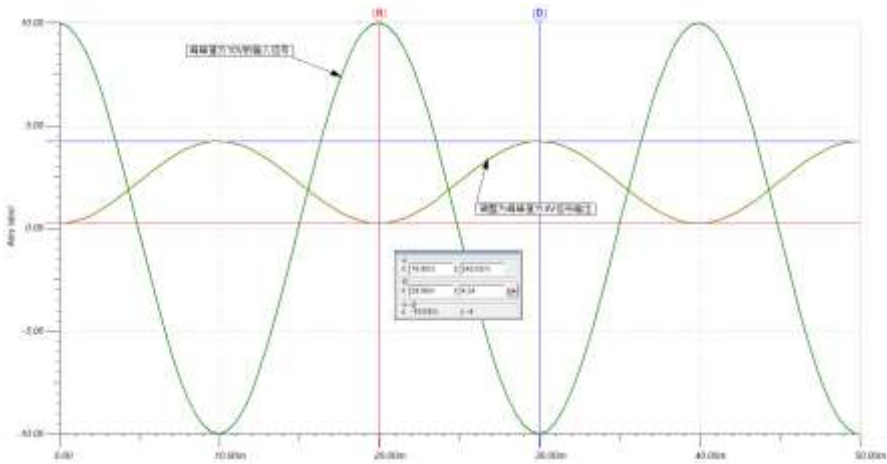
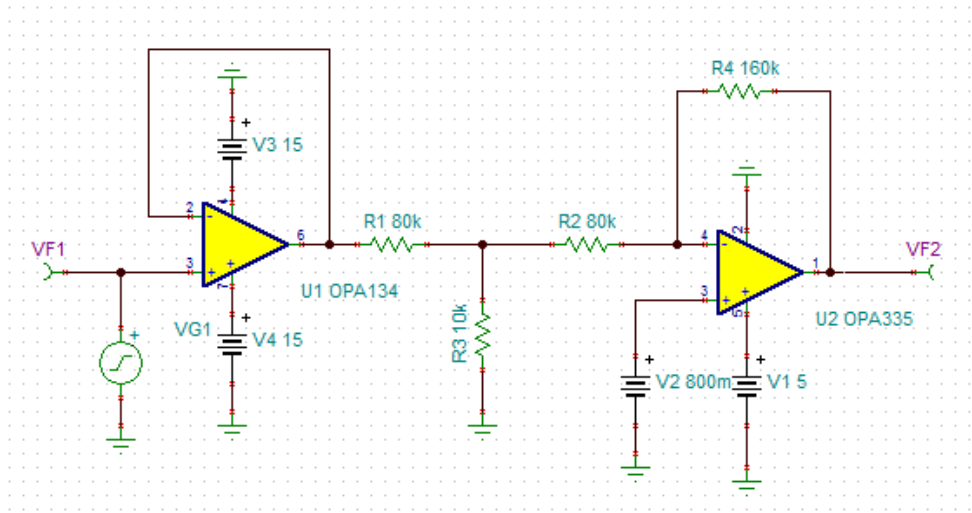


图 4-26 输入信号调整为 ADC 量程留出富余的净空

4.3.4 选择并设计 ADC 的参考输入

ADC 电路中的参考电压在整个数据转换中扮演着非常重要的位置，

$$V_{out} = \frac{N}{2^n} V_{ref}$$

上面的公式是在 AD 转换中非常重要的一个公式，我们知道 A/D 转换之后的结果是一个数字量，那这个数字量如何和实际的输入电平连接起来呢？参考电压，即 V_{ref} 就扮演着这样一个桥梁的作用。从这个公式中我们可以清晰地看出 V_{ref} 的准确程度，即参考电压电路提供的参考电压的精度一定程度上影响了 A/D 转换的精度。

电压基准实际上是非常有用的电路，在 ADC 和 DAC 电路中，它为输入（或输出）模拟电压提供一个恒定参考，从而决定输出（或输入）数字信号的大小；在电源电路里，它给输出电压提供一个参考，结合负反馈电路使得输出恒定；在电压检测和比较电路中，它提供一个门限电压。电压基准分为串联型和并联型两种：

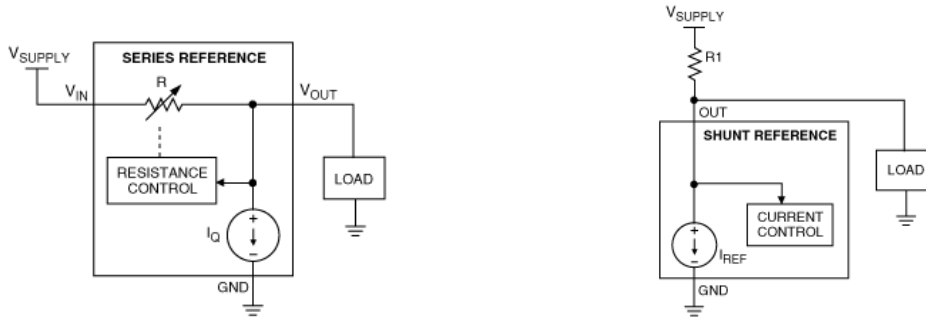


图 4-27 两种电压基准：（左）串联型电压基准（右）并联型电压基准

1. 串联型

串联型电压基准具有三个端子： V_{IN} 、 V_{OUT} 和 GND，类似于线性稳压器，但其输出电流较低，同时具有非常高的精度和非常低的温漂。串联型电压基准从结构上看与负载串联，可以当作一个位于 V_{IN} 和 V_{OUT} 端之间的压控电阻。其特点有：

- 类似于线性稳压器，输入电压和稳压输出必须有一个最低的压差；因此串联电压基准会消耗功率，其最大功率出现在输入电压最高，同时负载最重的时候（压差最大，电流最大）；
- 输入电压过高时会损坏器件。串联型电压基准输入电压通常范围不够宽；
- 空载时，唯一的功耗是电压基准的静态电流；
- 相对于并联型电压基准，串联型电压基准通常具有更好的初始误差和温度系数，如果需要高于 0.1% 的初始精度和 25ppm 的温度系数，一般应该选择串联型电压基准。

2. 并联型

并联型电压基准有两个端子：OUT和GND。它在原理上和稳压二极管很相似，但具有更好的稳压特性。类似于稳压二极管，它需要外部电阻，与负载并联工作。并联型电压基准可以当作一个连接在OUT和GND之间的压控电流源，通过调整内部电流，使电源电压与电阻R1的压降之差(等于OUT端的基准电压)保持稳定。换一种说法，并联型电压基准通过使负载电流与流过电压基准的电流之和保持不变，来维持OUT端电压的恒定。并联型基准具有以下特点：

- 选择适当的 R1 保证符合功率要求，并联型电压基准对最高电源电压没有限制。在输入电压高于 40V 时，并联型电压基准可能是唯一的选择。

- 电源提供的最大电流与负载无关，流经负载和基准的电源电流需在电阻 R1 上产生适当的压降，以保持 OUT 电压恒定。

- 简单的 2 端器件，并联型电压基准可配置成一些新颖的电路，例如负电压稳压器、浮地稳压器、削波电路以及限幅电路。

以上为两种类型电压基准的介绍，下面将就这两种电压基准电路的功耗进行比较。

串联型电压基准需要一定的静态电流来保证空载时输出恒定，而串联型电压基准的静态电流通常在 100uA 到 1mA，性能越好，静态功耗越大。因此串联型电压基准工作时的功耗包括（静态电流+负载电流）×压降。所以串联电压基准的功耗是动态的，当负载重时，功耗大，负载轻时，功耗小。ADC 的参考电压的电流需求就是如此，当采样转换时，参考电压的电流需求大（如 1mA），空闲时，电流需求小（如 1uA）。

并联型电压基准外部需要加 RS 才能正常工作，因此考虑功耗时要将 RS 上的功耗一同考虑进去，如图 4-28 所示，整个电压基准电路的总功耗= $(V_S - V_{REF})^2 / R_S + V_{REF} \times I_Z$ 。RS 值的确定非常重要：

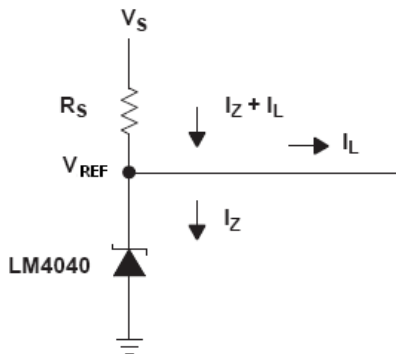


图 4-28 电压基准电路示意图

RS 的作用是限定并联电压基准和负载的总电流，即： $I_L + I_Z = (V_S - V_{REF}) / R_S$ ，选择 RS 的值时我们通常考虑两个极端：一是最大的 VS 和最小的 IL，为防止 IZ 超过并联电压基准的最大允许电流（如 15mA），我们要保证 RS 足够大： $R_S \geq (V_{Smax} - V_{REF}) / (I_{Lmin} + I_{Zmax})$ ；二是最小的 VS 和最大的 IL，为保证 IZ 大于并联电压基准导通时所需的最小电流，我们要保证 RS 足够的小： $R_S \leq (V_{Smin} - V_{REF}) / (I_{Lmax} + I_{Zmin})$ 。由于选择的 RS 越大，整个电压基准电路的功耗越小，因此我们常取 $R_S = (V_{Smin} - V_{REF}) / (I_{Lmax} + I_{Zmin})$ ，当然，别忘记留一点余量。

RS 确定后，并联电压基准和负载的总电流也确定了。这样，并联电压基准自身的功耗和负载成反比，负载重时， I_L 大，电压基准上的电流 I_Z 小，功耗小；空载时， $I_L=0$ ，电压基准上的电流 I_Z 最大，功耗最大。所以在宽电源电压变化范围或大动态负载条件下，并联型的耗散功率可能大大高于具有相同性能的串联型电压基准。比如驱动 ADC 的参考电压输入时，即使 ADC 空闲 I_L 非常小，由于 I_Z 此时最大，加上 RS 确定后其上不变的功耗，整个并联基准电路的功耗仍然很大，和空闲时动态功耗变化的串联型电压基准相比会大出很多。精密电流源在提供电流参考，测量电阻，激励 RTD 传感器方面也有着广泛的应用。

推荐使用的 TI 电压基准和电流基准有：

器件	简介	封装
REF3212AIDBVT	1.25V, 4 ppm/°C, 初始精度 0.2%, Series (Bandgap) Reference	SOT23
REF3220AIDBVT	2.048V, 4 ppm/°C, 初始精度 0.2%, Series (Bandgap) Reference	SOT23
REF3225AIDBVT	2.5V, 4 ppm/°C, 初始精度 0.2%, Series (Bandgap) Reference	SOT23
REF3230AIDBVT	3.0V, 4 ppm/°C, 初始精度 0.2%, Series (Bandgap) Reference	SOT23
REF3233AIDBVT	3.3V, 4 ppm/°C, 初始精度 0.2%, Series (Bandgap) Reference	SOT23
REF3240AIDBVT	4.096V, 4 ppm/°C, 初始精度 0.2%, Series (Bandgap) Reference	SOT23
REF5050AID	5V, 3 ppm/°C, 初始精度 0.1%, Series (Bandgap) Reference	SOIC
LM4040A10IDBZT	10V, 初始精度 0.1%, 100 ppm/°C, 并联型(Shunt Reference)	SOT23
LM4040A82IDBZT	8.192V, 初始精度 0.1%, 100 ppm/°C, 并联型(Shunt Reference)	SOT23
LM4040A50IDBZT	5V, 初始精度 0.1%, 100 ppm/°C, 并联型(Shunt Reference)	SOT23
LM4040A41IDBZT	4.096V, 初始精度 0.1%, 100 ppm/°C, 并联型(Shunt Reference)	SOT23
LM4040A30IDBZT	3V, 初始精度 0.1%, 100 ppm/°C, 并联型(Shunt Reference)	SOT23
LM4040A25IDBZT	2.5V, 初始精度 0.1%, 100 ppm/°C, 并联型(Shunt Reference)	SOT23
LM4040A20IDBZT	2.048V, 初始精度 0.1%, 100 ppm/°C, 并联型(Shunt Reference)	SOT23
TLVH431BILP	1.24—18V, 可调并联型电压基准, 0.5%初始精度	TO-92 直插
TL431BILP	2.495—36V, 可调并联型电压基准, 0.5%初始精度, 34 ppm/°C	TO-92 直插
REF200AU	双路 50uA/100uA/200uA/400uA, 精密电流源(Souce/Sink)	SOIC

4.3.5 选择并设计高速数据采集系统中的时钟

对于高速数据采集系统，我们还需要特别关注时钟。高速 ADC 的动态特性的最大瓶颈在于采样抖动 (jitter)，包括采样保持电路的孔径抖动 (来自于 ADC 自身) 和采样时钟的抖动 (来自于采样时钟电路)，这也是现代流水线型 12—14 位 ADC 的 ENOB 很难突破 12 位的主要原因 (TI 新推出的 16 位 100MSPS+ 的数据转换器的 ENOB 可以接近 13 位)。

那么什么是抖动? 抖动就是由于采样时刻的不确定性带来的采样误差, 如图 4-29 所示, 在每个时钟周期的采样时刻的不确定性, 导致数字化后幅度的不确定性, 这种不确定性导致 ADC 采样的可重复性大大降低, 而可重复性就决定了 ADC 的频域性能。由此可见频域性能受 Jitter 的影响非常大。

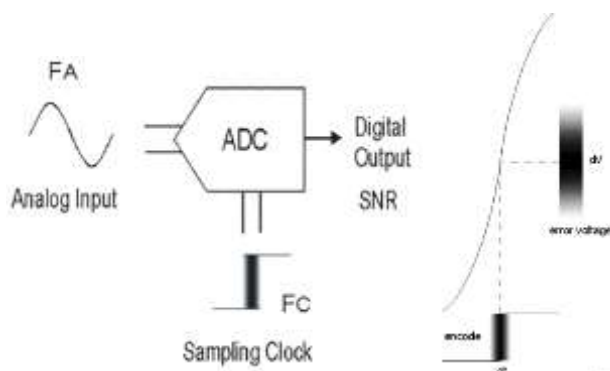


图 4-29 时钟带来的采样周期不确定性

在实际进行 ADC 选型时, 我们可以在数据手册中找到关于抖动的描述:

ADC Internal S/H Circuit Jitter

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
SWITCHING SPECIFICATION					
t_A Aperture delay	Input CLK falling edge to data sampling point		1		ns
Aperture jitter (uncertainty)	Uncertainty in sampling instant		300		fs

图 4-30 数据手册中关于抖动的描述

如图 4-30 所示, 可以看到该款 ADC (ADS5500) 的内部采样抖动 (jitter) 为 300fs, 已经非常地小了。当然这里我们看到的数据时芯片的参数, 半导体厂商 TI 会在芯片级去尽量减小它 (实际上, ADS5500 是 2004 年的产品, 现在最新的 14 位 125MSPS 的 ADS6145 已经将这个数值减小到 150fs, 从而获得了更加卓越的 SNR 和 SFDR)。同时, 对于高速数据采集系统中时钟的考虑, 我们更多能干预的是外部采样时钟的抖动性能。此外时钟幅度和时钟同步也是同样需要考虑的因素, 这几点在后面电路优化的章节中会做详细的描述。

4.3.6 ADC 的数据输出捕获

最后，我们来看 ADC 的输出。从前面的描述，我们知道 ADC 是将模拟信号转换为数字信号，那这些数字信号与后续处理设备，如 MSP430 单片机之间是如何实现数据通讯的呢？现代的高精度 ADC 多数采用 SPI 串行输出格式，一些更低采样率的 Delta-Sigma 型 ADC 甚至采用更慢的 I2C 格式输出转换数据。当采样速率超过 2MSPS 后，所需的串行输出时钟太高，对 ADC 和接受端都是极大的挑战，这时才逐渐开始使用并行输出。因此，充分理解 SPI 和 I2C 的时序，理解 ADC 的采样和转换时序是非常重要的。

4.3.6.1 SPI 接口 ADC

SPI 数据接口

SPI (Serial Peripheral Interface) 串行外设接口的简称，它是一种同步全双工通信协议。有 3 根或者 4 根数据线组成，包括 CLK、SOMI、SIMO、STE:

CLK 为时钟线，由主机控制输出。

SOMI 是 Slave output Master input 的缩写，如果设备被设定为主机，那么这就是输入口。如果设备被设定为从机，这个口就是输出口。这与 UART 的 Tx 和 Rx 方向恒定相区别。

SIMO 是 Slave input Master Output 的缩写，同样由配置为主或从模式决定是输入还是输出口。也就是器件内部是有读写切换开关的。

STE 是 Slave Transmit Enable 的缩写，在不同器件中也经常被写作片选 CS (Chip Select) 和从机选择 SS (Slave Select)，都是一个意思。

SPI 的通信模式

如图 4-31 所示，SPI 的通信模式分为单主单从、单主多从、多主多从三类。A 为三线制 SPI 通信；B 为四线制单主多从 SPI 通信；C 为四线制多主多从 SPI 通信。

三线和四线的区别是多出了一个被控制的 STE 信号，以使能从机。对于多主机通信，主机的 STE 也被控制，以决定是否从机模式。无论主机从机的 STE 最终都是由额外的 IO 口来控制的。

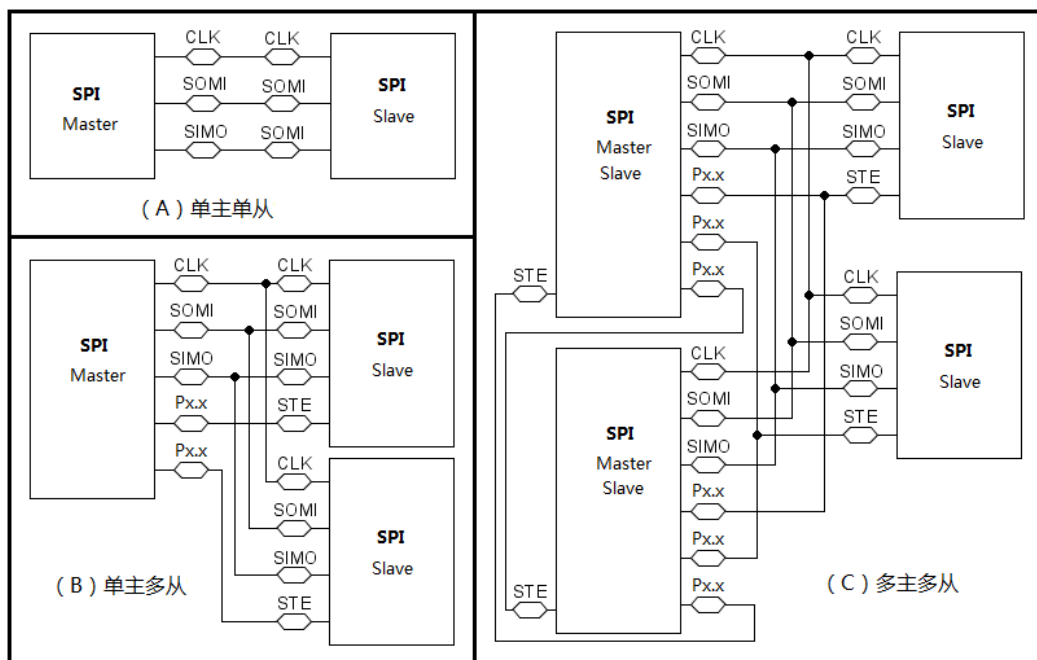


图 4-31 SPI 通信的各种连接

从图 4-31 可以看出，SPI 通信要实现多机通信是以多占用 IO 来实现的。所以，用途最多的是 3 线 SPI 或者 1 主多从的四线制 SPI，而多主多从的 SPI 极少使用。

SPI 协议时序

图 4-32 是 SPI 通信的时序图，其中有两个控制位需要讲解一下：

- 1) CKPH 是 CLK 相位控制位，CKPL 是 CLK 极性控制位。
- 2) 两个位如何设置对通信协议没本质影响，只是用来约定在 CLK 的空闲状态和什么位置开始采样信号。
- 3) CKPH=0，意味着在以 CLK 第一个边沿开始采样信号，反之则在第二个边沿开始。
- 4) CKPL=0 意味着时钟总线低电平空闲，反之则是时钟总线高电平空闲。

在标准 SPI 协议中，先发送的是 MSB 位，在 4 线制模式下，片选信号（STE/CS/SS）控制传输的开始。在 3 线制模式中，则是从机始终激活，依靠时钟来判断数据传输开始。

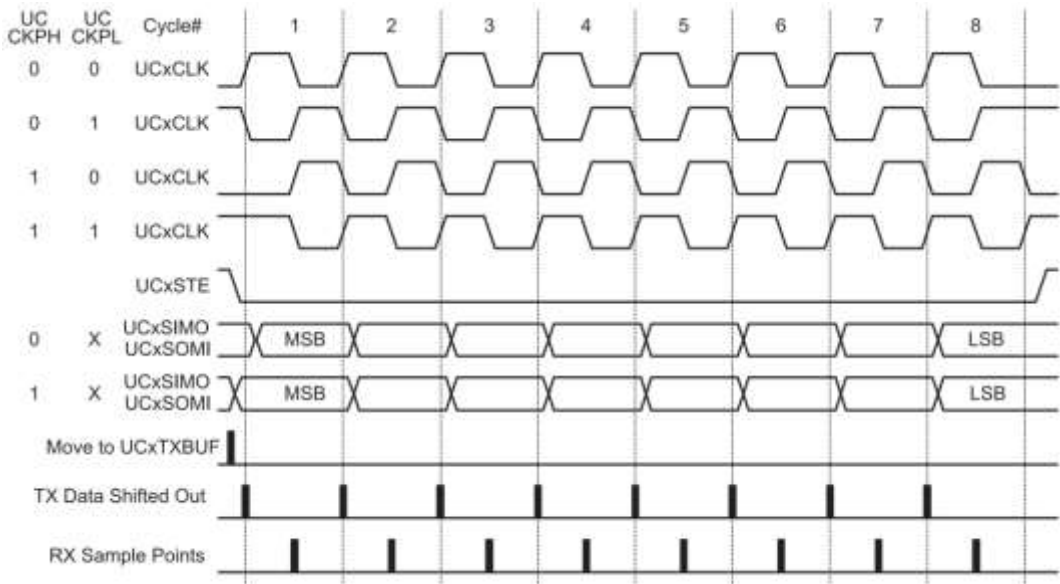


图 4-32 SPI 通信协议时序图

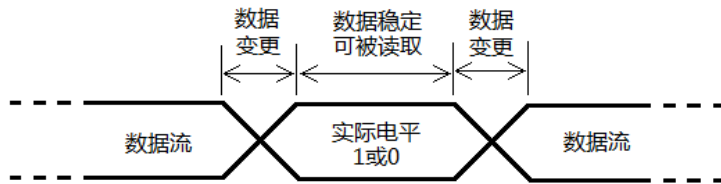


图 4-33 数据流表达方式

SPI 型 ADC 数据输出

ADS7950 是一款最高采样率 1MHz，具有串行接口的 SAR 型 ADC。由于其低功耗的特点，常用在电池供电系统中，此外也常用在医疗仪器，触摸屏控制，高速信号采集系统中。在数字接口方面，ADS7950 通过 \overline{CS} 和 SCLK 和微处理器或 DSP 进行串行通讯。

\overline{CS} 信号作为 SPI 通讯的激活信号，只有当该引脚信号被拉低后，通信才会开始，当 \overline{CS} 为高电平时，信号输出引脚表现为高阻状态，此时，通过串口进行的读写操作都会被忽略。SCLK 为串口通讯提供了时钟信号，SCLK 的上升沿和下降沿改变分别对应数据的输出和输入。

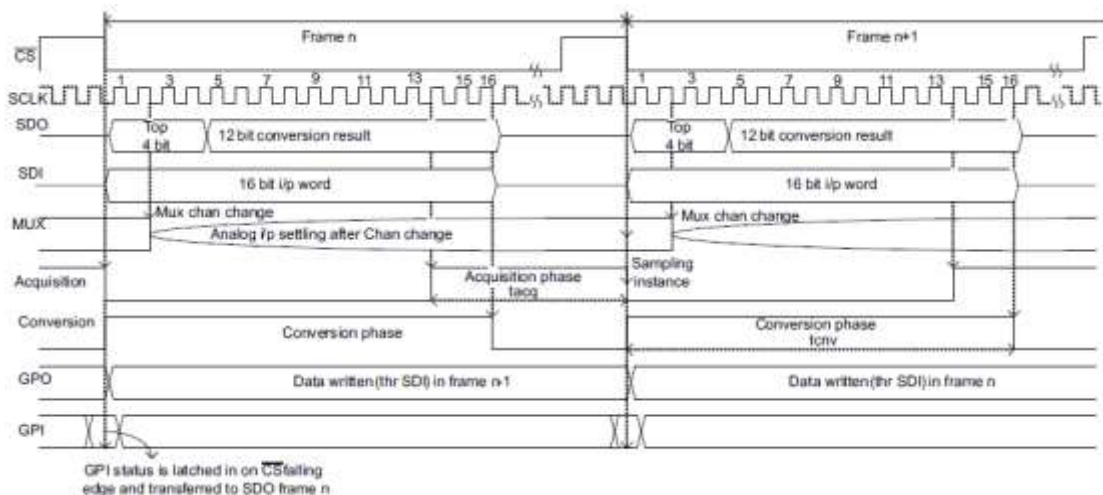


图 4-34 ADS7950 串行通讯时序图

如图 4-34 所示为 ADS7950 进行数据传输时的时序图：首先 \overline{CS} 拉低意味着 SPI 通讯的激活和开始，在经过一个固定的配置时间（ t_{CSSC} ）之后，时钟信号 SCLK 第一个上升沿之后为传输的第一个数据，高位优先。如果是进行 AD 转换数据的传输，在 16 个时钟周期内，AD 采样的 16 个数据将被顺序通过 DOUT 引脚传输。

SPI 接口的 ADC 在使用时时序相对比较简单，也容易理解。配合集成有 SPI 模块的控制器，例如 MSP430，用户可以方便地实现 ADC 的控制和数据的读取。如图 4-35 所示，为 MSP430F5438A 与 ADS7950 的连接示意图，采用 3 线 SPI，其中 P1.1 作为片选信号线与 ADS7950 相连。MSP430F5438A 内部集成有多个 SPI 模块，这里选择 UCB1。

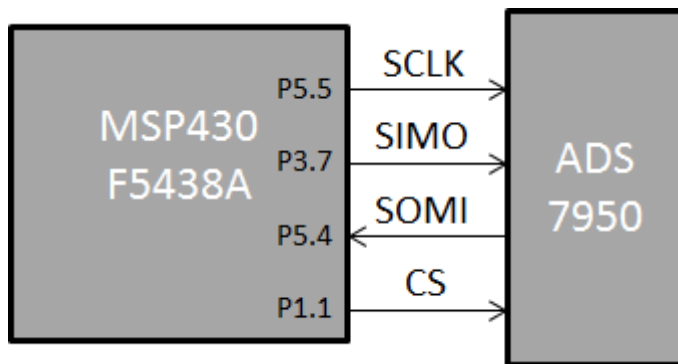


图 4-35 MSP430F5438A 与 ADS7950 接口示意图

在配置相应的 IO 口之后，对 SPI 模块进行初始化配置，参考（SPI_Init 函数）。在这里给出一个读取 ADC 输出数据的示例：首先软件拉低片选信号，由主机，即 MSP430 向 ADS7950 发送一个读数指令，同时完成 ADS7950 处采样得到的数据的读取，完成之后再片选信号拉低。至此，完成一次完整的采样数据读取和保存。

```

void SPI_Init(void)
{
    UCB1CTL1 |= UCSWRST;           // 复位操作
    UCB1CTL0 |= UCMST+UCSYNC+UCCKPH+UCMSB; // 选择430为3线8位SPI主机
                                        // 时钟上升沿有效，MSB
    UCB1CTL1 |= UCSSEL_2;         // 选择系统时钟
    UCB1BR0 = 0x04;
    UCB1BR1 = 0;
    UCB1CTL1 &= ~UCSWRST;        // 初始化USCI
    __delay_cycles(100);         // 等待从机初始化
}

...

void ADS_Test(unsigned int Data[])           //数据发送和接收
{
    ...

    P1OUT &=~ 0x02;           // CS置低电平
    ModeControlReg_Init = 0x1980; // 发送工作模式请求
                                        // 通道3，工作电压2.5V
    Data[0] = WriteSPI(ModeControlReg_Init); // 向 ADS7950写数据
    ...
    P1OUT |= 0x02;           // CS置高
    ...
}
    
```

利用示波器观察相应引脚的时序，图 4-36 所示为观测到的时钟和发送信号线上的信号。因为 MSP430 的 SPI 模块数据发送以一个字节，即 8bit 为单位，所以在一次 ADC 读数周期中需由两次 SPI 发送和读取组成。从第二组波形，即 ADC 返回的采样值可以读出 AD 转换的数据。根据 ADS7950 的数据手册，前四位为 AD 的通道数，我们程序选择读取第三通道，所以我们读到的返回值前四位为通道数信息，后面的 12 位为实际采样的数据。同时从 MSP430 发

送数据的波形，即第三通道，可以清晰得出发送的数据：0x19 和 0x80，即 0001100110000000。

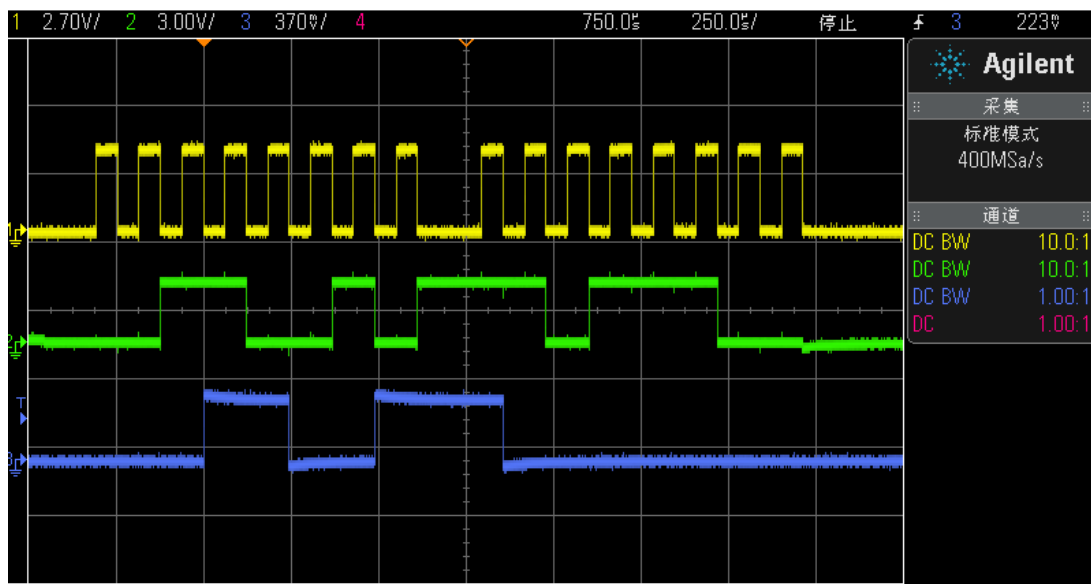


图 4-36 数据读取时的时钟信号（通道 1），ADC 发送的数据波形（通道 2）

以及 MSP430 发送的数据波形（通道 3）

4.3.6.2 I2C 接口 ADC

I2C 原理

SPI 的特点就是简单，速度快，从原理上最不需要动脑子。但是由于 SPI 所用数据线实在太多，多一个从机就得多一条线，而且多主机实现起来也要加线。于是 I2C（Inter-Integrated Circuit）这个只用两根线，几乎无限主从机的协议诞生了。

I2C 是“线与”输出的标志性电路，将“线与”的优点完整展现出来。如图 4-37 所示的 I2C 总线硬件连接中，一共有两条总线，串行时钟线和串行数据线。两条总线都被上拉电阻拉到 VCC，所有 I2C 设备都挂载在总线上，各设备的地位对等，都可作为主机或从机。从分配地址来看，最多挂载设备可有 1024 个，实际挂载设备数量受总线电容限制。

线与逻辑的规则是，每个设备都可以把总线接到地拉低，却不许把总线电平直连 VCC 而置高。把总线电平拉低称为占用总线，总线电平为高等待被拉低则称为总线被释放。利用线与结构，I2C 制定了“神乎其技”的协议规范，仅用 2 根线就完成任意多主多从双向通信中的所有难题。

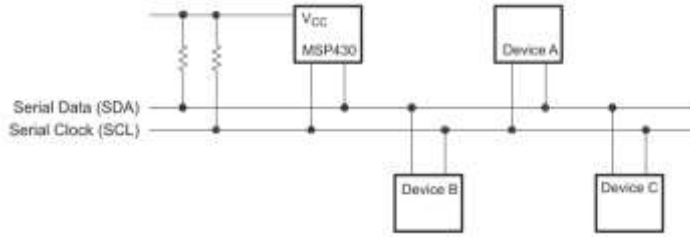


图 4-37 I2C 总线硬件连接

I2C 协议的基本规范

如图 4-38 所示，I2C 协议的完整帧包括起始位、地址位、读写位、应答位、数据位、应答位...数据位、应答位、停止位。

1) 从起始位到停止位之间所有的数据都是主机与符合地址位的从机之间进行的通信。

2) 从起始位开始每帧数据都是 9 位，其中第一帧是 7 位从机地址+1 位读写标识位+1 位数据接收方应答位组成。后续的每帧都是 8 位数据+1 位数据接收方应答。

3) 如果读写标识 $R/\bar{W}=0$ ，表示主机向从机发送数据，则应答位 ACK 由从机负责拉低。从机在完整收到地址或数据后拉低 SDA 数据总线，表示正确接收。不应答表示数据接收错误。

4) 如果读写标识 $R/\bar{W}=1$ ，表示主机自从机接收数据，则应答位 ACK 由主机负责拉低。

5) 主机发出第一帧地址和读写位后，地址符合的从机拉低总线，产生 ACK 应答信号。主机开始收或发（视 R/\bar{W} ）下一帧，直到产生停止位。这期间，其他从机不接收数据，仅判断停止位是否出现，等待下一次比对地址通信的机会。

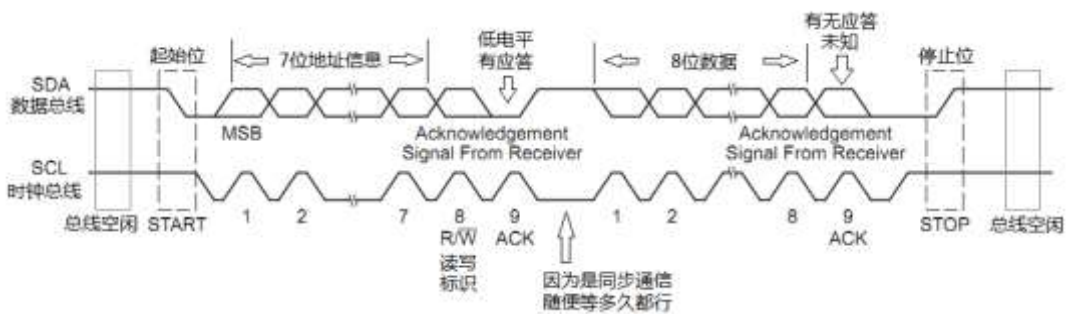


图 4-38 I2C 协议的帧格式

I2C 协议的起止位

I2C 协议的数据线电平仅允许在时钟低电平时才允许改变。为什么要这么规定，反过来规定行不行？

- 1) 低电平时允许改变数据，高电平时读取数据，这意味着数据的传输时刻在上升沿。
- 2) 线与逻辑是，谁都能拉低时钟总线产生下降沿，而产生上升沿却要“大家”都同意。
- 3) 这样一来，主机就不能强行收发数据，一定要从机“同意”才行，也就是如果从机“没空”收发数据，就可以拉低 CLK，让时钟线产生不了上升沿。

4) 试想一下，如果改为下降沿传输数据，那么主机就可以不顾从机的反对“强买强卖数据”了。

数据线电平在时钟低电平时改变是正常传输数据的状态，那么时钟线高电平时改变数据线电平就可以赋予其他含义，这是非常巧妙的设计。

- 1) 在时钟线高电平时，数据线下下降沿代表了起始位 START。
- 2) 在时钟线高电平时，数据线上上升沿代表了停止位 STOP。

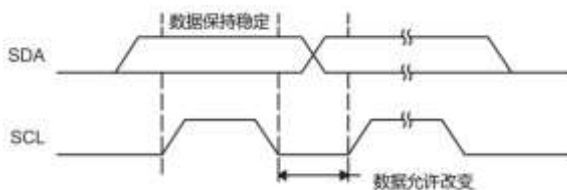


图 4-39 I2C 协议数据允许改变时刻

试想这样一种情况，从机往主机发送信息，主机突然就该主意了打算和其他从机通信，怎么办？如图 4-40 所示，主机可以直接重新给起始信号，称为 Repeated Start。Repeated Start 后，主机发出新的地址，重新选择从机通信。



图 4-40 Repeated Start 模式

I2C 的地址规范

I2C 总线的地址位分为 7 位和 10 位两种，实际上能够挂载的器件数量受总线最大电容 400pF 的限制。为什么地址位会有 7 位呢？7 位地址+1 位读写标识+1 位应答构成 9 位帧和普通数据帧 9 位所兼容。至于 10 位地址，则可表达 1024 位地址，按 400pF 的总线电容限制，每个器件能引入的电容仅 0.4pF，已是极限。所以 10 位地址足够。而 7 位地址已经可表示 128 个器件，能满足绝大多数需求。

1) 7 位地址模式：如图 4-41 所示，起始位后的首帧为 7 位地址+1 位读写位标识位+1 位应答位，后续帧均为数据帧，直到停止位出现（或者是重复起始 repeat start）。

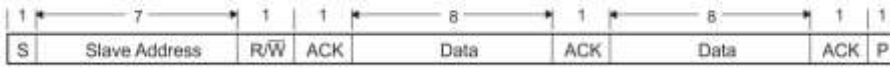


图 4-41 7 位地址模式

2) 10 位地址模式：如图 4-42 所示，起始位后的首帧中前 5 位固定为 11110（非表示地址），后面仅跟 2 位地址，然后是读写标识和应答。第二帧的 8 位数据作为地址的后 8 位。

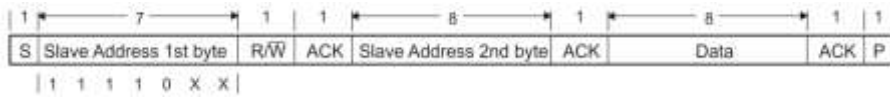


图 4-42 10 位地址模式

3) 这种方式可以做到 7 位地址与 10 位地址兼容，10 位地址不过是把第 2 帧的数据继续当后续地址罢了。

处理器作为从机好说，看上哪个地址用哪个，只要地址不冲突，吱一声的事。外设从机的地址如何设定？

有的 I2C 协议的芯片由于引脚匮乏，其 I2C 从机地址被固化在了芯片内部，同一型号芯片有若干种 I2C 从机地址的子型号出售，以芯片后缀来区分，这类芯片在购买时一定要看清子型号，买了再退货就难了。

有的 I2C 协议的芯片则是在外部有数目不等的专用地址引脚，可以依靠对地址引脚上拉、下拉、高阻来设定地址。

I2C 型 ADC 数据输出

略，请参考 6.2.6

第四章 DAC 简介与指标

5.1 DAC 简介

DAC 即数字模拟转换器，和 ADC 相反，它主要实现的是将数字量转换为模拟量。最简单的 DAC 结构可以通过一个单刀双掷开关实现 1 位的 D/A 变换。当开关与 VCC 相连的时候输出高电平，即 1，当开关与 GND 相连的时候，输出低电平，即 0。这种简单的结构是实现 DA 变换的一个基础。在后面的章节中会具体介绍现在流行的集中 DAC 结构及其基本原理与应用。



图 5-1 DAC 将数字信号转换为模拟信号

理论上 DAC 理想的转换函数应该也是一条具有无限阶梯数的线，但是实际上是一系列落在这条理想直线上的点，如图 5-2 所示。实际上，DAC 把一个数目有限的离散数字输入编码转换成相应数目的离散模拟输出值。对于 DAC，1 LSB 相应于连续模拟输出之间的步长高度，它的值与 ADC 中的定义相同。DAC 可以被视为一个数字控制的电位计，它的输出是数字输入编码决定的模拟电压总标度的一小部分。

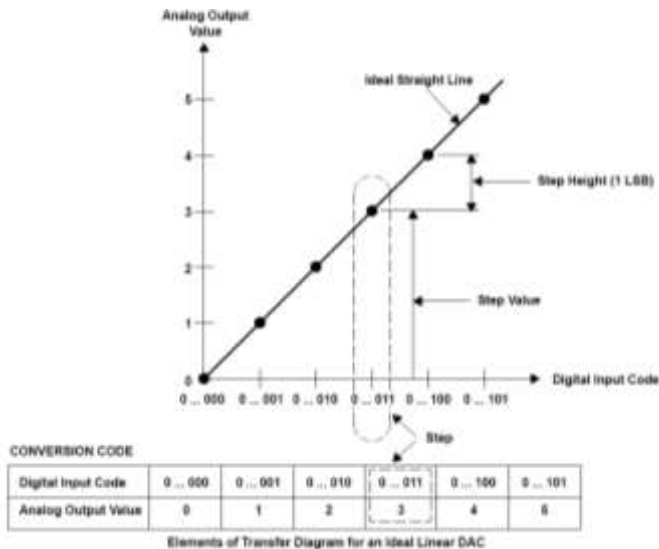


图 5-2 理想转换函数 (DAC)

5.2 DAC 常见性能指标

与 ADC 类似，DAC 也会有静态误差和动态误差，在这里仅做简单的介绍。

- **偏置误差**

同样，DAC 中偏置误差也被定义为标准偏置点和实际偏置点之间的差值。在 DAC 中，偏置点为数字输入为零时的步长值。这种误差可以通过增加外围电路的方法加以修正，如添加参考电压的方法。

- **增益误差**

增益误差在 DAC 中表现为在偏置误差调整为零后，DAC 数字输入量为满量程时，实际的输出值和理论值之间的误差。通常这种误差同样可以通过修正的方法进行调整。

- **分辨率**

与 ADC 类似，DAC 的分辨率以其能分辨的最小模拟输出量来衡量。一般我们说一个 DAC 是 n 位的，表明其所能分辨的最小电压增量为满量程的 $\frac{1}{2^n}$ 。例如，一个满量程为 10V 的 DAC，如果是 8 位的则其分辨率为 $10 \times \frac{1}{2^8} = 39\text{mV}$ ，而同样的 10VDAC 若其为 16 为，则可以达到 153uV 的分辨率输出。

- **输出电压**

理解为 DAC 输出的电压范围，不同型号的 DAC，输出电压范围相差很大。对于电压输出型 DAC，一般范围在 5-10V，高者可达 30V；对于电流输出型 DAC，输出电流一般在 20mA 左右，高者可达 3A。

- **转换时间**

指输入的数字信号转换为模拟输出所需要的时间。

第五章 DAC 选型与指南

6.1 常见 DAC 结构与应用场景

精密型 DAC 包含通用型 (General Purpose) 和双极型 (Bipolar) 两种, 根据 V_{REF} 输入范围和带宽的不同来划分, 一般来说通用型 DAC 采用电阻串 (R-String) 结构, 其 V_{REF} 不跨越正负电源, 通常在一个较窄的范围内, 比如 2.5V 左右, 并且带宽窄, 一般在 1MHz 以下; 双极型 DAC 的 V_{REF} 范围跨越正负电源, 包含地电平; V_{REF} 的带宽较宽, 在某些码字下甚至可达到 10MHz, 幅度可达 $\pm 18V$, 我们习惯将这类双极型 DAC 称为乘法器型 (Multiplying) DAC 或 MDAC。因 MDAC 使用灵活, 操作简单, 同时精度卓越而在产业界受到广泛应用, 在大学生电子设计竞赛中也经常出现乘法器型 DAC 的身影。

DAC 技术	建立时间/转换速度	分辨率	备注
通用型 (R-string)	通常在 $10\mu s$ 左右	最高可达 16bit	操作简单, 低成本, 低功耗
双极型 (MDAC)	大于 $0.2\mu s$	最高可达 16-18bit	高精度
电流引导型	小于 1GSPS	最高可达 16bit	快速, 宽带, 价格高, 功耗高

6.1.1 电阻串型 DAC (R-String)

R-String DAC, 即电阻串型 DAC, 采用模拟开关加电阻串的方式对参考输入电压分压, 再通过运放缓冲分压结果输出:

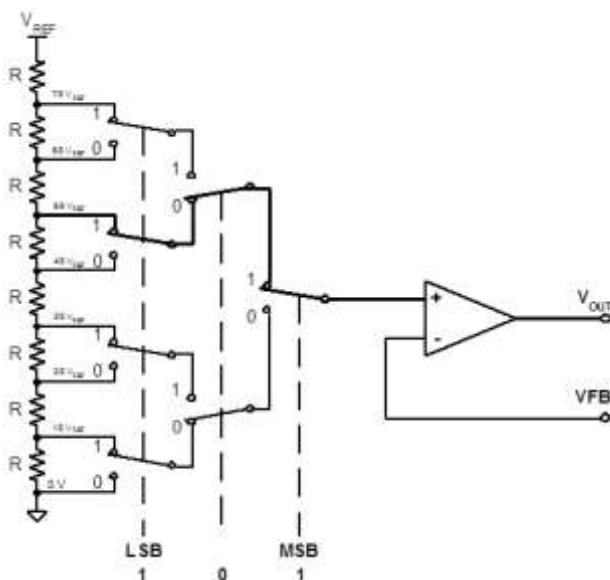


图 6-1 一个 3 位电阻串型 DAC 示意图

如图 6-1 所示为一个简单的 3 位电阻串型 DAC 的示意图。我们知道 3 位数字共有 8 种状态 ($2^3 = 8$)，为实现这 8 种状态的控制，要求提供的分压为 $V_{REF}/8$ 的倍数，因而最简单的方法，有 8 个电阻对 V_{REF} 进行分压，即图 6-1 中所示。通过一个 3 线译码器对 3 组开关的状态进行控制，从而实现不同电压的输出。图中，开关的状态量为 101，对照电路的通断，发现实际输入端是与第三个电阻相连（从上至下），换算到电压值为 $5/8V_{REF}$ 。这和数字编码 101，对应十进制为 5，是一一对应的。

在此基础上，可以扩展到 N 位的 DAC。一个 N 位的电阻串型 DAC 需要 $2^N - 1$ 个电阻，匹配困难，精度很难做得很高。因此，在 12 位及以上的 DAC 中，通常采用 2 级 R String 的方式来减少电阻器的数量：

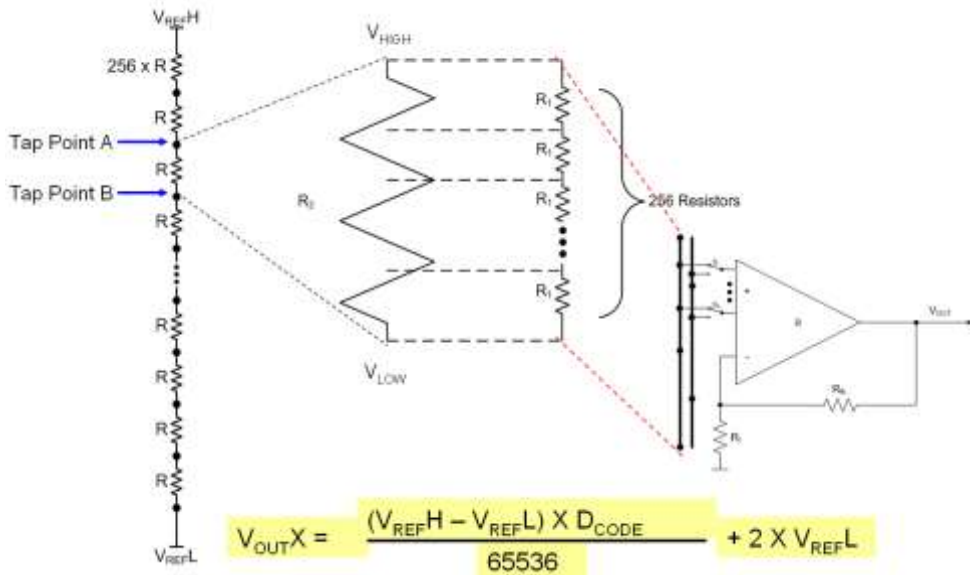


图 6-2 2 段型电阻串型 DAC

如图 6-2，是一颗 16 位电阻串型 DAC 的内部示意图，其实是由两组 8 位电阻串型 DAC 来实现的，前一组 256 颗电阻形成一个 8 位 DAC，对输入参考电压进行粗分；后面的 8 位 DAC 对粗分后的电压进行细分，最终达到 16 位的精度。通过分段的方法，可以很大程度上减少电阻的数量。

电阻串型 DAC 的缓冲运放内置在芯片内部，通常采用轨到轨输入/输出运放来实现最大的动态范围，并有时提供 2 倍的增益从而在低参考电压的条件下获得大输出动态范围。但是，因为运放的供电和 DAC 供电联系在一起，为单电源供电，因此无法输出负电平，也就不能接受负参考电压输入。

电阻串型的 DAC 有一个最大的好处就是其传递函数天生是单调的，也就是说在输入编码和输出电压间可以保持一直上升的斜率，不会有拐点出现。在一些要求苛刻的闭环精密控制场合，要求 DAC 必须是单调的。

我们推荐使用的 TI 电阻串型 DAC 有：

器件	简介	封装
TLV5638ID	双通道的 TLV5636	SOIC
TLV5636ID	12 位，建立时间 1 μ s，串行 DAC，内/外部参考	SOIC
DAC8550IDGKT	16 位，超低转换脉冲干扰，串行 DAC，外部参考	MSOP
DAC8552IDGKT	双通道版本的 DAC8550，建立时间 10 μ s	MSOP
DAC8554IPW	四通道版本的 DAC8550	TSSOP
DAC7571	低功耗，轨至轨输出，12 位，I2C 接口	SOT-23
DAC8571	16 位，低功耗，电压输出，I2C 接口	MSOP
DAC7311	12 位，SPI 接口，单通道，供电电压 2.0-5.5V	SC70
DAC8411	16 位，SPI 接口，单通道，供电电压 2.0-5.5V	SC70

数字电位器

上述结构简化后可以设计为一个数字电位器。以 TI TPL0401 为例，从图 6-3 的结构框图可以看到数字电位器的组成比较简单。首先其电位器功能有一个电阻串组成，见功能框图的右侧，这个和 R-string 型 DAC 内部的电阻串功能块是类似的，将电阻串的高端和低端引出来由用户进行连接，同时输出也直接引出来。其实，可以看出这就是一个电位器，之所以这个电位器被称作数字电位器，是因为其调节方式是由左侧的 wiper 寄存器来控制。TPL0401 提供 I2C 标准通讯接口，实现微控制器和 DAC 之间的通讯和控制。

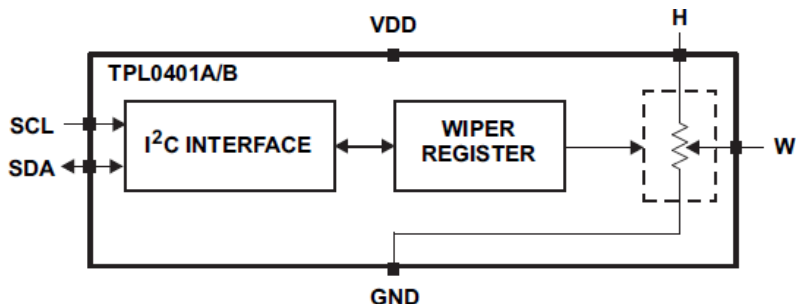


图 6-3 TPL0401 内部功能框图

从数字电位器内部结构的介绍，我们可以看出数字电位器可以用作数字电压的输出，实际上，在 TI 的网站上可以看到数字电位器是分类在 DAC 家族中的。在用作电压输出时，数字电位器的作用是将输入电压按照一定比例进行衰减。如图 6-4 所示，W 端与高端（H），低端（L）的电压差可以根据图中的公式计算得到，其中 D 即为用户定义的数字输入值。在该模式下 TPL0401 的一个重要应用场景就是 DDR3 的电压参考。

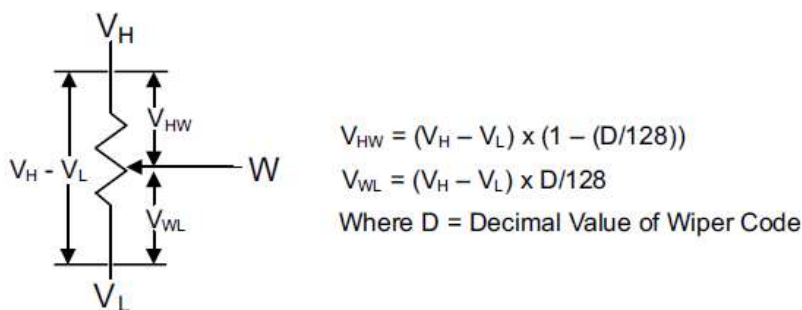


图 6-4 数字电位器 TPL0401 工作在电压分压模式

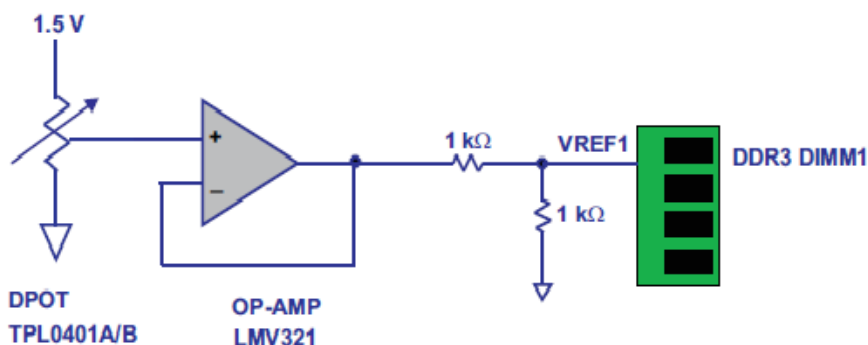


图 6-5 TPL0401 用作 DDR3 电压参考电路示意

除了电压输出模式之外，数字电位器区别于一般 DAC 的是其可以当做电位器来用。在数据手册中会给出特定型号数字电位器的电阻宗旨，即 H 端到 L 端的总阻值，如在 TPL0401 中，电阻值为 10kΩ。此时需要查阅数字电位器的数据手册，判断该数字电位器内部 H 和 L 端的连接方式。在数字电位器内部一般会将会 H 端或 L 端悬空（Floating），如果 L 端悬空，一般会与 GND 相连。这时，在实际使用时有效的电阻值需要对照连接的一端，如图 6-6 所示。另外，在这种情况下还需要格外注意的一点是电阻阻值的精度。在数字电位器中内部电阻的精度一般不高，例如 TPL0401，查看数据手册，我们发现其电阻有 ±20% 的容差。这也就意味着，尽管可以通过数字输入精准控制 R_{HW} 和 R_{LE} 的比例，但是这两个电阻的绝对值的误差仍然会很大。

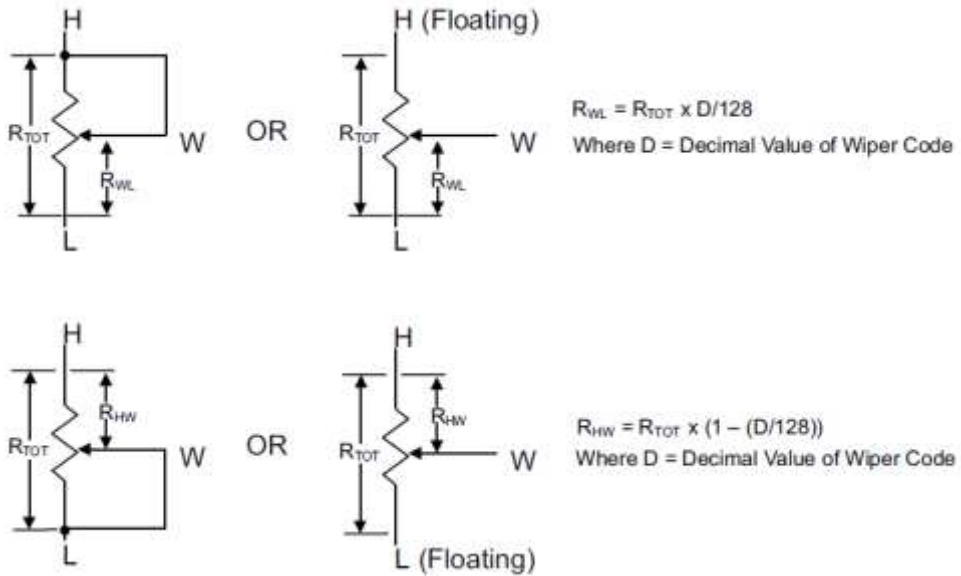


图 6-6 不同内部连接的数字电位器输出阻值不同

TI 提供多种型号数字电位器供用户选择：

器件	简介	封装
TPL0401SA-10	128taps 数字电位器，I2C 接口，10k 电阻	SC-70
TPL0501-100	256taps 数字电位器，单通道，SPI 接口，100k 电阻	SC-70
TPL0102-100	256taps 数字电位器，双通道，I2C 接口，100k 电阻	8SOT-23
TPL8002-25	64taps 数字电位器，指数型控制。并行接口，8M 带宽，2.5k 电阻	14QFN/14TSSOP

6.1.2 乘法型 DAC R-2R

MDAC 采用 R-2R 的正向结构，如图 6-7 所示，是一个 12 位 MDAC 的示意图。下面以 TI DAC7811 为例来对 R-2R 型 DAC 工作过程进行说明。

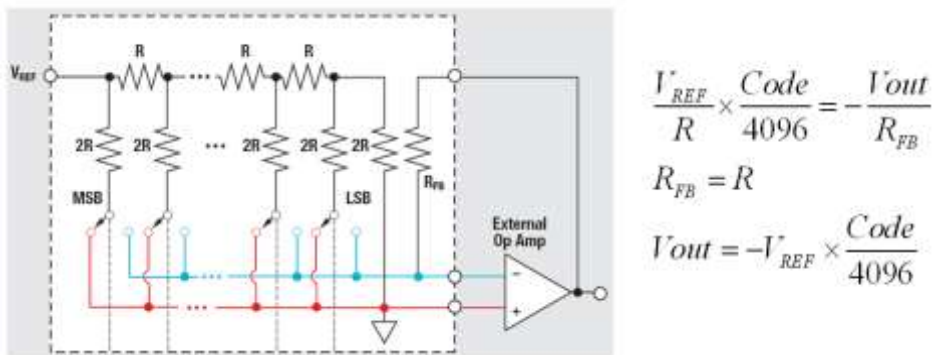


图 6-7 MDAC 结构示意图

1. 12 个选通开关由 SPI 协议控制，使得 2R 的下端接入 Iout1（蓝线，接运放反相端）或者 Iout2（红线，接运放同相端）

2. 外部运放的 Vin+，接地，这时红色的线都接地。

3. 应用运放的“虚短”理论（理想运放工作在线性状态下时，Vin-和 Vin+的电压相等），我们可以看做蓝色的线和红色的线连在一起。这时，最右边的两个 2R 相当于并联，阻值等于 R，这个等效电阻 R 会与红圈圈出的 R 串联，形成一个 2R 的等效电阻，这个 2R 等效电阻会与右边第三个 2R 并联……，以此类推，最后，从 VREF 端看进去，整个 R-2R 电阻网络的阻值为恒定的 R。

4. 于是，我们可以得到，流入 VREF 端的恒定的总电流为 $I_{TOTAL}=V_{REF}/R$

5. I_{TOTAL} 在整个 R-2R 电阻网络中的 2R 支路上被分流，流入每个开关的支路电流大小为： $I_{TOTAL}/2^n$ ，对于 12 位的 DAC7811 来说， $n = 1 - 12$ 。MSB 位的开关上的流过的电流最大，为 $I_{TOTAL}/2$ ，以后每个开关上的电流为前一个 2R 的 1/2。

6. 每一路 2R 上的电流，由开关选通，决定是流入 Vin-还是 Vin+，流入 Vin-的电流总和，对于 DAC7811 来说，将为：

$$I_- = \frac{V_{REF}}{R} \times \frac{Code}{4096}$$

这里 CODE 即为写入 DAC7811 的控制字的值。

7. 记住 Vin+是接地的，流入 Vin+的电流对输出信号没有贡献。对于流入 Vin-的电流，由运放的“虚断”理论（理想运放工作在线性放大状态时，流入 Vin-或 Vin+的电流总和为 0，即没有电流进入 Vin-或 Vin+）可知，流入 Vin-的电流将等于运放的输出电压 Vout 在 RFB =上产生的电流，方向相反：

$$I_- = -\frac{V_{out}}{R_{FB}} = \frac{V_{REF}}{R} \times \frac{Code}{4096}$$

在设计 DAC7811 时，TI 会把 RFB 做到和 R 相等，于是，最终我们得到：

$$V_{out} = -V_{REF} \times \frac{Code}{4096}$$

这样，就成功将 MDAC 用作程控衰减。如果把 R-2R 网络放在运放的反馈回路中，如图 6-8，即可得到一个程控放大器：

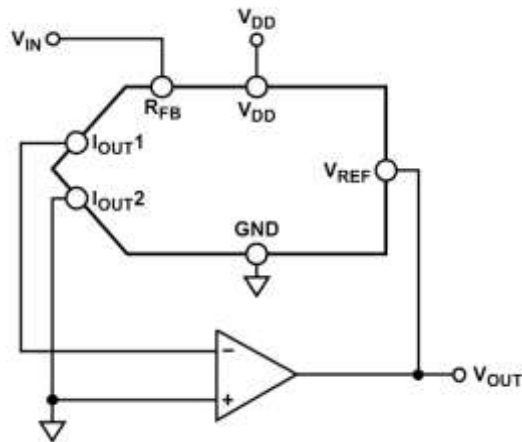


图 6-8 MDAC 用作程控放大器

其推导过程同上，只是输入和输出相反，得到计算公式为：

$$V_{out} = -V_{in} \times \frac{4096}{Code}$$

如图 6-9 为在 TINA-TI 中用多路开关模拟一个 5 位的 MDAC 用作程控增益。其中 VF2 为输入，VF1 为输出。输入电压为峰峰值为 1V 的正弦波形。当开关打在图示位置时，通过上面的分析，我们知道理论的增益倍数为 2，其仿真结果如图图 6-10 所示。

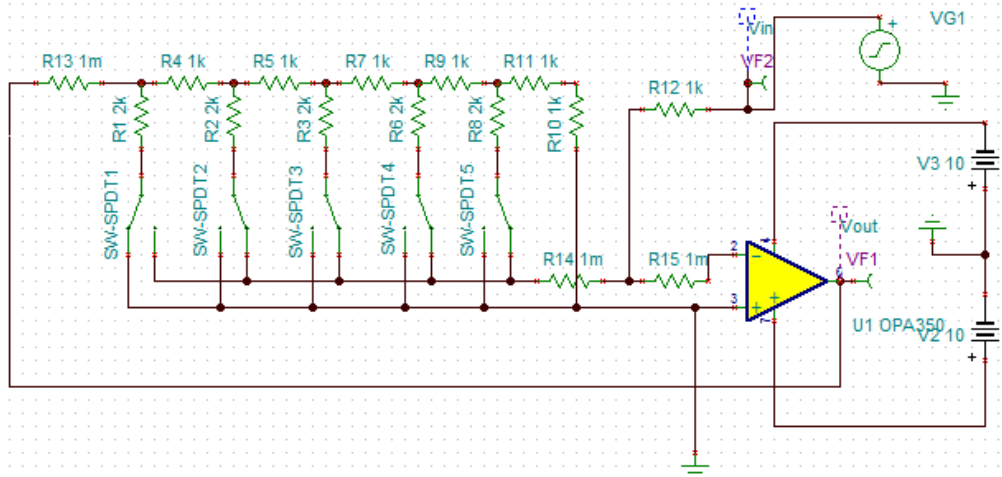


图 6-9 TINA-TI 中多路开关模拟 MDAC

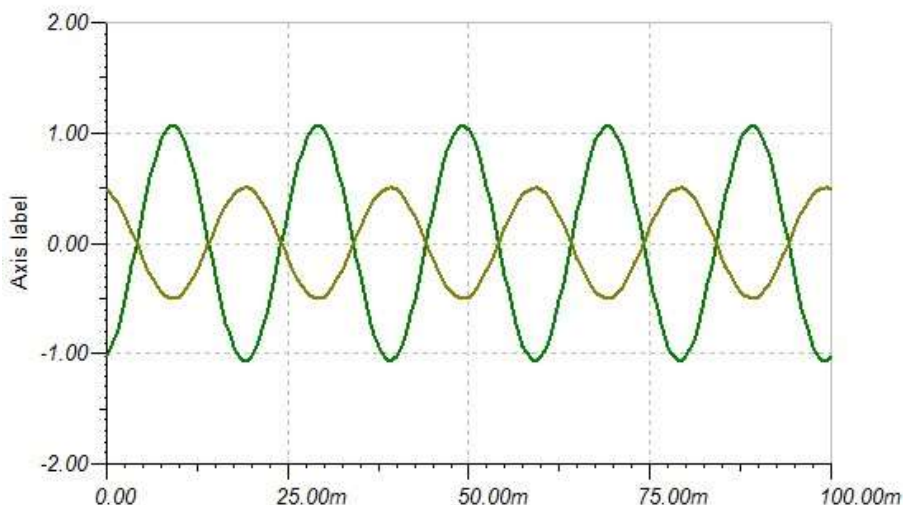


图 6-10 TINA-TI 仿真结果

对于 MDAC 来说，输入的 V_{REF} 实际上是被换算成流入或流出 V_{REF} 脚的电流，只要外部运放采用正负电源供电，即使 MDAC 采用 3.3V 单电源供电，MDAC 也可以实现双极性电压输入和输出。这对我们的设计带来极大的便利。下面我们看看如果利用 MDAC 和外部运放来实现恒定电压 10V 到 $\pm 10V$ 电压的转换：

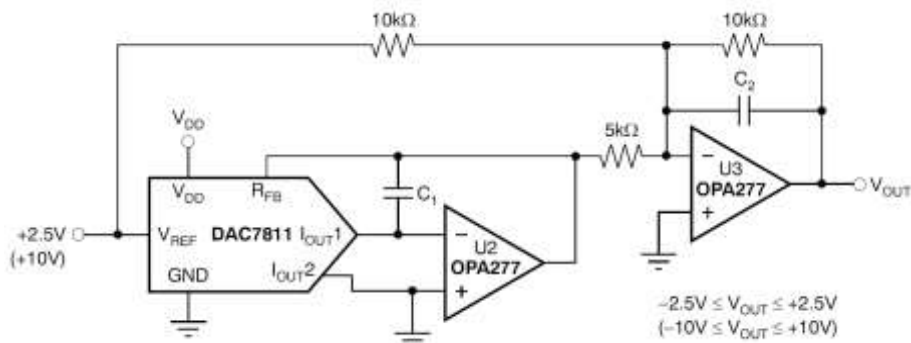


图 6-11 外部电路实现双极性输出

如图 6-11，DAC7811 通过第一个 OPA277 产生的输出为 $-10V$ 到 $0V$ 可调；第二个 OPA277 实现的是一个反相加法器处， $10V$ 的参考电压产生的输出为 $-10V$ 到 $0V$ ，而 DAC7811 和第一个 OPA277 的输出在第二个 OPA277 上产生的输出为 $0V$ 到 $+20V$ ，相加后即得到 $-10V$ 到 $+10V$ 的输出范围，最终的计算公式为： $V_{OUT} = 2 * V_{REF} * (\text{Code}/4096) - V_{REF}$ 。

注意在使用外部运放时，由于 DAC7811 的输出电容较大，需要在反馈回路中接入一个并联电容来帮助外部运放稳定，同时确保外部运放的带宽和压摆率满足要求。可以在 DAC78xx 的数据手册中找到针对不同应用推荐的对应外部运放型号。

还值得注意的是 $V_{out} = -V_{REF} * Code/2^N$ 表明 MDAC 在这种配置下产生的是衰减的输出，输出是小于输入的。因此，可以利用 MDAC 的这种特性完成程控衰减器的工作。同理，我们把 MDAC 放在运放的反馈回路中，可以得到一个程控放大器，在用做程控放大器时，应保证外部运放的增益带宽积和压摆率等指标。

注意到 MDAC 的 VREF 引脚常常拥有 ±15V 及以上电压输入范围和 10MHz 的 -3dB 带宽，同时并行输入的 MDAC 拥有 20MHz 的刷新率，因此可以利用 MDAC 来进行一些 kHz 量级的波形和各种调幅信号：

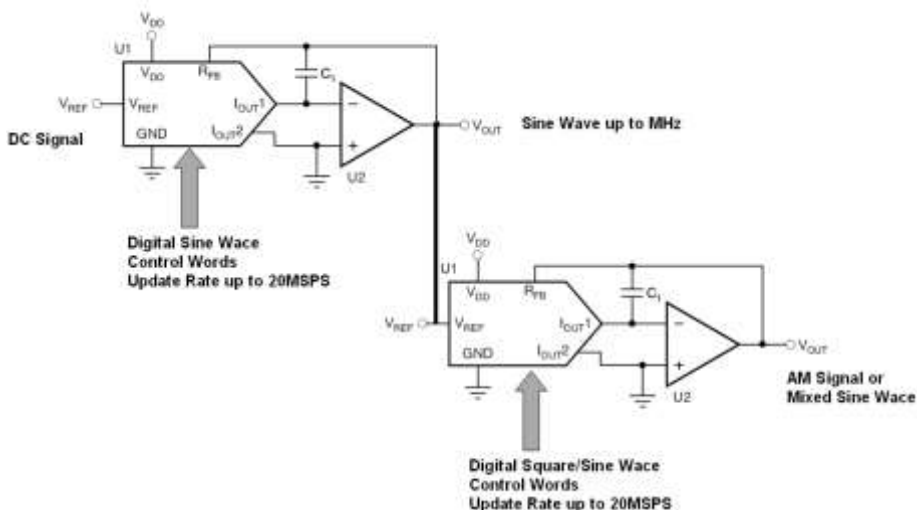


图 6-12 利用 DAC 实现调幅信号

如图 6-12，前一只 MDAC，例如 DAC7822，输入一个固定的参考电压 10V，用数字化的正弦波刷新 DAC，通过外部运放可以产生单极性或双极性的正弦波；将生成的正弦波输入第二个 MDAC 的输入端，用期望的调幅信号刷新 DAC 就可以实现调幅信号输出了。

在 MDAC 应用中，R-2R 电阻网络都是正向工作的，也就是说总是有信号从 VREF 脚流入，利用 VREF 端输入电阻恒定的特性实现电压到电流的转换，因此正向 R-2R DAC 的输出是电流，在 DAC 外部还需要一只运放来完成从电流到电压的转换。我们可以将 R-2R 电阻网络用在反向配置中，这时实现的是电压进电压出：

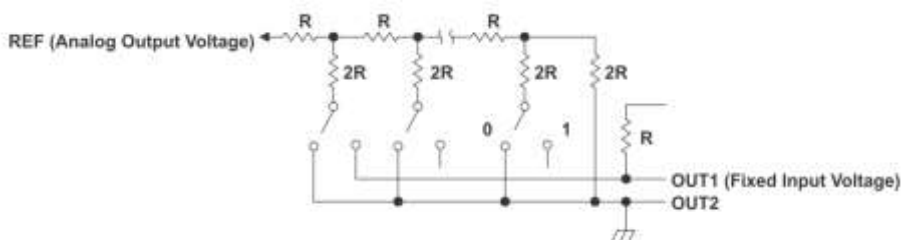


图 6-13 反向配置实现电压输出

如图 6-13, 参考电压 V_I 从 OUT1 输入, OUT2 接地, 此时的输出电压为 $V_O=V_I*Code/2^N$ 。反向 R-2R 型 DAC 利用了 R-2R 电阻少, 精度高的特点, 但损失了大带宽和宽电压范围, 因此采用这种结构的 DAC 通常采用内置的固定参考电压源, 如图 6-14, DAC7611 就是一颗反向 R-2R 的 DAC, 它内建了一个 2.435V 的固定参考电压和一个增益为 1.682 倍的输出运放, 这样 DAC7611 的数字输入和模拟输出一一对应, 即输入数字 N, 即输出 NmV 的电压。

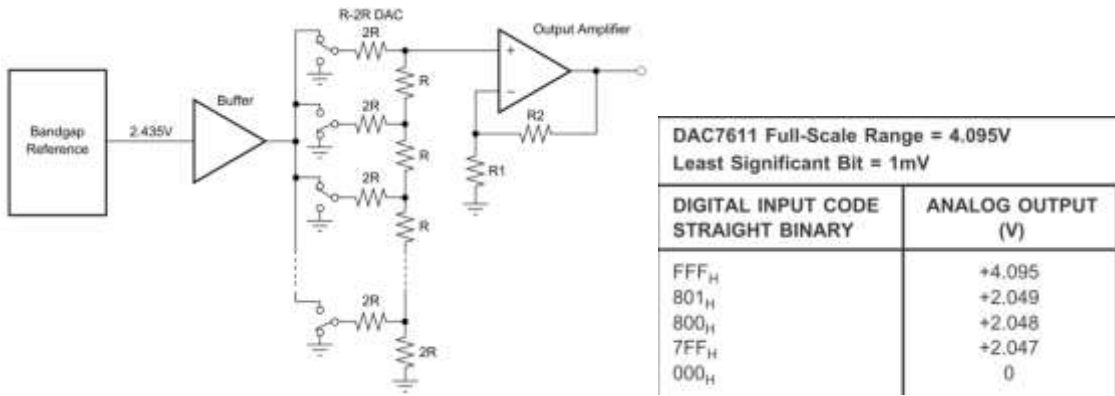


图 6-14 DAC7611

我们推荐使用的 TI MDAC 有:

器件	简介	封装
DAC7811IDGS	12 位, 串行, 建立时间 0.2Us, ±15V, 10MHz	MSOP
DAC7821IPW	12 位, 并行, 刷新率 20MSPS, 建立时间 0.2Us, ±15V, 10MHz	TSSOP
DAC7822IRTAT	双通道的 DAC7821	QFN
DAC8801IDGKT	14 位, 串行, ±18V, 10MHz, 建立时间 0.5uS	MSOP
DAC8802IPW	双通道的 DAC8802	TSSOP
DAC8805QDBT	双通道的 DAC8806	TSSOP
DAC8806IDB	14 位, 串行, 刷新率 20MSPS, ±18V, 10MHz, 建立时间 0.5uS	SSOP
DAC8811IBDGKT	16 位, 串行, 建立时间 0.5uS, ±15V, MDAC	MSOP
DAC8820IBDB	16 位, 并行, 刷新率 20MSPS, 建立时间 0.5uS, ±15V, MDAC	SSOP
DAC8812IBPW	双通道的 DAC8811	TSSOP
DAC8822QBDBT	双通道的 DAC8820	TSSOP

6.1.3 $\Delta\Sigma$ 型 DAC

与 $\Delta\Sigma$ ADC 相似，有一类 DAC 也会采用 delta-sigma 技术以提高转换的精度。一般来讲多数的音频 DAC 会采用 $\Delta\Sigma$ 技术以提高音频的输出的质量。如图 6-15 所示，为 24 位过采样音频 DA 转换器 PCM175x 的内部模块框图。

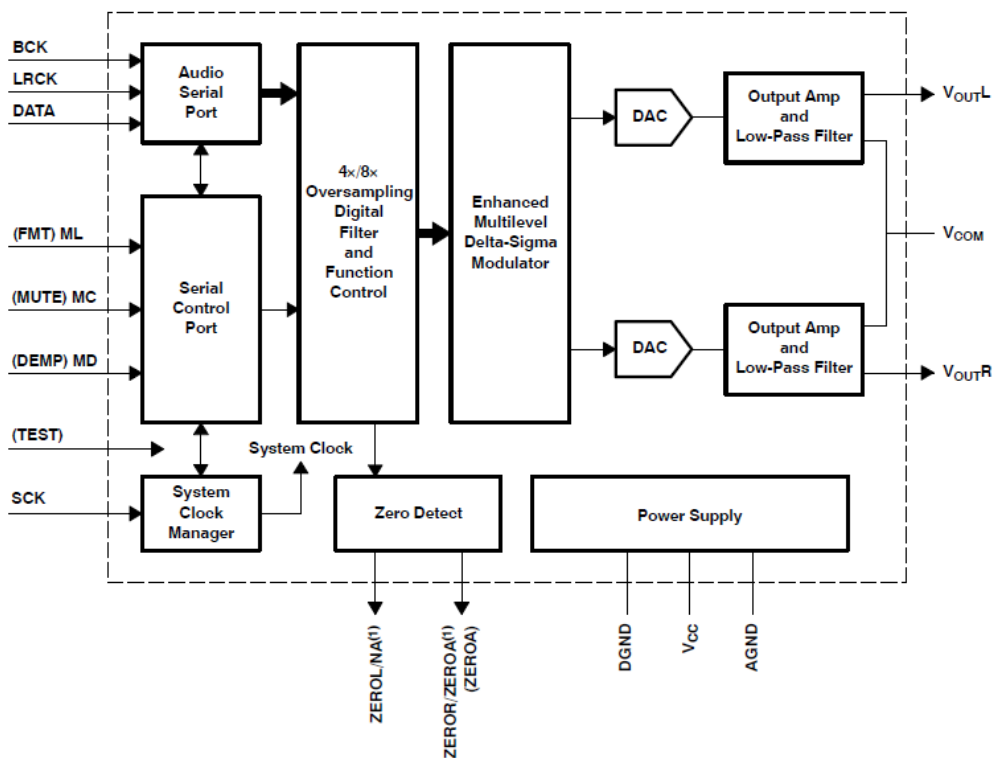


图 6-15 PCM175x 内部框图

$\Delta\Sigma$ DAC 内部包括插值滤波器和 $\Delta\Sigma$ 调制器（包含数字积分器、量化器的和反馈回路的模块），开关电容 DAC 和模拟低通滤波器。其关键模块为 Δ 调制器，基本工作原理和 $\Delta\Sigma$ ADC 相似。其核心部分是一个 Δ 调制器，见图 6-16。输入信号 X_1 通过 Δ 调制器被调制成 X_2 ，在调制器内部，首先对输入信号进行积分，当积分后的值大于输入信号 X_1 ， X_2 输出即为正，反之， X_2 输出为负。经过这样的调理，我们可以发现，对 X_2 进行积分的结果即为 X_3 。对于 X_2 信号经过一个 1 位的开关电容 DAC 转换为模拟信号，通过积分即可还原出原始数字输入信号对应的模拟信号，再经过低通滤波滤除高频噪声，将信号平滑，即可得到高精度的模拟输出信号。在实际的 DAC 中，后面的积分工作会移到信号的开始，即 X_1 之前进行。这样做可以避免 Δ 调制器对较快变化的输入信号相应的延迟，以及对直流的无法相应。

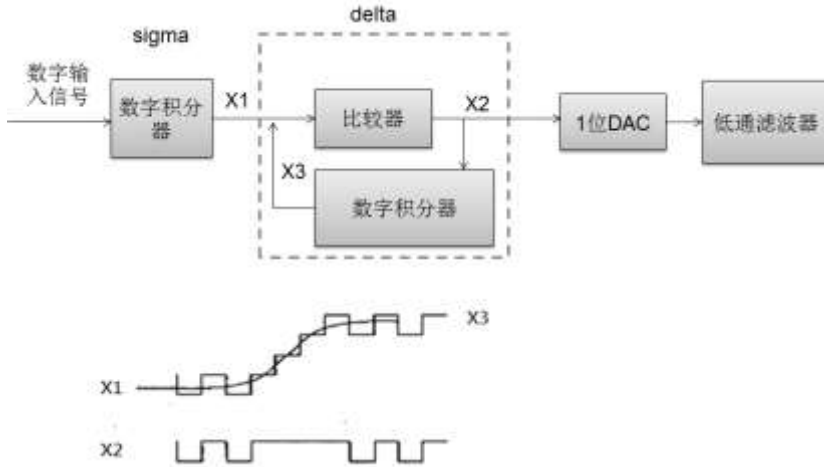


图 6-16 $\Delta \Sigma$ DAC 基本工作原理

TI 提供的音频 $\Delta \Sigma$ DAC 有：

器件	简介	封装
PCM1753DBQ	24 位, 192KSPS, SNR=106dB, 音频 DAC	SSOP
PCM1804DB	24 位, 192KSPS, SNR=116dB, 音频 ADC	SSOP
PCM1803ADB	24 位, 96KSPS, SNR=103dB, 音频 ADC	SSOP

6.1.4 电流引导型 DAC Current Steering

和高速ADC对应，高速DAC被广泛使用在波形产生，测试设备及无线基础设施中，当代高速DAC的制造是基于亚微米CMOS或BiCMOS的工艺，已经达到了一个全新的性能水准，实现了1GSPS的刷新率以及14位，甚至16位的分辨率。为了达到如此高的刷新率和分辨率，DAC采用了一种带分段(segmented)电流源的电流引导型(current steering)架构。

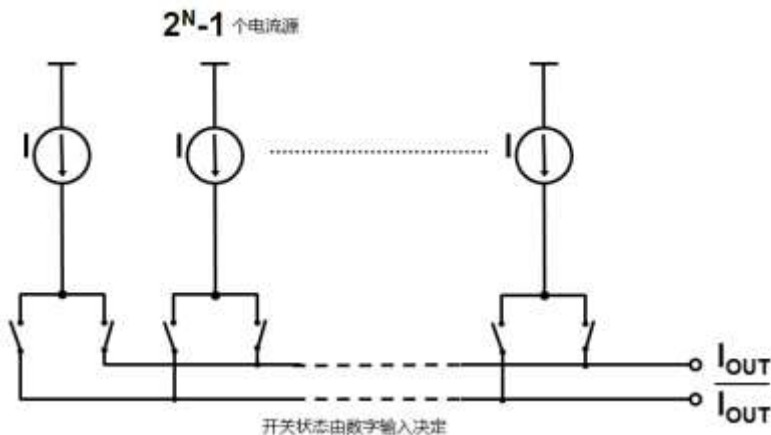


图 6-17 电流引导型 DAC 中的电流源阵列

此类单片电路DAC的核心单元是电流源阵列(array)，其设计用于输送出满刻度输出电流，典型值为20mA。内置的解码器在每次DAC刷新的时刻驱动(addresses)差分电流开关。如图6-17所示，该电流源阵列有两个电流输出，两路输出互补，使得输出的电流总量为一个恒定值。数字输入导引源自各个电流源的电流，输出到相应信号输出电流的差分输出端。相较于电压输出，这种方法可以保证更高的速度。

在此采用差分信号是为了改善动态性能，同时降低负载电阻上承载的输出电压的摆动。理想情况下，此类信号电压摆幅是越小越好，以确保DAC有最适宜的线性度。此信号电压的上限，以及相关的负载电阻，通过输出电压所遵循的规格实现定义。分段电流引导架构的意义在于降低了电路复杂性，并因此降低了杂散脉冲的能量。这些，都从整体上改善了DAC的线性度及交流性能。作为一种全新的系统架构，其高刷新率和卓越的动态性能，使得其输出频率的合成能力达到百兆赫兹的范围，而这种方式通常被称为“直接中频”。

我们推荐使用的 TI 高速 DAC 有：

器件	简介	封装
DAC902E	12 位 165MSPS, 高速 DAC	TSSOP
DAC5662IPFB	双路 12 位 275MSPS, 高速 DAC	TQFP
DAC904E	14 位 165MSPS, 高速 DAC	TSSOP
DAC5672IPFB	双路 14 位 275MSPS, 高速 DAC	TQFP
DAC5687IPZP	双路 16 位 500MSPS, 1x/2x/4x/8x 插值 DAC	HTQFP

6.1.5 PWM DAC

在很多嵌入式的控制应用中，会用控制器内部集成DAC模块或独立的DAC芯片来产生模拟信号。但是，采用控制器的PWM（Pulse Width Modulation,脉冲宽度调制）信号来实现D/A变换也是一种常见的方法，在低成本设计中应用非常广泛，我们将讨论如何使用PWM来产生模拟信号，和PWM DAC的精度。

PWM（Pulse Width Modulation,脉冲宽度调制）是一个周期固定但占空比可调的信号，如图6-18所示。



图 6-18 PWM 信号

在整个 PWM 周期中，高电平持续时间(T_{ON})所占的比例，称为占空比。显然， T_{ON} 时间将直接影响该周期的直流电压均值， T_{ON} 时间越长，直流电压均值越大。该对应关系可理解为直流电压均值和 PWM 的占空比是成线性关系的。

如果在微控制器输出端对 PWM 信号进行合适的滤波，我们可以产生可变的直流参考电压。在图 6-19 中，FFT（快速傅里叶变换）将 PWM 的方波信号变换为等效频域信号，同时图中也给出了低通滤波器的频域响应。

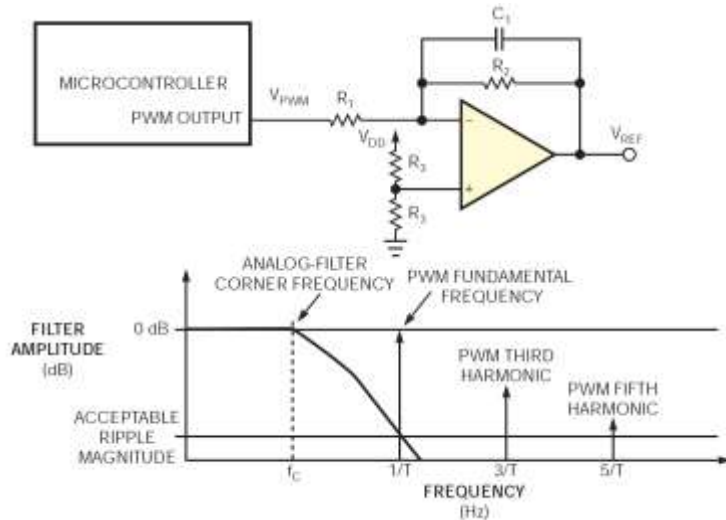


图 6-19 PWM 波形在频域等效信号

PWM 信号转换成直流信号的硬件实现：利用控制器产生 PWM 信号；PWM 经过一阶模拟低通滤波器产生 dc 电压。在 FFT 图上，发生器产生的 PWM 信号基频为 $1/T$ ， T 为 PWM 的周期；当设计模拟低通滤波器时，基频 (f_{PWM}) 和信号频率之间的过渡带宽窄是设计关键；所使用的模拟滤波器的截止频率，决定了 PWM DAC 的带宽。

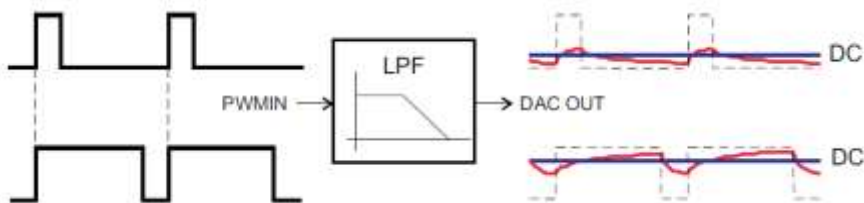


图 6-20 通过低通滤波将 PWM 信号转换为直流信号

图 6-20 给出了 PWM 信号产生直流电平的时域波形，PWM 信号通过模拟低通滤波器，会产生一个带纹波的直流电压信号。电压纹波的形成是由于滤波电容的充电（在 PWM ON 期间）和放电（在 PWM OFF 期间）。这就是最基本的 PWM 产生直流电平的原理。

用 PWM 信号产生模拟电平的另一好处是可以利用数字方法传输模拟信号，从而在需要隔离的地方使用数字隔离器件，毕竟数字隔离器件比模拟隔离器便宜了许多。

6.1.5.1 PWM DAC 的性能参数

本节将讨论影响 PWM DAC 分辨率的参数以及这些参数间的关系，以便获得更好性能的 PWM DAC。其中最为关键的两个设计要素是占空比分辨率和低通滤波器设计。

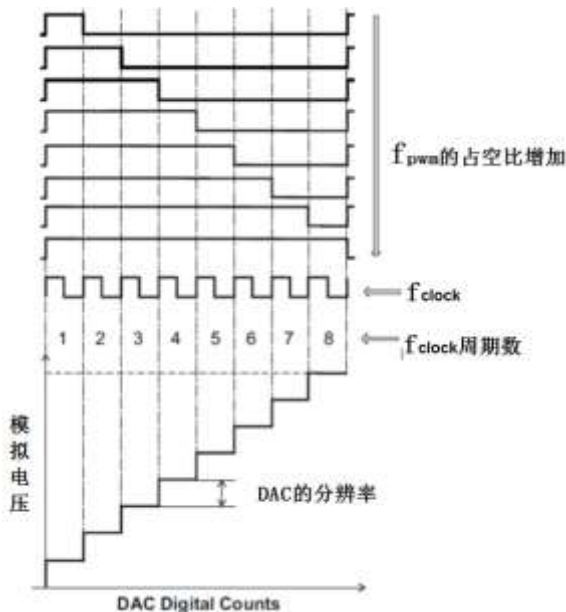
1. 占空比分辨率

首先，DAC 分辨率是指 DAC 的数字模块加 1 时，模拟电压输出的最小增长单位。在 PWM DAC 中，可理解为占空比的最小时间单位加 1 时，模拟输出的最小增长单位。因此就 PWM DAC 而言，PWM 占空比的分辨率直接影响 DAC 的分辨率。

用 f_{pwm} 表示输入到低通滤波器的 PWM 信号频率，该频率信号可使用 MCU 的定时器模块产生。 f_{clock} 表示定时器所用时钟源的频率，即让定时/计数器模块加 1 的时间间隔。 N 为 PWM 占空比分辨率，用比特位表示。 f_{pwm} 、 f_{clock} 和 PWM DAC 占空比分辨率的关系如下：

$$2^N = \frac{f_{clock}}{f_{pwm}} = \text{PWM 占空比的步数} = \text{DAC 的输出电平数}$$

下面将举一个简单的例子。



如图所示，在一个 f_{pwm} 周期里，有 8 个 f_{clock} 周期， $f_{clock} = 8 \times f_{pwm}$ 。因此，PWM 的占空比可以有 8 种变化，如上图的上半部分表示的 8 种变化。而 PWM 的占空比直接影响 DAC 的电压输出，可得出 DAC 的电平输出可以有 8 种变化（ $8=2^3$ ），即分辨率为 3bits。

根据式子 $2^N = \frac{f_{clock}}{f_{pwm}}$ ，要增加 PWM DAC 的分辨率，要么提高 f_{clock} ，要么降低 f_{pwm} 。

结合后端的低通滤波电路考虑，更高的 f_{pwm} 频率可以降低滤波电路的复杂度。高阶的滤波器需要更多的外围器件，这会增加系统的成本和空间。降低低通滤波器的阶数，会影响 DAC 的带宽。综上，为获得更高 f_{pwm} 占空比分辨率的限制因素是 PWM 信号的时钟源 f_{clock} 。

拥有常规定时器模块（TimerA 或 TimerB）的 MSP430 单片机的 f_{clock} 最大为系统的时钟频率（F2xx 为 16MHz，F5xx/F6xx 为 25MHz）；而拥有 TimerD 模块的 MSP430 单片机的 PWM 信号时钟源 f_{clock} 高达 256MHz，这使得在给定的 f_{pwm} 频率下，能提供更高的分辨率。

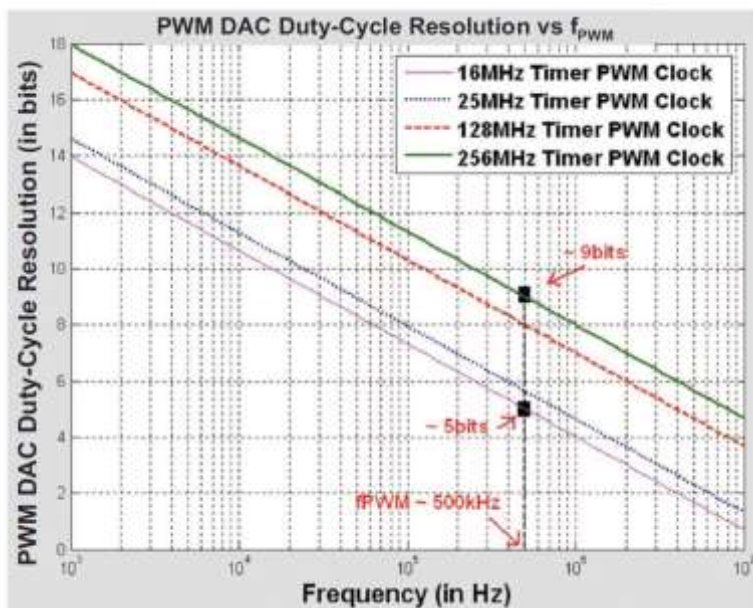


图 6-21 PWM DAC 占空比分辨率和 f_{pwm} 的关系

从图 6-21 中可以看出，给予给定的 f_{clock} （图中 4 条直线任选一条）， f_{pwm} 频率越高，能够完成的 DAC 分辨率越低。

为获取更高占空比分辨率的 DAC，可以通过提高 f_{clock} 的频率来完成。拥有 TimerD 模块的 MSP430 设备，通过高分辨率定时器可以产生 256MHz 的频率 f_{clock} 。如图，给予给定的 PWM 频率， $f_{pwm}=500kHz$ ， $f_{clock}=16MHz \rightarrow$ DAC 的占空比分辨率为 5bits；而 $f_{clock}=256MHz$ ，DAC 占空比分辨率可达 9bits。

2. 谐波失真和电压输出的不确定度

上节描述的占空比分辨率，是影响 PWM DAC 分辨率的一个重要因素。另一个影响因素是低通滤波器未完全滤波而造成的谐波失真。谐波是某一基波频率的整数倍，就 PWM DAC 而言，谐波是 f_{pwm} 频率的整数倍。

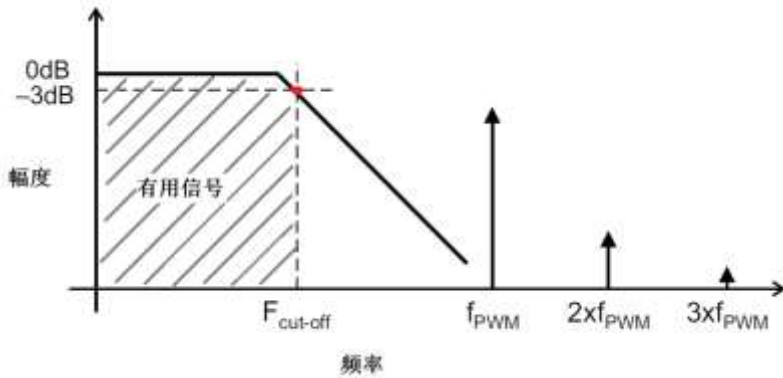
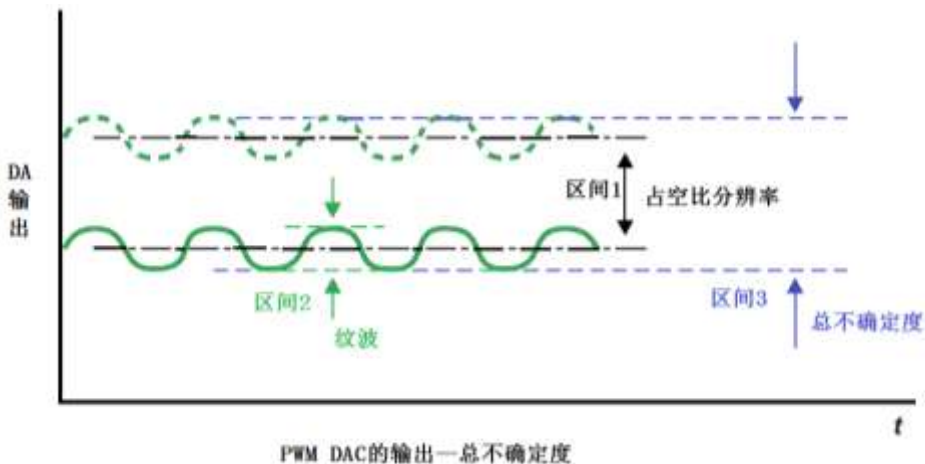


图 6-22 低通滤波器幅频特性

实际低通滤波器的幅频特性如图 6-22 所示，-3db 点对应的频率为截止频率 $F_{cut-off}$ ，截止频率左侧的阴影部分为我们所需要的有用信号可以出现的位置，即 PWM DAC 的带宽。当 PWM 的占空比保持恒定时，滤波得到的是一直流信号，出现在上图中的横轴 0 坐标处；当 PWM 的占空比以频率小于 $F_{cut-off}$ 的正弦波规律变化时，滤波得到的是一正弦信号，出现在上图中的阴影范围中。从图中可以看出，要减小谐波等无用信号，可以加大滤波器的衰减斜率（减小滤波器的过渡带），或者降低模拟滤波器的截止频率，也可以增大 f_{pwm} 的频率。

要使滤波器的过渡带变窄，需要使用更加复杂的高阶滤波器，这个会增加系统的成本。降低滤波器的截止频率意味着减小 DAC 或信号的带宽。增大 f_{pwm} 的频率会影响 PWM DAC 的占空比分辨率。

综上所述，占空比分辨率决定了 DAC 的输出电压在某一范围内是一个定值，如图中的区间 1。由于谐波而造成的纹波（图中的区间 2）会叠加在该输出上。占空比分辨率和谐波波动一起构成了 PWM DAC 输出的总不确定度（图中的区间 3）。



6.1.5.2 模拟滤波器设计

PWM DAC 的性能，很大程度上依赖于模拟低通滤波器的选择和设计。DAC 的输出是将 f_{pwm} 载波频率通过模拟低通滤波器过滤后得到的稳定的模拟电压。相对于有源滤波器，无源滤波器具有低成本、设计简易、稳定性也有保证。因此，本节仅讨论使用无源滤波器，一阶 RC 低通滤波器和二阶 RC 低通滤波器的电路结构如下图。

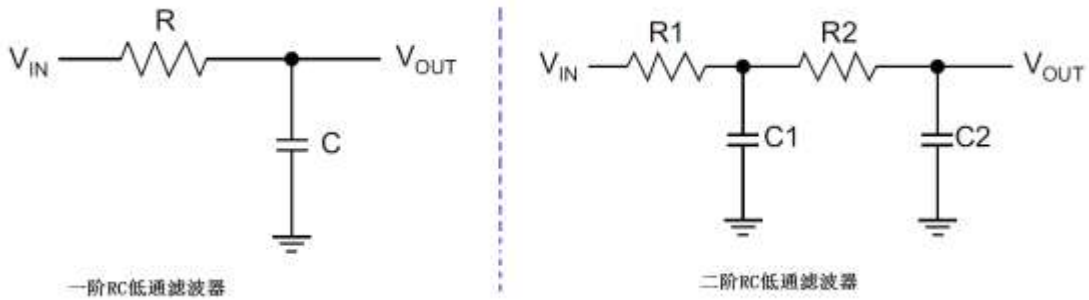


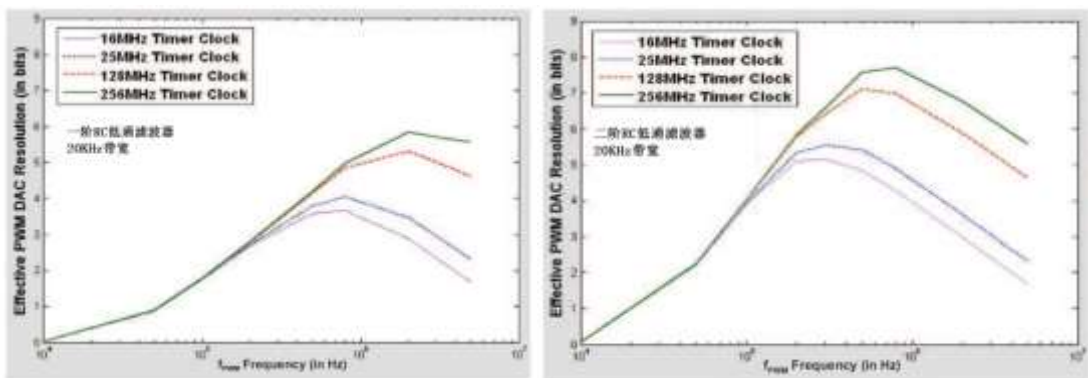
图 6-23 一阶 RC 低通滤波器和二阶 RC 低通滤波器

结合元器件的实际参数，我们比较下实际应用中一阶、二阶 RC 低通滤波器的性能表现，两者的带宽均设计为 20KHz:

一阶 RC 低通滤波器的参数选择: $R=1.69k\Omega$, $C=4.7nF$; $\Rightarrow BW = 20KHz$;

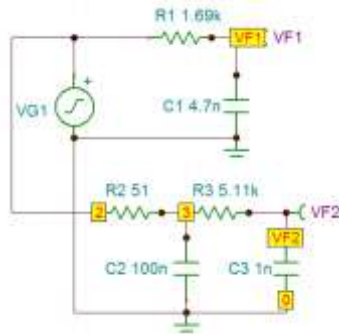
二阶 RC 低通滤波器参数选择: $R1=51\Omega$, $R2=5.11k\Omega$, $C1=100nF$, $C2=1nF$; $\Rightarrow BW = 20KHz$;

将 MSP430 产生 3Vp-p 和 50%占空比的 PWM 信号，输入到以上两种滤波器，分析 DAC 的输出。对于 4 种 f_{clock} (16MHz/25MHz/128MHz/256MHz)，每种 f_{clock} 对应 f_{pwm} 从 10kHz 到 5MHz 进行变化时 PWM DAC 的有效分辨率曲线如下图所示。

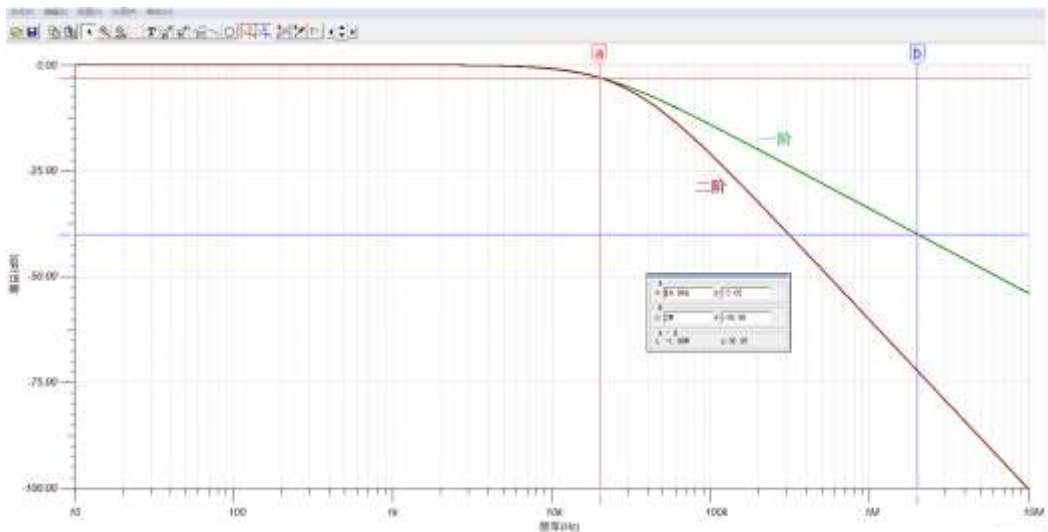


从上面两图我们可以看到，在给定截止频率和阶数的滤波器下，随着 PWM 的基频升高，等效 DAC 的分辨率升高，这是由于该滤波器对频率越高的 PWM 基频滤波效果越好；而转折点发生在 1MHz 左右，这时开始 PWM 的占空比分辨率对等效 DAC 的精度开始占据主导地位：PWM 的基频越高，在给定 Timer 主频的条件下，占空比分辨率越低。

对比左右两图，我们可以看到，带宽同样是 20KHz 的低通滤波器，为什么二阶比一阶获得的效果好得多？因为二阶滤波器的过渡带比一阶滤波器的过渡带更窄，可以更大程度地衰减 PWM 的基频和谐波分量。这个可以借助 TI 的仿真工具 Tina-TI 来分析。



在 Tina-TI 中放置如上图所示的元器件并设置相应的参数，选择“分析/交流分析/交流传输特性”，可以分析 RC 滤波器的传输特性，如下图所示，两个滤波器在 20KHz 处的截止频率处均提供了 -3dB 的衰减，而一阶低通滤波器的下降率为 -20dB/10 倍频程，所以在 2 个 10 倍频程的 2MHz 处，总共能提供约 40dB 的衰减；而二阶 RC 滤波器的下降率能达到 -40dB/10 倍频程，所以在 2MHz 处，能提供约 80dB 的衰减；从而能把 PWM 的基频和谐波滤得更加干净。



6.1.6 DAC 应用场景总结

从前文对几种 ADC 的结构和特点分析，我们不难发现 这几种 DAC 在转换时间以及分辨率上各有优势，如图 6-24 所示。其中 $\Delta \Sigma$ 型 DAC 有高转换精度的优点，但相对建立时间较长，一般常用在对精度要求高，但时间要求不高的场合，常见的音频用 DAC 为 $\Delta \Sigma$ 结构；电阻串型以及 R-2R 型 DAC 的建立时间一般在 us 级别，其中电阻串型相对比较便宜，R-2R 型更为精确；电流驱动型 DAC 因其建立时间短的优势，适合于高速应用场合。

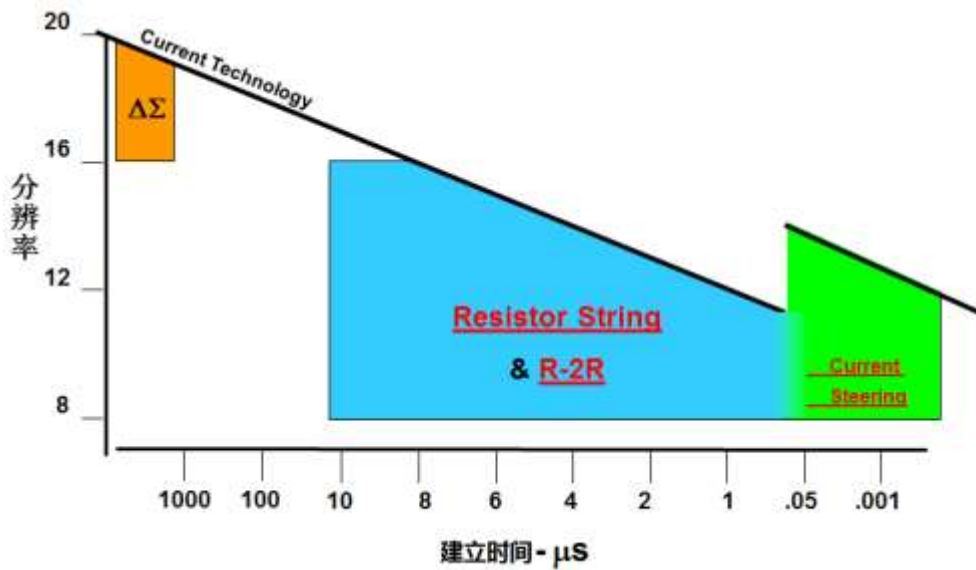


图 6-24 $\Delta \Sigma$ DAC，电阻串型 DAC 以及电流引导型 DAC 建立时间和分辨率对比

根据不同 DAC 性能的特点，在不同的应用场合应选择不同的 DAC。

应用场景	传感器信号	检测与测量	音频	通信，图像
信号分类	温度，湿度，压力，电压，电流等	工业探伤，颤动检测，电机控制等	交流信号	宽带，高速
信号特点	小信号，变化慢，DC 为主	瞬时采样，DC-KHz 信号	20-20KHz，宽动态范围，低失真度	MHz 信号，大带宽，宽动态范围
$\Delta \Sigma$ 型 DAC			+++	-
电阻串/R-2R 型 DAC	+++	+++	+++	-
电流驱动型 DAC				+++

6.2 DAC 选型与电路设计

在设计 DAC 时，我们可以参考下面的指标：

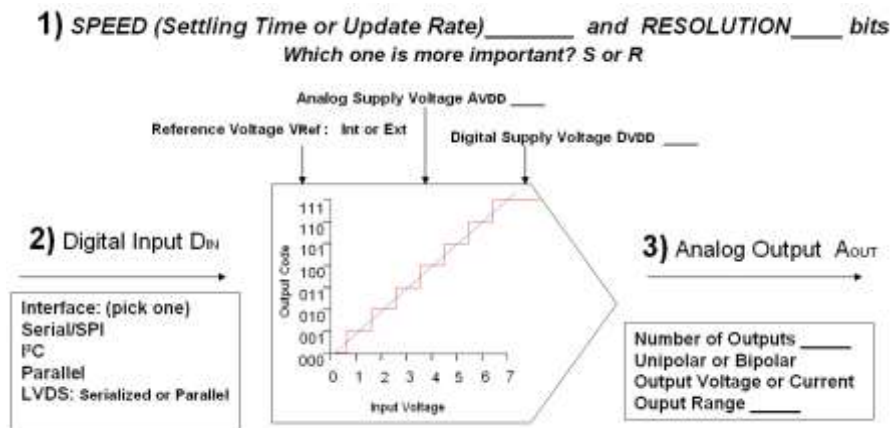


图 6-25 DAC 选型参考对照图

这张图和之前 ADC 选型时的图非常类似，其实 ADC 和 DAC 是两个对称相反的过程：对于 DAC 的输入——数字信号，对应着 ADC 的输出，所以我们需要关心数字信号的输入方式，即接口；DAC 的模拟输出则对应着 ADC 的模拟输入，需要考虑单极性、双极性、单端和差分、多通道等特性；和驱动 ADC 的输入一样，在 DAC 之后也必须放置一个低通滤波器来消除高次谐波，这对 DAC 来说有一个专用的名称，叫做重建滤波器。

6.2.1 确定所需 DAC 的类型

在前面的应用场景中已经对各种不同结构的 DAC 对应的应用场景做了简单的介绍。

一般来所，在高精度控制回路应用中，DAC 多采用 R-2R MDAC。这种结构能完成高电压输出。MDAC 厂商能设计高精度（16-bit）的器件，达到 1LSB 积分非线性和微分非线性误差。MDAC 还要求外置一只快速建立时间（小于 0.3 微秒）、乘法带宽（multiplying bandwidth）大于 10MHz、电流输入电压输出的运算放大器。

反向 R2R DAC 最适合工业应用。在反向 R2R DAC 中，每个单刀双掷开关控制 2R 支路连接到 V_{ref-h} ，或是 V_{ref-l} 。这种结构生产工艺相对简单。R2R 结构具有一条并行数据输入总线。对于带有串行接口器件而言，在 DAC 进行数据转换之前，使用内部串并寄存器，进行串并转换。在很多情况下，各个开关的切换时序歪斜（不同步）都表现为 DAC 的输出端毛刺。反向 R2R DAC 和 MDAC 一样，通常具有出色的低噪声、INL 以及 DNL 性能，而且具有不错的建立时间。

电阻串 DAC 适用于便携式仪表、闭环伺服控制、过程控制和数据采集系统。电阻串 DAC 可确保在整个输入编码范围内的模拟输出的单调性 (monotonicity)，不错的 DNL 性能和非常低的功耗。这种 DAC 产生的毛刺干扰通常要低于其他类型的 DAC。但是，INL 性能取决于电阻阵列匹配，并受芯片布局影响较大；而且电阻串 DAC 的噪声也取决于电阻串阵列的热噪声，而且噪声相对较高（因为较 R-2R 型 DAC 而言，电阻串 DAC 的电阻数量较多）。

6.2.2 确定所需的分辨率和建立时间

DAC 的刷新速度和建立时间和 ADC 的采样速度和建立时间有相近的含义。对于刷新速度（或采样速度） F_s 来说，在产生（或采集）交流信号 F 时是非常重要的指标， F_s 必须高于两倍的 F ，否则无法重建信号。这一点大家都很好理解，并且也得到足够多的重视。

建立时间在直流测量中是一个非常重要的指标，对于 ADC 来说，对采样保持器上的电容充电到期望精度需要一定的时间，如果建立时间大于采样时间，那么得不到真正准确的结果；对于 DAC 来说，缓冲运放的输出达到期望精度也是需要时间的，如果在信号建立到期望精度之前就被后端系统获取，可能会产生误动作；对于多通道系统来说，在各个通道间切换的时候可能会产生阶跃信号，阶跃信号稳定到期望的精度上也需要一定的时间。对于这三种情况来说，我们都可以看作是阶跃信号的稳定：

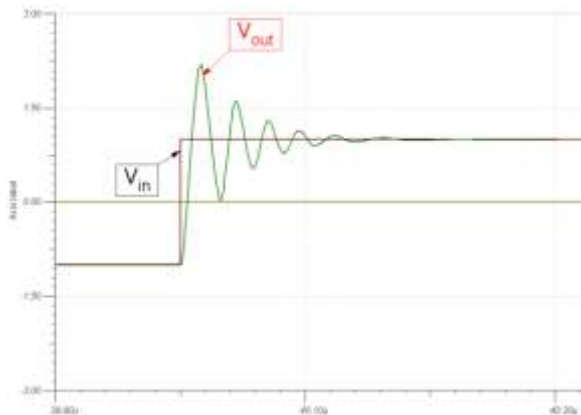


图 6-26 建立时间与稳定有效信号输出

如图 6-26 所示，当输入或输出信号发生跳变时（比如 ADC 开始一个新的采样周期或 DAC 的数字输入改变），信号需要一定时间才能稳定到所需的精度上（指定了稳定精度的建立时间才有意义，比如定义输出达到输入 99.999%所需的时间为建立时间才是有效的）。因此，对于关注于直流精度，通常用来产生控制电平的电阻串型 DAC 来说，建立时间常常在数据手册中比刷新速率占据更重要的位置。

6.2.3 选择并设计 DAC 的模拟输出端

同样的，使用 DAC 时，也需要小心设计它们的模拟接口。

DAC 的模拟输出可能是电压或电流，如果对电压输出进行了缓冲，则输出阻抗将很低。而电流输出和未缓冲的电压输出将存在较高的阻抗，并还可能具有电抗性分量以及纯粹的电阻性分量。在有些 DAC 架构的输出结构中，输出阻抗与 DAC 上的数字码字成函数关系。

理论上，电流输出应当连接到电阻为零欧姆的地电位。在实际应用中，该输出将采用非零阻抗和电压。适合视频、RF 或 IF 应用的大多数高速 DAC 具有电流输出，旨在直接驱动源和负载端接电缆。例如，20-mA 电流输出 DAC 可以在 $25\ \Omega$ 负载（相当于 $50\ \Omega$ 源和负载端接电缆的直流电阻）上产生 0.5V 的电压。

差分输出可以直接驱动变压器的初级绕组，并且通过将输出绕组的一侧接地，可以在次级绕组处产生单端信号。与简单地从 DAC 电流输出之一直接获取输出信号并将其他输出接地相比，这种方法通常可以在高频率下获得更加失真性能。现代电流输出 DAC 通常具有数个差分输出，以便实现高共模抑制并减少偶数阶失真产物。常见的满量程输出电压范围为 2mA 至 30mA。

在许多应用中，需要将 DAC 的差分输出转换成适合驱动同轴线路的单端信号。可用高速运放（可参考应用笔记 SLAA135），也可用变压器设计模拟输出接口，最后在单端信号输出端进行滤波。

变压器不仅用于将差分输出转换成单端信号，而且还将 DAC 的输出与 LC 滤波器的抗性负载隔离开来，因而可以改善整体失真性能（更多这方面的设计要点可参考应用笔记 SLAA399）。如图 6-27 所示，即为文档中讲解的在 DAC5672/5674 中采用 1:1 变压器耦合将前级差分输出转换为加载在负载上的单端信号。

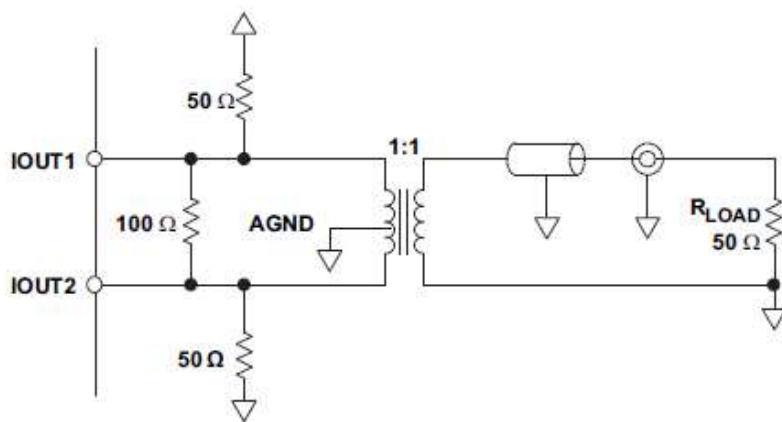


图 6-27 变压器耦合驱动 $50\ \Omega$ 线缆

6.2.4 选择并设计 DAC 的参考电压输入端

DAC 中参考电压输入也要特别注意，基准电压电路的选择和设计可以参考 ADC 部分。

6.2.5 选择并设计高速 DAC 的时钟

在时钟接口方面，和 ADC 类似，若想得到好的本底噪声和 SNR。请用高质量时钟来驱动它们。

6.2.6 DAC 的数据输入

DAC 的数字编码输入方法也和 ADC 类似，低速高精度的 DAC 通常采用 SPI/I2C 方式串行控制，当刷新率上升到 MSPS 时，并行 DAC 开始出现，这一类 DAC 通常用来完成波形发生等工作。SPI 接口部分可以参考 ADC 4.3.6.1 章节，I2C 原理部分可参考 ADC 4.3.6.2 章节。

这里以 DAC8571 为例介绍具有 I2C 通讯接口的 DAC 的数字输入方式。DAC8571 是一款 16 位，低功耗，电压输出 I2C 接口电阻串型 DAC。一般应用在过程控制，数据采集系统，闭环伺服控制以及便携式仪表等场合。

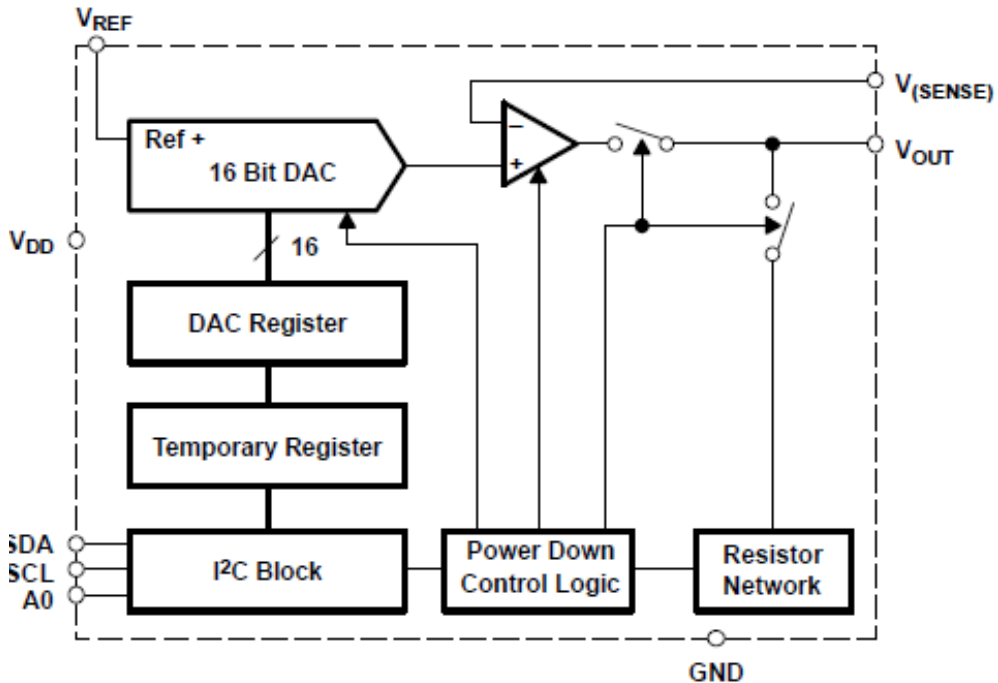


图 6-28 DAC8571 内部框架图及引脚

上位机通过 I2C 接口向 DAC8571 输入指令以及数据。DAC8571 支持 I2C 的 3 种模式：标准（100kbps），快速（400kbps）和高速（3.4Mbps）。我们知道 I2C 为一个两线，开路的接口，利用 I2C 接口，开发者可以在一条总线上实现多个主从设备间的通讯。在前面的基本原理中已经提及，在 I2C 的应用中，总线通过上拉电阻连接到高电平，所以连接在总线上的设备占用总线的唯一方式为将电平拉低。从图 6-28 中可以看出 DAC8571 的两个引脚：SDA 和 SCL 用于 I2C 通讯，分别传输数据和时钟。

首先，我们来看在 DAC8571 中是如何利用 SDA 和 SCL 两条线进行通讯。在 I2C 总线上传输的数据以 8 个比特为单位进行。SDA 的高低电平分别表示传输比特 1 或比特 0，这些传输都是在 SCL 在低电平下进行。当一个比特数据传输完成后，SCL 置为高电平，然后再拉低，进行接下来的比特数据的传输。SCL 上电平的脉冲时间内实现了 SDA 数据转移到移位寄存器中。注意当 I2C 总线无响应时间超过 25ms，为超时表现。如图 6-29 所示，可以看到在 SCL 低电平时（t_{LOW}），SDA 线上实现了数据的保持和配置。

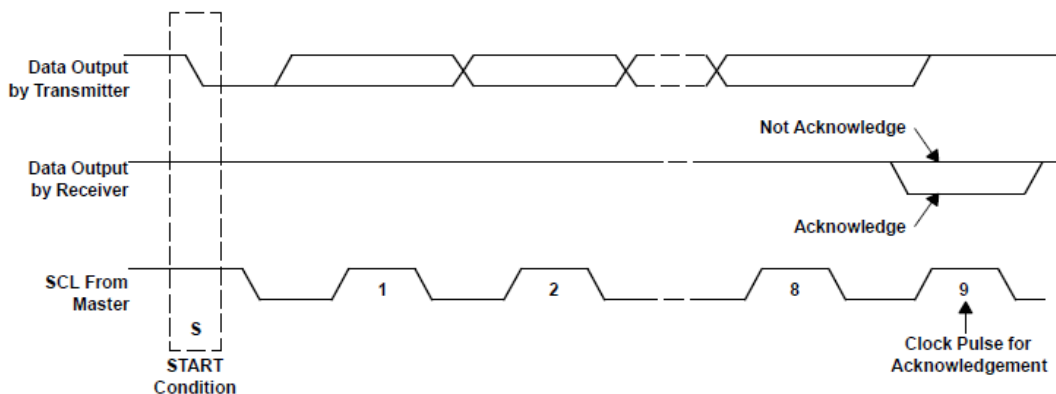


图 6-29 DAC8571 中 I2C 时序图

DAC8571 在 I2C 通讯中处于从设备的位置，一般情况下作为接收方，但是，在某些情况下，例如主机希望得到 DAC 的一些寄存器信息，DAC 则用于数据发送。因而 SDA 则既可以向主设备发送数据，同时也可以从主设备处接受数据。I2C 通讯的开始以一个 START 信号开始，注意只有主设备可以主动发起通讯。区分于数据传输，当时钟信号为高电平时，数据线从高电平变为低电平，表明发送了一个 START 信号；同样，如果此时数据线是从低电平变为高电平，则表明发送了一个 STOP 信号。

当主设备，这里可以是一个集成有 I2C 外设的 MSP430，例如 MSP430G2553，发起了 START 信号，与之相连的 DAC8571 会进入相应的准备阶段。随后在 SDA 数据线上会传输一串 01 信号。根据 I2C 协议，首先是地址字节。这是因为在 I2C 中可以有多个从设备，而这些不同的从设备会以不同的地址加以区分。

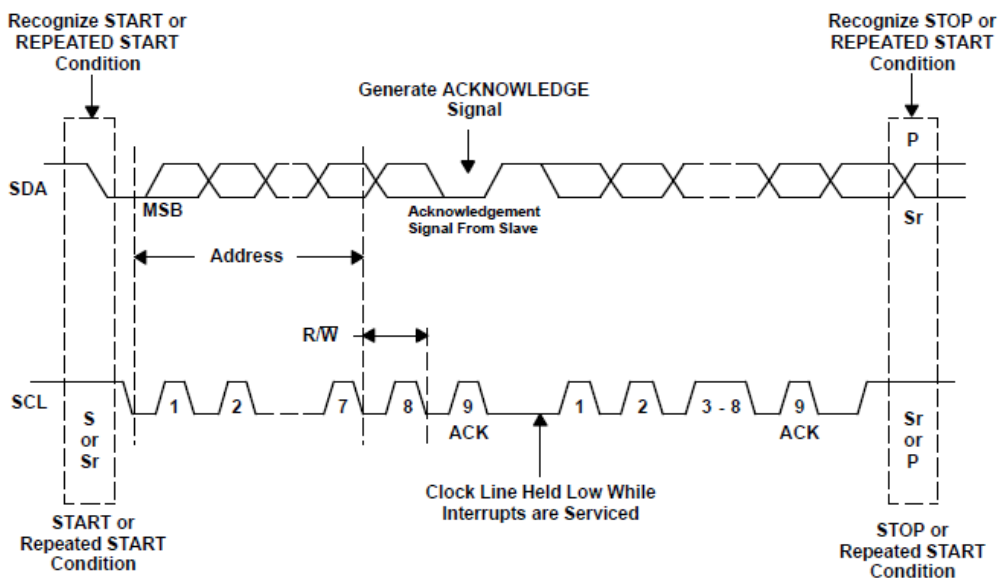


图 6-30 DAC8571 数据传输时序图

在 DAC8571 中，如何标志本芯片的地址呢？在图 6-28 中 I2C 接口模块看到有一个 A0 引脚，这个引脚为地址引脚，可以通过它来配置 ADC 的地址。这样，其实可以理解 ADS7924 会有两个不同的地址，一个是将 A0 接高电平，一个是将 A0 接低电平。从图 6-31 中看到，设备地址是由 7 个比特进行标记，这样与 I2C 通讯的最小单位 8 比特还差一位，剩余的一位用于标志主设备是对从设备进行读操作还是写操作。

MSB							LSB
1	0	0	1	1	A0	0	R/W

图 6-31 DAC8571 设备地址

在传输或者读取数据之前，会从从设备出接受一个响应信号（acknowledge bit）。具体地说，当主设备发送了从设备的地址之后，对应的从设备接收到通信信息，此时，主设备会放弃对 SDA 的控制，而是等待从设备发送响应信号。所以在对 ADC 输出进行测试时，我们会在 SDA 引脚上看到电平拉低的现象，如果主设备发送地址字节之后，SDA 线一直保持高电平状态，表明本次通讯请求失败。在主从设备确认后，会进入数据传输的过程。

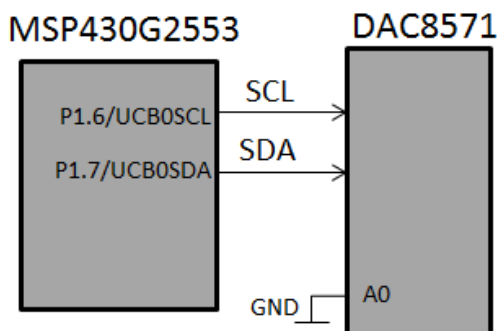


图 6-32 DAC8571 与 MSP430G2553 接口示意图

如图 6-32 所示为使用 MSP430G2553 作为上位机控制 DAC8571 的电路连接示意图。如下所示的程序实现了 MSP430 输入控制 DAC 输出一段正弦波形：

```

WDTCTL = WDTPW + WDTHOLD;           // 关闭看门狗
P1SEL |= BIT6 + BIT7;                // 配置MSP430的I2C接口
P1SEL2 |= BIT6 + BIT7;               //
UCB0CTL1 |= UCSWRST;                 //
UCB0CTL0 = UCMST + UCMODE_3 + UCSYNC; // 配置MSP430为主机
UCB0CTL1 = UCSSEL_2 + UCSWRST;       // 配置主机时钟
UCB0BR0 = 12;                         // fSCL = SMCLK/12 = ~100kHz
UCB0BR1 = 0;
UCB0I2CSA = 0x4c;                     // 配置从机地址
UCB0CTL1 &= ~UCSWRST;                 //
IE2 |= UCB0TXIE;                      //
UCB0CTL1 |= UCTR + UCTXSTT;           // 配置MSP430为发送开始状态
UCB0TXBUF = 0x010;                    // 写入DAC控制字
...
...

// USCI_B0 中断
#pragma vector = USCIAB0TX_VECTOR
__interrupt void USCIAB0TX_ISR(void)
{
    static unsigned char ByteCtr;

    UCB0TXBUF = Sine_Tab[ByteCtr++];   // Sine_Tab数组里对应存放正弦
波数据
    ByteCtr &= 0x1f;                  //
}

```


和前面 SPI 方式类似，使用 MSP430 内部的串口通讯模块控制 ADC/DAC 十分简单，只需要在初始化的时候对通讯模块进行合理的配置。按照 I2C 通讯协议进行通讯即可。

使用 MSP430 作为微控制器与 DAC8571 通讯时有几点需要注意：

1. 在上面的程序中，似乎没有发送从机地址的语句，甚至也找不到 I2C 协议中说的 START 信号，是不是程序写错了？答案显然是否定的。和软件模拟 I2C 不一样，硬件 I2C 在对寄存器做配置之后由一些工作是自动完成的。在程序中对 UCB0CTL1 寄存器的配置中已经将 MSP430 配置为主机，同时在 UCB0CTL2CSA 中写入了从机的地址，这样将 UCTXSTT 这个发送开始信号写入相应的寄存器后，外设会自送生成 I2C 协议开始的时序，发送开始信号以及从机地址，等待 Acknowledge 回应。同样，通讯的停止也是通过向控制寄存器中写入停止位实现的。

2. 再有就是从机的地址问题。在本例将 DAC8571 的 A0 引脚接地，对应图 6-31，可知此时 DAC 的地址为 1001 100x，其中最后一位 x 为读写位。这时对照程序，似乎又有疑问了，此时的地址似乎应该为 0x98，和程序中的 0x4c 不符合。实际上，由于控制寄存器中对发送还是接收进行了定义，也就是说对于设备此时的读写状态已经通过这个控制字固定了，意味着对当前主设备读/写状态已经明确，所以不需要用户自己添加 R/W 位。在写入从设备地址时只需真实地写入地址位，但注意的是空出的一位为 MSB，从图 6-33 中可以更为清楚地看出两者之间的对应关系。另外还需要注意的是在 MSP430G2553 中同时支持 7 位从设备地址和 10 位从设备地址，在对寄存器配置时首先选择从设备地址模式。

DAC8571 地址		1	0	0	1	1	0	0	R/W
MSP430 中从机地址	0	1	0	0	1	1	0	0	
UCB0I2CSA=0x	4				C				

图 6-33 Datasheet 中的地址位和 MSP430 配置时地址位对应关系

第六章 低噪声精密电路的设计与优化

7.1 精密信号链中的噪声抑制

在这部分将结合一个实际案例来看精密信号链中的噪声问题，以及如何来解决与抑制信号链中的噪声问题。

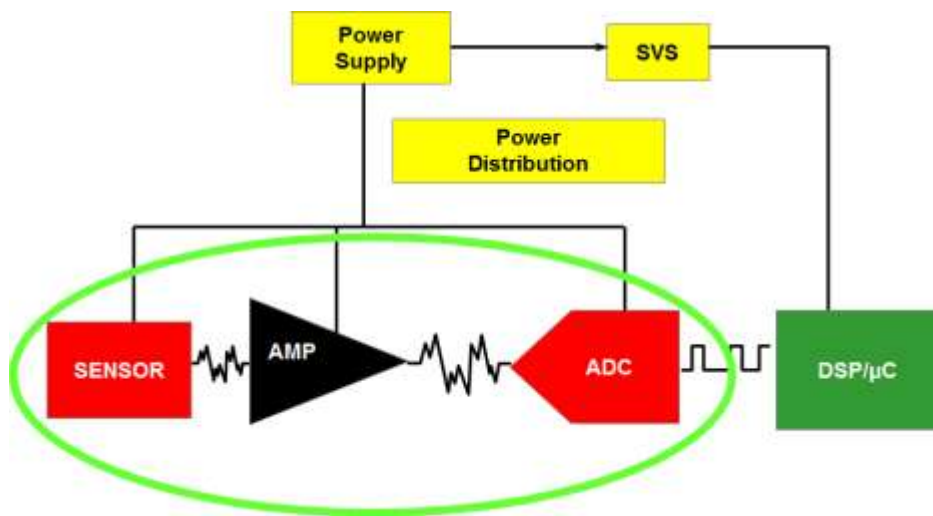


图 7-1 信号链示意图

如图 7-1 所示，为采集系统中常见的一个模拟信号链路。图中左边为一个传感器采集各种模拟信号，在此之后为一个放大电路，放大调理后的信号被送入到一个 ADC，实现了模拟信号到数字信号的转换。转换后的数字信号输出被送入处理器，如 MSP430 进行后续的处理。此外，一个完整的系统还会包括电源系统。考察系统噪声，系统中的每个部分，包括电源，甚至处理器的合理设计都会对系统噪声起到很好的抑制作用。在本章节，我们主要围绕数据转换器的前后环节，即图中被圈出的部分，对噪声进行讨论。电源噪声抑制可以参考电源部分。

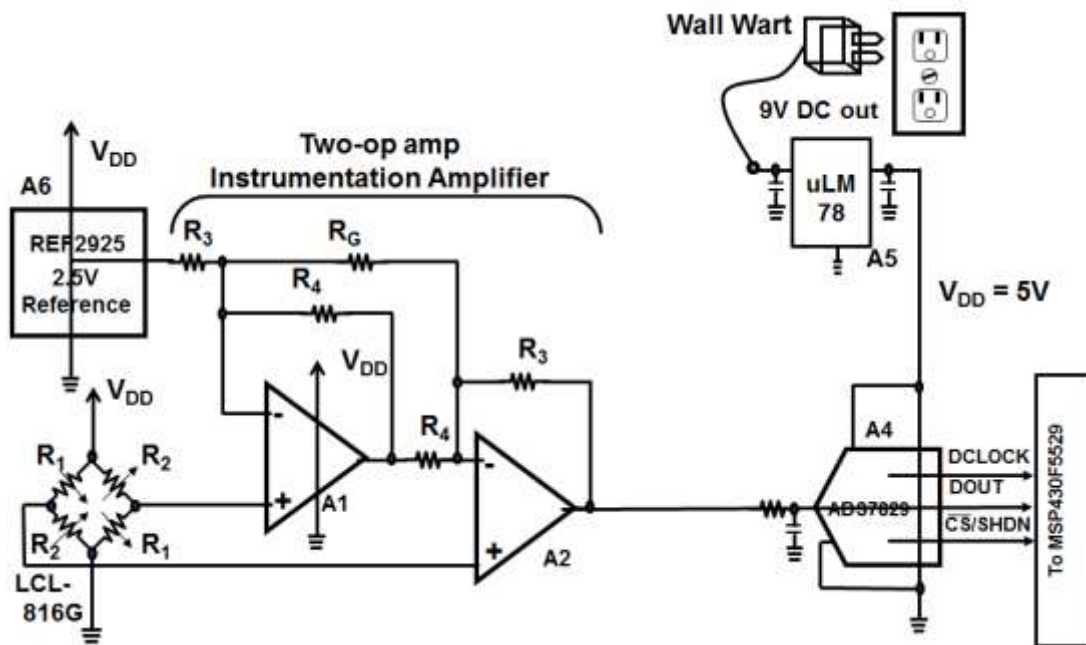


图 7-2 信号采集原理图

如本书开篇所描述，在现实世界中，我们听到的或看到的都是模拟的。各种类型的传感器是我们很容易能够将这些模拟信号转换为模拟电压或电流信号，这样数据转换器就可以将模拟信号转换为数字信号，从而使得处理器可以进行后续的处理。

图 7-2 所示为一个负载单元电路。左侧 LCL-816G 负载单元为一个电阻桥传感器，需要电源激励，电源电路部分提供 5V 的直流电压，当 5V 激励电压加在传感器上，其最大负载为 900g，此时满刻度的输出为 ±10mV 的差分信号。输出的信号被仪表放大器放大，电路中仪表放大器由两个运算放大器（图中 A1 和 A2）以及外围的电阻构成。其中，电阻值分别为：

电阻	阻值 (Ω)
R3	400k
R4	100k
RG	5.33k

图中的差分放大为经典的双运放构成的放大电路，不妨选择单电源供电双通道 CMOS 运放 OPA2337。经计算可以发现放大电路增益约为 153V/V。这个增益范围在仪表放大器满量程放大范围内，不会造成饱和，同时也满足 AD 转换的量程。通过 SPI 或其他接口，处理器可以获取 ADC 转换的结果，进行后续的校准及其他处理。ADC 转换则初步选择为 ADS7829,12 位的 SAR 型数据转换器。



Burr-Brown Products
from Texas Instruments



OPA337, OPA2337
OPA338, OPA2338

SBO507B - JUNE 1997 - REVISED MARCH 2005

MicroSIZE, Single-Supply
CMOS OPERATIONAL AMPLIFIERS
MicroAmplifier™ Series

FEATURES

- **MicroSIZE PACKAGES:**
SOT23-5, SOT23-8
- **SINGLE-SUPPLY OPERATION**
- **RAIL-TO-RAIL OUTPUT SWING**
- **FET-INPUT:** $I_B = 10\text{pA max}$
- **HIGH SPEED:**
OPA337: 3MHz, $1.2\text{V}/\mu\text{s}$ ($G = 1$)
OPA338: 12.5MHz, $4.6\text{V}/\mu\text{s}$ ($G = 5$)
- **OPERATION FROM 2.5V to 5.5V**
- **HIGH OPEN-LOOP GAIN:** 120dB
- **LOW QUIESCENT CURRENT:** $525\mu\text{A/amp}$
- **SINGLE AND DUAL VERSIONS**

APPLICATIONS

- **BATTERY-POWERED INSTRUMENTS**
- **PHOTODIODE PRE-AMPS**
- **MEDICAL INSTRUMENTS**
- **TEST EQUIPMENT**
- **AUDIO SYSTEMS**
- **DRIVING ADCs**
- **CONSUMER PRODUCTS**

SPICE model available at www.ti.com

图 7-3 OPA2337 基本特性

在器件选型结束后，进行 layout 的设计，如图 7-4 所示，左边为正面视图，右边为背面走线布局。

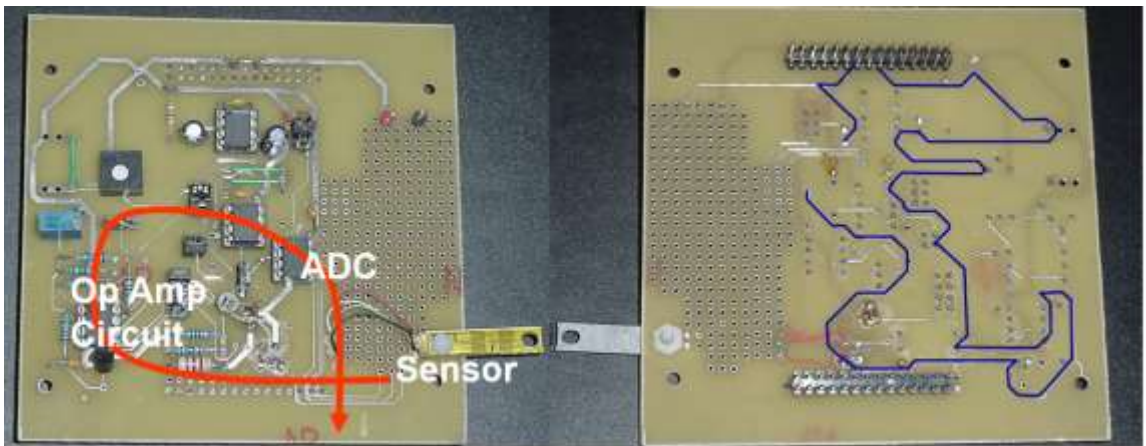


图 7-4 电路 PCB 设计

我们先来看看这样的一个系统表现如何。我们不妨检测这个系统的直流特性，即将压力传感器处在不施加压力状态，这样理论上讲进入电路中的将会是一个固定的直流量。对于 ADC 而言，其转换得到的结果应该是一个固定的值。如果我们将转换结果做一张图，横轴为转换数字信号的值，纵轴为对应数值出现的次数，理想结果应该是在某一点且仅在该点出现一个峰。那实际的结果是什么样的呢？从图 7-5 中可以看出，真实结果和我们的想象大相径

庭。图 7-5 所示为 ADC 采样后直接得到的数据。我们一共采集了 1024 个数据点，从图中可以看出，实际一共出现了 44 个不同的数据点。如何理解这 43 个噪声点对系统精度的影响？从图 7-5 中我们看到原先理论上应只出现一个采样值，现在采样值变为出现在一段范围内，这个范围即为采样结果的不确定范围，其大小为 44，那换算到二进制为 6.5 ($2^{6.5} \approx 44$)，也就是说对于这个 12 位系统，有 6.5 位是不准确的。

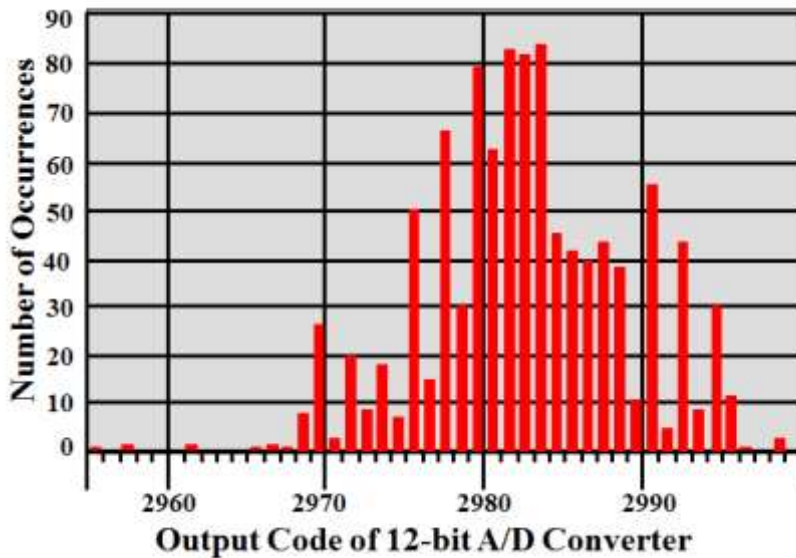


图 7-5 ADC 数据转换结果

我们回过头来看这样一个系统设计。对于一个称重系统，人们关系的是称重的范围和精度，这就是系统设计的需求。对于上述满量程为 900g 的传感器，如果我们要求最小检测精度为 0.3g，这样我们可以计算得到选用 ADC 的位数 N，至少满足：

$$\frac{0.3}{900} = \frac{1}{2^N}$$

这样，我们得到 ADC 的分辨率应至少为 11.55 位，12 位的 SAR 型 ADC 已经可以满足系统需求。而实际得到的精度远低于 ADC 的理论精度，可见噪声对系统精度的影响。下面将从噪声来源，以及电路优化这几个方面来进行讲解和分析。

7.1.1 噪声来源

首先我们来看电路中有哪些噪声，同时这些噪声从何而来。

电路包括不同的部件和芯片，所有都有可能成为噪声的来源。例如，电阻会带来热噪声，这个噪声为宽频噪声，几乎涵盖所有频率范围；运算放大器其芯片内部会产生噪声；而 ADC 产生的量化噪声相较于其他器件，对电路造成的噪声影响反而是最小的。

在 PCB 层面，在相邻走线间的信号可能会相互影响。此外，周围环境中的信号也有可能耦合进电路中，成为噪声的来源，例如常见的 50Hz 工频干扰。

此外，PCB 的布局以及走线也会很大程度上影响系统的表现和性能，这点大家应该深有体会。

从上面的描述中可以看出，噪声基本上可以分为三大类：器件噪声，辐射噪声和传导噪声。

噪声分类	噪声来源
器件噪声	板上大部分器件
辐射噪声	周围环境或板上影响
传导噪声	板上走线

• 器件噪声

器件噪声根据来源又可以分为两大类，板上的有源或无源器件都会带来器件噪声。所有的无源器件，例如电阻，电容和电感都会产生噪声。

电阻，很常见的一个元器件，我们往往会忽略它对电路产生的影响。但实际上，电阻会产生一个覆盖所有频率范围的一个固定噪声。这个噪声电压与电阻的材料无关，而是来源于热噪声。热噪声，又被称作 Johnson 噪声，是由导电材料内部的电子随机热运动产生的。这个噪声值与电阻的阻值的平方根成正比。理想的噪声，也就是最小噪声功率谱密度满足下面的计算公式：

$$V_{RN} = \sqrt{4KTR(BW)}$$

其中，K 为玻尔兹曼常量，大小为 1.38×10^{-23} ；

T 为开式温度；

R 为电阻阻值；

BW 为感兴趣的频率区间。

例如，对于 1k 的电阻，其理想噪声功率谱密度为 $4nV/\sqrt{Hz}$ 。

电容通常被用作降低或滤除系统噪声，例如供电附近的旁路电容等。但同时，我们需要注意，当用在开关电路中，由于反复充放电，电容可能会产生噪声。

对于理想电感，只有感性特点，但实际上，我们实际使用的电感会有电阻特性，以及电容特性（电感线圈之间），同样，在开关电路中，电感也非常容易产生磁场，从而给电路带来噪声。

有源器件，例如放大器，线性稳压器或 ADC 等也会通过 PCB 信号通路对电路产生影响。封装在硅片内部的各种晶体管，包括双极性三极管，场效应管，CMOS 管都会产生噪声。在放大器中，差分输入端决定了噪声的大小；在电压参考或校准中，一般在输出端测量噪声的大小；对于开关电源来讲，由于在电感通路上的开关特性，从而有自己一套噪声测量方法。

像运放，仪表放大器等这些纯模拟器件的噪声通常表现为电流或电压。需要注意这些噪声在两个频率段的影响：一个是 $1/f$ 噪声，另一个是宽带噪声。这两个参数都可以在元器件的数据手册中找到。

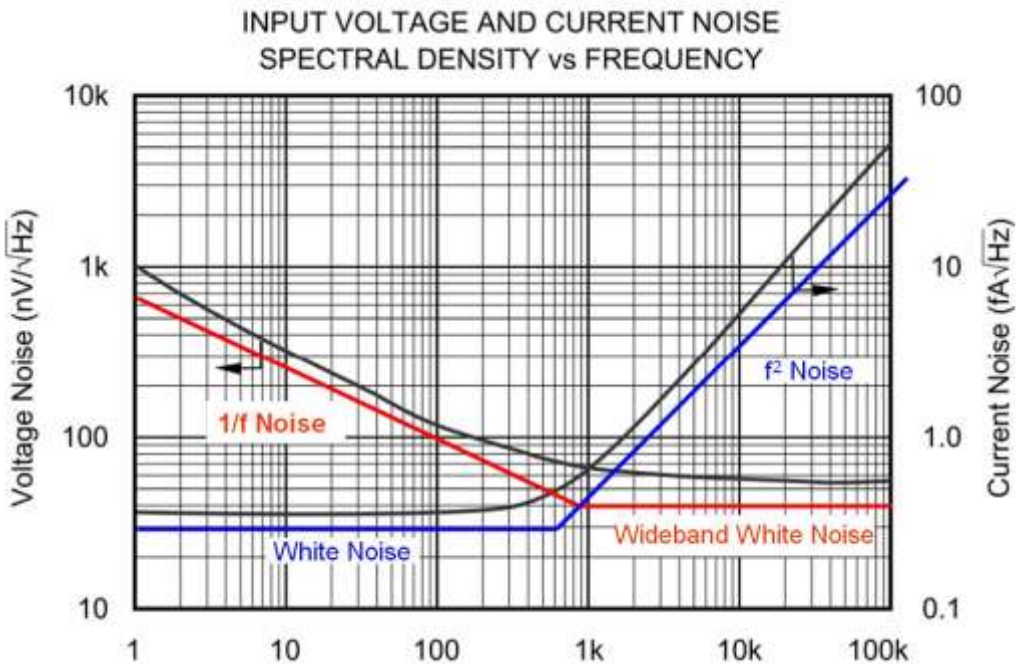


图 7-6 $1/f$ 噪声和宽带噪声

- 辐射噪声

该类噪声通常来自相邻数字信号走线或周围环境，例如众所周知的 50Hz 工频干扰，或者周围一些电器，像打印机等的使用。其噪声大小与 PCB 板上走线以及电源层设计有关。周围噪声源可能有：板上变压器，开关稳压器或线路板附近正在使用的其他设备。

- 传导噪声

传导噪声一般出现在 PCB 的走线中，传导噪声可以由辐射噪声或器件噪声产生。

在开章提出的案例中，我们选择的器件，包括我们的电路设计到底带来了哪些噪声，我们应该采取怎样的措施具体的分析，这些将在下面的章节中进行详细的阐述。

7.1.2 减少器件噪声

对于器件噪声，解决方法相对比较简单：选择噪声较小的器件或者在器件后添加一个滤波器。

我们回到前面的例子。在图 7-2 的信号通路中，涉及到的无源器件为放大电路中的电阻，以及放大器和 ADC。首先来看电阻，如上节所讲，电阻产生的噪声与材料无关，主要由电阻阻值决定。而在本例中，我们对电阻的绝对值没有特殊需求，只需要满足特定的比例关系就可以实现放大器指定增益的放大。鉴于此，我们将所有电阻比例缩小：

电阻	原选阻值 (Ω)	优化阻值 (Ω)
R3	400k	40k
R4	100k	10k
R _G	5.33k	533

那对于放大器之类的器件，应该如何降低噪声呢。一般的解决方法是进行重新选型，选择更小噪声的元器件。请先阅读放大器部分关于噪声的章节，回顾运放的 1/f 噪声和宽带白噪声。在本例中，我们放大的对象是 10Hz 以内的信号，因此我们最为关心的是 1/f 噪声。比如我们原先所选的 OPA2337，其 1/f 噪声为 $6 \mu V_{p,p}$ ($f=0.1\text{Hz}-10\text{Hz}$)。而我们可以选择 OPA2335，其 1/f 噪声仅为 $1.4 \mu V_{p,p}$ ($f=0.01\text{Hz}-10\text{Hz}$)。

NOISE					
Input Voltage Noise, f = 0.1Hz to 10Hz			6		μV_{pp}
Input Voltage Noise Density, f = 1kHz	e_n		26		nV/\sqrt{Hz}
Current Noise Density, f = 1kHz	i_n		0.6		fA/\sqrt{Hz}
NOISE					
Input Voltage Noise, f = 0.01Hz to 10Hz	e_n		1.4		μV_{pp}
Input Current Noise Density, f = 10Hz	i_n		20		fA/\sqrt{Hz}

图 7-7 OPA3371/f 噪声（上图）和 OPA3351/f 噪声（下图）对比

而 ADC 在这里实际没有引入太多的噪声，对其选型保持不变。

7.1.3 减少辐射噪声

对于辐射噪声，如前面所讲，其噪声基本来源于周围环境或板上的某些数字信号走线。所以我们减少辐射噪声的主要考虑角度是尽量避免板上信号的耦合。在 PCB 板上，基本上有三类容易接受辐射的噪声：第一是单端高阻输入端；第二是环状走线；第三就是长走线。

a. 环状走线的影响

如图 7-8 所示为一个典型的地线构成了一个环路。我们看到环路上有一些电子器件，是否这样就不再构成一个环路了呢？其实不然，这些元器件也可以看成是一个个环路。PCB 上环状走线的影响相当于电感，它产生电磁噪声，同时也接收电磁噪声。还记得开始的那个案例，从图 7-4 可以看出，其信号回路构成了一个大的环路，这显然不是抑制噪声的好做法。

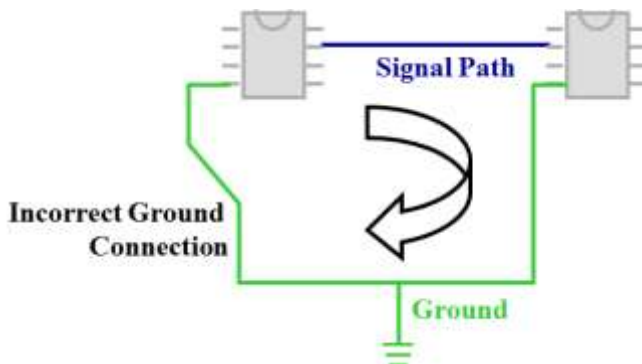


图 7-8 不推荐的环状走线

b. 长走线的影响

长走线造成辐射噪声的原因很好理解：在 PCB 上的长走线可以看做一个天线。同样的，没有连接的空走线同样可以看做天线。这个原理在现实生活中也会感受到，例如现在的手机，在用作收音机时会利用长长耳机线作为接收天线。我们在进行电路设计时，为避免该类影响，无论是模拟还是数字信号线应尽可能地短。电路受到多大的影响主要由周围环境决定，而短导线可以将板上所接收到的影响，也就是实际表现出来的噪声减少到最小。通过合理的布局布线，板上信号的耦合实际上是可以避免的。特别需要注意的是在一些放大器或者 ADC 的输入端，由于输入阻抗往往较大，这些位置对耦合噪声更加敏感。

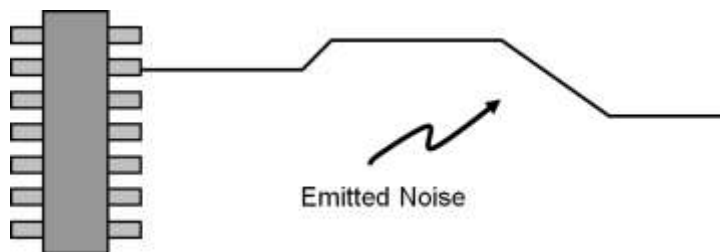


图 7-9 PCB 中的长导线如同天线接收周围环境的辐射噪声，同时也“发射”噪声

此外，还需要特别注意的是板上信号线之间信号的耦合和影响。尤其是当相邻走线为迅速变换的电压信号，例如数字信号或时钟信号。如图 7-10 所示，我们可以看到，当一根走线为快速变化的电压信号时，相邻的平行走线中会耦合出电流噪声，这种耦合电流噪声在数字走线中可能不会产生较大的影响，毕竟噪声大小有限，不会越过数字信号 0/1 的门限；但是

在一些模拟走线上，当这些噪声电流流入高阻抗结点时，就会产生可观的噪声（和输入的小信号做比较），例如运放器件的输入端，会对精密电路产生较大的影响。

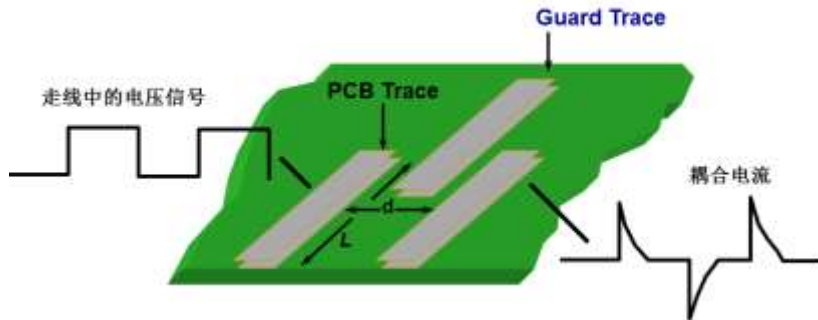


图 7-10 快速变化信号走线对周围平行走线的影响

在这种情况下，耦合的电流可以通过下列公式计算得到：

$$I = C \frac{dV}{dt}$$

其中， C 为两个相邻导线之间构成的等效电容大小，如图 7-11 所示，长度为 L 的导线和与其相邻 d 的导线之间构成的电容大小为：

$$C = \frac{W L e_o e_r}{d} pF$$

其中， w 为 PCB 走线的厚度； L 为 PCB 走线的长度； d 为两条 PCB 走线之间的距离； e_o 为空气的介质常数； e_r 为 PCB 面板材料的相对介质常数。

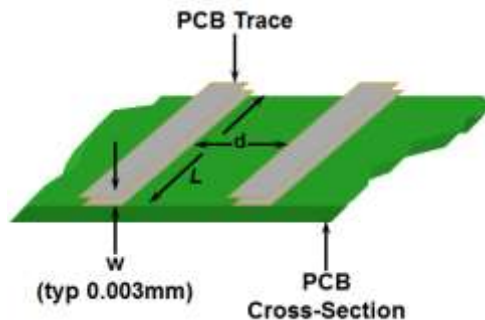


图 7-11 相邻导线构成等效电容

由上面两个公式可以看出，减小耦合电流最直接的方法是减小平行走线构成的等效电容，而该电容的大小主要由两条平行走线的长度和之间的距离决定，因而可以通过避免数字信号与模拟信号平行走线，缩短平行走线长度，同时增加平行走线间的距离的方法来减小耦

合的电流。另外对于相邻走线间的耦合，图 7-10 提供了另一种减少噪声的方法：在两条走线之间增加一个对地保护走线，这样避免了两条走线间信号的直接耦合。

通过器件的重新选择（见 7.1.2），即选择小阻值的电阻同时选择较小 1/f 噪声的运放来减少器件噪声；此外，在 PCB 布线上，采取去除多余走线，以及环状走线，减少数字电路和模拟电路间的耦合，使用更短的走线等方法来抑制辐射噪声，图 7-12 所示。

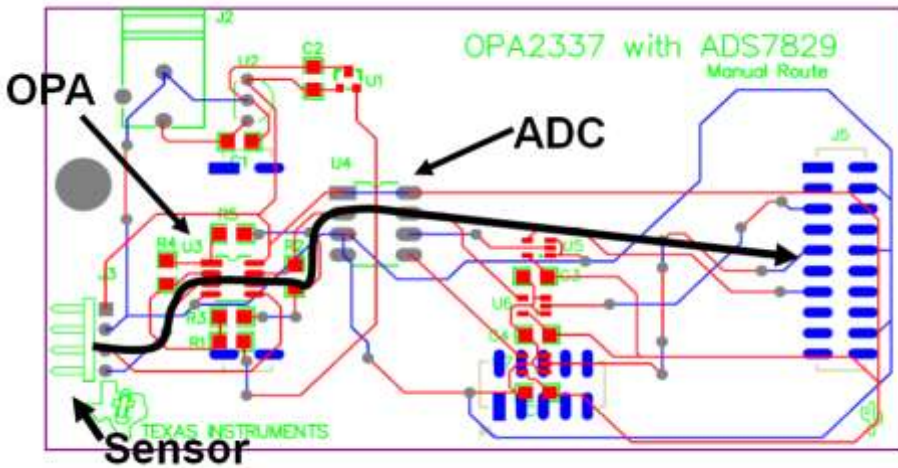


图 7-12 考虑到噪声抑制后的 PCB 布局布线

这时，我们发现 AD 采样的结果较最初（图 7-5）发生了很大的改善：同样采样 1024 个点，仅得到 6 个不同的数据点。同理，ADC 的有效位数为 $12\text{bit} - \log_2(6) = 12 - 2.6 = 9.4\text{bit}$ 。

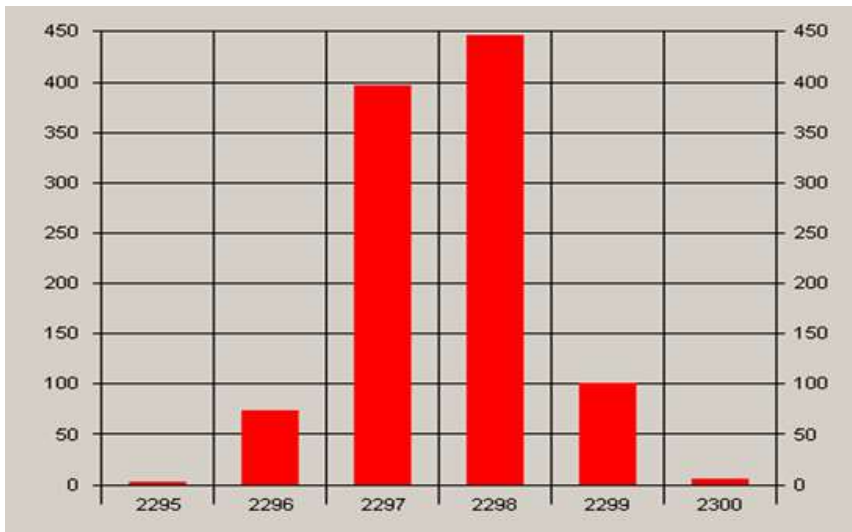


图 7-13 经过优化后的采样结果

7.1.4 减少传导噪声

从传导噪声的起源，可以看出可以通过减少器件噪声或周围环境的干扰来降低传导噪声对电路的影响。但在某些场合我们需要特定的器件，同时要求在特定场景下工作。举个例子：在电气隔离系统中，我们需要对电源进行隔离，而 DC/DC 转换器会产生很大的开关噪声。在实际操作时，我们一般从以下三个方面来减少电路中的传导噪声的影响。

7.1.4.1 使用旁路电容减少电源线上的传导噪声

记住一点，无论电路的供电形式如何，在电源处始终用上旁路电容，否则电源噪声会对电路的性能产生影响。一般在电路设计中旁路电容用在两个地方：一个是电源供电处，另一个在所有有源器件，无论是模拟器件还是数字器件的供电引脚处。具体采用的旁路电容值取决于所选用的器件。如果器件的带宽小于或等于 1MHz，0.1 μF 的电容可以很好地滤除噪声；当器件的带宽大于 10MHz 时，选用 0.01 μF 的电容则比较合适；处于两者之间两个大小的电容均可。

此外，对于特定芯片，最佳的选择是参考芯片数据手册决定旁路电容的大小取值。同时，可以通过下面所述的方法来进行合适容值的选择。

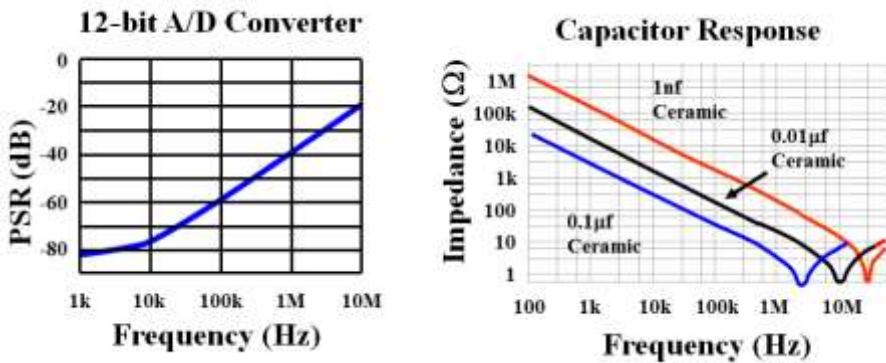


图 7-14 旁路电容值选择参考

如图 7-14 所示，右图展示了不同容值的陶瓷电容的相应曲线。横轴为频率，纵轴为电容表现出来的阻抗。我们可以看到 0.1 μf 的电容大约在 2MHz 时其阻抗表现低于 1 Ω ，即对 2MHz 左右的信号滤波效果最好；同理，0.01 μf 的电容则对对 10MHz 左右的信号滤波效果最好。结合左图的 ADC 的电源电压抑制比在不同频率段的表现，以及干扰噪声的频率，可以选择最合适大小的电容。

在放置旁路电容时注意应尽可能靠近器件供电引脚，走线应尽可能短。同时，如果选用了两个旁路电容，容值较小的应更靠近芯片引脚。

7.1.4.2 合理的 PCB 设计减少地平面上的传导噪声

实际上对地以及电源层的设计和实现对低噪声设计来说是至关重要的。一般来说，所有的电路设计中对地的处理应当是铺铜处理。在带有模拟器件或者混合器件的电路中，没有铺地层是非常不明智的。首先，模拟信号是以地为基准的，地噪声问题会给电路带来更大的影响；其次，地平面的优点在于在宽频域上都处于低阻抗状态，现代数字器件的开关频率都在 MHz 以上，当数字器件工作时会有大量的高频电流返回到地层；如果没有地平面，而采用地线的方式连接所有地，细长的地线所带有的寄生电感会在高频信号的冲击下产生大量电压噪声，或常说的地弹；再次，合理规划地平面上的电流路径，绝对避免将数字地或功率地上的电流流入模拟地；最后，尽量保持地平面的完整性，分割的地线会导致电流回流路径紊乱，因此要避免走线跨越分割的地平面。在电源层设计上，同样的，在成本允许的条件下尽可能的采用电源平面，同时在高频大功率走线上（如开关电源的功率回路）注意用覆铜的方式确保线宽，尽可能减小电源走线上的寄生电感。

7.1.4.3 在 ADC 前使用低通滤波器减小信号链中的传导噪声

除却在电路中添加旁路电容之外，在送入 ADC 之前的信号需首先进行滤波处理。在 ADC 前添加的低通滤波器主要目的在于滤除送入 ADC 信号中的高频成分。一方面是避免混叠，另一方面是为了减少进入 ADC 的宽带噪声，前面我们提到过电阻的热噪声，运放的白噪声都是和带宽相关的指标（请查阅放大器部分中和噪声相关的章节），如下图，在添加二阶低通滤波器之前，以 12 位 ADC 的信噪比 74dB ($12 \times 6.02 + 1.76 = 74\text{dB}$) 为阈值，所选放大器构成的信号链的带宽超过 30MHz，这意味着所有 30MHz 内的宽带白噪声被积分后都会影响到 ADC 的性能，而在我们添加一个 10Hz 的二阶低通滤波器后，只有 1kHz 以内的噪声才会对 ADC 造成影响。由此可见低通滤波器的巨大作用：

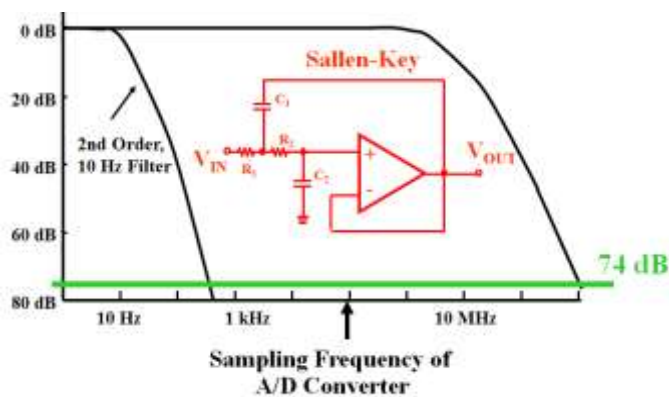


图 7-15 在 ADC 前添加低通滤波

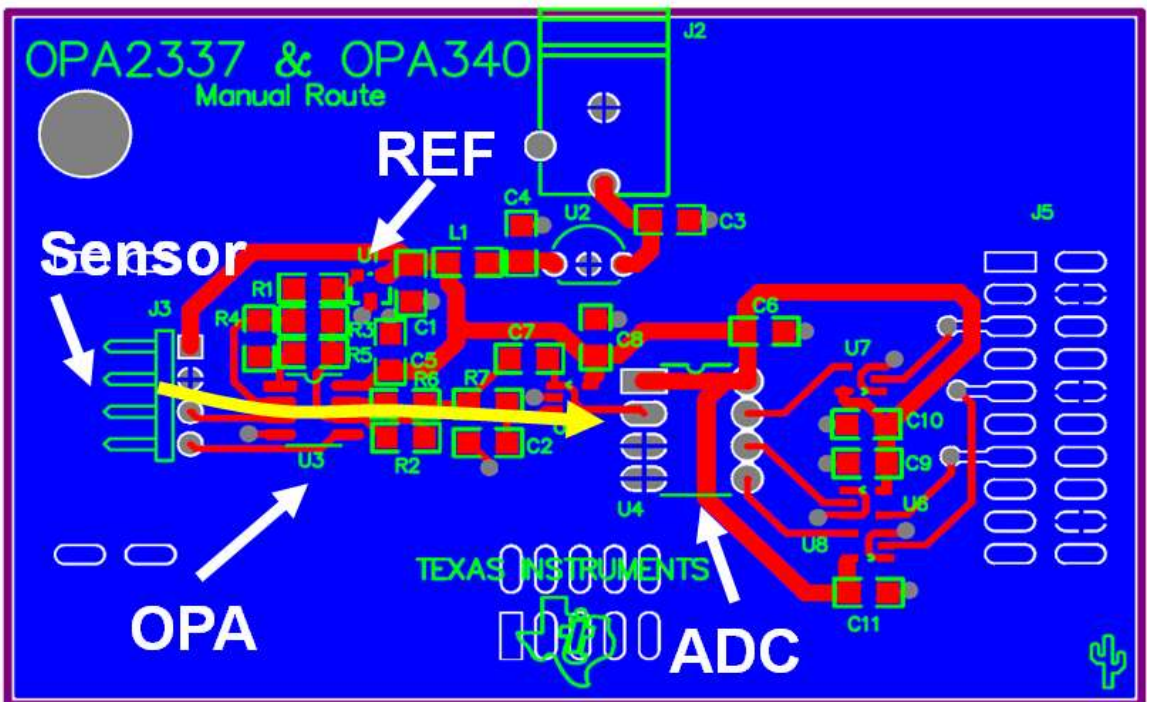
此处的滤波器设计可以使用 FilterPro 或 Webench 来辅助完成，TI 放大器设计指导中有关于滤波器设计的内容，此处不再赘述。

7.1.4.4 小结

总结下来，减少传导噪声的方法有：

- 替换噪声系数较大的器件
- 在电源引脚旁添加去耦电容
- 改善信号线走线并铺地
- 进入 ADC 之前，对信号链路进行滤波

经过以上分析，我们在前面改善的基础上添加去耦电容，优化 PCB 设计，增加二阶滤波器，最终的 PCB 如下图，这里我们看到了一个紧凑的电路设计，模拟部分和数字部分划分得很清晰且互不干扰，所有敏感的模拟信号走线都尽可能的短而且直接进入下一级，电源在进入芯片前进过去耦电容，并有一个很完整的地平面在宽频带都能提供低阻抗的电流回路。



最后来看经过优化后，ADC 的最终输出结果：

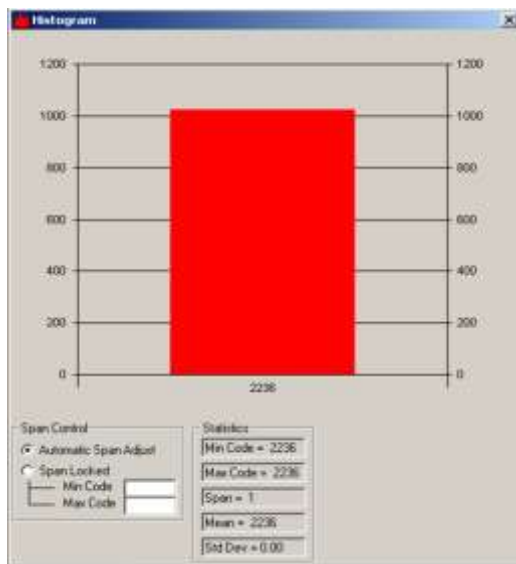


图 7-16 第二次优化后的 ADC 输出结果

从图中可以看到，至此系统中最终进入 ADC 的噪声已经低于 ADC 的最小分辨率，再也没有码字跳动的情况存在了，ADC 真正实现了 12 位的精度。

7.1.5 PCB 优化指南

在系统设计中，好的元器件布局，PCB 走线会对系统性能产生很大的影响。其实，从前面的检测结果已经可以部分说明没有优化的 PCB 设计对有效信号的影响。在前面几节中已经部分涉及如何通过调整 PCB 走线，地层的设计来减少辐射噪声等对信号的干扰。在本节中将针对 PCB 优化进行分析和总结。

7.1.5.1 元器件布局

一般来说对于元器件布局，需要注意的就是将噪声敏感器件尽量远离产生噪声的器件。尤其是在高精度的电路中，有源器件的放置需要格外注意。

电路中的高速器件 (>40MHz) 应尽量靠近接插件和电源。数字器件也应尽量靠近接插件和电源。将纯模拟器件远离数字器件放置，可以确保开关噪声不会被耦合到模拟信号链路中。

7.1.5.2 PCB 中地层和电源层的优化

如前文所讲，在 PCB 中一定要使用铺地的策略，这点在模拟数字混合信号设计中显得更加重要。在电路中，模拟信号是以地为基准的，这样需要设计者格外注意对地噪声；此外优化的地层设计可以对噪声起到屏蔽作用，有些噪声只有铺地方法可以简单有效地解决。

7.1.5.3 信号线的优化

在电路板上，无论是数字电路还是模拟电路，信号线走线的基本原则是尽量短。这点无论是从前文所提及的减少辐射噪声还是传导噪声都有帮助。因为短的信号走线将降低无关信号耦合到信号链路中的可能性。这个原则在一些高阻抗的输入端要特别注意，高阻抗输入端对输入电流敏感，如果在高阻抗输入端有快速变化电压的走线（如高频数字或时钟信号走线），此时走线中的电荷会通过寄生电容耦合到高阻抗走线中。从前文的描述中我们可以得知对信号走线的优化主要是尽量避免平行的长走线。

7.1.5.4 使用旁路电容和抗混迭滤波器

此章节内容请参考减少传导噪声。

7.1.5.5 PCB 设计总结

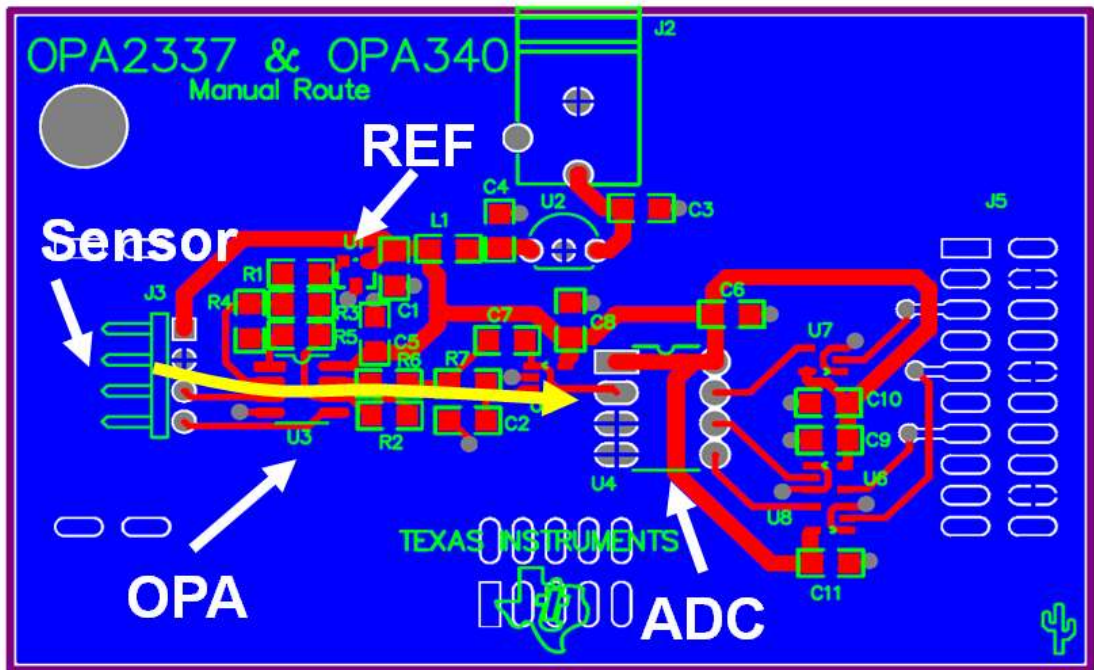


图 7-17 优化的 PCB 可以提高电路性能

最后，对 PCB 设计，尤其是在 12 位系统的布线上进行一个总结：

- 检查器件相对于接插件的位置，确保高速器件和数字器件最靠近接插件。
- 正确旁路所有器件，将电容尽量靠近器件的电源引脚放置。
- 电路中至少要有一个地平面。

- 使电源线比板上的其它走线宽。
- 检查电流回路，寻找地线中的可能噪声源。这可通过确定地平面上所有点的电流密度和可能存在的噪声量来实现。
- 使所有走线都尽量短。
- 查看所有的高阻抗走线，逐条走线查找可能的电容耦合问题。
- 确保对混合信号电路中的信号正确滤波。

7.2 利用 Delta-Sigma ADC 简化电路设计

很多时候在电路中选择合适的 ADC 可以很大程度上简化前端的电路。这里我们一起来看看一个电阻电桥的例子：

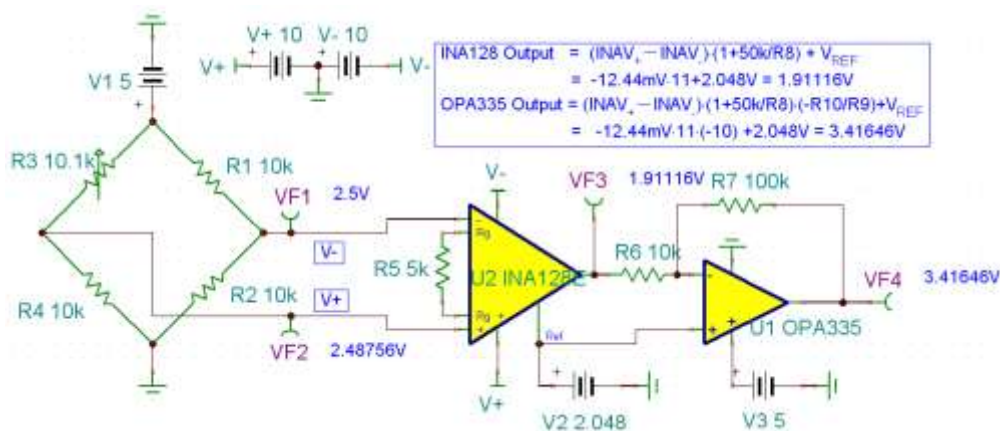


图 7-18 电阻电桥测量初始设计

这里用到了一只仪表放大器和一只运算放大器，他们实际上主要完成了三个功能：

1. 抑制了 2.5V 的共模信号；
2. 将 -12.44mV 的差模信号放大了 110 倍，从而满足了 ADC 采样精度的要求；
3. 虽然电桥输出的信号都是单极性（正电平）的，但是其差模信号 -12.44mV 到 12.56mV 是双极性的。运放电路给该双极性信号加入了 2.048V 的直流偏置，使得最大化利用了 0—4.096V 输入 ADC 的动态范围；

所以如果我们能找到一种 ADC，拥有全差分输入（提供完整的共模抑制能力），并拥有超高的精度，我们就有可能无需 INA 进行共模抑制和电平抬升，无需两级放大就能够完成在 25mV 中获得 2000 个读数的要求，就是说该 ADC 的最小分辨率要小于 12.5uV！

7.2.1 用 Δ - Σ ADC 完成整个信号链的工作

在电阻电桥中，当 R3 这个可变电阻器的阻值从 9.9k 变化到 10.1k 的过程中，输出的差模信号为 12.56mV 到 -12.44mV，也就是说在 0.2k 欧姆的电阻变化过程中，可检测的信号变化范围为 25mV。如果期望的精度为 0.1 欧姆，即需要 2000 个读数，即在 25mV 的范围内需要 2000 个读数，即每个读数为 12.5 μ V。

以 ADS1232 为例，它是 24 位 5V 满量程输入的 ADC，由下表可以看到当其数据吞吐率为 10SPS，内部 PGA 设定为 1 时，其输入级峰峰值噪声仅为 1.79 μ V。

Table 1. AVDD = 5V, V_{REF} = 5V, Data Rate = 10SPS

GAIN	RMS NOISE	PEAK-TO-PEAK NOISE ⁽¹⁾	ENOB (RMS)	NOISE-FREE BITS
1	420nV	1.79 μ V	23.5	21.4
2	270nV	388nV	23.1	21.4
64	19nV	125nV	22.0	19.2
128	17nV	110nV	21.1	18.4

(1) Peak-to-peak noise data are based on direct measurement.

此时，ADS1232 的无噪声位数可以达到 21.4 位，这里我们取 2^{20} 约合 10^6 来计算 ADS1232 每个 LSB 的大小为： $1\text{LSB} = 5\text{V}/10^6 = 5\mu\text{V} < 12.5\mu\text{V}$ 。在电桥 25mV 的满量程差模输出中可以得到 5000 个读数，远远满足要求。因此，电路可以简化为：

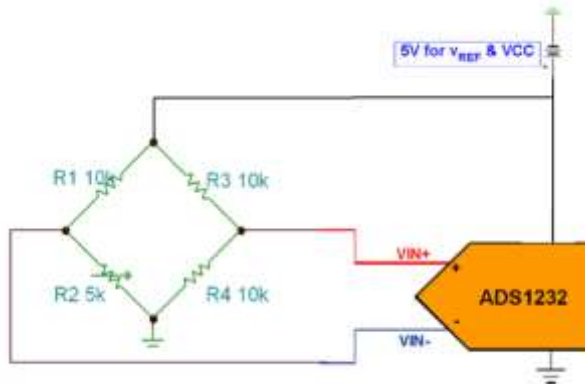


图 7-19 利用 ADS1232 简化电路设计

虽然理论上我们可以使用 ADS1232 完成设计，但是在系统设计中，控制系统噪声（包括器件噪声，辐射噪声和传导噪声等）的峰峰值小于 12.5 μ V 是非常困难的事情。这时，我们可以利用 ADS1232 内部的 PGA，把输入差模信号放大（可选倍数为 1,2,4...128），比如我们把输入的 25mV 差模信号通过内部 PGA 放大 64 倍，得到 1.6V 的有用差模信号，我们的系统噪声只需小于 $1.6\text{V}/2000 = 800\mu\text{V}$ 就可以完成工作了，这对系统设计的要求降低了许多，特别是在省略了大量的运放和电阻器后，噪声源减少，更有利于减少系统噪声。从芯片数据表我们可以看到，在 PGA 倍数增大后，ADS1232 的输入级噪声变为： $125\text{nV} * 64 = 8\mu\text{V}$ 。

在使用 PGA 后，我们对 ADC 的位数要求可以降低，现在可以使用 16 位的满量程输入为 5V 的 ADS1146 来完成设计，此时 ADS1146 的 $1\text{LSB}=5\text{V}/65536=76\mu\text{V}$ ，从放大后的 1.6V 差模信号中可以获得 $1.6\text{V}/76\mu\text{V}=20,000$ 个数据！同时，ADS1146 也拥有完整的差分输入级，可以完成整个信号链的工作。

7.2.2 利用 ADS1147 完成对 3 线制 RTD 电阻的测量

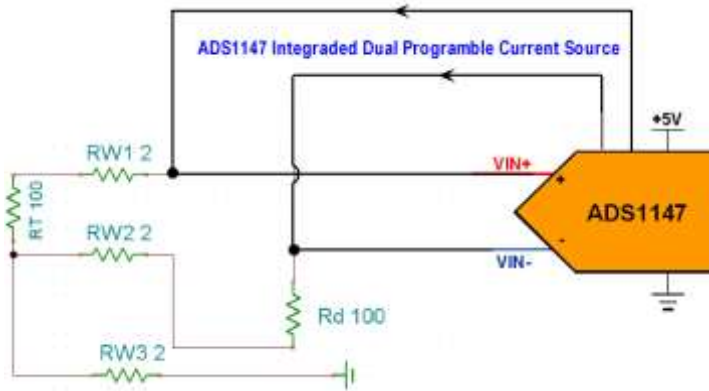


图 7-20 ADS1147 实现 RTD 电阻测量

ADS1147（16 位）和 ADS1247（24 位）是内建电流源的 $\Delta-\Sigma$ ADC，这类 ADC 专为 RTD 等需要电流源激励的传感器设计，其全差分输入，PGA 放大器和超高的精度帮助我们省下了一大堆运放和电阻。

除了压力信号，温度信号这种变化缓慢的信号需要高精度测量，还有一些动态范围大的低频交流小信号需要被稍高的采样率高精度采集，比如振动信号，地震信号的采集，这时几十或者几百 Hz 的吞吐率已经难以满足要求，而 TI 推出的 ADS127x，业界最快的兼顾直流和交流精度的 $\Sigma-\Delta$ 型 ADC，就非常适合这类需求。

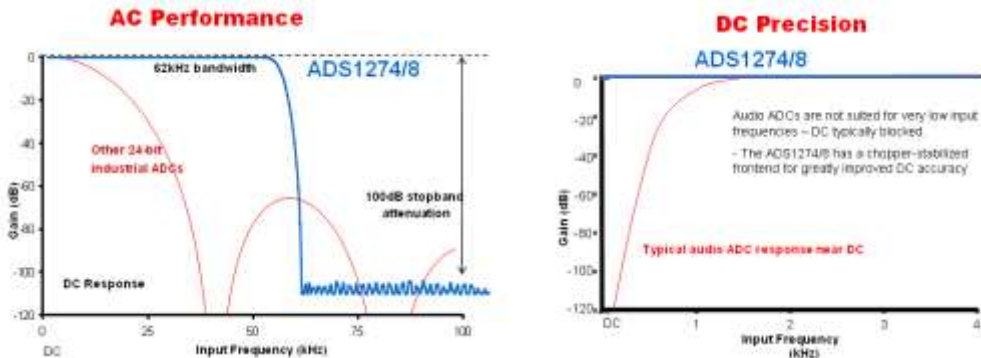


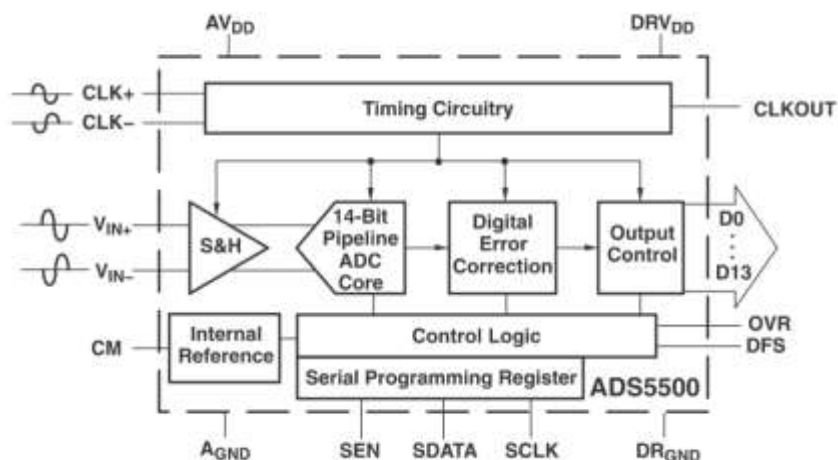
图 7-21 ADS127x 交流和直流性能

如上图，在交流精度方面，和相近直流精度的工业用 Σ - Δ 型 ADC 相比，ADS127x 拥有更宽的频率响应，可以对 62KHz 带宽的模拟输入信号采样；而在直流精度方面，和相同采样率的音频 Σ - Δ 型 ADC 相比，ADS127x 又充分保留了测量的直流精度。

第七章 高速信号链中 ADC 电路设计

下面我们将通过 ADS5500 的测试来讨论高速 ADC 的外设和设计考虑（更多详细信息请参考 TI 应用笔记 SLYT074, SLWA034 和 SLYT119）。ADS5500 是一款采样速率为 125-MSPS、精度为 14 位的高速流水线 CMOS 模数转换器。2004 年 3 月，德州仪器（TI）推出了这款芯片，它是当时世界市场上第一款拥有如此高采样速率和高精度的模数转换器。ADS5500 适用于诸如无线通讯、测试和测量仪表、控制系统、医疗成像和高速数字化等应用领域。

ADS5500 包含一个采样-保持输入级、一个 14 位流水线内核、一个内置电平基准、一个时钟电路、数字误差校正、一个数字输出驱动和一个 3.3V 的单电源。



ADS5500 的主要特色和优点是达到 750MHz 的信号输入带宽，峰峰值达到 2.3V 的动态差分输入信号，在宽频带上的高信噪比（SNR）和无杂散动态范围（SFDR），为接收器应用提供的在低信号幅度下高至 74dBFS 的优质 SNR，和超低功耗（780mW）。例如，当 ADS5500 工作在 125MSPS 采样速率状态下，输入信号幅度为-1dBFS，输入信号频率为 190MHz 并且正确配置输入电路，芯片的 SNR 大约为 70dB，SFDR 在 82dB 以上。而如果采样速率和输入信号频率与上例相同，当输入信号幅度为-15dBFS 时，ADS5500 的 SNR 为 74dBFS，SFDR 为 83dBFS。

ADS5500 的高性能给予了它广泛的应用范围。然而，由于芯片的高速率和高精度，对它进行评估有时会很复杂。基于这个原因，这里介绍了 ADS5500 的一个评估系统，它包含了测试设备、系统配置、测试电路、基本的高速 ADC 的测试概念和测试数据。

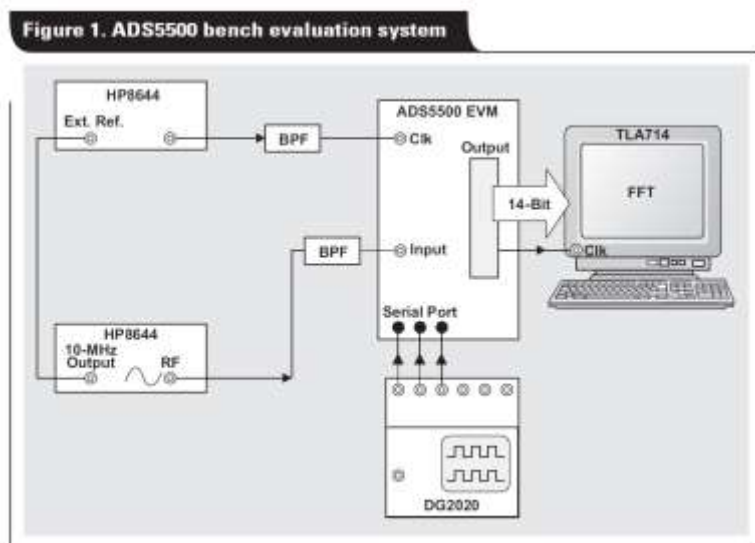


图 8-1 ADS5500 动态性能测试系统

图 8-1 即为 ADS5500 的一个小型动态性能测试系统，它由一个信号源（HP8644），一个时钟信号源（HP8644），一个数字逻辑分析仪（TLA714），一个数据发生器（DG2020），带通滤波器（BPFs），一个测试板和一个快速傅立叶变换（FFT）程序组成。信号源产生一个用于测试 ADS5500 所必需的单频正弦信号。时钟信号产生一个正弦波进入 ADS5500 的外部时钟调理电路，这个电路可以是变压器或 PECL 驱动器从而产生“理想的”采样时钟信号。数据发生器为控制寄存器产生一系列的数据。逻辑分析仪（TLA）用来从 ADS5500 获取数据并利用快速傅立叶变换程序（FFT）来分析它。如果没有上述的仪器，也可以用一个 FIFO 或一个 FPGA 板和一台电脑来代替逻辑分析仪（TLA）或数据发生器。

系统中设备的一些重要规格包括信号带宽、信号功率、信号阻抗、噪声、谐波、抖动、锁相功能和 ADS5500 的数字负载。数字缓冲存储器、数字化数据采集板或逻辑分析仪等设备的低输入容抗也很重要。图 8-1 中的逻辑分析仪有 2-pF 的输入容抗。ADS5500 的最大数字输出负载是 12pF，大于 12pF 的负载将会影响芯片的评估。输出数字数据的捕获时钟和 ADC 的输出数据间的时序也很重要，如果使用了外部时钟信号来捕获 ADC 的输出数据，那么该时钟信号与模数转换器（ADC）的输出数据之间的时序必须满足数据手册中的要求：数据必须在数据有效时间内被捕获。强烈建议使用 ADS5500 的输出时钟信号来捕获芯片的输出数据，因为该输出时钟信号与芯片输出的数据信号是同步的。在输入时钟信号（ADC 的驱动时钟信号）与输出数据的驱动时钟信号之间会有延时，并且该延时会随着芯片的不同、温度差异和供给电压的变化而改变，因此不推荐用输入时钟信号（ADC 的驱动时钟信号）来获取数据，特别是在高速工作状态下。

在 ADS5500 的模拟功能一侧，图中所示的所有的信号和时钟信号发生器都有锁相功能，低噪声模式，50-Ω 信号阻抗和 20dBm 的信号功率。为了避免在信号传输通路上出现能量反射，ADC 的等效输入阻抗，包括外部输入电路阻抗在内，都应该与信号源阻抗相匹配。如图 4.4 所示。在特定测试条件下，当输入频率很高时，因为带通滤波器和输入电路产生的衰减，信号源可能提供不了足够的幅度以驱动模数转换器（ADC）。在这种情况下，就需要一个具有特定增益和大小为 50-Ω 的输入/输出阻抗的宽频带放大器（例如 THS900x 或 ZHL-64），来为 ADS5500 提供充足的能量。适当地减小 R1 和 R2，并且增加 R_{T1} 和 R_{T2} 可以减小在高频输入条件下对电源功率的需求。

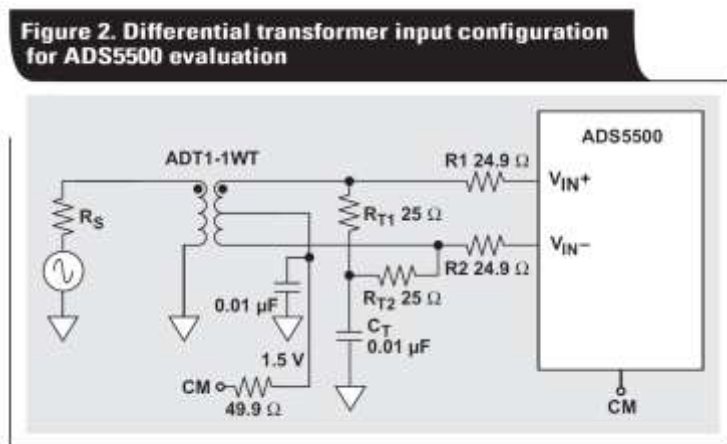


图 8-2 使用变压器驱动 ADS5500 的模拟输入

实际的测试系统中，在 ADS5500 的信号输入通路中使用带通滤波器（BPF），将来自信号源的谐波和噪声降到最低。在时钟信号输入通路上使用一个窄带带通滤波器，将来自时钟信号源的抖动降到最低，并且在采样速率很高时产生一个好的时钟信号占空比。实际测试结果表明，在信号输入通路上使用带通滤波器（BPF）时的快速傅立叶变换（FFT）结果与不使用时显著不同。此外，使用如图 8-2 所示的测试系统和高频输入时，在信号输入通路上放置窄带带通滤波器（3-MHz 带宽）后得到的 SNR，比放置宽带带通滤波器（10-MHz 带宽）后得到的 SNR 好 0.3dB。在当前的评估板上，当时钟信号为 125-MHz，输入信号频率很高的情况下，放置在时钟信号输入通路上的带通滤波器能使 SNR 改善超过 0.5dB，使 SFDR 改善超过 2dB。在任何情况下，都要测试带通滤波器（BPF）来保证滤波器自身的工作状态良好。带通滤波器（BPF）的输入和输出阻抗要与信号源的阻抗以及模数转换器（ADC）的输入阻抗相匹配。最小阻带衰减为 50dBc 的 TTE KC 系列带通滤波器是一个不错的选择，能使评估达到较好的效果。

在 ADS5500 测试中可以观察到，ADS5500 对系统抖动、模拟输入配置和测试电路板的布局非常敏感。这些将在接下来的几部分进行讨论。

8.1 高速数据采集系统中的时钟

为了得到好的评估效果，ADS5500 要求它的输入时钟信号有尽量小的抖动、50%的占空比和 3Vpp 的差动幅度（如果输入时钟信号是正弦波）或 1.5Vpp（如果输入时钟信号为方波）。输入时钟信号边沿越陡，得到的 SNR 越好。ADS5500 芯片内部为输入时钟电路提供一个直流偏置，因此，推荐为时钟信号提供一个交流耦合通路。为了产生较陡的时钟信号沿和最低的外部电路噪声，从而在 ADS5500 的评估板上得到最好的效果，使用一个 1:2 的匝比变压器来将一个正弦波耦合到 ADS5500 的时钟信号输入，如图 8-3 所示。

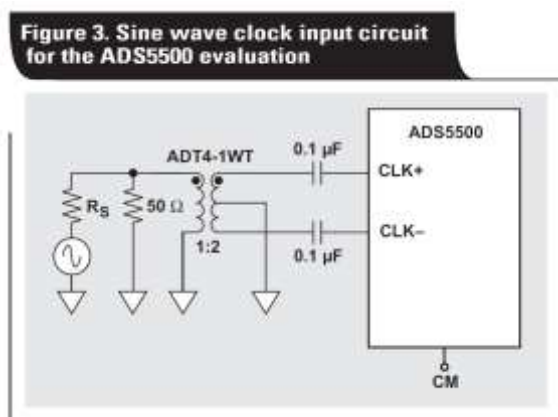


图 8-3 差分正弦信号作为 ADS5500 的驱动时钟

在高时钟信号频率的情况下，如果有必要，推荐在输入通路上放置如 TTE KC4T-125M-3M-50-69A BPF 的带通滤波器，可以减少来自信号源的时钟信号抖动噪声。为了保持 ADS5500 良好的交流性能，得到最好的评估效果，为测试提供低抖动的时钟信号源是至关重要的。下面我们讨论时钟抖动，时钟幅度和时钟同步三个方面给数据采集系统带来的影响。

8.1.1 时钟抖动的影响

高速 ADC 的动态特性的最大瓶颈在于采样抖动（jitter），关于抖动的基本介绍在前文中已经进行简单的介绍，本章节将深入探讨时钟抖动对 ADC 采集，尤其是高速 ADC 数据信号的影响，以及如何在设计中尽量减小该影响。

ADS5500 的内部采样抖动为 300fs，已经非常地小了。不过这部分 jitter 我们控制不了，是 TI 的事情去尽量减小它（实际上，ADS5500 是 2004 年的产品，现在最新的 14 位 125MSPS 的 ADS6145 已经将这个数值减小到 150fs，从而获得了更加卓越的 SNR 和 SFDR）。我们能干预的是外部采样时钟的抖动性能。那么我们需要一个质量多好的外部时钟？让我们先计算一下总的 jitter 对 SNR 的影响有多大，再反推如果对 100MHz 的正弦信号采样，若需要 70dBc 的 SINAD，需要外部时钟的抖动为多少：

第一步，是一个经典公式，表示了 F_{in} ，Jitter 和 SNR 的关系：

$$SNR[dBc] = -20 \log_{10} \left[2 \cdot \pi \cdot F_{in} \cdot Jitter_{TOTAL} \right]$$

反推出总 Jitter 的大小应该符合：

$$Jitter_{TOTAL} = (10^{(-SNR[dBc]/20)}) / (2 \cdot \pi \cdot F_{in}), \text{ 代入数值有:}$$

$$(10^{(-70/20)}) / (2 \cdot \pi \cdot 100e^6) = 503 \text{ fs}$$

如果要求 SNR 为 70dBc，那么总 jitter 应该为 503fs! 非常小的数字。一个更明显的图表表示了输入信号频率，系统总体抖动和 SNR 的关系：

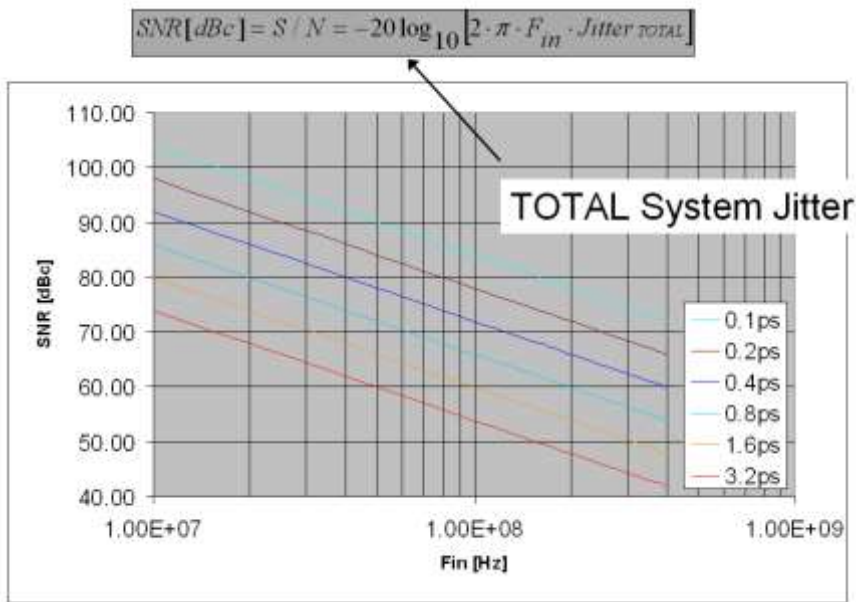


图 8-4 输入信号频率，抖动与信噪比的关系

从图 8-4 我们看到当输出信号为 100MHz 时，若要获得 70dBc 以上的信噪比，ADC 的采样抖动要小于 400fs，而一个 1.6ps 的系统抖动将使信噪比降低到 60dBc（不足 10 位）！而且我们也可以发现输入信号的频率越高，对采样抖动的要求越苛刻，我们可以从图 8-5 中理解，在输入频率升高时，同样的采样抖动在高频信号上带来了更大的采样幅度误差，因此带来的 SNR 误差越大，这也可以理解为可重复性变差了。

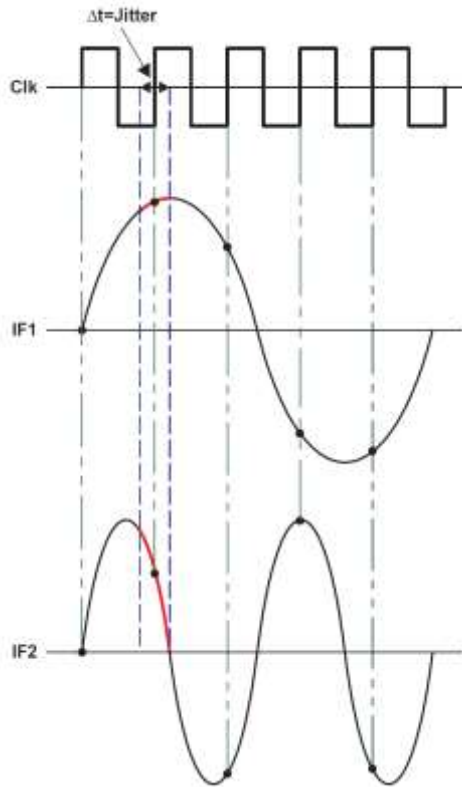


图 8-5 抖动在高频信号中的影响更为明显

接下来，我们从计算出来的系统抖动和 ADC 孔径抖动来反推最大允许的时钟抖动，因为系统抖动可以由下式计算：

$$(\text{Jitter}_{\text{total}})^2 = (\text{jitter}_{\text{ADC}})^2 + (\text{jitter}_{\text{CLOCK}})^2$$

从而得到时钟抖动的计算方式：

$$\text{jitter}_{\text{CLOCK}} = [(\text{jitter}_{\text{TOTAL}})^2 - (\text{jitter}_{\text{ADC}})^2]^{0.5}$$

代入数据：

$$\text{Jitter}_{\text{CLOCK}} = [(503\text{e-}15)^2 - (300\text{e-}15)^2]^{0.5} = 403\text{fs}$$

计算得到时钟的抖动不能超过 403fs!! 这时，让我们看看在学校里做高速 ADC 设计最容易犯的一个错误：用 FPGA 或 DSP 的时钟输出驱动高速 ADC，这是非常不可取的，因为 FPGA 和 DSP 这类数字器件的时钟输出的抖动非常的大，一般在 50ps 就已经非常不错了，这样的时钟质量驱动数字电路不会有太大问题，但驱动高速 ADC 会导致 ADC 的 SNR 和 SFDR 急剧下降，而在时域上你可能察觉不到这些问题：“波形还是很正弦嘛”！

采样时钟的 Jitter 在时域上看是指采样时刻的不确定性，即抖动；在频域上看，就是其带外噪声，比如如果你看到在频谱仪上你的采样时钟如同下图右上一样穿了一个“裙子”，那么说明你的采样时钟的质量不够好，在时域上会有较大的抖动。降低时钟抖动的主要方法是采用 PLL 和外部高质量 VCO，利用 PLL 的环路滤波器减小输入参考时钟的宽带噪声对 VCO 的影响，从而有效抑制输出时钟的宽带噪声（因此也称为 Jitter Cleaner），其效果如图 8-6 所示：

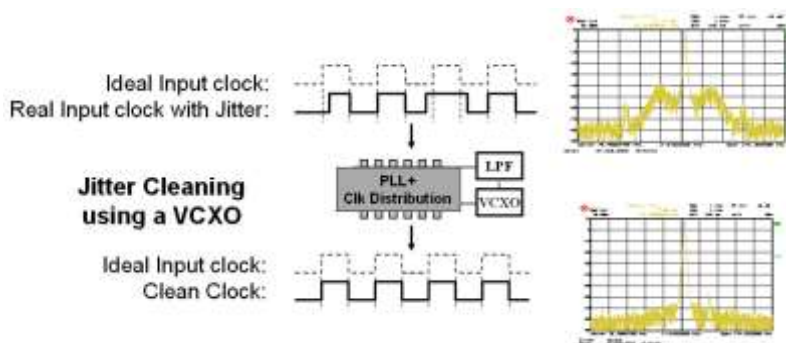


图 8-6 采用 PLL 和外部 VCO 降低抖动的影响

8.1.2 时钟幅度的影响

对于理想的方波时钟，采样在波形的过零点完成。进一步的，在一些 ADC 件中，例如 ADS5500，利用时钟的高低电平循环，可以对数据进行采样和锁存。因此，让时钟有一个 50% 占空比是很重要的。之前，我们已经知道了时钟的抖动影响了输入波形的采样点，从而使得信噪比降低。一个非理想的时钟源的热噪声也会助长信噪比的下降。

热噪声会对时钟源产生一个随机的幅度向量。对于理想的方波时钟源，时钟信号将可能从一个状态立即转变为另外一个状态。在这种情况下，由噪声产生的细微的幅度向量不会对过渡采样点产生影响。实际上，即使是一个好的方波时钟源，从一个状态过渡到另外一个状态也不是瞬间的。过渡需要一个有限长的时间。波形上的噪声改变了信号，以至于采样点（过零点）稍稍偏离了理想的位置。这样就导致了一个采样点的小误差，使得信噪比下降。图 8-7 是一个放大的在过零点附近的混有热噪声的上升时钟沿和理想上升时钟沿的对比，

过零部分上附加了随机噪声向量。噪声分量 Δn ，在误差 Δt 处将时钟信号提升到了过零点，造成了采样时刻的误差。

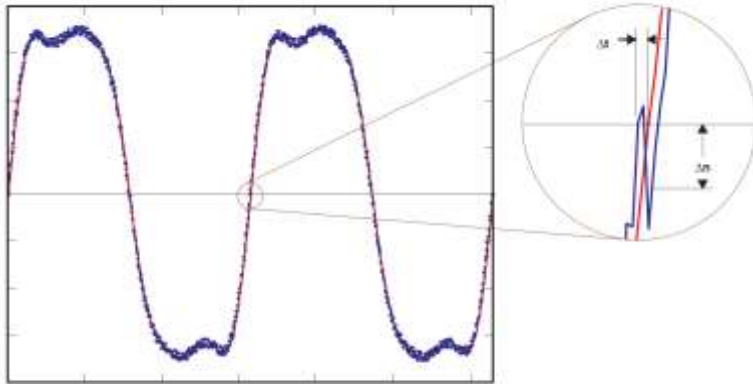


Figure 4. Thermal Noise Component Causing Sampling Error

图 8-7 混有热噪声的时钟上升沿

一种将热噪声影响降到最低的方法是让过渡的沿更加陡。换句话说，通过增加时钟信号过渡沿的陡峭程度，使得时钟信号更加接近理想的方波。相反的，一个平缓的过渡沿更容易受到热噪声带来的对信噪比的影响。下图表示两个时钟源的过渡沿受到同样的热噪声影响的情况。对于两个过渡沿来说，噪声向量是相同的，但是对于较缓的斜坡，其产生的时间上的误差 Δt 更大。因此，尽可能地使过渡沿陡峭对于减小热噪声的影响是有利的。

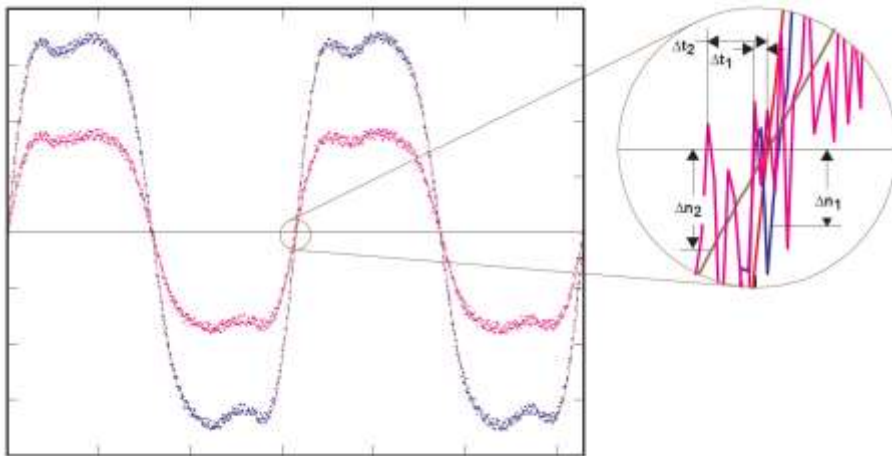


Figure 5. Thermal Noise Effect for Different Slope Clock Signals

图 8-8 不同时钟过渡边沿的热噪声影响

时钟的热噪声分量可以通过加入一个带通滤波器来减小，其通带中心频率与选择的时钟频率的相同。任何一个适宜的带通滤波器拓扑都是可以的，比如 L-C 滤波器、SAW 滤波器，或者是晶体滤波器。因为时钟频率只是一个单一的频率，最窄带宽的带通滤波器能起到最好的效果。给定的时钟频率的范围是 60MHz 到 125MHz，一个窄带宽的晶体带通滤波器是最合适的选择，而且晶体滤波器通常与超低相位噪声的振荡器配套使用。

为时钟信号加上带通滤波器能够减小通频带以外的噪声，但是这也会影响到时钟信号的过渡沿。一个方波时钟信号是由一个基频时钟信号以及一系列的高次谐波信号叠加而成的。引入带通滤波器，高次谐波信号也会被消除掉。其结果是在频域里只有一个纯净的基频信号，或者说在时域里只有纯净的正弦波信号。虽然滤波器能够有效地减小噪声分量，但也会使得时钟信号沿变得平缓，因为正弦波比方波上升沿慢。就如之前看到的，平缓的过渡沿更容易受到噪声的影响。除此之外，带通滤波器不仅将时钟信号的高次谐波滤去，使之变成了正弦波信号，而且还会引入 2dB 到 6dB 的插入损耗。这种插入损耗会进一步降低时钟信号的幅度，并且使得信号过渡沿更加平缓。为了保持一个急速的过渡，需要加强正弦波信号的幅度。

下图展示了更大幅度的正弦波信号能够减小由热噪声带来的误差的方法，因为它能够有效地增加信号的陡峭程度。因此，可以在带通滤波器前加上一个低噪声的放大器，来增加信号的幅度，从而尽可能地使信号的过渡沿陡峭。

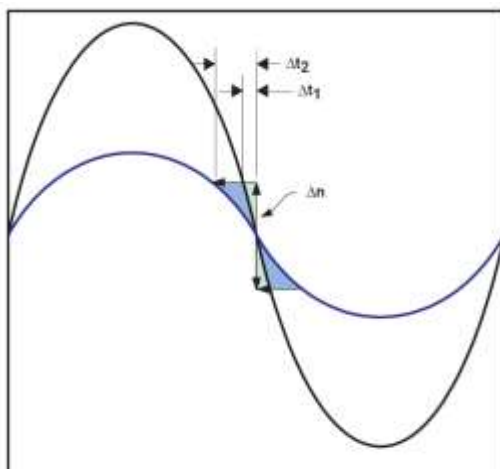


图 8-9 不同幅度正弦信号的热噪声影响

8.1.3 时钟同步的要求

前面我们提到过，使用 PLL 可以降低时钟上的带外噪声，同时，利用 PLL+VCO+时钟分配，我们可以给中频数字化系统中的 ADC，DAC，ASIC 和 FPGA 提供全局的多路同步时钟，满足接收机对同步的要求。

德州仪器公司为 ADS5500 和其它高速 ADC 引入了一个使用 CDC7005 时钟分配芯片的板级低相位噪声同步时钟解决方案。通过合适的配置，CDC7005 能够配合德州仪器的高速 ADC 获得理想的性能，使得它适合于在印制电路板设计中直接实现。除此之外，CDC7005 有能力驱动五个相互独立的输出，这些输出能够独立地被分成基准频率的 $1/2^n$ （ n 能从 0 变化到 4）。这样就允许一个时钟回路不仅可以为高性能的 ADC 提供时钟源，也可以为其它在电路板上的需要独立时钟源的硬件提供时钟源，例如，DACs、DDCs、DUCs 等。图 8-10 说明了在一个经典的收发器里 CDC7005 是怎样和 ADC 以及其它的硬件一起使用的。

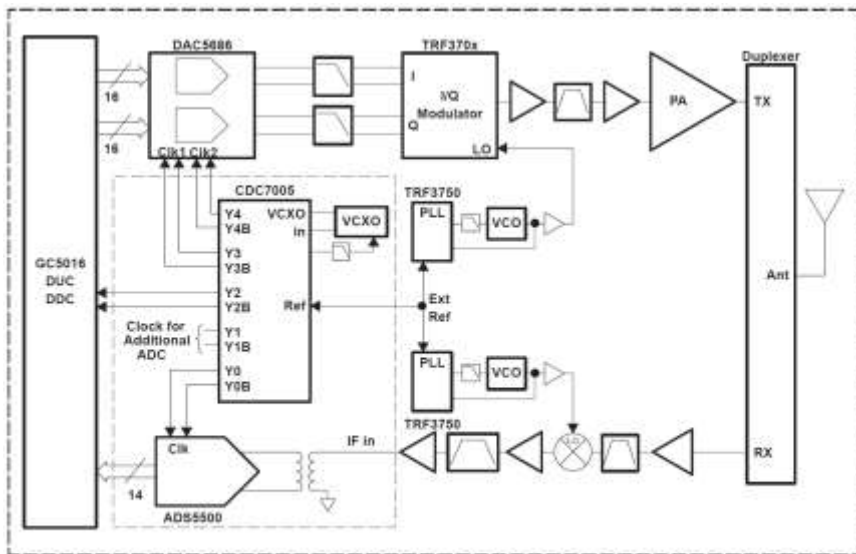


图 8-10 ADS5500 与 CDC7005 的经典应用

CDC7005 是高性能、低抖动的差分时钟驱动和时钟分配芯片。它有 5 个独立的受控输出端，都能够用来作为高性能 ADC（例如 ADS5500）的时钟源，也能够满足印制板上其它需要同步时钟源的器件的要求。CDC7005 能参照一个参考输入时钟为整个系统提供多路同步时钟方案。CDC7005 的主要特点是：

1. 参考时钟能够与任何 VCXO 的频率同步
2. 参考时钟的抖动被消除了
3. 低抖动输出
4. 五个独立的频率输出，输出频率为可选的 $1/2^n$ 倍基准频率，

5. 差分 LVPECL 接口。

此外，在输出频率 100MHz 以上时，CDC7005 仅附加 100fs 的抖动，而且输出频率越高，附加抖动越小。因此，如果采用高质量的 VCXO 辅以 CDC7005，其输出时钟频率达到 100MHz 以上时系统的整体抖动完全可以达到 300fs 以下。

推荐使用的 TI 时钟芯片有：

器件	简介	封装
CDCE925PW	2 内置 PLL，5 输出，峰峰值 60ps 抖动，最大输出 230MHz，CMOS 输出，电脑主板及多媒体系统时钟方案	TSSOP
CDCE62002RHBT	具有集成双路 VCO 的 4 路输出时钟发生器/抖动消除器	QFN
CDCM7005RGZT	集成 PLL 的超低附加抖动，5 输出同步时钟分配器	TQFP
CDCE421RGET	集成 PLL 和 VCO 的低抖动时钟发生器，最大输出 1.1GHz	VQFN
CDCM61001RHBT	集成 PLL 和 VCO 的低抖动（500fs）时钟发生器，最大输出 680MHz	QFN
TRF3750IPW	High Performance Integer-N PLL Frequency Synthesizer	TSSOP
TRF3761-GIRHAT	集成 VCO 的 PLL，输出范围 1.92G-2.05G，1/2/4 可选分频输出	QFN

8.2 驱动高速 ADC 的模拟输入

ADS5500 的模拟输入配置对评估过程很重要，高速高精度 ADC 的模拟输入都是差分的，差分有很多好处：

- A、差分信号天生具有共模干扰的抑制能力；
- B、差分信号相当于一对相位相差 180 度的单端信号相减，因此能提供两倍于单端信号的输入信号动态范围；
- C、若同样提供 2Vpp 的信号，差分信号的每一条仅为 1Vpp，信号越小，净空越多，失真越小。同时，减小对运放供电电压的要求；
- D、差分信号能充分减小偶次谐波的幅度。因为偶次谐波的功率为偶数次方，在差分信号相减时因为符号一致而抵消。

自然界的信号都是单端信号，我们可以利用变压器和全差分放大器来实现单端到差分的转换和阻抗匹配，从而很好的驱动高速放大器的输入。

8.2.1 变压器驱动高速 ADC

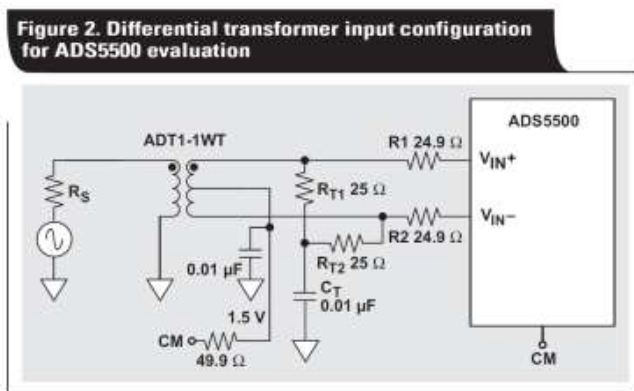


图 8-11 使用变压器驱动 ADS5500 的模拟输入

虽然变压器会造成一些插入损耗，但其可以在很宽的频带内都只产生很低的噪声和谐波。它还提供了交流耦合差分输入和较宽的信号带宽，这就为 ADS5500 的评估创造了很好的条件。运算放大器除了广泛应用于信号整形和给提供增益外，还被用于直流耦合。

在变压器配置中，ADS5500 的输入阻抗是一个重要的考虑因素。ADS5500 的输入阻抗是容性的，并且是由采样时钟信号频率和输入信号频率共同决定的。当采样和输入信号频率都相对较低时，ADS5500 输入阻抗会相对较高，从而不难与信号源的阻抗相匹配。而当采样速率非常高（达到 125MHz）并且输入信号频率也很高时，模数转换器的输入阻抗则会相应较低。在这种情况下，等效输入阻抗可能会比 50 Ω 还小，有可能会造成与信号源阻抗不匹配从而需要更高的信号源驱动电流。这种情况在评估中应该考虑在内。

图 8-11 中给出了评估 ADS5500 用的一个变压器耦合模拟输入电路。 R_{T1} 和 R_{T2} 是与信号阻抗匹配的终端电阻；它们还和 C_T 一起组成了低通滤波器。我们测试得到在输入信号频率低于 150MHz 时，如果 $R_{T1} + R_{T2} = 50 \Omega$ ，则能得到最好的 SNR 和 SFDR；而在输入信号频率高于 150MHz 时，因为模数转换器的输入阻抗较低，并且变压器损耗较高，在评估电路中可使用高一些的 R_{T1} 和 R_{T2} 。 R_1 和 R_2 是用于隔离模数转换器开关电容输入和信号源的模拟输入串联电阻。它们还同 ADS5500 输入电容一起组成低通滤波器。合适的 R_1 和 R_2 值对于得到最好的性能是必要的。如果 R_1 和 R_2 太小的话，SFDR 会减小；而如果它们阻值太大的话，信号源的输出功率需要增大。我们可以看到，在输入电路中使用了一个变压器耦合后， R_1 和 R_2 取 25 Ω 能得到最好的效果。有的输入电路中使用了两个变压器以达到最好的差分信号平衡；但这造成了模数转换器前端从 70MHz 到 350MHz 的输入信号会有 9dB 的衰减，所以需要有一个输出功率更大的信号源。正是因此，一些测试只使用了一个变压器。我们也发现用一个或两个

变压器没有显著的性能差异。在我们的测试中，变压器用于交流信号的耦合和单端到差分信号的转换。

8.2.2 全差分放大器驱动高速 ADC

TI 公司的 THS45xx 全差分运算放大器系列具有高带宽、低失真以及低噪声的特点，非常适合于运用在 12 位或者 14 位的数据转换器中。

如下图所示，数据采集系统可以分成 4 个部分：整个系统的指标需求、信号源接口、放大器的功能以及 ADC 接口。必须要采用合适的放大器功能去实现 ADC 与信号源之间的接口以达到系统的需求。

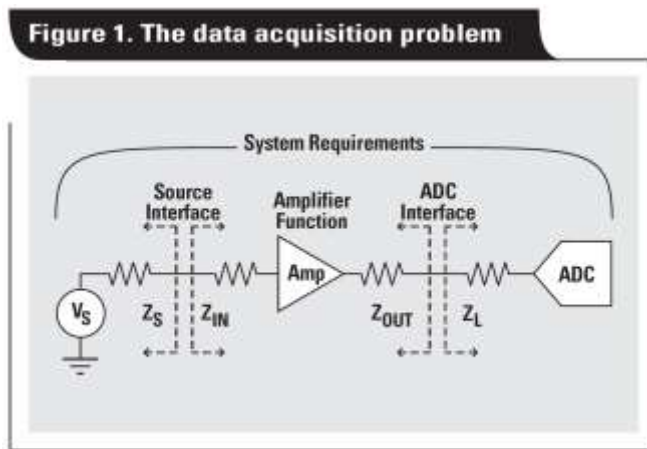


图 8-12 数据采集系统

8.2.2.1 信号源与放大器的接口

让我们考虑单端信号源，使用全差分放大器来实现单端到差分的转换，图 8-13 所示。放大器的输入阻抗是放大器设计中最重要的一点，差分运算放大器也是如此。

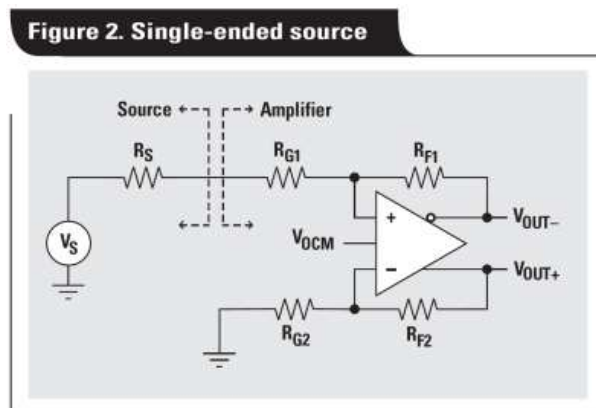


图 8-13 单源供电系统

我们将以这个电路为基础，将一个输入±1V 的 100MHz 正弦波，转换为满足 ADS5500 输入的差分信号。查阅 ADS5500 的数据手册，在输入部分有这样的描述：

ANALOG INPUT					
	Differential input range	2.3			V_{pp}
V_{CM}	Input common-mode voltage ⁽¹⁾	1.45	1.55	1.65	V

给模拟输入留出一些净空，我们的设计目标即为一个差模电压为 2Vpp，共模电压为 1.5V V_{CM} 的差分信号对。

与差动放大器（INA）一样，全差分放大器的电阻网络的平衡也非常重要，但稍微复杂的是，在中频采样中，信号路径上的阻抗匹配是非常重要的。常用的信号源的输出阻抗为 50 欧姆，如下图所示：

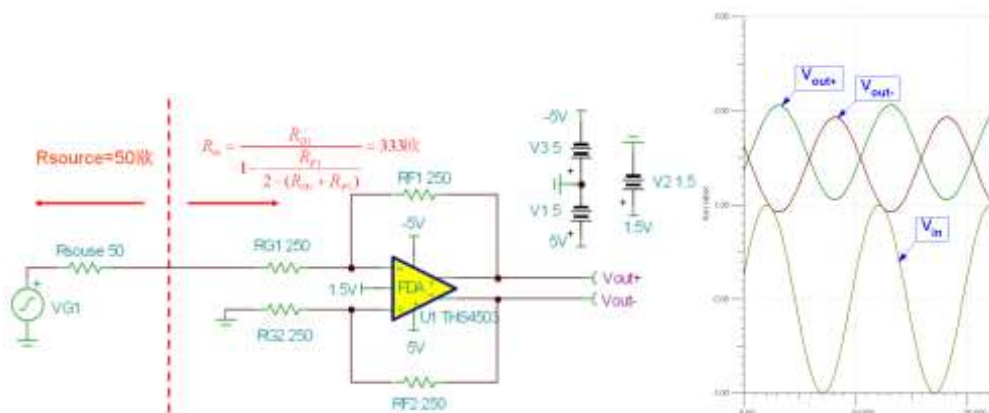


图 8-14 未考虑电阻匹配的设计

上图左的问题在于忽略了阻抗匹配（信号源的输出阻抗为 50 欧姆，要求运放的输入阻抗也为 50 欧姆，从而避免信号的反射），同时在全差分运放的单端转差分操作中忘记了这个 50 欧姆的源阻抗，反相输入端的 $R_G = R_{G1} + R_{source}$ ，破坏了原来 R_{G1} 和 R_{G2} 相等的关系，结果得到了上图（右）中的不匹配的输出结果。

让我们首先解决阻抗匹配的问题，再想办法保持全差分放大器的平衡。首先，计算出上图中差分放大器的输入阻抗 R_{in} 等于：

$$R_{in} = \frac{R_{G1}}{1 - \frac{K}{2 \times (1 + K)}}$$

，K 为放大器的增益，这里的 $K = R_{F1} / R_{G1} = 1$ ，得到 $R_{in} = 333$ 欧姆。

为了使 R_{source} 和 R_{in} 能够匹配。我们可以放置一个 R_T 和 R_{in} 并联，使得新的输入阻抗： $R_{IN} = R_T || R_{in} = 50$ 欧，反推得到 $R_T = 59$ 欧姆：

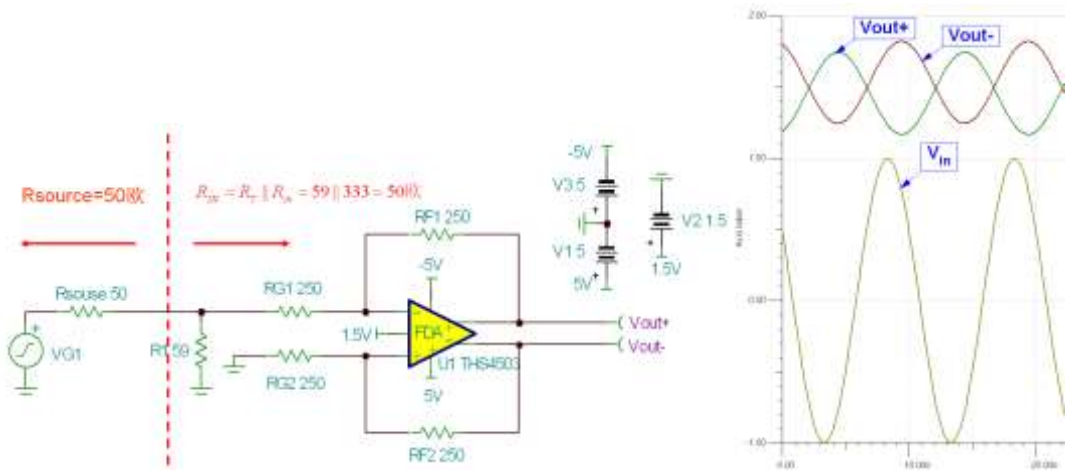


图 8-15 电阻匹配后的电路设计 (1)

通过放置 R_T ，我们解决了阻抗匹配的问题，但是我们由于信号源的输出阻抗和运放的输入阻抗的分压作用，输出信号的幅度降低了一半。于是，我们降低 R_{G1} 为原来的一半即 125 欧姆，重复上面的设计过程：

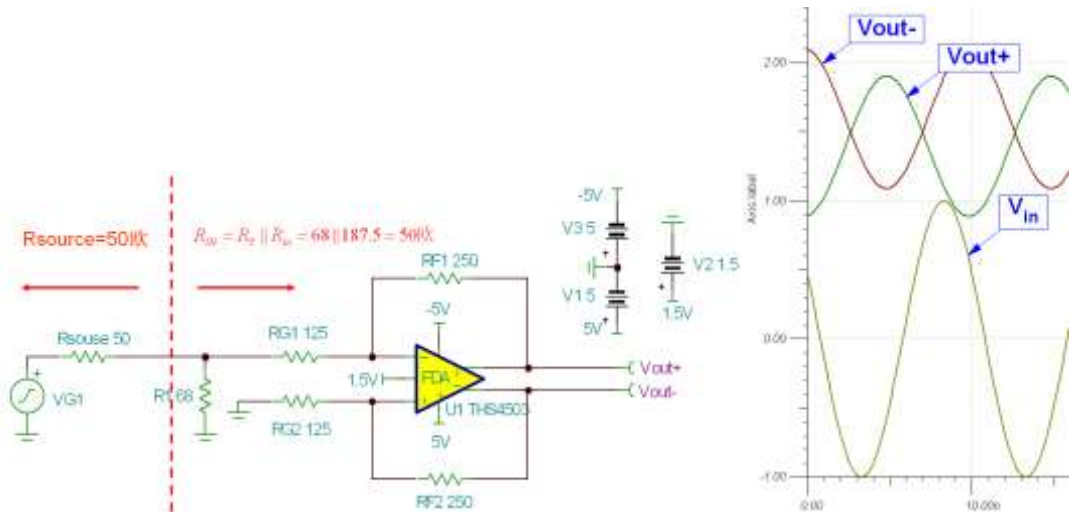


图 8-16 电阻匹配后的电路设计 (2)

更改 $R_{G1}=125$ 欧姆，设置 $R_T=68$ 欧后，THS4503 的输入阻抗为 50 欧姆，衰减两倍和放大两倍抵消后，信号的幅度恢复了差模 2Vpp。但是差分信号仍然没有平衡，我们需要对 R_{source} 和 R_T 进行戴维南等效电路分析，得出一个等效电路：



图 8-17 等效电阻设计

于是，我们在 RG2 端也串入一个 29 欧到地的电阻，就可以获得平衡的输出：

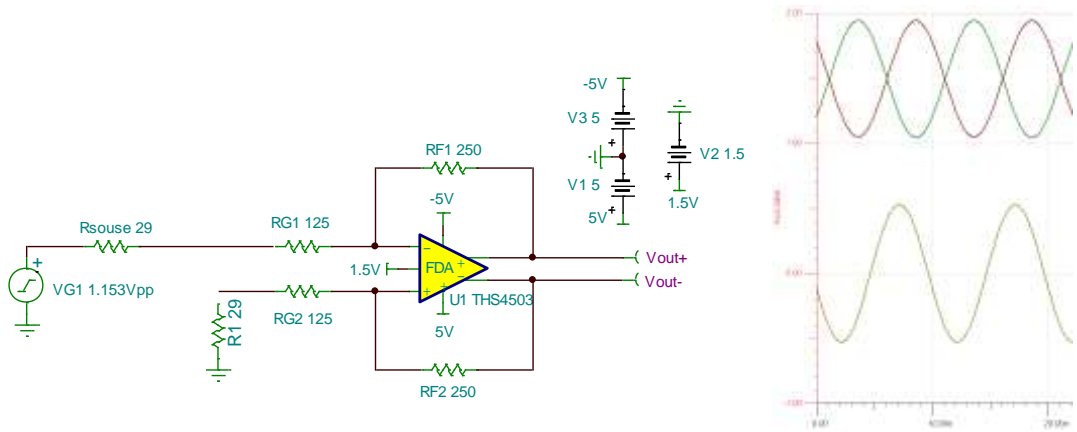
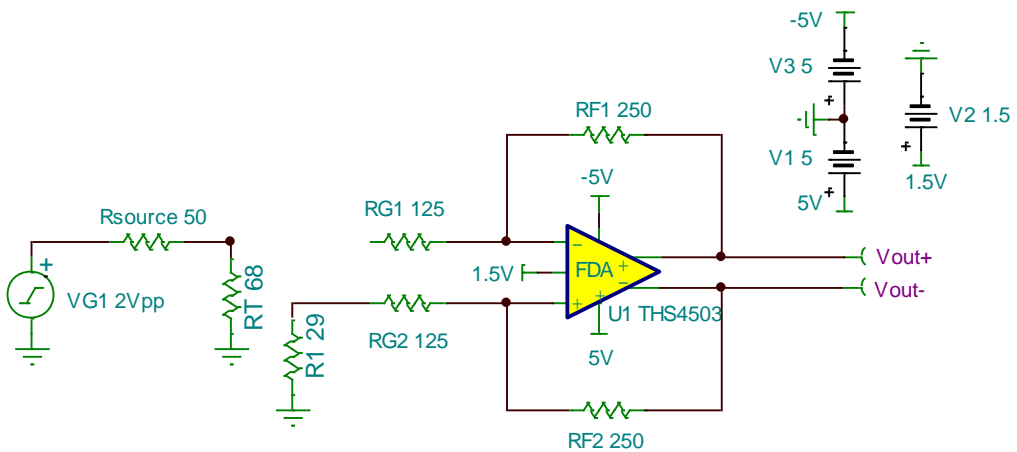


图 8-18 电阻匹配后的电路设计 (3)

上图为等效电路，实际的最终电路如下：



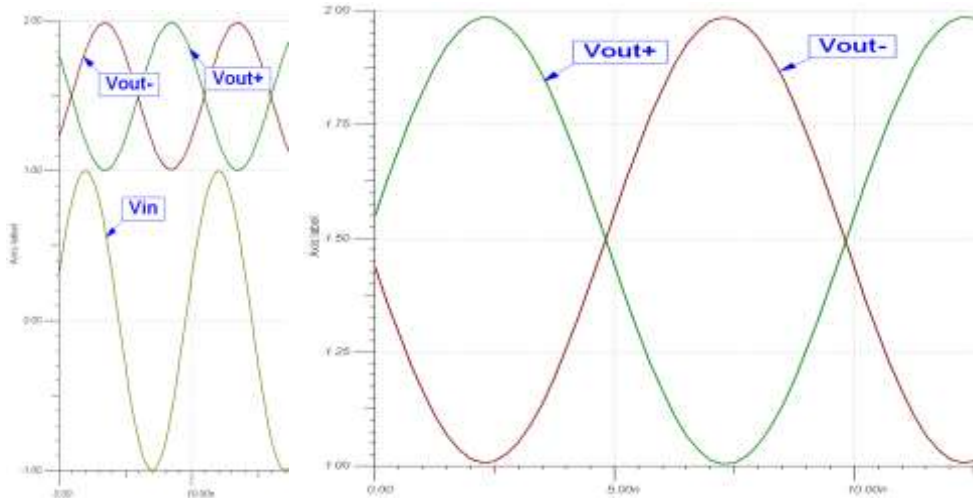


图 8-19 差分输入等效电路图及仿真输入/输出曲线

至此，我们成功将单端输入的±1V，100MHz 正弦波转化为了 2Vpp 差模信号，1.5V 共模信号的差分对。值得强调的是，1.5V 共模信号的设置是由 THS4503 的 V_{OCM} 的引脚输入 1.5V 直流电平来提供的，这个 1.5V 的直流电平在实际设计中由 ADS5500 的 V_{CM} 引脚输出来提供，这个直流电平不包含任何有用的信息，但是为差分信号满足 ADS5500 的输入范围提供了参考共模电压，注意 ADS5500 的这个输出电压范围在 1.45V 到 1.65V 间，这其实是无关紧要的，我们这里仅以 1.5V 为例子。在后面我们会详述 THS4503 的 V_{OCM} 引脚。

不能够超过运算放大器的输入共模电压 (V_{ICR}) 的范围。假设运算放大器工作在线性区域，同相和反相输入管脚间的压降只有若干毫伏；因此通过确定某一输入管脚上电压就可确定共模电压的大小。运算放大器反相输入管脚上的电压等于：

$$V_{IN-} = V_{OUT+} \times \frac{R_{G2}}{R_{G2} + R_{F2}} = V_{ICR}, \quad \text{式 4.1}$$

为了确定运算放大器的 V_{ICR} ，反相输入管脚的电压可以通过 V_{OUT+} 的极限值来估算。当放大器工作在单电源模式下并且需要提供高增益的时候，输入共模电压的范围会更明显地影响放大器的性能。

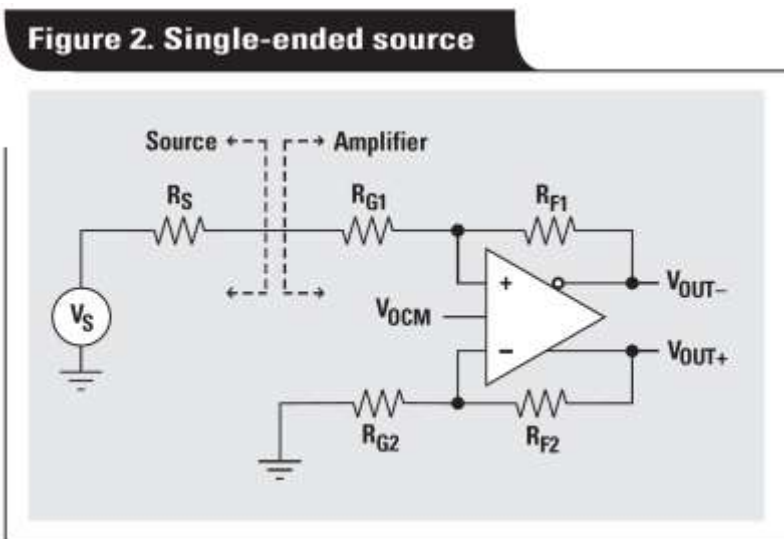
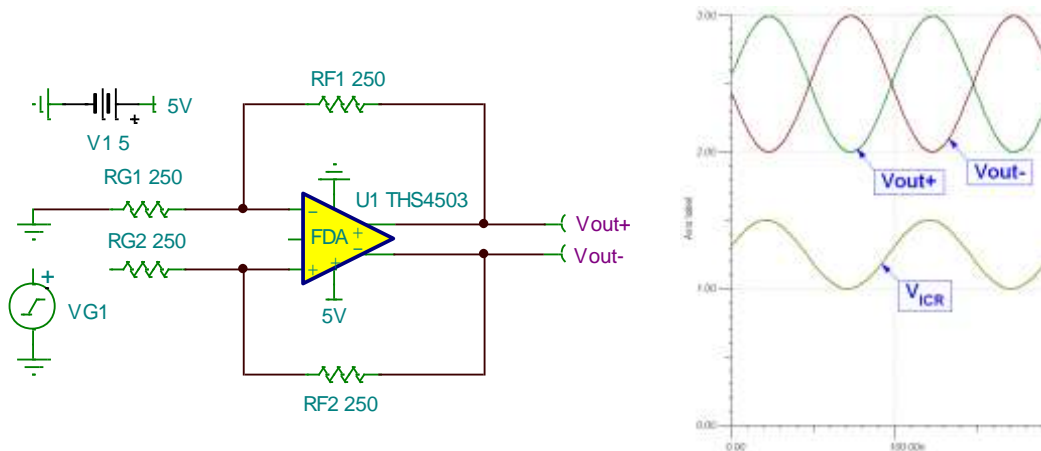


图 8-20 单极供电

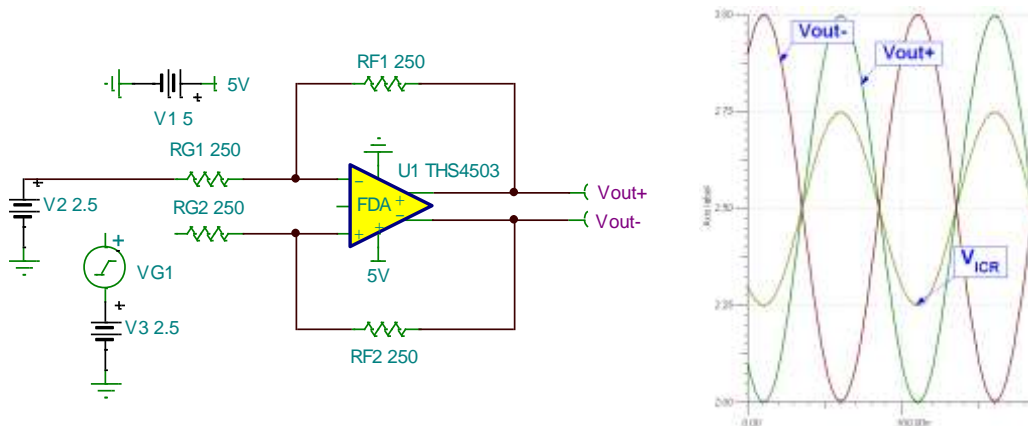
例如，假设 THS4503 采用如上图配置，工作在 +5V 单电源下，输入信号 $\pm 1V$ ，10MHz 正弦波， $V_{OCM} = +2.5V$ （当 V_{OCM} 悬空时， V_{OCM} 的电压即为电源轨的中点），差分输出电压等于 $V_{OD} = 2V_{PP}$ ，则 V_{OUT+} 在 2V 到 3V 间摆动，仿真如下：



一个放大器的增益等于 1（即 $R_F/R_G=1$ ，代入式 4.1，得到 $V_{IN-} = V_{ICR}$ 均从 1V 到 1.5V），此时的共模输入电压范围 V_{ICR} 从 1V 到 1.5V。THS4503 在 5V 供电时的输入共模电压为：

PARAMETER	TEST CONDITIONS	THS4502 AND THS4503					
		TYP	OVER TEMPERATURE				MIN/ TYP/ MAX
		25°C	25°C	0°C to 70°C	-40°C to 85°C	UNITS	
INPUT							
Common-mode input range		1 / 4	1.3 / 3.7	1.6 / 3.4	1.6 / 3.4	V	Min

THS4503 在 5V 单电源供电时的输入共模范围的典型值为 1V 到 4V，这里计算得到的 1V 到 1.5V 的输入共模电压范围正好满足要求。实际上，THS4503 的最优输入共模范围被设计为电源轨的 1/2 处，若输入信号的共模电压为 $(V_{EE}+V_{CC})/2$ 时，可以得到最好的动态范围。例如，上图中，我们的 THS4503 的单端输入信号是以 V_{EE} （这里为地电平）为参考的（±1V 输入），而 THS4503 在 5V 单电源供电时的最佳共模信号为 2.5V。因此，如果输入信号以 2.5V 为直流偏置，那么我们可以采用下面的电路来进行放大：

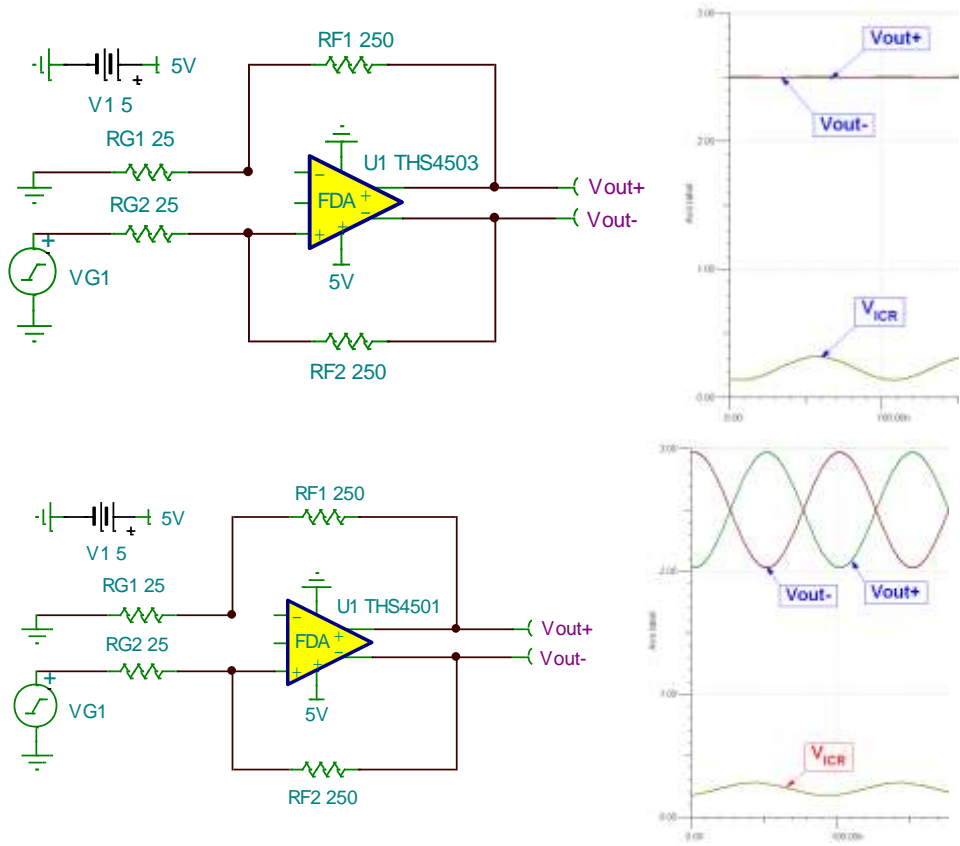


如上面的仿真结果，VICR 以 2.5V 为直流电平，从而在其允许的范围内（1V 到 4V 间）可以获得最大的动态范围。因此，若输入信号以 $(V_{EE}+V_{CC})/2$ 为参考，应该选择 THS4503；如果输入信号以 V_{EE} 为参考，我们可以选择 THS4501，其输入共模电压范围如下：

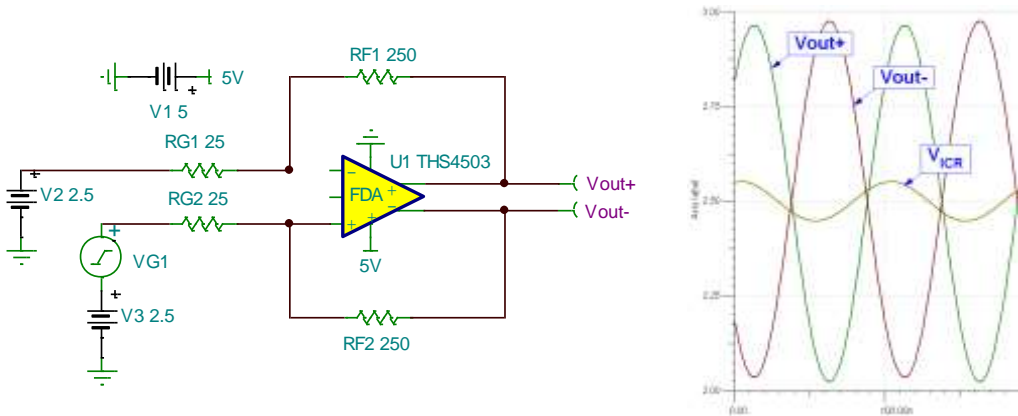
PARAMETER	TEST CONDITIONS	THS4502 AND THS4503					MIN/ TYP/ MAX
		TYP	OVER TEMPERATURE			UNITS	
		25°C	25°C	0°C to 70°C	-40°C to 85°C		
INPUT							
Common-mode input range		-0.7/2.6	-0.4/2.3	-0.1/2	-0.1/2	V	Min

THS4501 的应用在下面这个例子中得到体现：

降低输入信号的幅度为 ±0.1V，设定放大器的增益等于 10（即 $R_f/R_g=10$ ，代入式 4.1，得到 $V_{IN-} = V_{ICR}$ 均从 0.18V 到 0.27V），此时的共模输入电压范围 V_{ICR} 从 0.18 到 0.27V，非常接近电源的最小值，对于 THS4503 来说，已经无法实现放大，而对于 THS4501 来说，却仍然可以正常工作：



通过修改电路，让 THS4503 的输入信号以 2.5V 为参考，我们也可以用 THS4503 得到期望的结果，如下图：



8.2.2.2 放大器与 ADC 的接口

放大器的一个基本功能就是对输入的信号进行预处理，使得信号可以得到正确的偏置以及幅度，从而可以最大限度的发挥ADC的性能。显然，要达到这个目标放大器必需具备相应的带宽与交流特性，从而使得信号可以不受损害。图 8-21给出了一个简单的放大器—ADC

接口。这个接口设计的基本要点就是：1. 确定放大器需要驱动负载；2. 设置正确的输出共模电压值。

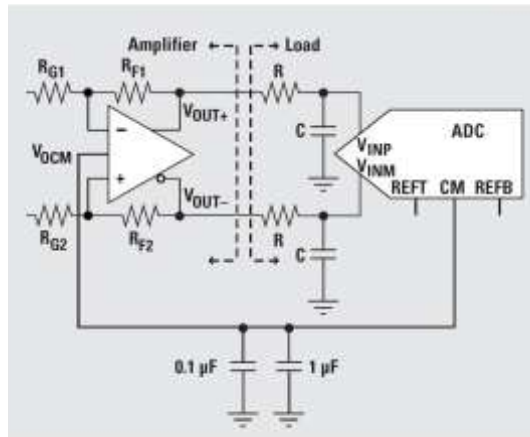
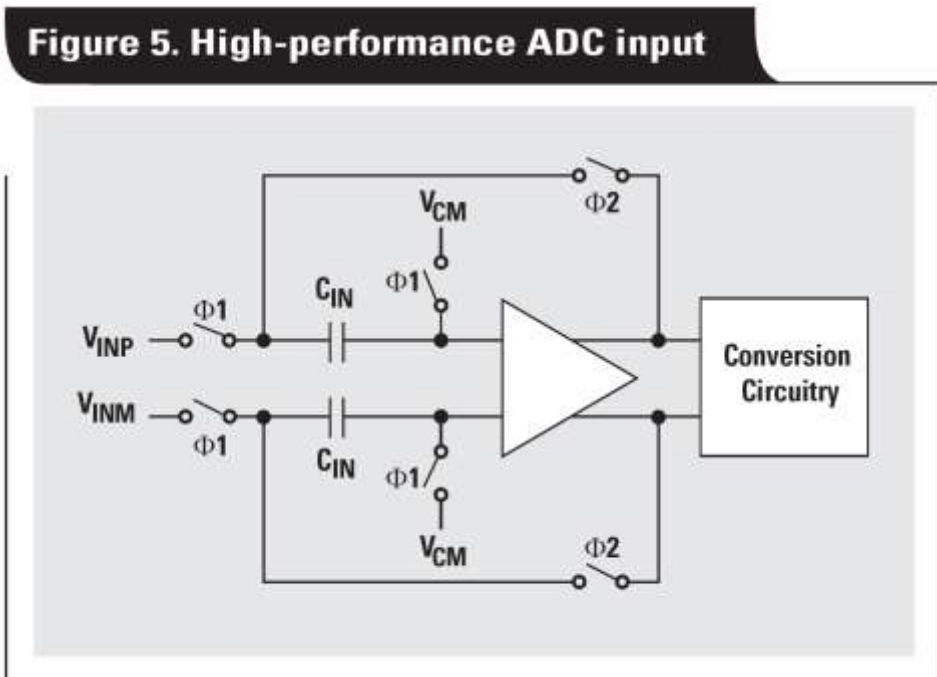


图 8-21 放大器与 ADC 接口

1. ADC 的输入

下图给出了一个高性能ADC的功能结构图。Φ1阶段，输入电容中将会储存输入信号与 V_{CM} 的差值（这就是采样周期——通常是时钟周期的一半）。Φ2阶段，储存的信号将会被传输到数据转换电路系统中，转换成数字信号。



通常都会在放大器的输出端口与ADC的输入端口之间加入一个电阻与电容，加入的这个电阻电容组合有多个作用：

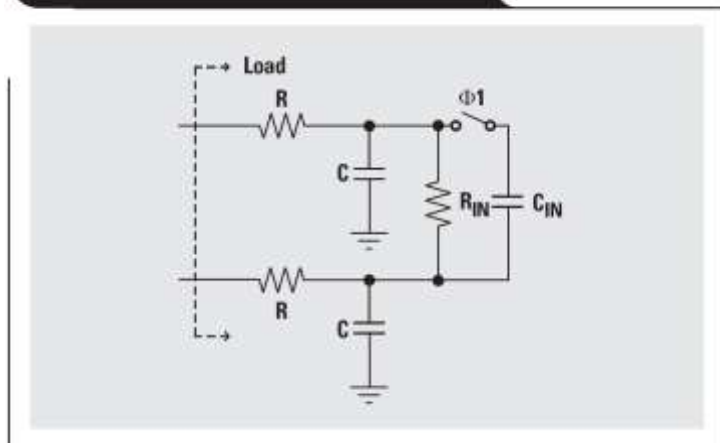
- 电容是ADC的电荷储存器：在信号采样阶段，需要有一定的电流给ADC输入端口的采样电容充电。如果在输入端口处直接放置一个外部电容，所有的电流都可以由它提供。它们可以被看作是电抗值非常低的信号源。它们作用与电源的旁路电容一样，与放大器一起提供一个瞬态的电流，然后提供所需的电荷。通常，一个10到100 pF的电容即可满足要求。

- 电阻隔离了放大器与ADC：ADC输入端口的电容以及它的开关电容采样保持电路的本质都是高速放大器的负载驱动问题中会遇到的最坏的情况。通过简单的加入一个隔离电阻，就可以分隔开反馈网络所带来的相位移动，从而保证放大器的相位冗余度。通常，一个10到100 Ω 的电阻即可满足要求。

- 它们还组成了一个低通的噪声滤波器：R与C一起在S平面上形成了一个实极点，这个极点所对应的频率为： $f_p = 1/2\pi RC$ 。可以将这个极点放置在信号最高频率的十倍的地方，从而它不会对信号产生影响。由于通常情况下电阻的阻值都很小，因此将这个极点放置在信号频率上（或者附近）的方法非常不妥当。在极点频率上，放大器驱动的负载的幅度等于 $\sqrt{2} \times R$ 。如果R只是10 Ω 左右，在高于极点频率的时候放大器将会发生过载的现象，因此会产生额外的失真。

2. 放大器的负载

Figure 6. ADC input load model



在ADC的输入端口加入了RC的组合后，放大器的负载可以由图6中的模型来表示。有时ADC的输入阻抗为： $R_{IN} \gg R$ and $C_{IN} \ll C$ 。在这种情况下中间值可以被忽略，因此输入的模式即为RC的组合。为了正确的分析放大器的性能，必需以这个负载测试放大器。

运算放大器的输出阻抗对于考虑输出端口的影响非常重要。由于负反馈，运算放大器的输出阻抗几乎在它的所有频带上都非常低：

$$Z_O = \frac{z_O}{1 + A_F \beta}$$

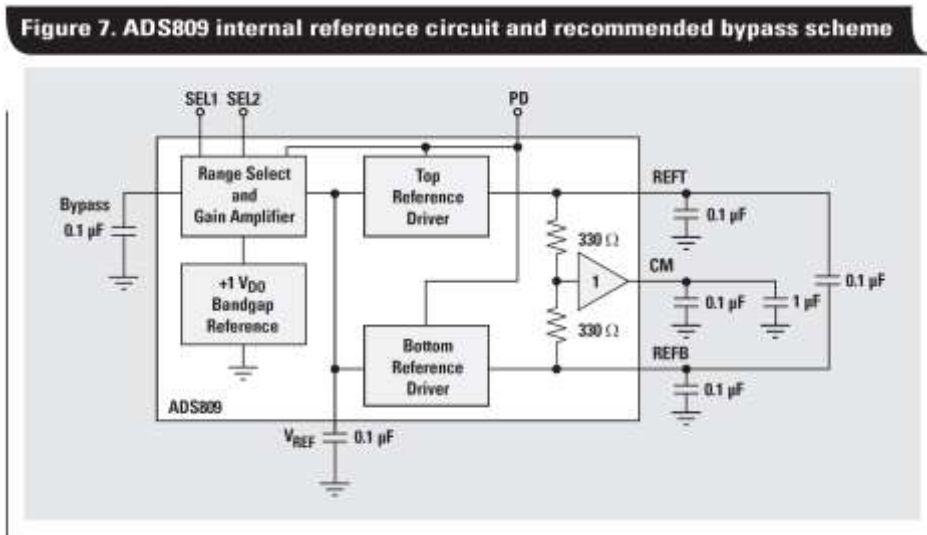
其中， Z_O 是闭环输出阻抗； z_O 是开环输出阻抗； A_F 是放大器的开环增益，与频率有关； β 是反馈系数：

$$\beta = \left(1 + \frac{R_F}{R_G} \right)$$

在低频时 $A_F \beta$ 非常大因此输出阻抗趋于0。开环增益随着频率的升高而降低。因此，应该使得放大器工作在保持 $A_F \beta$ 非常大的频率下。这样可以使输出阻抗对于负载上电压的影响程度最小。

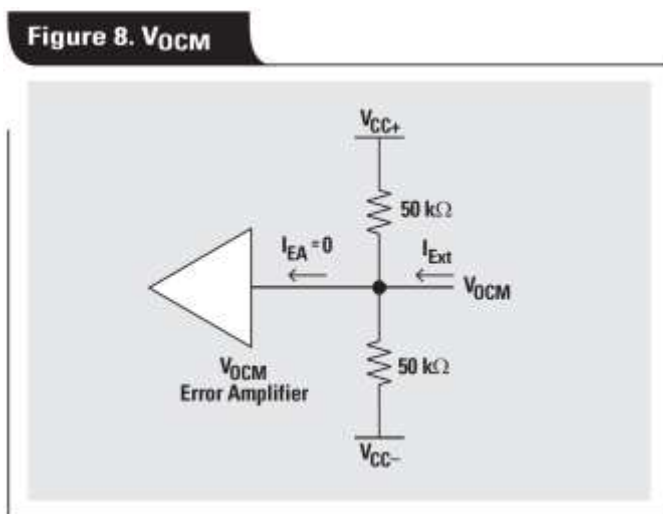
3. ADC 的参考信号以及输入共模电压

如下图，ADC的参考电压，REFT与REFB，决定了数据转换器的电压输入范围，而共模电压CM处于REFT与REFB的中点。为了充分利用ADC的动态范围，输入信号必需以CM为中心对称摆动。这意味着放大器输出的共模电压必需与这个电压匹配。



THS45xx的 V_{OCM} 输入管脚就是为这个目的提供的。内部的电路系统强制使得输出信号的共模电压等于这个管脚上的输入电压。因此， V_{OUT+} 与 V_{OUT-} 以 V_{OCM} 为中心对称摆动。在很多场合下，需要做的就是将CM管脚与 V_{OCM} 连接起来，加上一些必要的旁路电容与地线相连（典型取值为0.1 μ F到10 μ F）。

下图给出了一个THS45xx上 V_{OCM} 输入的简化电路图。当 V_{OCM} 断开的时候，分压器使得电压等于电源电压的一半。

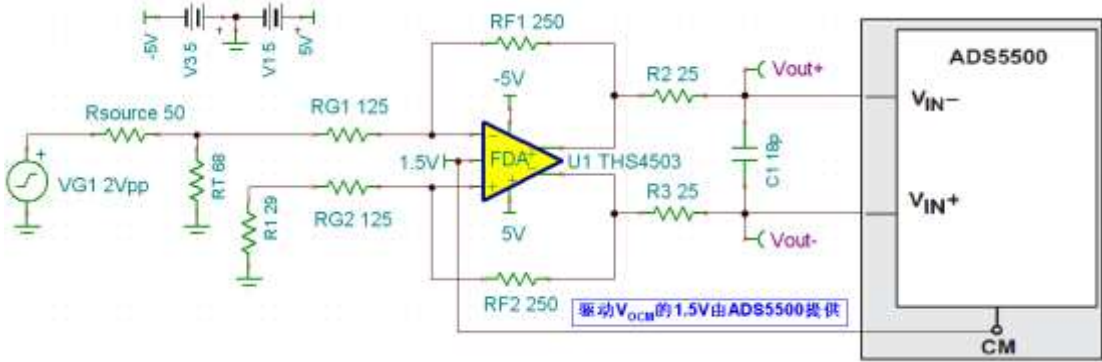


上图中的 I_{Ext} 可以用下式计算： $I_{Ext} = (2V_{OCM} - (V_{CC+} + V_{CC-})) / 50k\Omega$ ，这个式子给出了为了得到这样一个电压，怎样计算所需外部电流的方法。很容易观察到当 V_{OCM} 等于电源电压的一半时（比如在+5 V单电源供电的情况下），不需要外部的电流。另一方面，如果放大器采用±5 V的电压而 $V_{OCM} = 2.5 V$ ，则需要一个100 μA 的外部电流。根据ADC的CM端口可以提供的驱动能力，可能需要一个缓冲器提供这个电流。

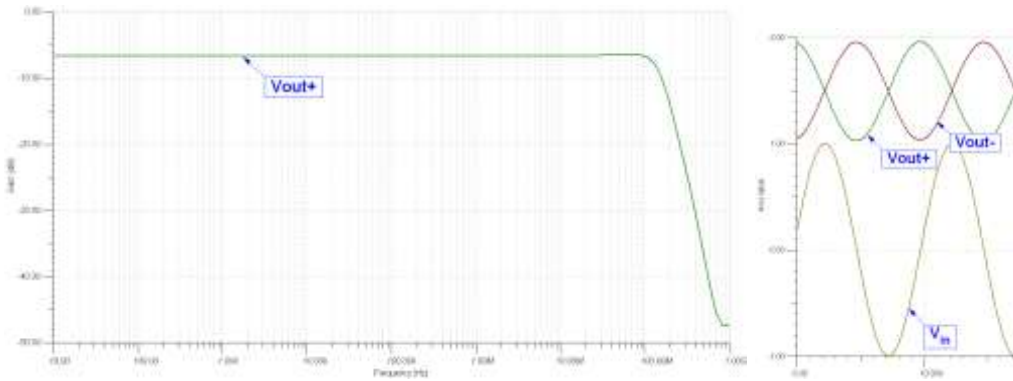
采用差分输入方式的大多数ADC都有一个可以设置驱动电路共模电压的输出端口。不同的生产商采用了不同的命名方式： CM ， REF ， $VREF$ ， VCM 或者 $VOCM$ 。不管它们的名称是什么，都有重要的两点需要记住：

- 1) 当 V_{OCM} 不在电源电压的中点时确保它们有足够的驱动能力；
- 2) 采用旁路电容以减少共模噪声。

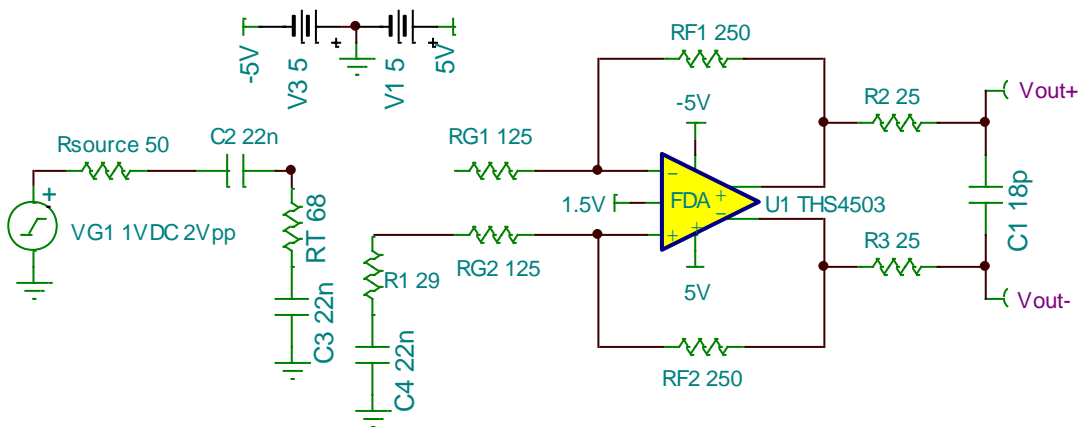
结合考虑信号源与全差分放大器、全差分放大器与ADC的接口，我们可以用下面的电路来实现ADS5500的输入驱动：



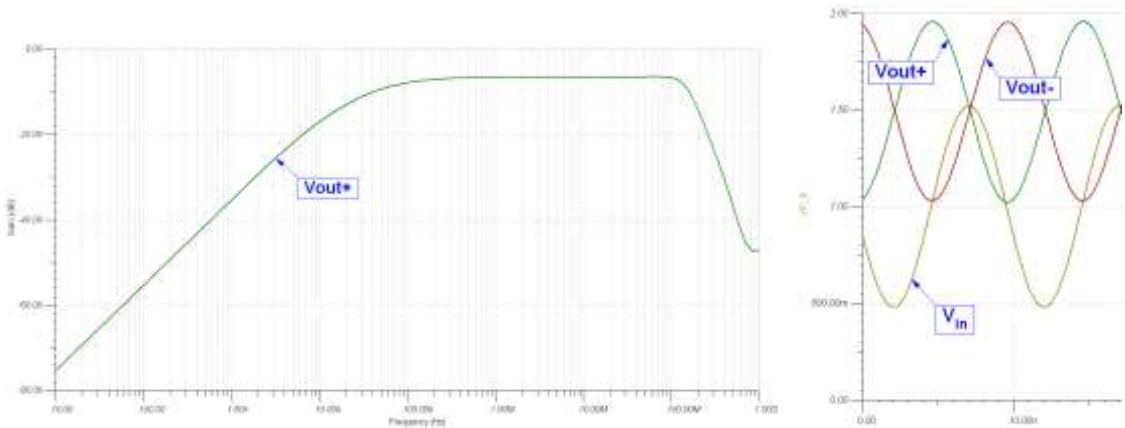
该电路的频率响应和时域输出（输入±1V，100MHz正弦波）如下所示：



这里我们采用的是直流耦合的方式，适用于输入信号以地电平为参考。若输入差分信号含有直流偏置，如1V，我们可以采用交流耦合的方式，避免1V的直流偏置被放大：



该电路的频率响应和时域输出如下所示：



对于全差分放大器，我们就讨论到这里，下面是一些需要牢记的要点：

信号源接口

- 输入阻抗：

– 单端信号源的情况， $Z_{IN} = \frac{R_{G1}}{1 - \frac{K}{2 \times (1 + K)}}$ ，K 为放大器的增益 (R_{F1}/R_{G1})；

- 增益计算中需要包含信号源的内阻；
- 保证放大器有足够的输入共模电压范围；

ADC 接口

- 低频时放大器的输出阻抗非常小，趋向于0，但是在高频时需要仔细考虑；
- 放大器与ADC之间的RC组合
 - 提供隔离
 - 可以作为一个电荷储存器，并且
 - 可以起一个低通的噪声滤波器的作用
- V_{OCM} 提供了一个设置输出共模电压的简便方式，当 V_{OCM} 不等于电源电压的一半时需要

保证 V_{OCM} 的驱动能力；

放大器的功能

- 增益计算中需要包含信号源的内阻；
- 通过 V_{OCM} 管脚实现电平移动；
- 可以方便的实现一阶、二阶有源低通滤波器的功能；

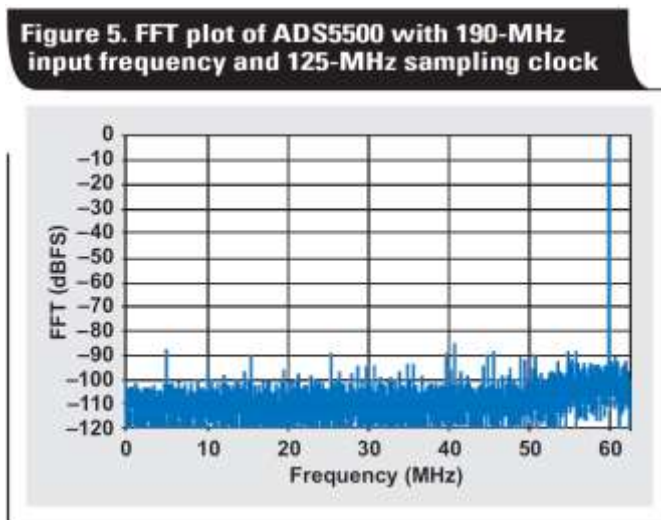
推荐使用的 TI 全差分放大器有：

器件	简介	封装
OPA1632D	$\pm 16V$, GBW=180MHz, SR=50V/uS, THD=0.000022%, 音频全差分放大器	SOIC
THS4151ID	$\pm 15V$, GBW=340MHz, SR=650V/ uS, 高速宽电压全差分放大器	SOIC
THS4521ID	2.5V-5.5V, GBW=95MHz, HD ₂ : -133 dBc at 10 kHz, 适合驱动 SAR, Σ - Δ 型 ADC 的全差分放大器	SOIC
THS4503ID	$\pm 5V$, GBW=300MHz, 全差分放大器, 共模电压包括电源中点	SOIC
THS4501ID	GBW=300MHz, 全差分放大器, 共模电压包括 VEE	SOIC
THS4511RGTT	GBW=2000MHz, SR=4900V/uS, HD ₂ : -72 dBc at 70MHz, 驱动宽带流水线型 ADC 的全差分放大器, 共模电压包括 VEE	QFN
THS4513RGTT	GBW=2000MHz, SR=4900V/uS, HD ₂ : -72 dBc at 70MHz, 驱动宽带流水线型 ADC 的全差分放大器, 共模电压包括电源中点	QFN

8.3 使用 FFT 测试高速 ADC

ADS5500 测试数据

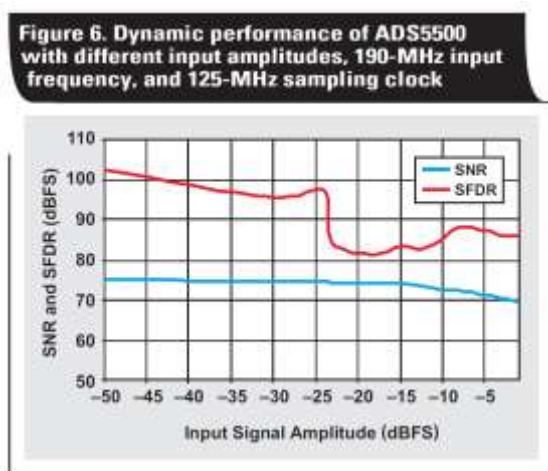
以此测试系统作为较好的应用示例，对于当前的 ADS5500 数据手册没有包含的一些用户设计，在这里提供一些测试数据。这些数据包含一组变压器驱动下的快速傅立叶变换（FFT）、一组由运算放大器驱动的 ADC 的快速傅立叶变换（FFT）。



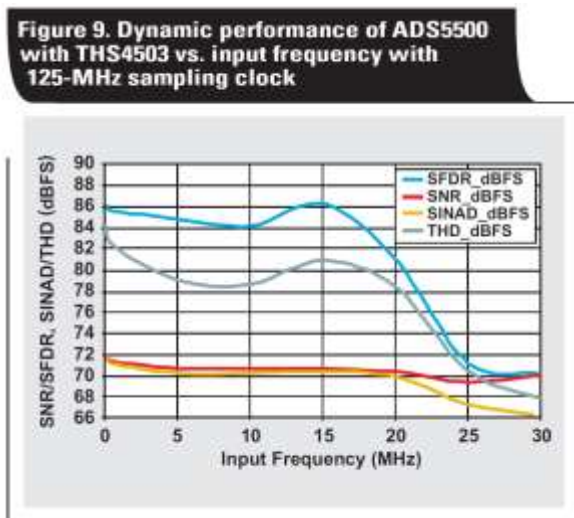
通过一套变压器耦合差分输入配置，上图给出了一个对 ADS5500 在高频输入条件和 125-MHz 采样时钟条件下的快速傅立叶变换（FFT）曲线图。输入信号的频率为 190MHz，幅度为-1dBFS。快速傅立叶变换（FFT）分析显示 SNR 为 69.6dBFS，SFDR 为 85dBFS。在这种情况下

下，输入阻抗（在 R_{T1} 、 R_{T2} 和 ADC 的输入阻抗共同作用下）大约为 200Ω ，输入电路中的 R_1 和 R_2 都小于 25Ω 。

下图显示了在输入信号频率为 190-MHz、采样时钟频率为 125-MHz 条件下，输入信号幅度不同时 ADS5500 的动态性能。这组数据显示，在如此高的输入信号频率和低输入信号幅度条件下，ADS5500 芯片的 SNR 为 74-dBFS，同时 SFDR 也较高。



下图显示了 ADS5500 和 THS4503 结合后的动态性能。这些数据是基于我们前面给出的电路（仅将运放和 ADC 间的串联电阻改为了 62 欧姆），在不同输入频率下测量得到的，采样时钟信号频率为 125-MHz。这些数据表明，与 THS4503 结合后，在输入信号频率到达 18MHz 时，ADS5500 的信噪比为 71dBFS，无杂散动态范围在 86dBFS 以上。在输入信号频率高于 20MHz 时，由于 THS4503 的带宽限制，芯片的性能开始下降。如果要使用运算放大器来驱动 ADS5500 应用于宽频带，则推荐使用 THS4511，THS4509 或 OPA695。



附录——应用笔记

A.在软件中解决高信号源阻抗引起的误差

将一个内部或者外部的 ADC 与一个微控制器相连接都是富有挑战性的工作，特别是当你不了解这里面涉及的问题以及一些折衷的考虑。一般地，微处理器内部包含的 ADC 是逐次渐进逼近型（SAR 型 ADC）的（部分 MSP430 也含有 16 位 Delta-Sigma 型 ADC）。对于一个 SAR 型 ADC，在设计其电路时应当首先考虑的是采样速度和外部信号源内阻。如果忽略这些基本参数，不管是微处理器中内置的还是外置的 ADC，都得不到最好的输出。当然可以很容易的通过硬件方法对付这些问题，但是本文将重点关注通过修改软件的方法来实现。

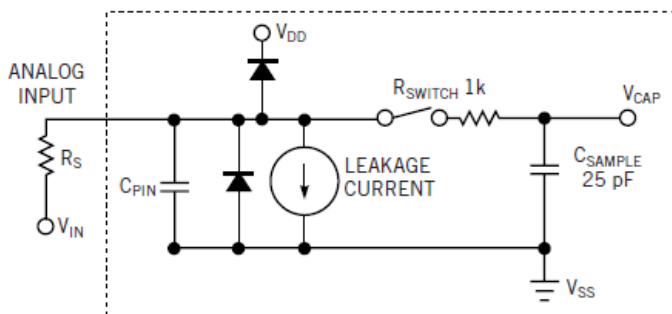


图 1 用来确定高信号源阻抗、内部开关电阻和采样积分电容对 SAR ADC 的影响的工作模型

首先，你需要理解 SAR ADC 的输入级，图 1 描述了一个典型的 SAR ADC 的输入级模型，从左向右来看，图中可以看出外部输入的阻抗为 R_s 。通常如果用运算放大器来驱动 SAR ADC，这个阻抗将小于几百欧姆。但如果采用电阻电桥这类高阻元件直接作为信号源， R_s 通常可以达到数千欧姆。信号经过 R_s 后进入 ADC 的模拟输入端。

进入 ADC 内部的信号遇到的第一个障碍就是输入引脚电容 C_{PIN} 和 ESD(静电放电保护)二极管。这些对输入信号的影响微乎其微，本文将忽略它们，同时忽略的还有输入漏电流。

接着，信号到达导通电阻为 R_{SWITCH} 的开关，采样电容 C_{SAMPLE} 。当开关闭合时，可用 C_{SAMPLE} 来代表主要的采样电路；而输入信号源内阻 R_s ，开关导通电阻 R_{SWITCH} 和采样电容 C_{SAMPLE} 的联合作用构成了一个单极点的 RC 网络。而这个 RC 网络的时间常数可以表示为：

$$t_{RC} = (R_s + R_{SWITCH}) \times C_{SAMPLE}$$

假设在采样刚开始时候的采样电容上电压为 0，电容上的电压大小与上升时间关系可以表示为：

$$V_{IN} = (1 - e^{-\frac{t}{(R_S + R_{SWITCH}) \times C_{SAMPLE}}})$$

通过这个方程，你可以根据时间变化确定采样电容上的电压达到输入信号电压值的百分比。

如果你将这个思想应用到在一个如图 1 所示的 12 位 ADC 的应用中，就能确定已经从输入信号里采样到了多少位的数据（译者注：位数通过已经采得的电压占输入电压的百分比来换算，如表 1，当采样电容上的电压为输入电压值的 99.32% 时，将有 0.68%（percentage to go）的电压无法准确获得，也就是说最小分辨率为 0.68%，这和 7.2 位的 ADC 的分辨率一致。

所以换算公式为 $\log_2\left(\frac{1}{\text{Percentage to go}}\right)$ 。表 1 所说明的就是这种方法：

TABLE 1—BITS VERSUS SAMPLING PARAMETERS					
No. of time constants	One	Five	Eight	Nine	10
$(R_S + R_{SWITCH}) \cdot C_{SAMPLE}$ (nSEC)	25	125	200	225	250
Full-scale range on C_{SAMPLE} (%)	63.2	99.3	99.966	99.9877	99.9955
Full-scale range on C_{SAMPLE} to go (%)	36.8	0.67	0.034	0.0123	0.0045
ADC accuracy (bits)	1.4	7.2	11.5	13	14.43

根据这个表的计算，如果不能给 ADC 足够的采样时间会导致 ADC 的精度降低。举个例子，一个采样时间为 1.5 个时钟周期的 12 位 ADC，在时钟频率为 2MHz 时折算出的采样时间为 750ns。对比表 1，当 R_S 为 0 时，采样电容上能获得远高于 12 位的精度，采样时间是足够的。但如果现在对信号源增加 5kΩ 内阻，然后可以得到：如果要达到 13bits 精度，转换器需要 1350ns 的采样时间，750ns 的采样时间就不再那么保险了。这时，可以通过改变软件来降低 ADC 的采样率来获得更长的采样时间，这个是易于实现的，而降低信号源内阻是难以做到的。

译者注：

1. 如何读表 1？

表 1 中， R_{SWITCH} 和 C_{SAMPLE} 是根据图 1 得来，作者令 R_S 为 0，得到单个时间常数的值为 25ns，接着作者给出在时间常数的倍数段时间里采样电容上获得的电压值占输入电压的百分比：比如采样时间为 125ns，采样电容上的电压只能达到 7.2 位的水平，这与你使用的 ADC 的位数无关。而当你留给 ADC 的采样时间足够长时，比如达到 9 倍时间常数的 225ns，在采样

电容上你可以获得 13 位的精度（当然如果你选用 12 位的 ADC，最终你只能达到 12 位的精度）。

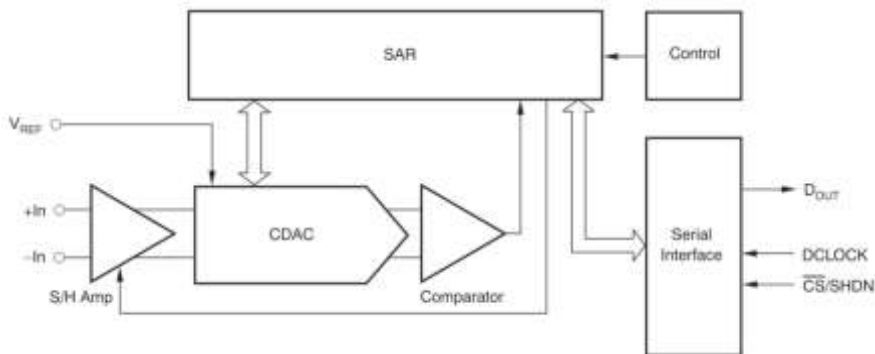
我们也可以清晰看到当 R_S 变大时，时间常数将跟着变大，所需的采样时间需要相应的加长来使得 C_{SAMPLE} 上获得足够的精度。比如，作者提出了 R_S 为 5K 欧姆：这时的单位时间常数为 $6k\Omega * 25pF = 150ns$ ，你就在表 1 中用 150ns 替换 R_S 为 0 时的单位时间常数 25ns，再替换各个倍数下面的时间常数，经过简单计算和查表，你会发现为了在采样电容上达到 13 位的精度，你需要 9 倍单位时间长度的采样时间，即 1350ns。这和作者给出的结论一致。

2. 为什么说采样能够在 1.5 个时钟周期内完成？

现代 ADC 的前端均含有一个或多个采样保持器，因此，ADC 的一个完整转换周期实际上包含采样和保持两个阶段：在采样阶段，ADC 保存模拟输入电压，所需的时间为采样时间（Acquisition Time, T_{ACQ} 或 Sampling Time, T_{SMPL} ）；在保持阶段，ADC 将保存下来的模拟电压转换为数字输出，所需的时间为转换时间(Conversion Time, T_{CONV})。因此这里说的采样能够在 1.5 个时钟周期内完成实际上是指采样时间为 1.5 个时钟周期，并不包括转换时间。

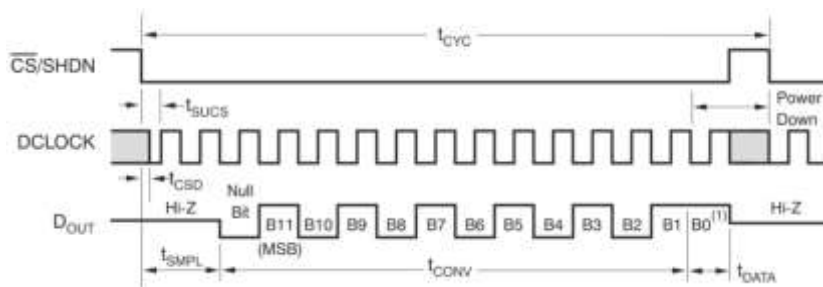
描述 T_{SMPL} 和 T_{CONV} 主要有两种方式：一种是用 us 或 ns 来描述，这最为直接，很容易理解，但不够直观，这种描述在有内部转换时钟的 SAR ADC 中较为常见。另一种用转换时钟的个数来描述，需要事先规定好转换时钟的频率范围，确保通过时钟周期数定义的最小 T_{SMPL} 也能保证足够的精度，这种描述方式在无内部转换时钟的 SAR ADC 中较为常见（利用外部 SCLK 定义），某些内建转换时钟的 SAR ADC 也会通过内部时钟的周期数来定义 T_{SMPL} 和 T_{CONV} 。

没有内部时钟的 SAR ADC 的内部简要结构如下图：



这种没有内部时钟的 SAR ADC 将依赖于 SPI 接口的串行输入时钟 DCLOCK 进行定时、内部开关切换、逐次渐进比较和数据移位输出。一般来说，12 位的这类 SAR ADC 需要 1.5 至 2 个 DCLOCK 时钟周期完成采样动作，需要 13 个时钟来完成逐次渐进比较和数据输出（在这 13 个时钟中，第一个时钟的上升沿用来进行最高位 MSB 的比较，并在第一个时钟的下降沿把数据放到串行输出端，这样在第二个时钟的上升沿单片机就可以读入 MSB，依次工作，在第 13 个

时钟的上升沿可以读入 LSB)。如下图是 12 位 200KSPS 的 ADS7822 的数据输出时序：

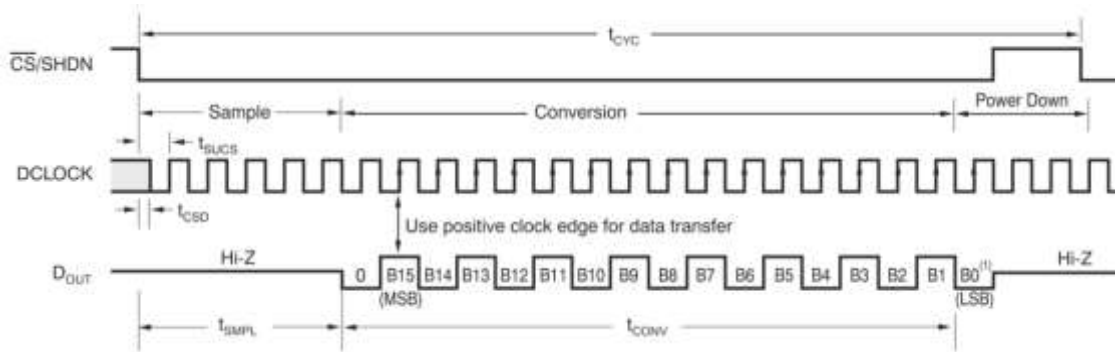


SYMBOL	DESCRIPTION	$V_{CC} = 2.7V$			$V_{CC} = 5V$			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
t_{SMPL}	Analog input sample time	1.5		2.0	1.5		2.0	Clk Cycles
t_{CONV}	Conversion time		12			12		Clk Cycles
t_{CYC}	Cycle time	16			16			Clk Cycles

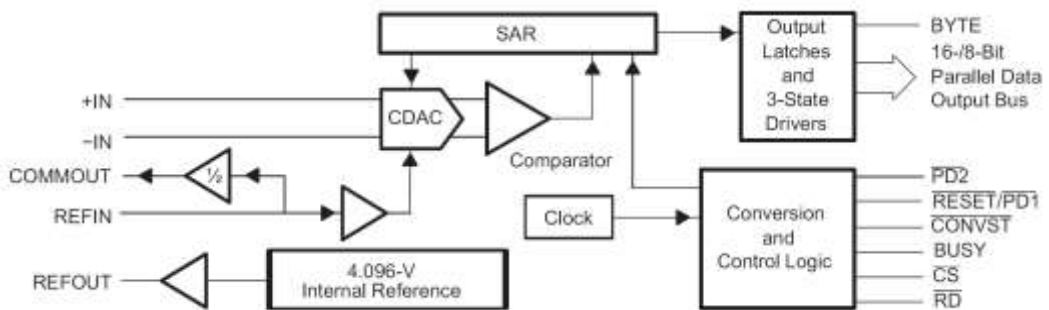
图 2 ADS7822 的输出时序

ADS7822 的时序图清晰的指出了 T_{SMPL} 和 T_{CONV} ，前 1.5 个时钟周期（前提是 DCLOCK 的时钟频率必须在数据手册的允许范围内）是采样时间，正如本文中强调的，这段时间要大于足够倍数的 RC 时间常数来使采样电容上获得所需的精度；后 13 个时钟周期用来逐次渐进比较和数据输出。值得注意的是 ADS7822 共需 15 个时钟来完成采样，如果使用标准的 16 位数据读取的 SPI 时序，第 16 个时钟上升沿读到的是无效数据，需要将读到的数据右移一位。其他没有内置时钟的 SAR ADC 采样过程和 ADS7822 大体一致，只是在输出数据的补零上略有不同。比如有一些 SAR ADC，如 ADS7886，在 2 个时钟周期的采样时间还插入一个无用的时钟周期，再跟上 13 个时钟周期来进行数据的产生和输出，这样一共 16 个时钟周期完成一次采样，不再需要再右移数据。

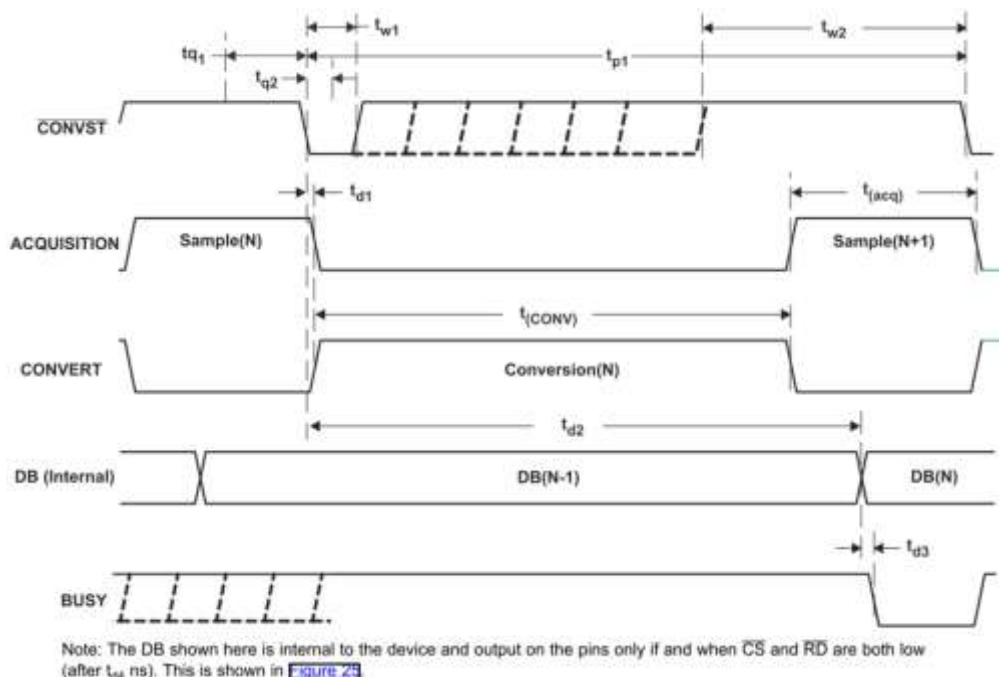
同样地，如下图，是 16 位 250KSPS 的 ADS8325 的数据输出时序，ADS8325 也是不带内部时钟的 SAR ADC，它的工作流程和 ADS7822 类似。但由于采样速度不变，为了保证更高的采样精度增加，采样时间也相应增加到 4.5 个时钟周期，这相当于增加了一倍的采样时间，从作者文中的表 1 我们看到，当采样时间从 125ns 增加到 250ns 时，采样电容上的精度可从 7.2 位提高到 14.4 位，所以我们可以大致推算出这增加一倍的采样时间可以确保在采样电容上的电压获得从 12 位到 16 位的精度提升。



不带内部时钟的 ADC 的一个缺点在于不适合在高速采样的环境下使用，比如 ADS7822，一个完整的采样周期（即图 2 中的 t_{CYC} ，包括 CS 信号为高电平的时间）最少为 16 个串行时钟周期，为了获得 200KSPS 的采样率，需要的串行数据输入时钟为 $200K \times 16 = 3.2\text{MHz}$ ，这个速度多数单片机都还可以满足，但是当 ADC 的位数和速度增加的时候，对单片机的数字接口提出了越来越高的要求。比如，TI 最快的 12 位 SAR 型 ADC 为 4MSPS（ADS7881），这时如果用串行数据输出，需要 64MHz 的 SPI 接口，这只有高端的单片机或 DSP 能满足设计要求。所以一般 2MSPS 以上的 SAR 型 ADC 就会采用并行接口，这时，由于不再外部串行时候为 SAR ADC 提供逐次比较的时钟，设计人员就在内部设计了转换时钟（Conversion Clock, CCLK），如下图所示是内建转换时钟的 SAR ADC 的典型框图：

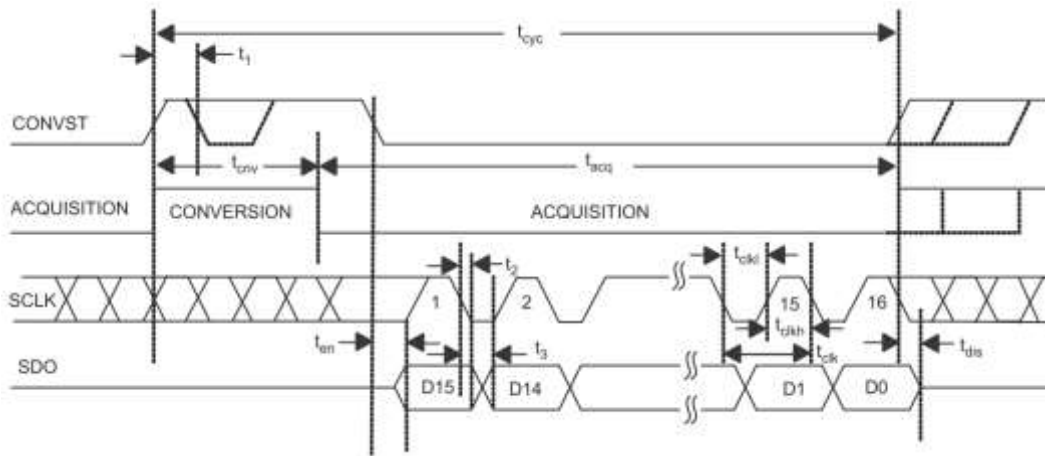


16 位 4MSPS 的 ADS8422 是业界最快的 16 位 SAR ADC，它的数据输出时序如下：



当 \overline{CONVST} 为高电平时，ADS8422 处于采样阶段中，输入电压给采样电容充电，ADS8422 的采样时间最小为 70ns，因此 \overline{CONVST} 的高电平时间最小为 100ns 来保证典型情况下的采样精度；在 \overline{CONVST} 的下降沿处，输入开关断开，ADS8422 进入保持（转换）阶段，内部的时钟开始逐次比较获得输出数据，转换时间的典型值为不大于 180ns，这样典型的采样周期为 70ns+180ns=250ns，也就是 4MSPS； \overline{CONVST} 的上升沿不会切换 ADS8422 的采样—保持状态，只需保证 \overline{CONVST} 的低电平时间大于 20ns 并且 \overline{CONVST} 的周期大于等于 250ns 即可（ \overline{CONVST} 的周期和占空比可由 TIMER 来产生），内部时钟负责由转换状态切换到采样状态，并由 BUSY 引脚指示数据状态：当 \overline{CONVST} 发生下降沿切换 ADS8422 到转换状态后，BUSY 的上升沿和持续高电平指示新的转换正在进行，数据不可用，当转换完成切换到采样状态时，BUSY 的下降沿和持续低电平指示新的转换结果已经生成，因此可以利用 BUSY 输出来触发处理器中断，并利用 \overline{RD} 信号并行读取输出数据。

另一种情况是在大多数 16 位及以上精度的串行输出 SAR ADC，为了简化数据输出接口，也使用内部时钟来完成数据转换工作（这时本文所述的方法不再可用，因为无论采样周期如何，采样时间根据内部时钟频率是固定的，这时只有通过添加缓冲器的方法降低信号源的输出阻抗），如 TI 大多数的 ADS83xx，ADS84xx 都是内置转换时钟的串行输出 ADC，以 ADS8319 为例：



如上图是 ADS8319 的一种数据输出时序（3 wire without busy indicator），在 CONVST 信号的上升沿到来时，ADS8319 由采样状态进入转换状态，典型的最大转换时间为 1400ns，在上图的这种数据输出模式下，可以保持 CONVST 的高电平大于 1400ns（CONVST 的周期和占空比可由 TIMER 来产生），然后切换到低电平进行数据读取。需要注意的是 CONVST 的下降沿并不会使转换状态切换到采样状态，转换状态到采样状态的切换由内部时钟控制，ADS8319 只是根据内部 CONVERSION-ACQUISITION 切换时钟的下降沿处 CONVST 信号的电平高低来决定是否在 SDO 上输出一个 busy indicator。在内部 CONVERSION-ACQUISITION 切换时钟的下降沿处，ADC 进入采样阶段，典型的最小采样时间为 600ns（CONVST 信号的上升沿控制采样状态到转换状态的切换），这样一个完整的最小采样周期为 2000ns，即 500KSPS 的采样率。在采样阶段 ADC 内部的时钟停止工作，串行数据被外部 SCLK 的上升沿打出，并在 SCLK 的下降沿被处理器锁存，这样只需 16 个 SCLK 时钟周期就可以完成一次数据读取，若采用 SCLK 为 40MHz，读取数据只需要 400ns 的时间，这样可以设定 CONVST 信号的高电平时间为 1500ns，低电平时间为 500ns，从而达到 500KSPS 的采样率。

总之，在使用 ADC 时，请仔细研究你的采样—转换时序图，注意给 ADC 留出足够的采样时间，避免在最开始的阶段就损失宝贵的精度。如果信号源的输出阻抗太高，你又无法通过降低采样率来获得更多的采样时间，那么只有在硬件上加入缓冲器来实现阻抗变换。

B. ADC 的 SNR 意味着什么？

你会一遍又一遍地听到，一个理想 ADC 的信噪比的表达式为： $6.02N+1.76\text{dB}$ （不包括 $\Delta\Sigma$ 数据转换器）。在我刚开始工作的时候，我对这一点理解得并不深入，因为我有许多其他更加重要的事情需要去了解。现在，随着年岁的增长，我也更加明智了，是时候来回答关于 SNR 这一指标的两个重要问题了：1. 这个理想表达式是从何而来的？2. 对于一个实际的 ADC 而言，如何测量 SNR 的值？

SNR 是通过计算得到的值，它代表了信号的有效值和噪声的有效值之间的比值。然后，对这个比值取 \log_{10} ，再乘以 20，从而得到 dB 形式的 SNR 的值。正如我上面所提到的，一个理想 ADC 的信噪比等于 $6.02N+1.76\text{dB}$ ，这里 N 是指 ADC 的比特数。

推导上述公式，首先需要确定信号的有效值。假设输入信号是正弦信号，则信号的有效值等于 ADC 的满幅度量程除以 $\sqrt{2}$ 。如果 ADC 的增益为 1，你可以将信噪比的等式转换为用比特数表示：信号有效值= $(2^{(N-1)} \times q)/\sqrt{2}$ ，这里 q 表示最小比特步长（1LSB）。

所有 ADC 都会由量化误差而产生量化噪声（（在理想情况下，ADC 的唯一噪声来源是其量化噪声）），由此而产生的噪声有效值等于 $q/\sqrt{12}$ ，有必要对这个公式进行解释一下。

任何 ADC 的不确定值的大小等于 $\pm 1/2 \text{LSB}$ 。当然，这种假设是基于 ADC 是没有差分非线性误差的理想 ADC。现在我们需要确定的是 1LSB 的有效值。我们可以认为量化误差是由模拟输入信号引起的三角波，而三角波信号的有效值等于信号幅度除以 $\sqrt{3}$ ，所以有如下的等式：

噪声有效值= $\pm(\text{LSB}/2)/\sqrt{3} = q/\sqrt{12}$ 。然后，对这些数字进行整理：

$$\text{SNR (dB)} = 20 \log \frac{\text{信号有效值}}{\text{噪声有效值}} = 20 \log \left(\frac{(2^{N-1} \times q/\sqrt{2})}{q/\sqrt{12}} \right) = 6.02N + 1.76$$

现在，知道了如何计算理想的信噪比，接下来可以解决第二个问题了。使用 ADC 对基频输入信号采样，获得含有噪声的 FFT 数值，从而计算出 ADC 真实的信噪比。图 1 给出了一个输入信号为 9.9KHz 的 12 比特 ADC 的 FFT 频谱图。在实际测试中，正弦输入信号的噪声应小于 ADC 理想噪声的 1/3，在这种情况下，信号有效值才准确等于信号幅度除以 $\sqrt{2}$ 。

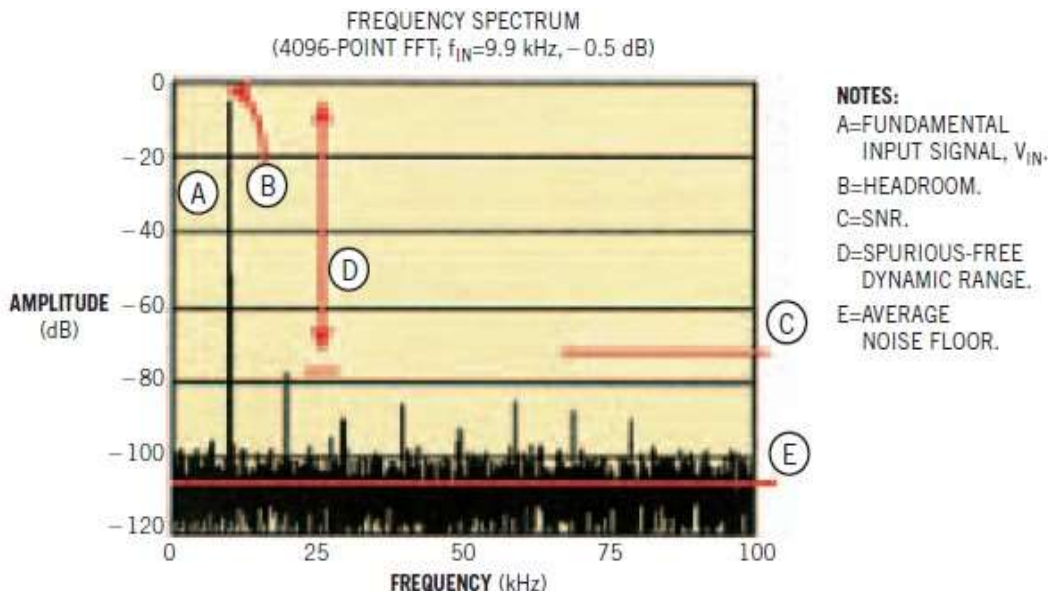


图 1 12Bit ADC 的 FFT plots

根据图 1 所示的 FFT 幅度值，可以计算出 ADC 的 SNR。在 SNR 的计算表达式中，分母上没有包含基频输入信号及其倍频信号（谐波），比如 19.8kHz，29.7kHz 等等。在计算数据转换器的噪声有效值的时候，则需要将上述谐波都考虑进去（当然不能包括基频信号和直流电平），将各数据进行平方，并把所有平方后的数值相加，然后对平方和开二次方，即求出平方和的平方根。图 1 中的 C 点给出的是计算得到的 12 比特 ADC 的信噪比，约为 72dB，这跟理想的 74dB 的值比较接近（见译者注）。

上述的公式推导使得 ADC 信噪比的计算表达式显得有点神秘。当然，你也可以在实验室里对你的 ADC 的优缺点进行评估。至此，我已经回答了我所好奇的一些问题。那么，还有哪些其他的问题让你觉得有兴趣去解决呢？

译者注：

和 SNR 相近的一个表现 ADC 信噪比的指标是 SINAD（信号与噪声加失真比）。两者的区别在于，计算 SNR 的时候我们不把谐波能量计算到噪声中去：

$$SNR = 10 \log_{10} \left(\frac{P_s}{P_N} \right),$$

这里， P_s 是基波信号功率， P_N 是所有噪声频率分量的功率之和；

而 SINAD 将谐波功率包括在噪声的计算中：

$$SINAD = 10 \log_{10} \left(\frac{P_s}{P_N + P_D} \right),$$

这里， P_s 是基波信号功率， P_N 是所有噪声频率分量的功率之和， P_D 是所有失真频率分量的功率之和。因此 SINAD 肯定会小于 SNR 的值。

我们还可以利用 SINAD 来估算出 ADC 的有效位数(ENOB)： $ENOB = (SINAD - 1.76) / 6.02$ ；因此，你可以利用采样得到的数据来估计你自己的 ADC 电路有多好。

C. ADC 中的 SNR: 位数去哪了

从理论上来说，ADC 中的 SNR(信噪比) 等于 $6.02N+1.76$ ，这里 N 等于 ADC 的位数。尽管我的数学技巧不那么好，我想理论上 16 位的转换器对应的 SNR 为 98.08dB。但是，当我读转换器的数据手册时却发现不同的情况。比如，对于 16 位 SAR（逐次逼近寄存器）转换器，因厂商和器件的不同这个指标的常见可能范围为 84dB 到 95dB。生产商在他们数据手册的第一页上标榜这些值，坦白的说，95dB 的 SNR 对于一个 16 位 SAR 转换器来说是有竞争力的。但我算出来的理论值是 98dB（除非我算错了），这比现实中最好的 16 位转换器的 95dB 的值要高。那么，相差的位数哪去了呢？

让我们从这个理想的公式 $6.02N+1.76$ 的来源看起。系统的 SNR 以分贝来表示等于 $20\log_{10}(\text{RMS Signal}/\text{RMS Noise})$ 。当推导理想的 SNR 公式时，我们首先需要定义 RMS Signal 的大小。因为将峰峰值信号转化为均方根形式，就将其除以 $2\sqrt{2}$ ，所以 ADC 的信号均方根值或有效值用位数来表示就为

$$\text{RMS Signal} = (2^{(N-1)} \times q) / 2\sqrt{2}$$
（ADC 的满量程输入即为信号的最大峰峰值，从而换算出最大的信号均方根值或有效值），这里 q 为 1 个 LSB(最小比特位)的大小。

所有的 ADC 因为将输入信号分成很多小的段都会产生量化噪声。每一个小段的理想值等于转换器的 LSB 的值。因此，ADC 的每一位将有 $\pm 1/2\text{LSB}$ 的不确定性（ADC 的数字输出在 $\pm 1/2\text{LSB}$ 的范围内不会改变）。这个误差响应理想状态下应为三角波（假设 ADC 不存在差分非线性 DNL），那么均方根值等于 1LSB 信号的幅度除以 $\sqrt{3}$ 。所以，噪声的均方根值或有效值就为：

$$\text{RMS Noise} = \pm(\text{LSB} / 2) / \sqrt{3} = q / \sqrt{12}。$$

结合 RMS Signal 与 RMS Noise，理想的 ADC 的 SNR 为（以 dB 为单位）

$$\text{SNR} = 20\log_{10}\left(\frac{(2^{(N-1)} \times q) / 2\sqrt{2}}{q / \sqrt{12}}\right) = 6.02N + 1.76$$

回到原来的问题，相差的位数到哪里去了呢？ADC 厂商热情的解释有效位数减小的现象，因为他们测试了他们的器件的 SNR 有多好。基本上，他们发现电阻和晶体管的噪声影响到了结果。厂商将他们的数据代入到下面的公式中测试他们 ADC 的 SNR。

$$\text{SNR} = 20\log_{10} \frac{\text{RMS - SIGNAL}}{\text{RMS - NOISE}}$$

这些理论和测试SNR公式是完备的，但是要搞清楚转换器到底有多少位可用，这还只是其中的一部分。比如ADC的另一个需要关注的指标，THD (总谐波失真)，表示的是谐波成分的总功率的均方根值跟输入信号功率的均方根值的比。

总谐波失真可以由下式计算：

$$THD = 20\log_{10} \sqrt{((10^{HD2/20})^2 + (10^{HD3/20})^2 + (10^{HD4/20})^2 + \dots)},$$

其中HDx是第x次谐波失真分量的幅值，并可以推出总谐波失真也可以由下式求得(推导过程见译者注)：

$$THD = 10\log_{10} \left(\frac{P_{HD}}{P_s} \right),$$

这里， P_s 是基波信号的功率， P_{HD} 是从2到N次谐波的功率之和（N经常取到8）。ADC的INL(积分非线性)误差通常表现在THD数据中。

最后，SINAD(信号对噪声和失真比)是基频信号的幅度均方根值与低于奈奎斯特频率的频带范围内所有频谱分量（不包括直流分量）的均方根值之和的比值。对于SAR及pipeline型转换器，SINAD的理论最大值等于理想的SNR，即 $6.02N+1.76\text{dB}$ 。对于 $\Sigma-\Delta$ 转换器，理想的SINAD等于 $6.02N+1.76\text{dB}+10\log_{10}(fs/(2BW))$ ，这里 fs 是转换器的采样频率， BW 是感兴趣的带宽的最大值。实际的

$$SINAD = -20\log_{10} \sqrt{(10^{-SNR/10} + 10^{+THD/10})},$$

或者

$$SINAD = 10\log_{10} \left(\frac{P_s}{P_N + P_D} \right)$$

这里， P_s 是基波信号功率， P_N 是所有噪声频率分量的功率之和， P_D 是所有失真频率分量的功率之和。

所以，下次要找失去的位数时，记得ADC的真实位数是SNR,THD还有SINAD共同作用的结果，不论是SAR,pipeline还是 $\Sigma-\Delta$ 转换器，也不论数据手册第一页的提到的位数是多少位。

译者注：

这里的HDx是以dBc为单位。dBc的含义是第x次谐波与基波分量的比用dB为单位表示，例如 $HD2=-40\text{dBc}$ 实际上是说第2阶谐波分量的功率与基波分量的功率相比差100倍，或100dB，所以以-40dBc表示。这样的话：

$HDx = 10\log_{10}\left(\frac{P_{HDx}}{P_S}\right)$, 这里 P_S 是基波信号的功率, P_{HDx} 是第 x 次谐波的功率。代入上面

的式子可以得到:

$$\begin{aligned}
 THD &= 20\log_{10}\sqrt{\left((10^{\frac{(10\log_{10}(\frac{P_{HD2}}{P_S}))}{20}})\right)^2 + \left((10^{\frac{(10\log_{10}(\frac{P_{HD3}}{P_S}))}{20}})\right)^2 + \left((10^{\frac{(10\log_{10}(\frac{P_{HD4}}{P_S}))}{20}})\right)^2 + \dots} \\
 &= 20\log_{10}\sqrt{\left(\left(\frac{P_{HD2}}{P_S}\right)^{1/2}\right)^2 + \left(\left(\frac{P_{HD3}}{P_S}\right)^{1/2}\right)^2 + \left(\left(\frac{P_{HD4}}{P_S}\right)^{1/2}\right)^2 + \dots} \\
 &= 10\log_{10}\left(\frac{P_{HD2} + P_{HD3} + P_{HD4} + \dots + P_{HDx}}{P_S}\right)
 \end{aligned}$$

这里应该注意的是 dB 不是一个单位而是一个比例, 关于更多 dB 信息请参考下文

什么是 dB?

dB 表示的是两个量之间的倍数关系, 或比例关系。单单说一个信号是多少 dB 是没有意义的, 它总需要一个参照物。在看到 dB 为单位的量时, 你应该在脑子里想一想这是哪两个信号的比例关系。

dB 的全称是 **decibel**, 可以分解为两个词语, **deci** 和 **bel**:

bel (贝尔) 是用来表示两个功率值的比例关系, 计算方法为 $a = \log_{10}(P_1/P_2)$; **deci** 是表示十分之一; 组合起来的 **decibel** 就是分贝 (这就如同米和分米之间的关系, 要把以米为单位的量换算成分米, 你需要乘以 10), 所以 dB 的计算方法为 $a = 10\log_{10}(P_1/P_2)$ 。

很多时候我们看到 dB 常用 $20\log_{10}$ 来计算, 这是因为这里是比较的是的电压有效值大小:

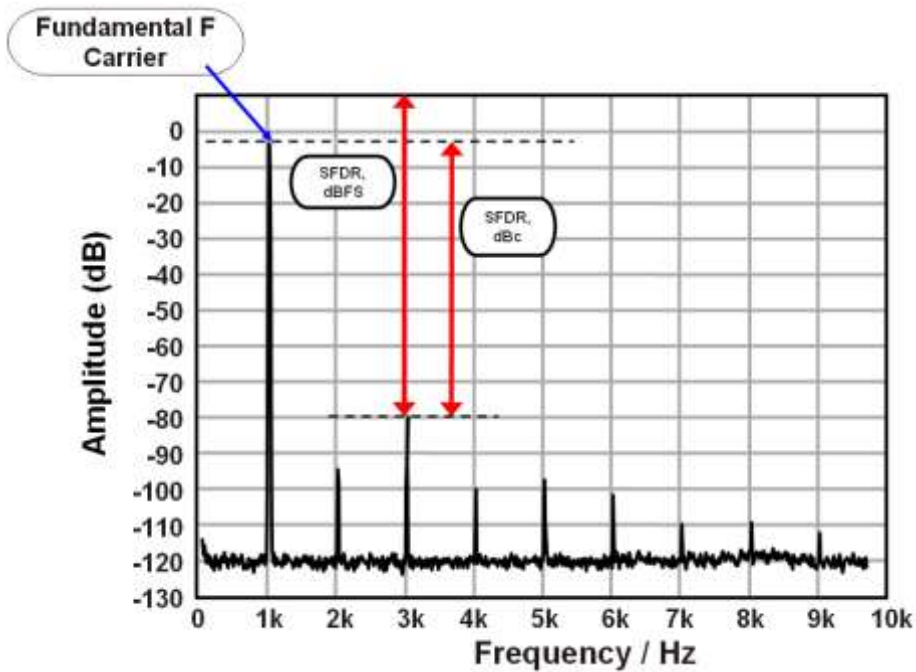
$a = 10\log_{10}(P_1/P_2) = 20\log_{10}((U_1^2/R_1)/(U_2^2/R_2))$, 若负载电阻相等, 则有 $a = 20\log_{10}(U_1/U_2)$ 。

有时您在电平表或马路上的噪声计上也能看到多少 dB 的测出值, 这是因为人们给 0dB 先定了一个基准。举三个常用的 0dB 基准为例:

dBFS: 以满量程输入为基准, 描述待测值与基准的比例关系; **FS** 代表 **Full Scale**;

dBc: 以载波输入为基准, 描述待测值与基准的比例关系; **c** 代表载波, **carrier**;

比如信噪比可以用 **dBFS** 和 **dBc** 两种单位来表示, 也可以用 **dB** 表示 (此时等同于 **dBc**)。同样的, 无杂散动态范围 **SFDR** 也经常用 **dBFS** 和 **dBc** 两种单位来表示。因为真正测试时, 输入通常不会完全达到满量程, 所以 **dBc** 通常会小于 **dBFS**。以 **SFDR** 为例:



上图中，SFDR=-80dBFS，即最大的谐波功率比满量程基准小 80dB；或 SFDR=-68dBc,即最大功率的谐波比载波信号小 68dB.

dBm: 以 1mW 作为 0dB 基准，描述待测值与基准的比例关系。比如一个信号源在 50 欧负载阻抗上的输出功率为 20dBm，即 $20\text{dBm} = 10\log_{10}(P_{\text{out}}/1\text{mW})$ ，推出 $P_{\text{out}}=0.1\text{W}$ ，在 50 欧负载上换算成幅度有效值为 $\sqrt{5}\text{V}$ 。20dBm 也即是比 1mW 基准大 20dB，或 100 倍（功率之比）。

D. ENOB 能说明一切吗？

在日全食的开始和结尾阶段，可见的太阳犹如光珠。这些光叫做贝利珠，以英国天文学家弗兰西斯·贝利的名字命名，他在 1836 年第一个观察到这个现象的（见下图）。在他们发生的时候，你不能看到整个图像，但更多的事正在发生。同样，ENOB（有效位）只描述了 ADC 的一部分：噪声和失真，但不能描述 ADC 的精确度。



要注意到 ENOB 的缺陷。它并没有完全描述 ADC 在整个采样频率和供电范围下的所有特性。加之，ENOB 并不包含 ADC 的直流特性，比如漂移误差和增益误差。工程师用 AC 或者 DC 信号来确定 ADC 的 ENOB。当用一个交流信号输入的时候，转换结果通过 FFT（快速傅里叶变换）变换在频域里描述了输入信号经过转化后的噪声和失真。在 AC 环境里，可以从转换器的 SINAD（信号与噪声和失真比）计算 ENOB。SINAD 和 THD+N（总谐波失真加噪声）或者 SNR+D（信噪比加失真）拥有一致的含义：在计算时都包括了 SNR 和 THD：

$$SINAD(dB) = -20 \log_{10} \sqrt{10^{-SNR/10} + 10^{+THD/10}}$$

$$ENOB = (SINAD - 1.76) / 6.02$$

THD 的计算包括了 FFT 数据中所有整数倍于基频信号的谐波能量；除去这些谐波能量和直流分量后，将所有剩下信号能量求和并与基频信号能量相比可以衡量 SNR。使用以下计算式可以由 SINAD 求的 ENOB： $ENOB = (SINAD - 1.76) / 6.02$ 。关于这个简单的公式的更多说明，请参考本书中的《ADC 的 SNR 意味着什么？》一文。

用 DC 输入信号来衡量 ENOB 将使用柱状图来描述 ADC 的数字输出。它能表现输入 DC 信号的平均值和转换器的内部噪声。对过采样或者 Δ - Σ 型转换器最常见的衡量方法是计算标准偏差，它等于噪声的有效值。如果你用一个 DC 信号输入到 Δ - Σ 型转换器并且记录大量的采样点，你能计算出标准偏差。ENOB 的计算公式是： $N - \log_2(\sigma)$ ， σ 就是标准偏差， N 是转换器位数。对于 Δ - Σ 型转换器，ENOB 或者有效位会随着过采样率或数字抽取率的改变而改变。总的来说， Δ - Σ 型转换器的有效分辨率会随着数字输出速率的增加而降低。

AC 测量中的 ENOB 利用 SINAD 来计算，SINAD 是 SNR 和 THD 的合。AC 衡量是动态的，需要正弦信号输入。这个计算公式可以用在不同的转换器结构中，如 SAR、 Δ - Σ 、pipeline 和 flash 型。

直流测量中的 ENOB 的计算使用噪声的有效值或标准差，输入信号为直流。 Δ - Σ 型转换器就利用这种衡量方法。

记住，在两种情况中 ENOB 只是表现了 ADC 的部分特性，当然，它还是有意义的。所以，当你使用 ENOB 去做决定时，花点时间想想你的日全食贝利珠。在为你的应用挑选使用最有效最有用的转换器时，ENOB 可能会产生误导。

译者注：

本文想表达的意思即在针对不同类型输入信号时应考虑不同的 ADC 性能指标。当采集交流信号（如音频、电网、中射频信号）时，通常注重 ADC 的频域性能，这时采用 SINAD、THD+N 计算出的 ENOB 更能描述 ADC 的性能，常用的工具为 FFT 图；而当采集直流信号（如压力、温度传感器的输出）时，更多的应考虑 ADC 的直流噪声，常用的工具为输入一个恒定直流时 ADC 输出数字码分布范围的柱状图。

E. 你的转换器是精确的吗？

ADC 精度性的真正含义是什么？你可能会说它指的是 ADC 输出编码等于输入电压的实际值减去量化误差。这个表述很正确，但是你没有考虑到模拟输入精确的测量方法？

精确性是不是也意味着 AD 转换的结果具有可重复性？是不是在电路没有发生改变的情况下，ADC 的每一次转换结果都是具有可重复性的？

理论上，对于一个固定的输入电压，ADC 的每两个相邻数字编码输出之间的转换过渡区域应该是陡峭的。实际上，这个区域可能会很宽，甚至可能会覆盖几个输出编码。在图 1 中，转换点发生在一个特定的输入电压导致输出编码从一个到其相邻的下一个跳变时，受 ADC 内部噪声的影响，这个转换点不是一个单一的门限，而更像是一个小的不确定的区域。因此，你需要根据多次转换的统计平均值来确定这个转换点。换句话说，当输入电压值指向相邻两次数字编码产生过程的中间，而在邻近检测中你会发现转换是伴有高斯概率曲线的噪声。

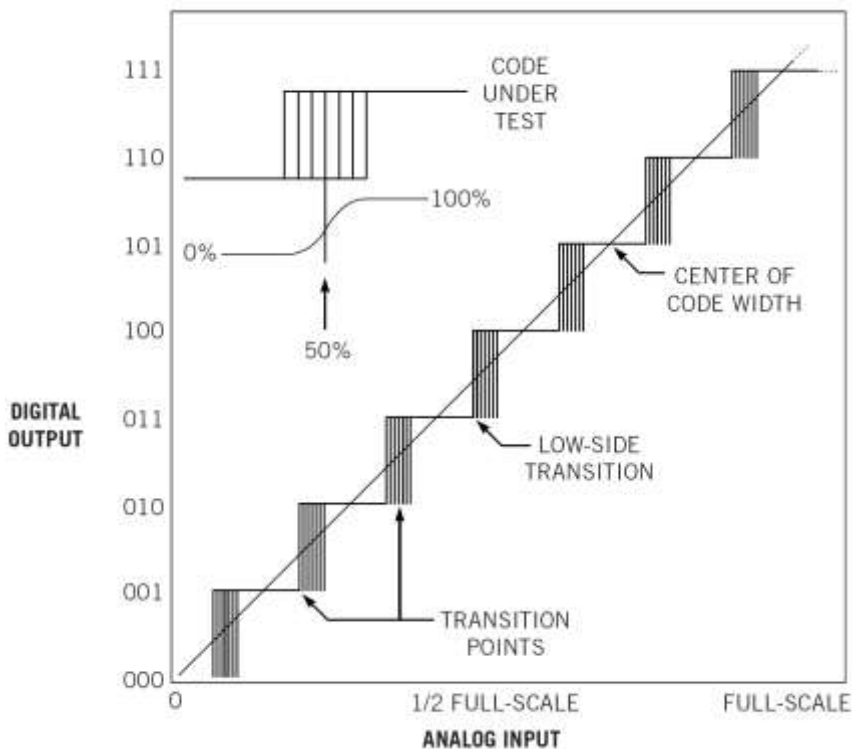


图 1 3 位的 ADC 非理想转换功能说明了每个代码的转换噪声

假设你在电路板中使用了很好的布线技巧，旁路电容等，还有一个 16 位的 ADC 去做模数转换的实验，然后在指定采样率下记录 1024 个采样值，在输出结果中会存在多个不同的值。为了说明转换器的噪声，一些制造商在 ADC 产品上表明了转换噪声的有效值。用 6.6 乘以这个转换噪声有效值就会得到一个峰峰值。

更进一步的讨论，失调、增益、微分非线性以及积分非线性等是 ADC 精确性的具体说明。一些制造商也把这些特性叫做直流参数，因为这些器件在转换测试时用的是直流电压输入。但是这些说明没有指出转换结果的可重复性，他们只是指出了在平均情况下误差不会大于或者小于芯片手册中 ADC 误差的最大值或最小值。为了更好地转换器的精度，你需要结合直流指标和交流指标来判断。

有三个重要的交流指标，其中一个是 SINAD（信号噪声及失真比），尤其有用；同样重要的是 ENOB（有效位数），其中 $ENOB = (SINAD - 1.76dB) / 6.02$ 。然后结合数据手册中的直流指标就能够更好地衡量转换的实际精度。

参考文献

- [1] Baker, Bonnie, "Anticipate the accuracy of your converter," EDN, March 18, 2004, pg 26.
- [2] Mitra, Sumit, Stan D'Souza, and Russ Cooper, "Using the Analog-to-Digital (A/D) Converter," AN546, Microchip Technology Inc.
- [3] Sheingold, David, Analog-Digital Conversion Handbook, Prentice Hall, 1986.

F. 为 SAR 转换器输入充电

只用一个放大器驱动 SAR ADC（逐次逼近模数转换器）是非常有诱惑力的，其另一个好处在于，可以利用这只放大器做为放大级或抗混叠滤波器。在优化器件使用时，这些优势似乎是明显的。尽管有如此，你是否想过这样会牺牲运放/转换器组合的性能？

如果你对 SAR ADC 的 DC 和 AC 准确度有较高要求，那么无论在任何数据吞吐率（throughput rate）下都需要注意 SAR ADC 模拟输入级。现代 SAR ADC 的典型等效结构是带有两个开关和一个电压源的电阻/电容对（如图 2 所示）。转换器输入端的电阻 R_{SW} 是开关闭合后的导通电阻。这个开关在采样阶段闭合，转换阶段断开。电容 C_{SH} 是输入信号采样过程中，所有芯片内部的分布电容之和。

首先最重要的是，你需要给采样电容 C_{SH} 充电足够长的时间使其上的电压达到被采样电压的 $\pm 0.5LSB$ 范围内。理论上来说，对 12 位转换器，充电时间应大于 8 倍 $R_{SW} \times C_{SH}$ 。考虑到误差容限，器件参数变动，充电时间应取 10~15 倍 $R_{SW} \times C_{SH}$ 。SAR ADC 需要一增益为 $\pm 1V/V$ 的运放和外接的 R_{IN} 和 C_{IN} 电阻/电容对。在采样期间，ADC 利用 C_{IN} 保持信号稳定；电阻 R_{IN} 将运放和 ADC 负载电容隔离。运放将 ADC 和高阻信号源隔离，同时方便在采样阶段对 C_{IN} 和 C_{SH} 进行快速充电。

设计这样一个看似简单的电路，应遵循以下方法。 C_{IN} 须是银云母（silver mica）电容或 COG 电容。这些电容能为 C_{SH} 提供稳定的电压和频率性能。像 X7R, Z5U 这样有电压和频率“记忆”效应的电容，会降低 ADC 的总谐波失真。另外， C_{IN} 应大于 20 倍 C_{SH} 。接下来再利用 ADC 内部电阻，电容决定 R_{IN} ：最终决定的 C_{IN} 和 R_{IN} 时间常数是 C_{SH} 和 R_{SW} 的 70%， R_{IN} 阻值大小为 $50\ \Omega < R_{IN} < 2k\ \Omega$ 。当最终 R_{IN} 和 C_{IN} 决定后，运放电路应该在驱动阶跃信号时也能及时稳定到期望的精度。你可以通过测试验证其功能（参考 1 中有详述）。

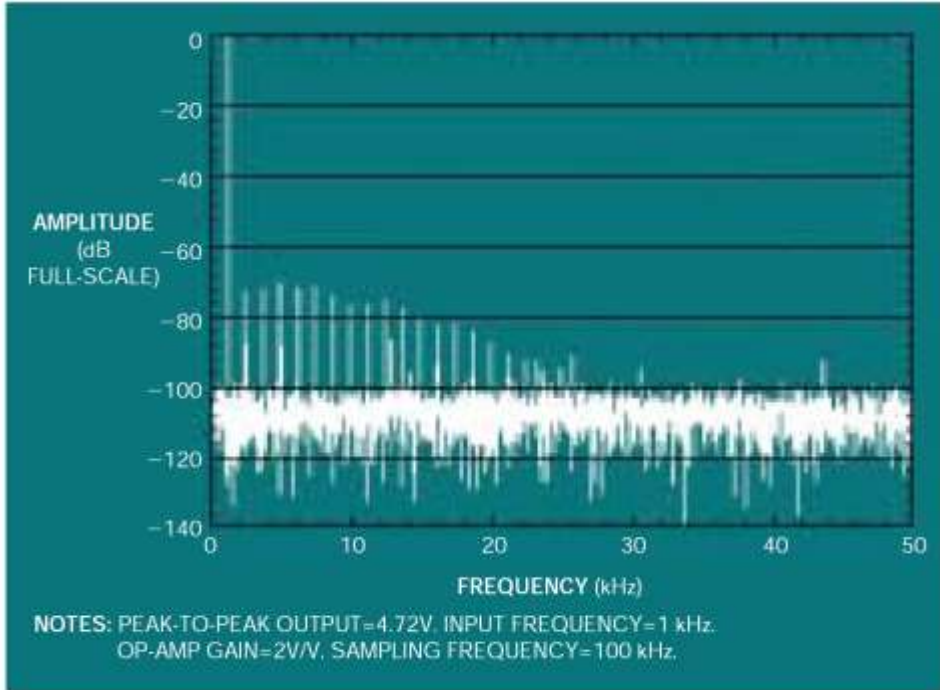


图 1 一个被不当驱动的 12-bit SAR ADC 可能产生额外的噪声和谐波失真。在这幅图中，信噪比为 69.76dBFS，总谐波失真为 -63.34dBFS；而实际这款 ADC 能达到信噪比为 71.82dBFS，总谐波失真为 78.82dBFS。

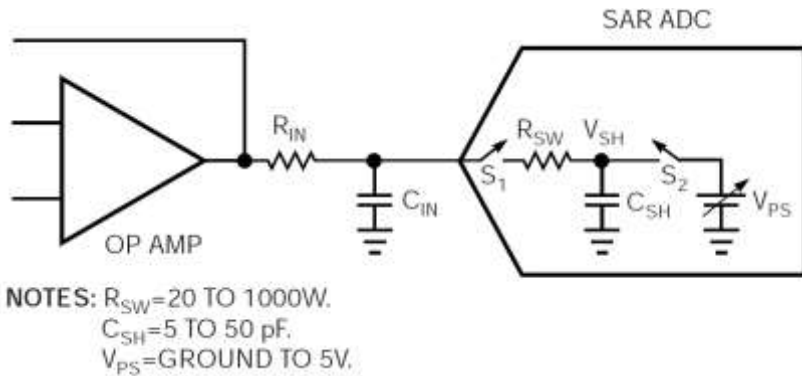


图 2 SAR ADC 输入级结构的核心是一个采样保持电容 C_{SH} ，它的前面是一个控制采样时间的开关 S_1 。

参考文献

- [1] Oljaca, Miro, and Bill Klein, “Optimizing the High Accuracy Measurement Circuit ...,” PCIM conference proceedings, 2004.

G. ADC 的电压参考误差影响满量程输入转换

SAR（逐次逼近）型模数转换器的电压参考对转换精度的影响可能超过你的想象。图 1 显示了一颗 3 位 ADC 的理想传输函数和存在增益误差时的传递函数。

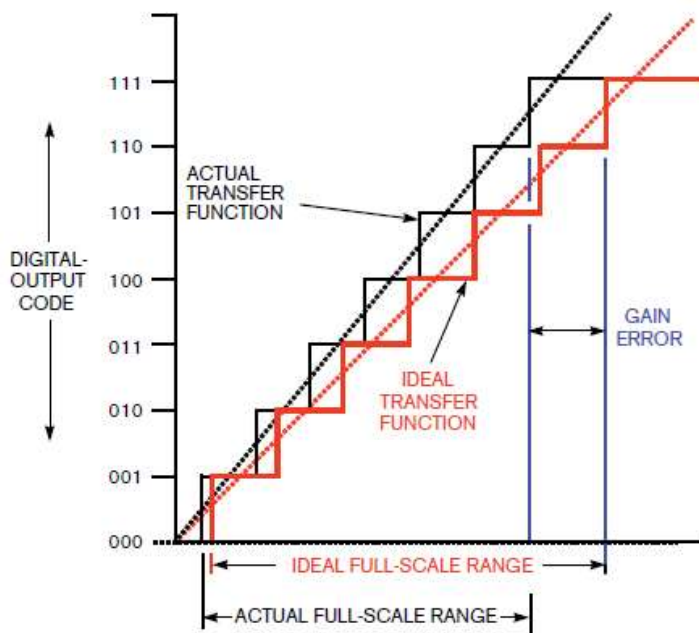


图 1 增益误差对 ADC 传输函数的影响

实际 ADC 的传输函数可表达为：

$$D_{CODE} = (V_{IN} - V_{OS}) \left(\frac{2^N}{V_{REF} - V_{GE}} \right)$$

公式里 D_{CODE} 是数字输出码， V_{IN} 是输入到转换器的电压， V_{OS} 是转换器的失调电压， V_{REF} 是 ADC 的参考电压， N 是 ADC 位数即分辨率， V_{GE} 包括了 ADC 增益误差、参考输出电压误差和参考电压噪声。

很容易就能看出电压参考是如何影响 ADC 的绝对精度的。对高分辨率转换器来说，参考电压的失调误差往往大于 ADC 的失调误差，特别是温度特性。从传输函数中你还可以注意到转换器的参考电压误差在大输入信号时影响更大。

通过比例设计法你可以减小 ADC 和参考源的误差。这种方法往往需要在电路里增加器件如在处理器/控制器上使用校准算法。记住校准算法需要了解每一个电路的增益和失调误差的特性。

参考源的噪声误差是另一种麻烦，它会影响 ADC 的 SNR（信噪比）和 THD（总谐波失真）。参考源的噪声在大信号输入的情况下对 ADC 的 SNR 和 THD 影响更为严重（图 2）。

如果转换器在参考输入脚没有内置缓冲器，你会注意到输入或者输出的电流尖峰。转换器利用这些电流在转换周期中给内置电容充电。这个认识提醒你在外置参考源和 ADC 间增加一个低噪声运放。

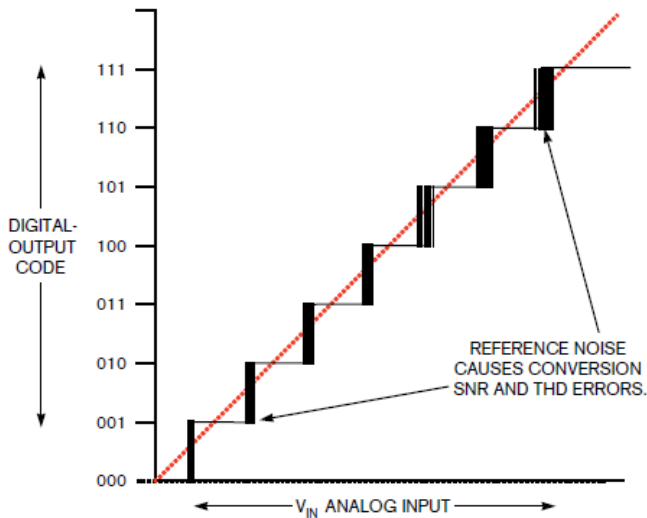


图 2 ADC 的参考电压噪声随着数字码越来越大

不要仅仅使用 0V，GND 或低电压输入来测试你的 ADC（0V 输入常用来测试直流噪声和失调误差）。如果你希望看到电压参考源对你转换器的影响，尝试利用直流满量程输入。接着你可以输入一个正弦信号来观察 ADC 系统的频率响应（如测试 SNR 和 THD）。

参考文献

[1] Oljaca, Miro and Bill Klein, "Improved Voltage Reference Circuits Maximize Converter Performance" Texas

Instruments Webinar on Demand: www.techonline.com/learning/webinar/201307002

H. ADC 位数和 LSB 误差

在选择模数转换器(ADC)的时候，最小比特位 LSB (LEAST-SIGNIFICANT-BIT) 这个参数有什么意义呢？客户的一位工程师告诉我，一颗从某一个 IC 厂商制作出来的 12 位的数据转换器的有用位数只有 7 位，换句话说这只是一个 7 位的转换器。他是基于器件的失调和增益特性得出这个结论的，这两个参数的最大值如下：

$$\text{失调误差} = \pm 3\text{LSB},$$

$$\text{增益误差} = \pm 5\text{LSB},$$

乍一看，他的结论是似乎是正确的。从上面列出的参数可知较差的指标是增益误差 ($\pm 5\text{LSB}$)。所以通过简单的数学运算，12 位减去 5 位，就得到 7 位分辨率这个结论。但是果真如此的话，为什么 ADC 厂商还会推出这颗 ADC 呢？根据以上的推论，由于过大的增益误差，工程师转而选择较更低价位的 8 位 ADC 就可以了。这是不是就是全部事实了呢？其实并不是这样的。

让我们重新来看一下 LSB 的定义。考虑一个 12 位串行 ADC，它能输出一个 12 位的全 1 或者全 0 的数据串。一般来说，这个转换器最先输出的是最高比特位 MSB (Most-Significant-Bit)，或者说是 LSB+11 (译者注：这里的+11 不是指算术上的相加，而是指比 LSB 高 11 位的位)。但也有部分转换器最先输出的是 LSB。我们这里假设是 MSB 是最先输出的，如图 1 所示。第二位是 MSB-1，即 LSB+10；第三位是 MSB-2，即 LSB+9，以此类推。转换器最终输出 MSB-11，即 LSB。

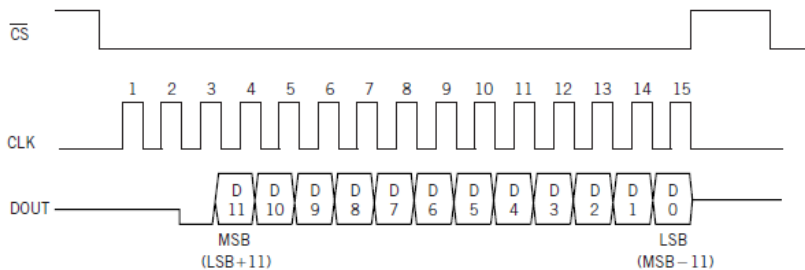


Figure 1 The data from this serial ADC clocks MSB first and LSB last.

“LSB”的含义是很明确的，它描述的是 ADC 输出数据流的最后一位，同时又表示了满量程输入的最小分辨率。对于一个 12 位的 ADC 来说，LSB 的值是满量程幅度除以 2^{12} (4096)。当满量程是 4.096V 时，那么 LSB 就是 1mV。因此，将 LSB 定义为 4096 个可能编码中的最小编码单位对于我们的理解是有好处的。

回到文章开头所提到的 ADC 的两个参数，并把它们应用到一个具有满量程幅度为 4.096V 的 12 位 ADC 中：

$$\text{失调误差} = \pm 3 \text{ LSB} = \pm 3 \text{ mV}$$

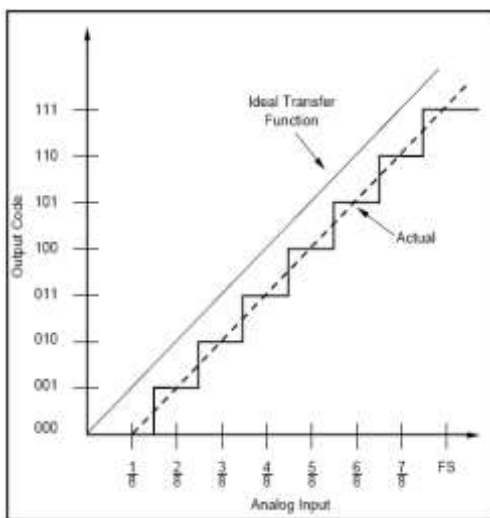
$$\text{增益误差} = \pm 5 \text{ LSB} = \pm 5 \text{ mV}$$

这两个参数表明转换器转换过程引入的最大误差为 8mV(或 8 个最小编码单位)。但这并不是说误差会发生在输出位流的 LSB、LSB+1、LSB+2、LSB+3、LSB+4、LSB+5、LSB+6 和 LSB+7 八个位上，而是表示误差最大能达到一个 LSB 值的八倍(或 8mV)。更准确地说，转换器实际的传递函数可能造成在 4,096 个编码中最多丢失掉 8 个编码。丢失的可能是最低端或最高端的编码。例如，一个总误差为 8LSB 的 12 位转换器可能的输出编码范围为 0 至 4,087，丢失的编码从 4088 至 4095，相对于满量程来说，这个 0.2% 的误差是很小的。作为比较，一个误差为 -3LSB 的 12 位转换器输出的编码范围为 3 至 4,095，丢失的码元为 0，1，2。上面的两个例子描述的都是最坏的情况。在实际的转换器中，失调误差和增益误差很少会接近最差值。

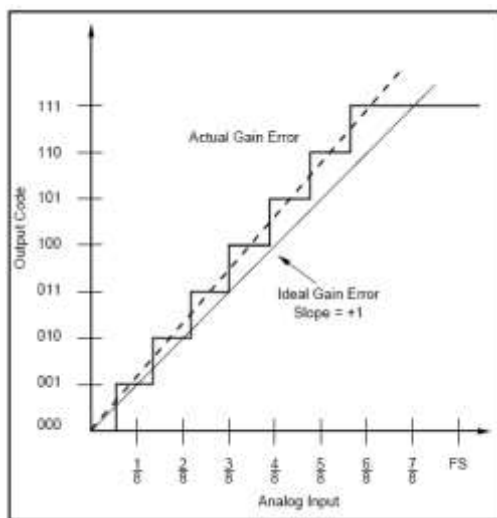
在实际应用中，由于 ADC 失调或增益参数的改进而使性能提升的程度微不足道，甚至是可以忽略的。但对于把精度作为设计的目标之一的一些设计者来说，这种说法可能太过于绝对。因为在电路中可以很容易的实现数字校准算法。然而，更为重要的是，电路前端的放大和信号调节部分通常会比转换器本身更高的误差。

通过上面的讨论，对本文开头提到的关于 12 位 ADC 的精度问题提供一个更为全面和清晰的认识。事实上，上述的 12 位转换器的精度约为 11.997 位。利用微处理器或单片机可以通过简单的校准算法消除失调和增益误差，这对设计者来说无疑是个好消息。

译者注：ADC 的失调误差和增益误差



失调误差=1LSB 的 3bit ADC 的传递函数



具有增益误差的 3bit ADC 的传递函数

失调误差为 1LSB 的 3 位 A/D 转换器转换特性如上图左所示。Y 轴对应输出码字，坐标 X 轴对应模拟输入信号幅度。在数量上，失调误差为当输入等于 0.5LSB 时，第一个码字转换（从 000 到 001）偏离理想位置的值，失调误差通常用 LSB 来表示。上图右给出了具有增益误差的 3 位 A/D 转换器的转换函数，从图中可以看出，增益误差可以描述为直线通过转换函数曲线时，在满量程处的偏差。增益误差通常被表示成满量程的百分比（%FSR），也常用 LSB 为单位。

在 ADC 允许的输入范围内，理想情况下 ADC 量化得到的数字输出为 D_{ideal} ，由于存在失调误差 A（以 LSB 为单位）和增益误差 B（以 %FSR 为单位），ADC 实际的数字输出为 $D_{Actual}=A+B \cdot D_{ideal}$ 。可以在软件里矫正 D_{Actual} ，使之尽可能的趋近于 D_{ideal} 。对单极性 ADC 而言，常用的方法是先将 ADC 输入接地，使得 D_{ideal} 为 0，可以通过读取 D_{Actual} 可得到失调误差 A 的值，此时计算得到的失调误差 A 不受增益误差的影响。然后挑选一个合适的接近 ADC 满量程输入的模拟电压激励 ADC，使其 D_{ideal} 接近满量程输出（比如 12 位 FSR=5V 的 ADC 可以取模拟输入电压为 4.8V， $D_{ideal}=3932$ ），从 ADC 输出的 D_{Actual} 中先消去失调误差 A 后，可以进一步得到增益误差 B 的值，从上图右中我们可以看到之所以在接近满量程处计算增益误差，是因为此时增益误差换以 LSB 为单位时数值相对较大，可以减少 ADC 自身量化误差的影响。应该认识到，由于增益误差一般是浮点乘法运算，有可能给处理器带来过大的处理负担。同时，正如本文所述，前置信号调理电路的失调和增益误差在系统中可能占据误差的主导地位，应仔细考察 ADC 输出误差的主要来源再做相应的处理。

I. 提高 DAC 的精度

对于 DAC，你是根据其在 1/3 输出以及 2/3 输出范围处的转换误差来校准的，这个电压范围避免了电源电压轨附近输出放大器的误差。失调和增益误差的校准方法满足一个简单的代数式 $V_{OUT}=a+bV_{IN}$ ，式中 a 是失调误差， b 是增益误差。利用一颗与被校准 DAC 相比具有更高精度的 ADC，可以在数字域内实现校准。当失调和增益误差大于两个 LSBs（最低有效位）时，这种校准技术就是有效的。但是这种方法也受到了转换器量化误差的限制。

另外一种更具挑战性的 DAC 校准方法就是矫正转换器整个输出范围内的线性度，这时需要一个比 DAC 高四倍分辨率的 ADC。这种方法适合于具有 8, 10, 12 或者 14 位分辨率的 DAC，这时仅较少位的 DAC 代码需要校准，内存需求也较少，由于对校准 ADC 的精度要求不算特别高，就可以选到较快速度的 ADC。若 DAC 具有超过 14 位的分辨率，对于处理器和内存来说整个编码数目变得难以管理。另外，这就需要具有较高精度而速度较慢的 ADC，比如 $\Delta-\Sigma$ 转换器。如果为更高位数的 DAC 线性化每一位编码，将会带来更高的成本和更低的速度，因此这样做是不值得的。

一种有效的线性化每一个 DAC 编码的方法就是将所有编码分成若干小组。一个 16 位电阻串型 DAC 的 INL（积分非线性）曲线如图 1a 所示。16 位的电阻网络 DAC 由 2^{16} 个电阻组成。对于计算所有 DAC 校正码的通用公式为：

$$DAC_{COR} = INL_V + (INL_V - INL_W)(V - X)/(V - W)$$

式中， INL_V 和 INL_W 分别是代码 V 和 W 的 INL 误差， X 是基于代码 V 和 W 之间的代码。如果 $(V - W)$ 等于一个整数并且是 2 的乘方，那么就可以通过右移数据完成除法运算，从而减少处理的时间和复杂度。图 1b 中的曲线说明了这种矫正技术给 DAC 的 INL 特性带来的改善，这里共使用 1024 组数据，每组数据为 64 个。

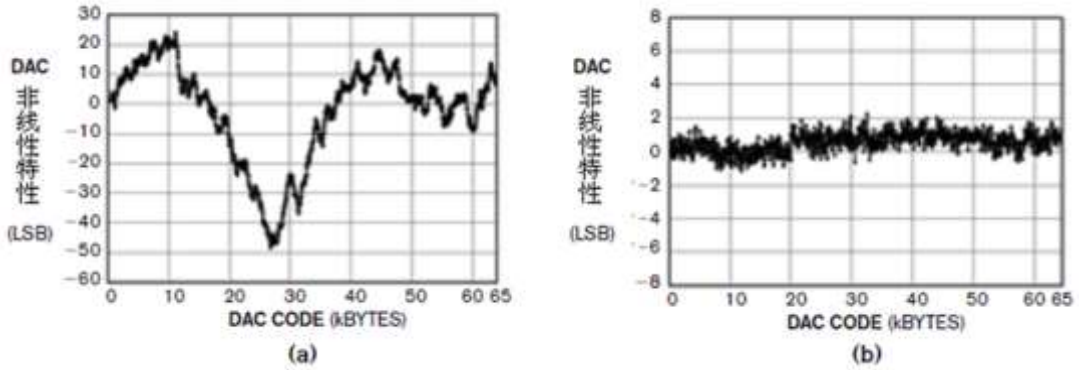


图 1 (a) 中 16 位的电阻串型 DAC 的 INL 变化可以达到几十个 LSB；(b) 每组 64 个数据的矫正方法（1024 组，共 65536 点）可以把 INL 误差减少到小于 $\pm 3\text{LSB}$

这种技术尤其适合于单调（无丢失码）的、INL 误差大于 $\pm 8\text{LSB}$ 的 DAC。另外，在使用过程中要注意代码组的大小，如果从一个编码向另外一个转变的时候就出现突然的、较大的跳变（译者注：这里指内部开关的跳变），比如 R2R 结构的 DAC 在这种情况下反而会降低 DAC 的性能。电阻串型的 DAC 最适合于这种技术，因为其固有的单调性（这种技术必须的条件）以及代码之间的跳变与其他拓扑结构的 DAC 相比具有更小的相关性。

J. DAC 毛刺产生的原因

在大部分系统里面，DAC 输入端数据变化时引起的输出端毛刺脉冲（glitch）是可以忽略的。但是在控制回路中，这些毛刺可能会产生不良影响。你可能会认为 DAC 每个相邻 bit 间的变化是平滑的，毕竟，输入端两个连续码字数据的信号经过 DAC 转换后输出的两个电压的差值仅仅等于一个 LSB。

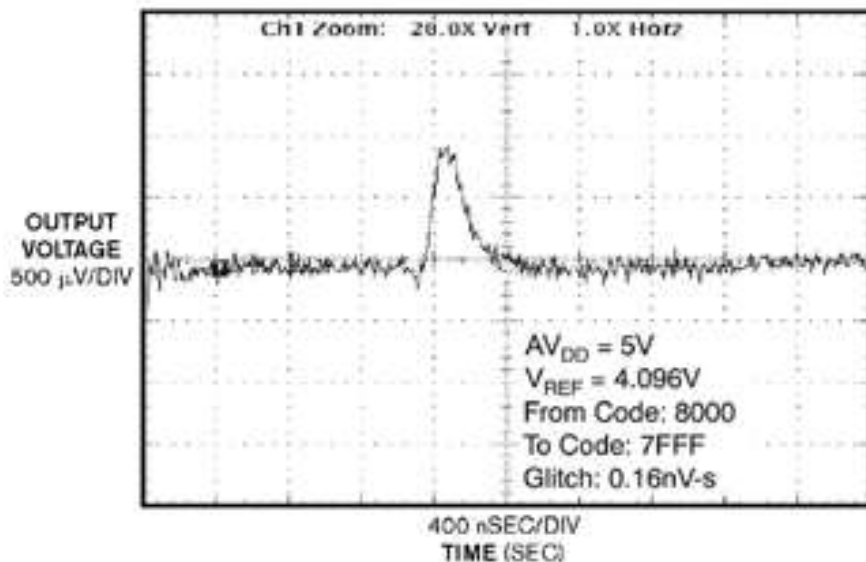


图 1 虽然输出只变化 1LSB，但由于 DAC 的输入 bit 全部翻转而产生的明显毛刺脉冲图

当 DAC 的输入信号从一个码字变为另一个时，输出端的信号会产生一定的毛刺脉冲。一个 16 位 DAC 输入端数据从 8001h 变为 8000h 只会引起输出端一个变化细微的毛刺，这时因为 DAC 的内部开关的变化很少。但是如果这个 16 位 DAC 输入数据从 8000h 变化到 7FFFh，此时输出电压恰好是满量程的一半（译者注：此时内部所有开关都发生了翻转），输出端的毛刺脉冲就将变得非常明显。以至于在某种程度上 DAC 的输出像是在瞬间不再单调。次强的毛刺出现在输出电压幅度为满量程电压的四分之一和四分之三时（译者注：即 3FFF 跳变为 4000 和从 BFFF 变为 C000 时）。例如，在图 1 中显示的就是一个 16 位 DAC 在发生半满量程跳变时输出端产生的毛刺脉冲。

DAC 的毛刺通常是由 DAC 内部的电容充放电效应或开关异步通断造成的。如果电荷注入发生在开关门电路的寄生电容上，DAC 毛刺的形状将是两个脉冲（如图 2a 所示）。R2R 结构的 DAC 产生的毛刺就是这样一个典型的两个脉冲的毛刺。第二种毛刺类型是单个脉冲形状的（如图 2b 所示），这是由于内部开关电路异步翻转造成的（译者注：在时序设计时，开关电

路的翻转是同步的，但是由于实现过程由于传输延迟等无法做到 100%的物理同步），电阻串结构的 DAC 经常产生这种单脉冲毛刺。

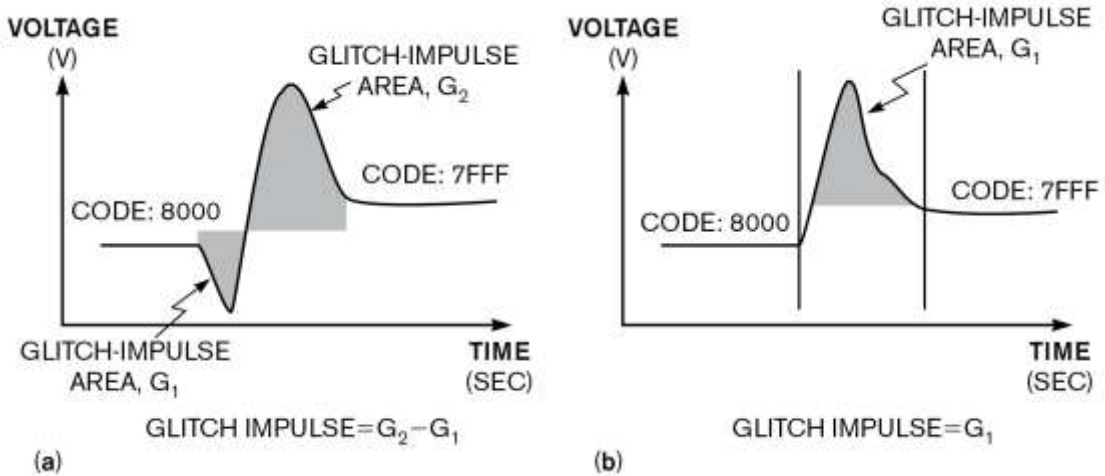


图 2 (a)R2R 型 DAC 产生的两个毛刺脉冲，总脉冲=G₂-G₁; (b)电阻串型 DAC 产生的一个过冲毛刺脉冲

在一个控制系统里面，这种在某些特定点上由于大量开关切换而产生 DAC 的毛刺脉冲会因为瞬间产生的错误信号而扰乱控制回路。如果这个控制系统的响应速度足够快，对毛刺脉冲的响应可能使控制回路产生振荡。我们可以通过在 DAC 输出端添加一个低通滤波器来减少毛刺脉冲的幅度，但是，低通滤波器在降低毛刺脉冲幅度的同时也会增加毛刺的持续时间。例如，如图 1 中的 16 位 DAC 毛刺的响应速度等于 96 nV-sec，峰值电压为 75 mV，持续时间为 1.6 毫秒。添加滤波器后，毛刺的峰值电压变为 37.5 mV，但持续时间却增加到 3.2 毫秒。我们也可以在 DAC 输出端使用一个与 DAC 转换同步的采样电路，这种技术可以应用在低分辨率 DAC 器件中，但是，这个采样电路可能会产生更多的问题，例如增加的模拟误差和转换时间。所以，解决这个问题的最好办法还是在进行设计时一开始就选择一个拥有低毛刺脉冲的电阻串型 DAC。

K. 你的转换器是精确的吗？

ADC 精度性的真正含义是什么？你可能会说它指的是 ADC 输出编码等于输入电压的实际值减去量化误差。这个表述很正确，但是你没有考虑到模拟输入精确的测量方法？

精确性是不是也意味着 AD 转换的结果具有可重复性？是不是在电路没有发生改变的情况下，ADC 的每一次转换结果都是具有可重复性的？

理论上，对于一个固定的输入电压，ADC 的每两个相邻数字编码输出之间的转换过渡区域应该是陡峭的。实际上，这个区域可能会很宽，甚至可能会覆盖几个输出编码。在图 1 中，转换点发生在一个特定的输入电压导致输出编码从一个到其相邻的下一个跳变时，受 ADC 内部噪声的影响，这个转换点不是一个单一的门限，而更像是一个小的不确定的区域。因此，你需要根据多次转换的统计平均值来确定这个转换点。换句话说，当输入电压值指向相邻两次数字编码产生过程的中间，而在邻近检测中你会发现转换是伴有高斯概率曲线的噪声。

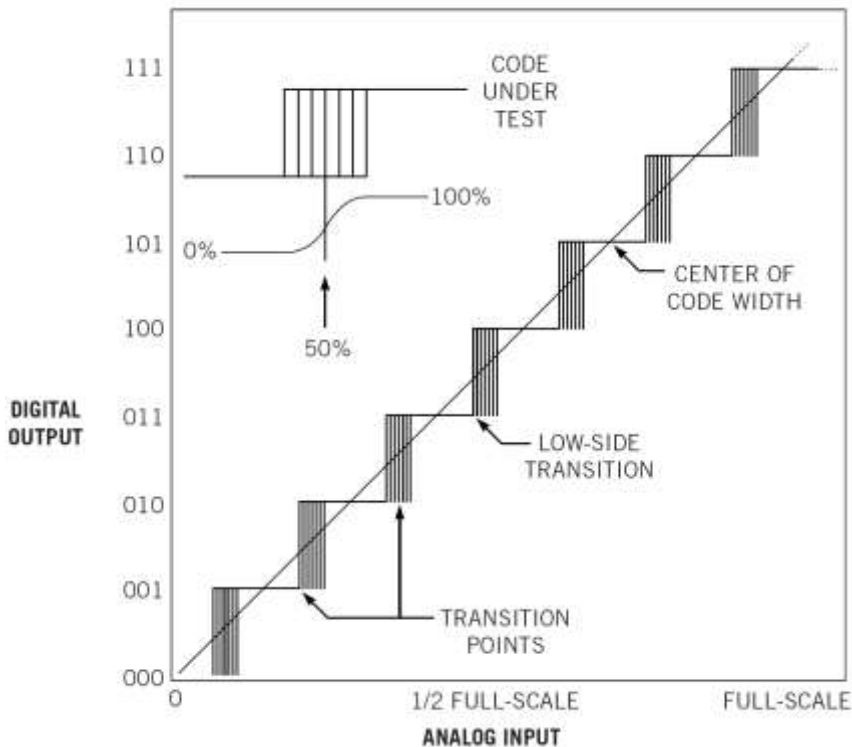


图 1 3 位的 ADC 非理想转换功能说明了每个代码的转换噪声

假设你在电路板中使用了很好的布线技巧，旁路电容等，还有一个 16 位的 ADC 去做模数转换的实验，然后在指定采样率下记录 1024 个采样值，在输出结果中会存在多个不同的值。为了说明转换器的噪声，一些制造商在 ADC 产品上表明了转换噪声的有效值。用 6.6 乘以这个转换噪声有效值就会得到一个峰峰值。

更进一步的讨论，失调、增益、微分非线性以及积分非线性等是 ADC 精确性的具体说明。一些制造商也把这些特性叫做直流参数，因为这些器件在转换测试时用的是直流电压输入。但是这些说明没有指出转换结果的可重复性，他们只是指出了在平均情况下误差不会大于或者小于芯片手册中 ADC 误差的最大值或最小值。为了更好地转换器的精度，你需要结合直流指标和交流指标来判断。

有三个重要的交流指标，其中一个是 SINAD（信号噪声及失真比），尤其有用；同样重要的是 ENOB（有效位数），其中 $ENOB = (SINAD - 1.76dB) / 6.02$ 。然后结合数据手册中的直流指标就能够更好地衡量转换的实际精度。

参考文献

- [1] Baker, Bonnie, "Anticipate the accuracy of your converter," EDN, March 18, 2004, pg 26.
- [2] Mitra, Sumit, Stan D'Souza, and Russ Cooper, "Using the Analog-to-Digital (A/D) Converter," AN546, Microchip Technology Inc.
- [3] Sheingold, David, Analog-Digital Conversion Handbook, Prentice Hall, 1986.

重要声明

德州仪器(TI) 及其下属子公司有权根据 JESD46 最新标准, 对所提供的产品和服务进行更正、修改、增强、改进或其它更改, 并有权根据 JESD48 最新标准中止提供任何产品和服务。客户在下订单前应获取最新的相关信息, 并验证这些信息是否完整且是最新的。所有产品的销售都遵循在订单确认时所提供的TI 销售条款与条件。

TI 保证其所销售的组件的性能符合产品销售时 TI 半导体产品销售条件与条款的适用规范。仅在 TI 保证的范围内, 且 TI 认为有必要时才会使用测试或其它质量控制技术。除非适用法律做出了硬性规定, 否则没有必要对每种组件的所有参数进行测试。

TI 对应用帮助或客户产品设计不承担任何义务。客户应对其使用 TI 组件的产品和应用自行负责。为尽量减小与客户产品和应用相关的风险, 客户应提供充分的设计与操作安全措施。

TI 不对任何 TI 专利权、版权、屏蔽作品权或其它与使用了 TI 组件或服务的组合设备、机器或流程相关的 TI 知识产权中授予的直接或间接版权限作出任何保证或解释。TI 所发布的与第三方产品或服务有关的信息, 不能构成从 TI 获得使用这些产品或服务的许可、授权、或认可。使用此类信息可能需要获得第三方的专利权或其它知识产权方面的许可, 或是 TI 的专利权或其它知识产权方面的许可。

对于 TI 的产品手册或数据表中 TI 信息的重要部分, 仅在没有对内容进行任何篡改且带有相关授权、条件、限制和声明的情况下才允许进行复制。TI 对此类篡改过的文件不承担任何责任或义务。复制第三方的信息可能需要服从额外的限制条件。

在转售 TI 组件或服务时, 如果对该组件或服务参数的陈述与 TI 标明的参数相比存在差异或虚假成分, 则会失去相关 TI 组件或服务的所有明示或暗示授权, 且这是不正当的、欺诈性商业行为。TI 对任何此类虚假陈述均不承担任何责任或义务。

客户认可并同意, 尽管任何应用相关信息或支持仍可能由 TI 提供, 但他们将独自负责满足与其产品及其应用中使用 TI 产品相关的所有法律、法规和安全相关要求。客户声明并同意, 他们具备制定与实施安全措施所需的全部专业技术和知识, 可预见故障的危险后果、监测故障及其后果、降低有可能造成人身伤害的故障的发生机率并采取适当的补救措施。客户将全额赔偿因在此类安全关键应用中使用任何 TI 组件而对 TI 及其代理造成的任何损失。

在某些场合中, 为了推进安全相关应用有可能对 TI 组件进行特别的促销。TI 的目标是利用此类组件帮助客户设计和创立其特有的可满足适用的功能安全性标准和要求的终端产品解决方案。尽管如此, 此类组件仍然服从这些条款。

TI 组件未获得用于 FDA Class III (或类似的生命攸关医疗设备) 的授权许可, 除非各方授权官员已经达成了专门管控此类使用的特别协议。

只有那些 TI 特别注明属于军用等级或“增强型塑料”的 TI 组件才是设计或专门用于军事/航空应用或环境的。购买者认可并同意, 对并非指定面向军事或航空航天用途的 TI 组件进行军事或航空航天方面的应用, 其风险由客户单独承担, 并且由客户独自负责满足与此类使用相关的所有法律和法规要求。

TI 已明确指定符合 ISO/TS16949 要求的产品, 这些产品主要用于汽车。在任何情况下, 因使用非指定产品而无法达到 ISO/TS16949 要求, TI 不承担任何责任。

	产品		应用
数字音频	www.ti.com.cn/audio	通信与电信	www.ti.com.cn/telecom
放大器和线性器件	www.ti.com.cn/amplifiers	计算机及周边	www.ti.com.cn/computer
数据转换器	www.ti.com.cn/dataconverters	消费电子	www.ti.com.cn/consumer-apps
DLP® 产品	www.dlp.com	能源	www.ti.com.cn/energy
DSP - 数字信号处理器	www.ti.com.cn/dsp	工业应用	www.ti.com.cn/industrial
时钟和计时器	www.ti.com.cn/clockandtimers	医疗电子	www.ti.com.cn/medical
接口	www.ti.com.cn/interface	安防应用	www.ti.com.cn/security
逻辑	www.ti.com.cn/logic	汽车电子	www.ti.com.cn/automotive
电源管理	www.ti.com.cn/power	视频和影像	www.ti.com.cn/video
微控制器 (MCU)	www.ti.com.cn/microcontrollers		
RFID 系统	www.ti.com.cn/rfidsys		
OMAP应用处理器	www.ti.com.cn/omap		
无线连通性	www.ti.com.cn/wirelessconnectivity	德州仪器在线技术支持社区	www.deyisupport.com

Mailing Address: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2015, Texas Instruments Incorporated