

# LVDS 用户手册

包含高速 CML 和信号调理内容

第四版

[national.com/CHS/lvds](http://national.com/CHS/lvds)

2008

高速接口技术概览 .....	9-13
网络拓扑 .....	15-17
SerDes 架构 .....	19-29
终接和转换 .....	31-38
设计与布局/ 布线指导原则 .....	39-45
抖动综述 .....	47-58
互连介质和信号调理 .....	59-75
半导体 I/O 模型 .....	77-82
WEBENCH® 在线仿真 .....	83-88
设计挑战的应对方案 .....	89-108



---

# LVDS 用户手册

包含高速 CML 和信号调理内容

第四版  
2008

# 目录

前言 .....	7	设计与布局/布线的指导原则 .....	39
高速接口技术概览.....	9	5.1 PCB 传输线.....	39
1.1 差分信号技术.....	9	5.2 传输损耗.....	40
1.2 低压差分信号.....	10	5.3 PCB 过孔.....	41
1.3 CML—电流模式逻辑 .....	11	5.4 背板子系统 .....	42
低压正发射极耦合逻辑 .....	12	5.5 退耦 .....	44
1.5 如何选出最适用的技术 .....	12	抖动综述 .....	47
网络拓扑 .....	15	6.1 引言 .....	47
2.1 点到点.....	15	6.2 附加的抖动源.....	52
2.2 多点/多分支 .....	16	6.3 数据模式的相关性和眼图.....	55
2.3 SerDes 架构.....	17	互连介质和信号调理 .....	59
2.4 混合信号技术.....	17	7.1 电缆的物理和电气特性 .....	59
2.5 接口技术的选择 .....	17	7.2 信号调理特性.....	63
SerDes/架构.....	19	7.3 同时使用预/去加重和均衡器 .....	70
3.1 引言 .....	19	7.4 随机噪声 .....	70
3.2 并行时钟 SerDes.....	19	7.5 重定时接收器 (重定时器).....	71
3.3 嵌入式时钟 (起始/终止) 位 SerDes.....	20	7.6 误码率和抖动 (随机的和确定的) .....	72
3.4 8b/10b 比特 SerDes .....	21	半导体 I/O 模型.....	77
3.5 FPGA 连接 (FPGA-Attach) SerDes .....	22	8.1 输入/输出缓冲信息规范 .....	77
3.6 应用 .....	23	8.2 IBIS 的行为框图 .....	78
3.7 总体比较 .....	28	8.3 3 态输出模型 .....	78
3.8 小结 .....	29	8.4 IBIS 模型的生成 .....	79
终接和转换.....	31	8.5 散射参数 (S 参数).....	80
4.1 终接和阻抗匹配 .....	31	8.6 SPICE 模型 .....	82
4.2 多分支和多点.....	31	WEBENCH® 在线仿真.....	83
4.3 交流耦合 .....	32	9.1 工具简介 .....	83
4.4 直流平衡 .....	33	9.2 互连的设计和接口的选择.....	83
4.5 转换 .....	35	9.3 WEBENCH 在线工具的使用.....	83
4.6 故障的防范 .....	37	9.4 如何改进你的设计结果 .....	88

<b>设计挑战的应对方案</b> .....	<b>89</b>
10.1 时钟分配和信号调理 .....	89
10.2 系统时钟分配 .....	92
10.3 弥补 FPGA 性能的不足 .....	94
10.4 广播视频 .....	97
10.5 延长 SerDes 的传输距离 .....	98
10.6 M-LVDS：一种可替代 RS-485 的高速、 短距的传输方案 .....	102
10.7 冗余度 .....	103
10.8 高速差分网络的可测性 .....	104
10.9 数字视频接口 (DVI)/ 高分辨率多媒体接口 (HDMI) .....	107
<b>技术参考文献附录</b> .....	<b>109</b>
11.1 网址和 LVDS 应用 .....	109
11.2 Analog Edge® and Signal Path Designer® Articles .....	109
11.3 非本公司的出版物 .....	110
11.4 应用指南 .....	110
11.5 缩写 .....	111
11.6 关于数据表中常见参数的名词解释 .....	113



美国国家半导体的 LVDS 用户手册于 1997 年春季首次出版，在过去十年中一直是业界的“设计入门指南”。这本用户手册曾经帮助 LVDS 技术从最初的 IEEE 1596.3-1996 “面向可扩展一致性接口 (SCI) 的低压差分信号 [Low-Voltage Differential Signaling (LVDS) for Scalable Coherent Interface (SCI)]” 标准发展为如今的主流技术。

LVDS 技术已经在通信网络中得到普及，广泛用于膝上计算机、办公用成像 (office imaging)、工业视觉、测试与测量、医疗和汽车等领域。它提供了一种有吸引力的解决方案——小摆幅的差分信号，就可实现快速的数据传输，而功耗大为降低，并具有出色的抗噪声性能。在过去的十年中，LVDS 与各应用领域一起继续向前发展，以满足各种特定的需求，如总线 LVDS (Bus LVDS) 和多点 (Multipoint LVDS)。例如，最新的 LVDS 产品能够实现高达 3 Gbps 以上的数据速率，而且还能保持低功耗和抗噪声性能。

目前，许多应用还需要更高的数据传输率和更长的传输距离。因此，设计者应考虑电流模式逻辑 (Current-Mode Logic, CML) 以及同时适用于 LVDS 和 CML 的信号调理技术。这也正是新的第 4 版手册包含了针对这些技术以及 LVPECL 和 LVCMOS 技术的若干实用设计方法的原因。

这本用户手册提供了有用的和最新的信息。手册的开始部分综述了 3 种最常见的高速接口技术, LVDS (包括其变型 B-LVDS 和 M-LVDS)、CML 和 LVPECL，对其相应的特性进行了分析，其中一节讨论了如何为特定的应用选出最优的技术。手册接下来探讨了相关的话题，如电平变换 (平移)、抖动、信号调理以及在设计方法上的建议。这些实用的信息将帮助您选择能正确的解决方案,来应对当前的接口设计问题。



## 1.1 差分信号技术

在高速差分信号技术方面，我们有多种选择。各种差分技术一般都具备一些共同的特性，但是在性能、功耗和所针对的应用方面则存在较大差异。表 1-1 列出了最常用的各种差分信号技术的不同特性。

表 1-1 各种 LVDS 技术的工业标准

	工业标准	最高数据率	输出摆幅 ( $V_{OD}$ )	功耗
LVDS	TIA/EIA-644	3.125 Gbps	$\pm 350$ mV	低
LVPECL	N/A	10+ Gbps	$\pm 800$ mV	中等-高
CML	N/A	10+ Gbps	$\pm 800$ mV	中等
M-LVDS	TIA/EIA-899	250 Mbps	$\pm 550$ mV	低
B-LVDS	N/A	800 Mbps	$\pm 550$ mV	低

在业界的标准体中，LVDS 和 M-LVDS 技术分别由 ANSI/TIA/EIA-644A 和 ANSI/TIA/EIA-899 定义。有些厂商的数据表声称采用了 LVDS I/O（或者准 LVDS），但事实上在共模或者某种重要参数方面无法满足要求。因此，是否遵守 LVDS 规范 TIA/EIA-644A 是一个重要的考虑因素。

电流模式逻辑（Current-Mode Logic, CML）和低压正发射极耦合逻辑（Low-Voltage Positive-Emitter-Coupled Logic, LVPECL）是两个在业界广泛使用的术语，虽然这两种技术都不符合由正式的标准化组织所控制的任何标准。因此，在各厂商之间，具体的实现方案和器件的性能参数往往千差万别。交流耦合得到了广泛应用，这有助于解决阈值差异，而这些差异可能会带来兼容性方面的问题。

请注意，上面所列出的技术都属于差分信号技术，因此可以共享差分信号技术所共有的优点，如出色的抗噪声性能和较低的器件开关噪声等。

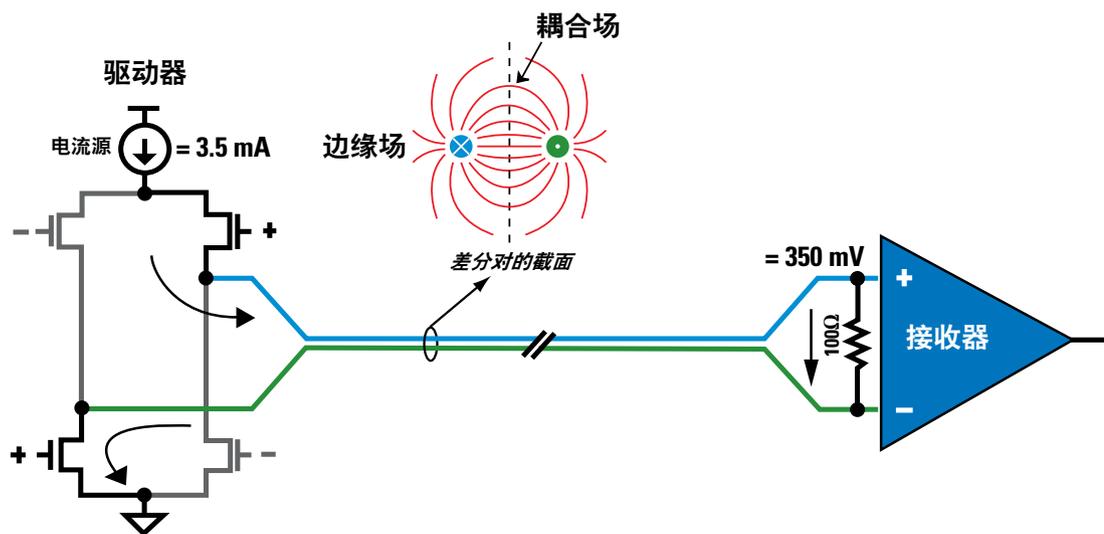


图 1-1. LVDS 驱动器和接收器

图 1-1 所示的 LVDS 驱动器—接收器对的原理图。驱动器中含有一个（标称值）3.5 mA 的电流源。因为接收器的输入阻抗很高，故整个电流实际上全部流过 100Ω 终接电阻，于是在接收器输入端产生了 350 mV（标称值）的电压。接收器的阈值可以保证为 100 mV 或更低，可在 0V-2.4V 的宽共模范围内维持这样的灵敏度水平。上述组合可提供出色的噪声裕量，对驱动器与接收器之间的共模信号漂移的容忍度也会更好。改变电流方向即可在接收器端形成幅值相同而极性相反的电压。以这种方式来产生逻辑 1 和 0。CML 和 LVPECL 也具有类似的架构，但电流源的输出强度和终接方案有所不同。

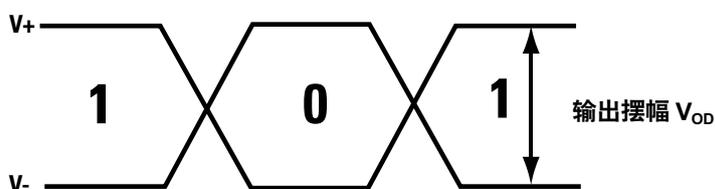


图 1-2. 差分信号

从图 1-2 所示的示意图可看出所有差分信号技术都共有的优点。首先应注意到电流源始终导通，但其电流被引导流向不同的方向，以驱动逻辑 1 和逻辑 0 信号。这种始终导通的特性可以消除开关噪声带来的尖峰和（单端技术中所需要的）大电流晶体管不断导通—关断造成的电磁干扰（EMI）。其次，构成差分对的两条导线的间距很短，可以保证较高的抗噪性能。这一对线中的一条导线所吸收的串扰或 EMI 也会同时出现在另一条邻近的导线上。由于接收器只对两条信道之间的差异信号作出响应，故同时出现在导线对的两条导线上的“共模”噪声在接收器处将相互抵消。另外，由于两条邻近的导线传输的电流相同，而方向相反，故产生的 EMI 很低。

## 1.2 低压差分信号

LVDS 的典型信号摆幅为 350 mV，对应的功耗很低，因此，LVDS 是一种效率极高的技术，能提供高达 3.125 Gbps 数据率的性能。总的来说，终接方法简单、功耗和噪声低等优点，使得 LVDS 成为数据率从数十 Mbps 至 3 Gbps、甚至更高的应用之首选。

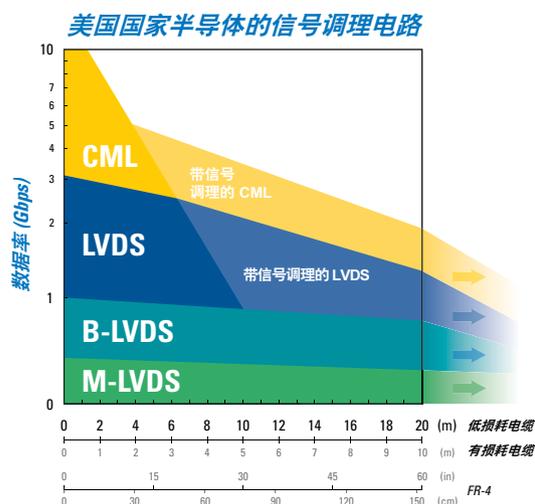


图 1-3. 典型的数据率和电缆的驱动信号强度

数据率更高的场合则需要采用诸如 CML 或 LVPECL 等技术。正如 **图 1-3** 和 **图 1-6** 所示的那样，CML 和 LVPECL 能够实现超过 10 Gbps 的高数据率。要实现这样高的数据率，就必须采用速率极高、边缘陡直 (sharp edge) 的数据信号，而且信号摆幅一般要达到约 800 mV 的水平。正是由于这些原因，CML 和 LVPECL 所需要的功率一般高于 LVDS。

陡直而快速变化的信号边沿包含了大量的高频率分量—而且，由于电缆和 FR-4 印刷电路板上引线的损耗将随著频率而上升，这些技术经常需要信号调理技术来驱动信号在很长的电缆和导线上传输。请参考“**互连介质，59 页**”，该节内容对各种电缆和其他介质中出现的信号衰减和失真进行了详尽的讨论，并包括了各种信号调理技术，如预加重和均衡处理，这些技术可以减弱电缆与引线中出现的信号失真所造成的影响。

## 1.3 CML—电流模式逻辑

CML 是一种高速的点到点接口，能够实现超过 10 Gbps 的数据率。正如 **图 1-4** 所示的那样，CML 技术共有的一个特点是在驱动器和接收器上均集成了终接网络。CML 使用一个无源的上拉电路（将电压拉升到正电压轨），其阻抗一般是  $50\Omega$ 。大多数 CML 都采用了交流耦合的实现方案，因此需要具有直流平衡的数据信号。直流平衡的数据测试则要求数据编码中的 1 和 0 的数量平均来说是相等的。（参见“**直流平衡，33 页**”）。

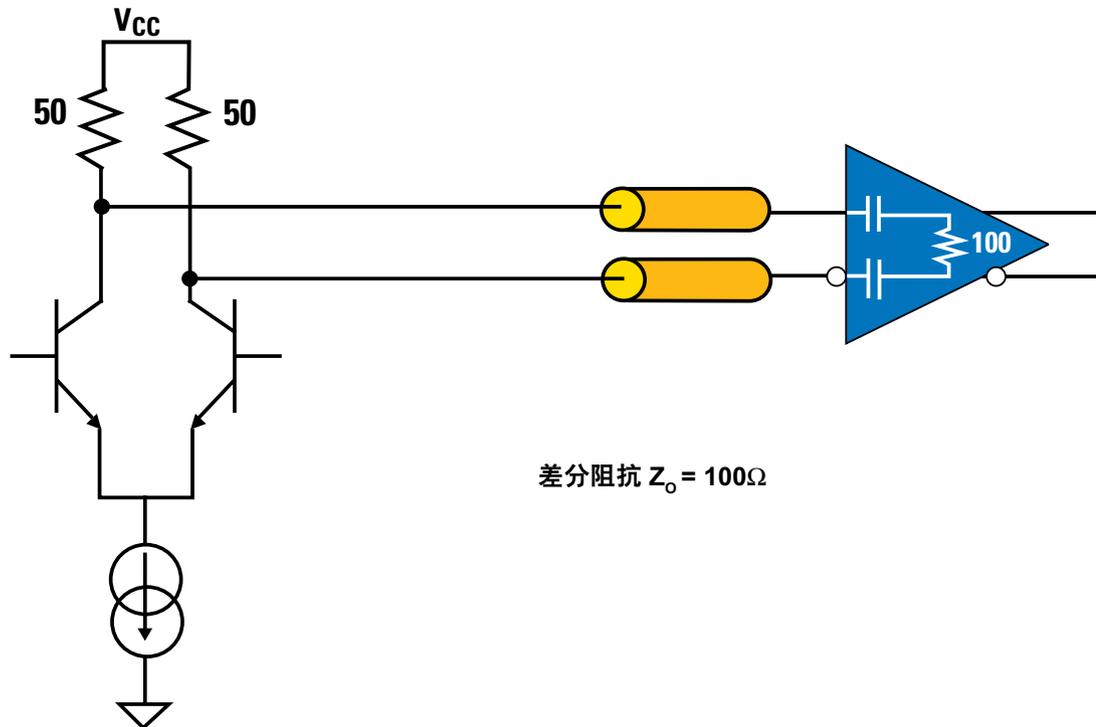


图 1-4. 典型的 CML 实现方案

## 1.4 低压正发射极耦合逻辑

LVPECL 和 PECL 都是 1960 年代推出的、古老的 ECL 技术的衍生物。通常，ECL 的电源电压在地电位和 -5.2V 之间。由于需要用负的电压轨，而且 ECL 与其他逻辑电路系列并不兼容，故人们引入了一种正电压轨技术，被称为正发射极耦合逻辑（PECL）。ECL、PECL 和 LVPECL 都要求用  $50\Omega$  的终接电阻，其终接电压轨要比最高的正电压轨低约 2V。ECL 驱动器采用低阻抗、发射极开路型输出结构，一般可产生 700 mV 到 800 mV 的电压。输出级始终工作在有源区，防止出现饱和，因此可提供极为快速的和平衡的信号边沿。

LVPECL 的一个正面的特征是其清晰尖锐和平衡的信号沿，以及高驱动能力。LVPECL 的缺点是相对较高的功耗以及有时需要提供单独的终接电压轨。

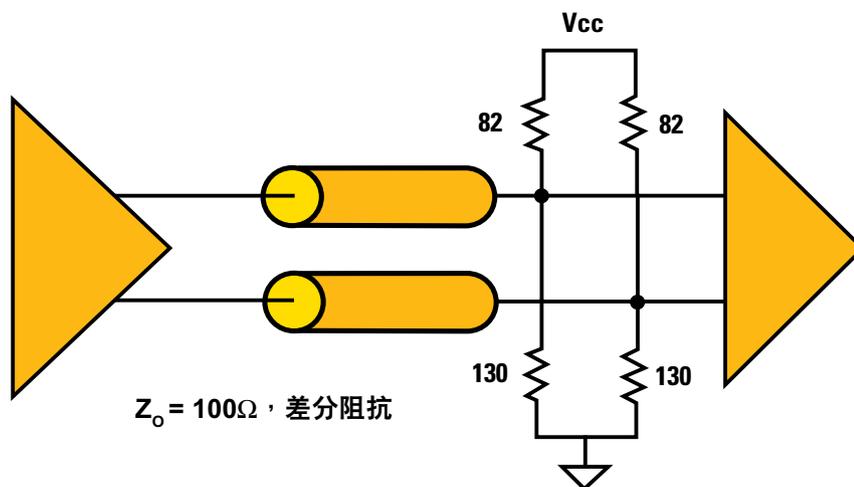


图 1-5. 典型的 LVPECL 实现方案

## 1.5 如何选出最适用的技术

现有的技术种类繁多，显然，需要就如何为某项应用选出理想的技术提供一定的指导。下面列出了为给定的应用选定一种适意的技术时，需要考虑的一些因素。

- 所需要的带宽
- 驱动电缆、背板或者长走线的能力
- 功率预算
- 网络拓扑（点到点，多分支，多点）
- 串行或是并行的数据传输
- 时钟或数据分配
- 是否遵从业界标准
- 是否需要或者可以获得信号调理

LVDS 是最常用的差分信号接口。低功耗、极低的 EMI 和出色的抗噪声性能等特征都使 LVDS 容易地与其他差分信号技术实现互操作。最新一代 LVDS 的数据传输率范围从直流一直到 3.125 Gbps，使得许多应用能从 LVDS 中获益。这些快至数 Gbit 的 LVDS 器件具备了预加重和均衡技术，从而能在有损耗的电缆和印刷电路板引线上完成信号的传送。

那些要求数据率高于 3.125 Gbps 的应用很可能需要采用 CML 信号。此外，某些通信标准（例如 PCIe，SATA 和 HDMI），都要求采用某种专门的信号技术，或者描述了一组与 CML 要求相一致的条件，如信号幅值和相对于  $V_{CC}$  基准的电平。

对于那些数据率在 2 Gbps 和 3.125 Gbps 之间的应用来说，最佳选择将取决于所希望获得的功能度、性能和功耗要求。对于传输距离相对较短而无需信号调理的应用来说，器件的功耗和抖动是主要的影响因素 — CML 一般具有最低的抖动，而 LVDS 则具有最低的功耗。

对于需要传输较远距离的情形，介质中的损耗是主要的影响因素，最佳的选择一般是那些具备针对特定数据率和介质的最优信号调理技术方案的器件。LVDS 和 CML 都使用了诸如均衡和预加重或去加重等技术，请参见“**信号调理特性，63 页**”。对传输介质的损耗特性以及最佳的信号调理解决方案的理解，将使用户能选出恰当器件。

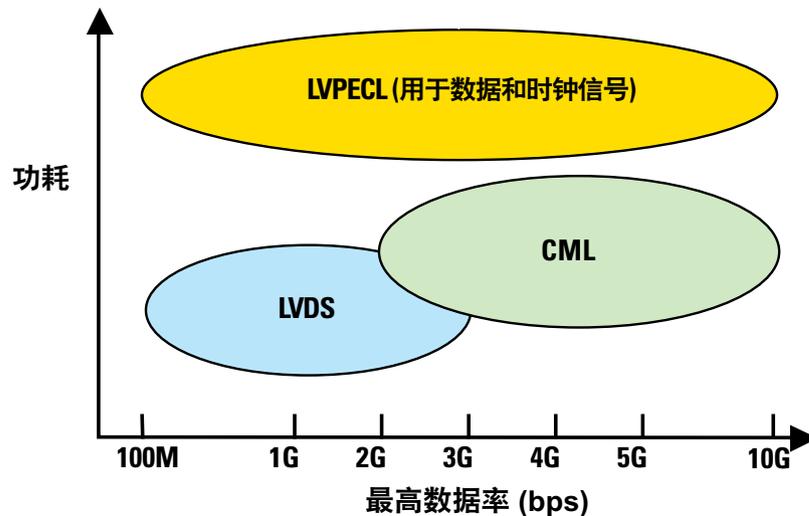


图 1-6. 3 种常见差分信号技术的典型目标应用



“网络拓扑”术语一般是指网络节点之间的物理拓扑结构或者排布方式（如环形、网格、星形、总线或者树状拓扑等）。本章讨论典型的信号传送结构拓扑，或者说，信号驱动器、接收器在公共的互连或者传输介质（如印刷电路板互连走线）周围的排布方式。它还将表明共用的差分信号在这样的排布方式下是如何工作的，指出对应于每个拓扑结构的最佳差分信号技术。

基本的拓扑结构有两种：点到点和多点。点到点拓扑只用到一个信号驱动器和一个信号接收器；多点拓扑则可有多个驱动器和接收器。

## 2.1 点到点

由于点到点拓扑只需要单个驱动器和接收器对，故互连介质可以非常简单，一种介质到另一种介质之间的转换结构（即从印刷电路板与电缆连接时所经过的连接器的数量一般很少。数量很少的转接结构往往意味着信号路径的阻抗可以得到很好的控制。阻抗受控的环境可保证极高的数据率。虽然所有的差分信号技术都可用于点到点拓扑链路，但 LVDS、CML 和 LVPECL 是专门针对点到点信号传输而设计的。采用 LVDS、LVPECL 或者 CML 的接口器件可以提供快速边沿的驱动器输出信号，该信号可保证数 Gbit 的传输速率。这些快速切换的信号沿对于任何的阻抗不连续点都极为敏感，需要人们对互连进行精心的设计。

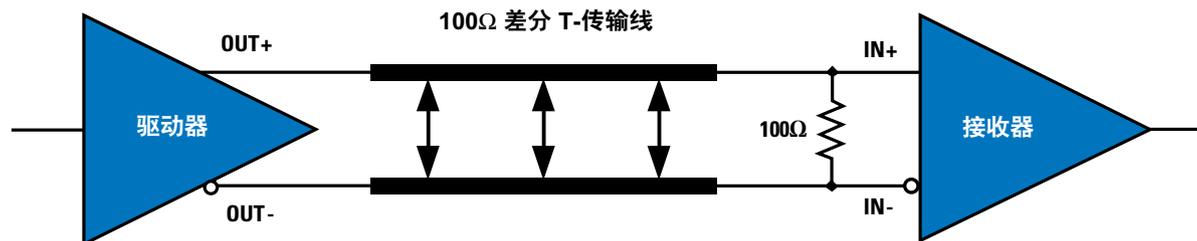


图 2-1. 点到点拓扑

图 2-1 示出了一种典型的点到点拓扑的 LVDS 驱动器和接收器对。对互连阻抗的控制、驱动器的负载是否恰当以及互连的终接方法，是设计低抖动的信号传输时要考虑的关键问题。

## 2.2 多点/多分支

与点到点拓扑不同，多点拓扑采用了共享单种互连的多个信号驱动器和接收器。采用单个驱动器和多个接收器时的多点拓扑形式则被称为“多分支”拓扑

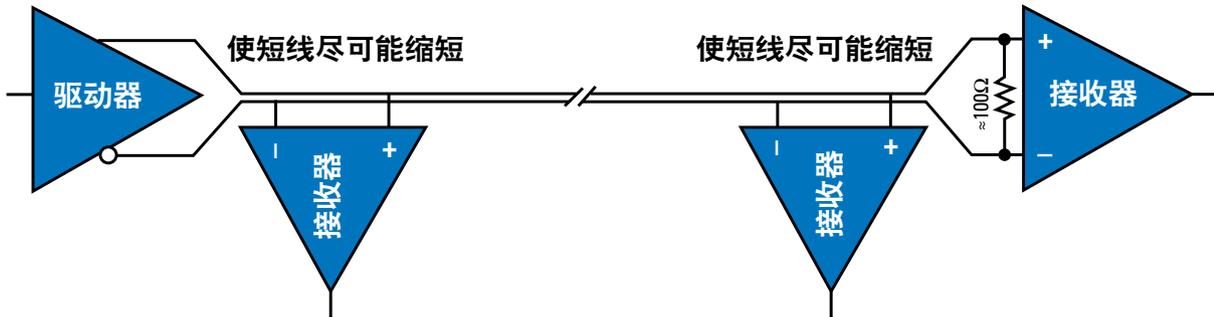


图 2-2. 多分支拓扑

图 2-2 示出了一种典型的多分支拓扑。在远端的接收器端对信号总线进行终接，只有在信号驱动器位于总线上相对于接收器的另外一端时才能采用。在其他的情况下（例如驱动器与总线的中段相连），总线的两端都需要终接。

多点拓扑中，另外一个频繁使用的具体实现方式是“半双工”拓扑（图 2-3），它由两对驱动器/接收器构成，这些驱动器和接收器可通过单个互连在两点间发送和接收信号。

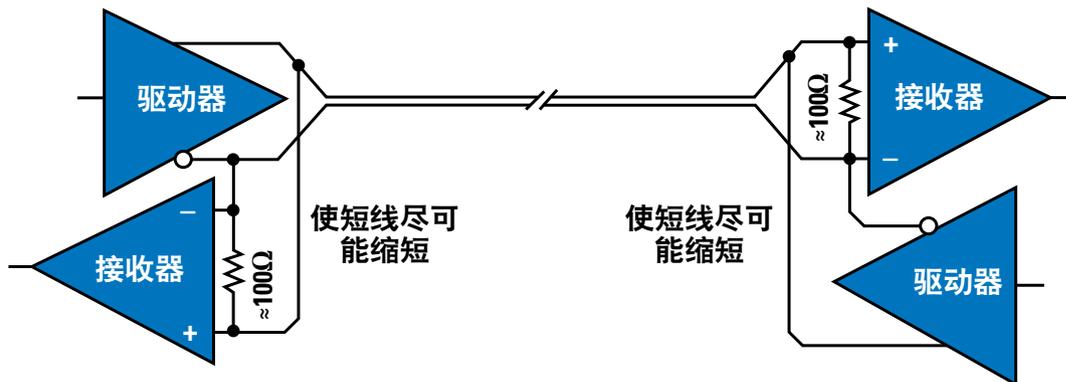


图 2-3. 半双工拓扑

多个驱动器和接收器与一条共用总线之间的物理连接，是成功的多分支拓扑结构设计所面临的一个特有的挑战。系统设计者所面对的主要挑战在于器件的加载和器件的连接线（短引线）在共用总线上引入的阻抗不连续性。让受到加载的总线保持匹配和使用信号沿受到调控的信号驱动器，是在多点拓扑中实现无错信号传输的关键。LVDS 的两个版本已经针对多点结构进行了优化：总线 LVDS（B-LVDS）和多点 LVDS（M-LVDS）。

B-LVDS 具有 LVDS 的许多特性，但采用了强度高得多的电流驱动（典型值 10 mA）和受控（更慢）的信号沿速率。B-LVDS 是专为驱动多负载而设计的，若背板的设计良好，则可支持多达 32 个负载。B-LVDS 的受控信号沿变化速率有助于减小多分支结构中由于多处负载和相应的短引线而引起的反射。较慢的信号沿变化率限制了 B-LVDS 的数据传输率，使之一般不超过 1 Gbps。

B-LVDS 在多分支结构中的应用不断增长，促成了一项业界标准的推出，该标准描述了一种针对此类网络的、经过优化的 LVDS 版本。美国国家半导体参与了该标准的修撰，最后该标准变为 TIA/EIA-899 标准，形成了多点 LVDS（M-LVDS）技术。M-LVDS 包括了多点结构的全部受人欢迎的特质，包括更强的驱动能力、缓慢/受控的信号沿变化、更严格的输入阈值以及更宽的共模范围等。M-LVDS 能够驱动 32 个负载，速度达到了 250 Mbps。

## 2.3 SerDes 架构

两种能扩展带宽的显而易见的方法，是提高总线的速度或者添加并行的信道。在高速接口出现之前，后一种方法常常为人们所选用，于是相应出现了大宽度的低压晶体管—晶体管逻辑（Low-Voltage Transistor-to-Transistor Logic，LVTTTL）总线和背板。将较慢的 LVTTTL 信号融入单 bit 的数据流中（串化器，serializer），以高速传输这些数据，然后在接收器处对数据进行再分配（解串器），这是一种非常常见的方法，常常被称为串化器/解串器（SerDes）。19 页上的“SerDes 架构一节”阐释了不同的 SerDes 架构及其各自的优点。

## 2.4 混合信号技术

硬件平台常常要求实现多种时钟、数据和控制信号。在模块化系统中，通信常常发生在来自不同厂商和基于不同技术的各板卡之间或者机箱之间。正因为如此，LVDS、LVPECL 和 CML 常常会共同存在于同一个平台上，而系统设计中必须包含用于转换不同信号技术的部件。

一种简化转换的方法是借助差分信道上的电容来实现两个网络间的交流耦合连接。这一技术避免了直流偏移的影响和阈值的差异，然而交流耦合需要数据信号已经过直流平衡。对于非直流平衡的数据信号，有多种不同的终接网络可用来实现不同接口技术之间的转换。要了解关于转换网络的完整的讨论，请参见 31 页的“终接和转换”一节

## 2.5 接口技术的选择

接口器件或技术的选择极为重要。无错和可靠的信号传输是许多系统的关键。第一个要作出的决策经常是拓扑结构。网络将会是点到点还是多分支的？需要采用 SerDes 吗？于是，必须考虑带宽、功耗和抖动预算。

LVDS 是最常用的高速接口，具有低功耗和宽共模范围等双重的优点。

LVPECL 一般需要更高的功率，但可以支持极高的数据率和出色的抖动性能。CML 器件所能提供的性能与 LVPECL 相当，具有技术简单和集成了终接电路的优点。



### 3.1 前言

串行互连构成了现代通信系统的中枢。选择最恰当的串化器和解串器（SerDes）对于系统成本和性能来说有着重要的影响。尽管人们面临的选择一开始似乎错综复杂，让人疑惑不解，但事实上 SerDes 器件可以划分为数量不多的几种基本架构，每一种都是针对具体应用需求定制的。对各架构间差异的基本理解使得设计者能快速找到适用于应用的 SerDes。本节将考察 4 种截然不同的 SerDes 架构及其在系统设计中所起到的关键作用。

### 3.2 并行时钟 SerDes

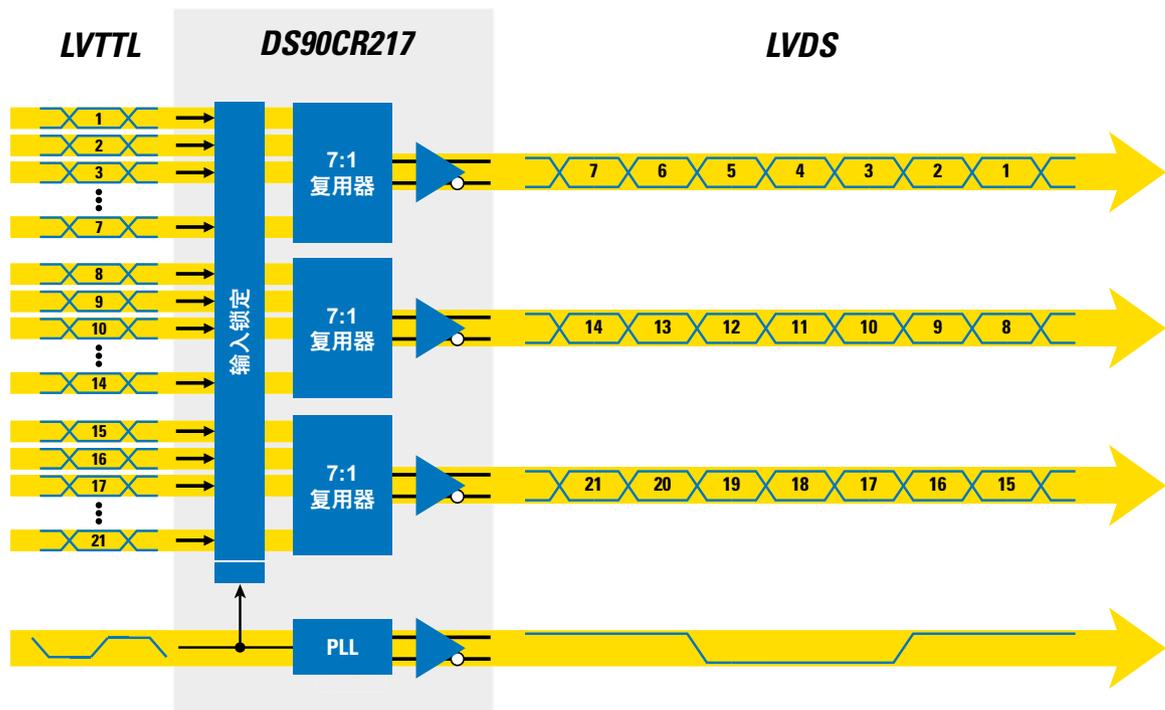


图 3-1. 并行-时钟-串化器编码示例

并行时钟 SerDes 通常用于对“数据-地址-控制”并行连接的总线进行串行化，例如 PCI、UTOPIA、处理器总线和控制总线。并行时钟 SerDes 架构并非是以单个复用器来处理整条总线，而是采用了一群 n-到-1 复用器，每个复用器对其所负责的一段总线进行串行化处理。相应产生的串行数据流则并行流向接收器，与之同行的还有一路附加的时钟信号对，供接收器用来对数据进行锁定和恢复。由于时钟和数据是以多条线对形式传输的，必须将各个线对间的相位偏斜保持在尽可能低的水平上，以保证正常的解串操作。

### 3.3 嵌入式时钟（起始/终止）位 SerDes

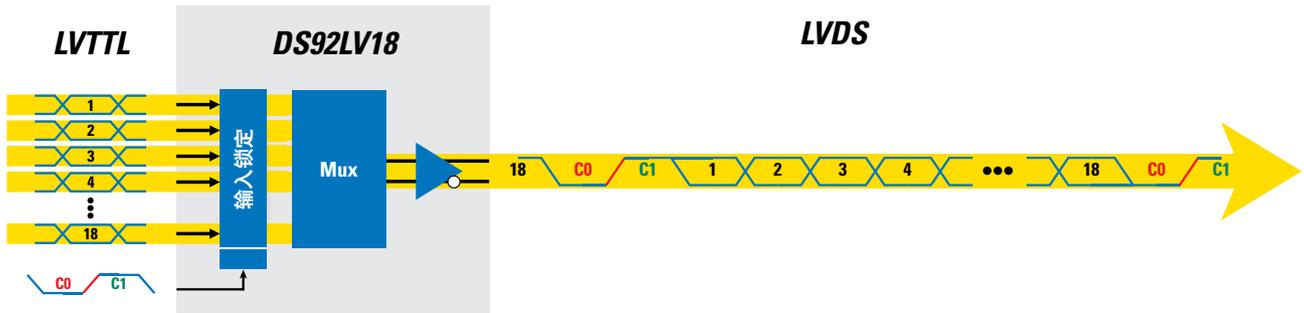


图 3-2. 18 bit 时钟位嵌入式串行器编码示例

时钟位嵌入式架构中的发送器将数据总线上的数据信号和时钟串行化，形成单路串行信号对。两个时钟位，一路低而另一路高，被嵌入到串行流中，每隔一个周期放置一个，用于界定串化后每个字的起点和终点（因此又有另一个名称“起止位” SerDes）并在串行数据流中产生一个周期性的上升沿。这种架构的一个好处是，数据有效负载的字宽度无需被限制为字节的倍数；10-、16-、18-和 24-bit 的宽度是常见的总线宽度。



图 3-3. 周期性嵌入的时钟信号的切换情况。

串行器在电路上电时就可以搜寻周期性出现的嵌入时钟信号的上升沿。由于有效负载数据位的量值随时间变化，而时钟位不会，因此，无论有效负载的数据样式如何变化，解串器都可以从串行数据流中将数据恢复出来。在那些接收器是不受系统直接控制的远程模块的系统中，这种自动同步能力是一项极为有用的功能。因为接收器可以锁定到接收的嵌入时钟信号上，而不是锁定到外部的基准时钟信号上，因此对发送器和接收器的时钟信号的抖动要求可以大大放宽。

## 3.4 8b/10b SerDes

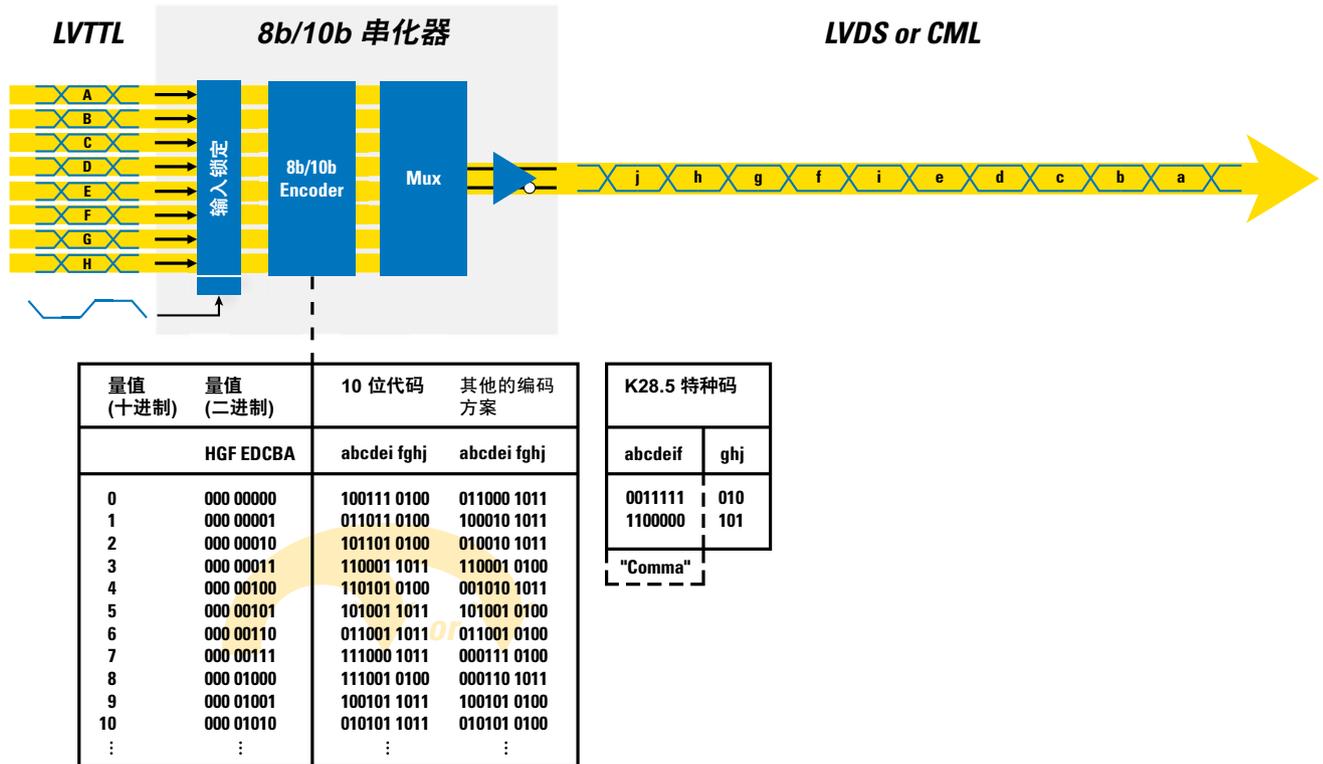


图 3-4. 8b/10b-串化器编码实例

8-bit/10-bit (8b/10b) 串化器可将每个并行数据字节映射为一个 10 bit 的代码，然后将该 10 bit 码串行化，传递到一个串行对上。这种 10 bit 的传输码由 IBM Corporation 在 20 世纪 80 年代初开发，可确保每个周期内有数次边沿切换，并实现直流平衡（所发送的 0 和 1 的数量相平衡）。数据流中频繁的边沿切换使得接收器能与输入的数据流实现同步。直流平衡使得对交流耦合负载、长电缆和光电模块的驱动成为可能。（参加“直流平衡，33 页”）

为了让接收器能在串行流中定位出 10-bit 代码字的边界，发送器首先发送称为逗号字符的一个特殊的码元，来标志一个边界。在这一逗号字符中的独特的位序列永远不会出现在通常的数据流中，可以作为一个实现接收器码对准的可靠标志。一旦代码对准完成，接收器就可以将该 10 bit 的代码再次变换为字节数据，如果它检测到该 10 bit 代码无效的话，就指示出现错误。

8b/10b 解串器架构使用外部基准时钟来恢复时钟信号，并对数据流进行解串处理。因此，它们需要严格的基准时钟源频率及抖动控制。

### 3.5 FPGA 连接（FPGA-Attach）SerDes

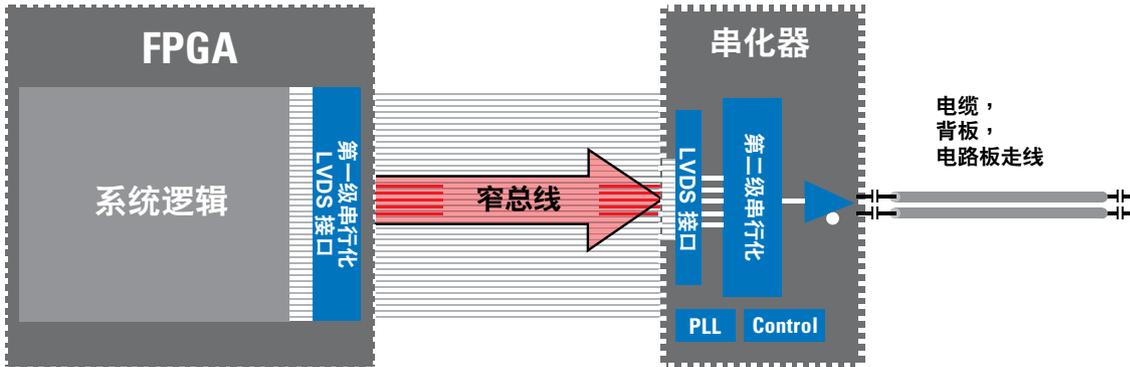


图 3.5. FPGA 连接串化器可以优化大量处理模拟信号的功能

在过去十年中，FPGA 已演化为实现数字逻辑的主要手段，这主要是由于它们具有可编程的灵活性。FPGA 连接 SerDes 提供了所有涉及大量模拟信号处理的功能，如时钟和数据信号恢复、信号调理、时钟合成和抖动清理，使得系统能在长距离、廉价（例如 CAT-5 和同轴电缆）的互连上以更高速率进行数据传输，使该系统架构更为完善。

该架构将串化过程分为两级来实现，第一级将若干低速的数据位组合成为数较少的 LVDS 流，然后，第二级对 LVDS 进行复用，融合为一个高速的数据信道。FPGA 可以轻松地实现第一级电路，而一个模拟性能得到优化的分立式 SerDes 可完成高速的串化操作。

FPGA 连接 SerDes 的 LVDS 并行接口可以在数量较少的电路板走线上实现更高的数据传输速率，同时可降低系统的 EMI、功耗和对噪声的敏感性。这可以消除传统的单端接口（如 LVTTTL）固有的开关噪声和偏斜。

该类 SerDes 器件一般集成了信号调理机制，如去加重、直流平衡以及信道均衡。这优化了性能，实现了最高的数据传输速率和最长的传输路径。

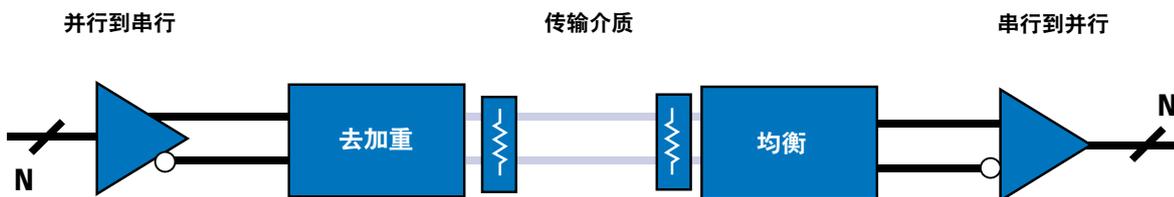


图 3-6. 带信号调理电路的 FPGA 连接

FPGA 的普及，对减少电路板引线数量的愿望，以及对更高带宽的需求，都促使人们越来越多地采用这一功能划分巧妙的架构。

### 3.6 应用

#### 并行时钟 SerDes

并行时钟 SerDes 一般用于对传统的、包含“数据+地址+控制”的总线结构进行串行化，其作用是“虚拟带状电缆”型单向桥。



图 3-7. 并行时钟 SerDes 能满足传输地址、控制及数据等信息的传统宽并行总线的串行化需求

与非串行化传输相比，并行时钟 SerDes 可以带来多方面的优点，如连线更少（特别是地线）、功耗更低、可驱动的电长更长、噪声/EMI 更小、电缆/连接器成本更低等。并行时钟 SerDes 的宽度并不局限于一个串行传输线对，而是可以任意选取，而且还可避免采用超高速串行数据率给设计所带来的问题。并行时钟 SerDes 可以提供出色的价格/性能比，而且常常是在数米长的电缆上发送传统宽并行总线的数据量的唯一一种实用化的方法。这些芯片组常见的并行总线宽度包括：21、28 和 48 bit。

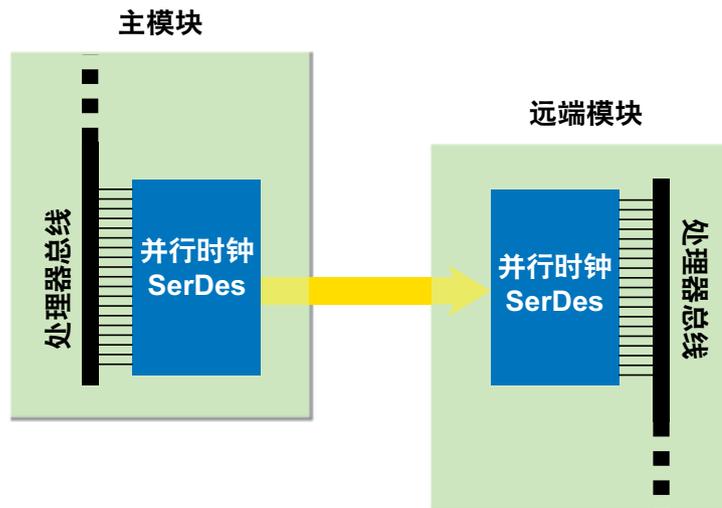


图 3-8. 单向机架到机架的处理器总线扩展

常见的应用包括膝上计算机的显示器、机架到机架以及架层到架层的数据通信/电信互连以及视频/摄像头连接。

### 嵌入式时钟（起始/终止）位 SerDes

时钟位嵌入式 SerDes 非常适合于需要同时完成原始数据、控制、奇偶校验、帧、同步、状态等信息传输的应用。**图 3-9** 示出了对 18 位信息进行串行化操作的一个应用示例。该 18 位的发送器不仅对数据进行串行化操作，而且还可额外加入两个附加的信息位，如奇偶校验和帧。这些位都与数据一起以正常的 A/D 采样速率被串行化，因此无需采用数据缓冲或者额外的逻辑电路。

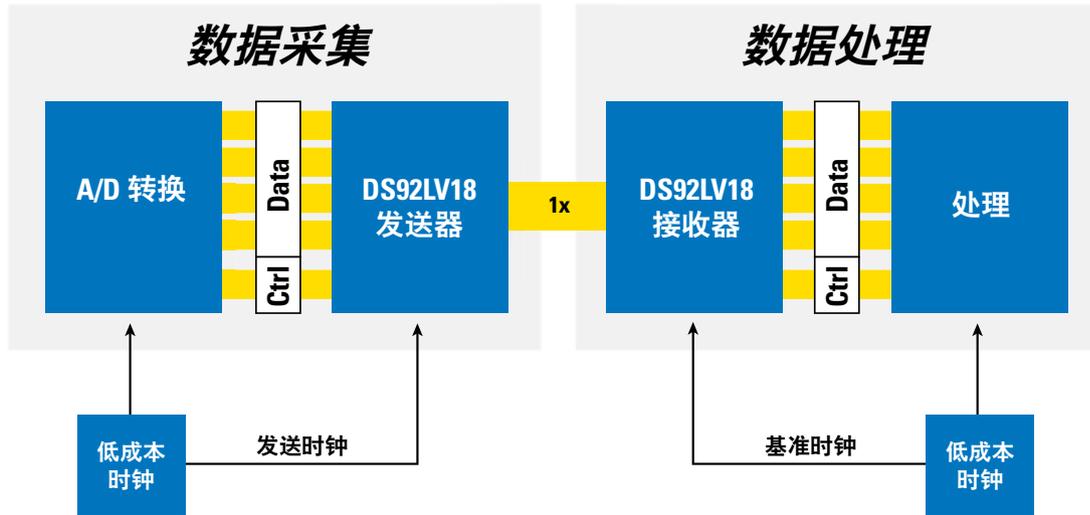


图 3-9. 基于 DS92LV18 SerDes 的信号处理系统实现方案

在同一个应用中使用面向字节的 8b/10b SerDes 将使情况变得更为复杂。额外增加的、非基于字节的信息必须被缓冲后以字节形式发送。在连接初始启动阶段的同步化过程中，还必须发送一个 K28.5 逗号符，这就需要增加逻辑电路。这些额外的“非数据”字节需要 SerDes 能以比数据的变换速率更高的速率工作，这就对背板或者电缆设计提出了更高的要求，而且也需要采用某种空闲时间/抽取流量控制机制。虽然在数据通信系统中，这种缓冲操作一般来说已经得以实现，但在许多非数据通信应用中，必须添加额外的处理和缓冲功能。

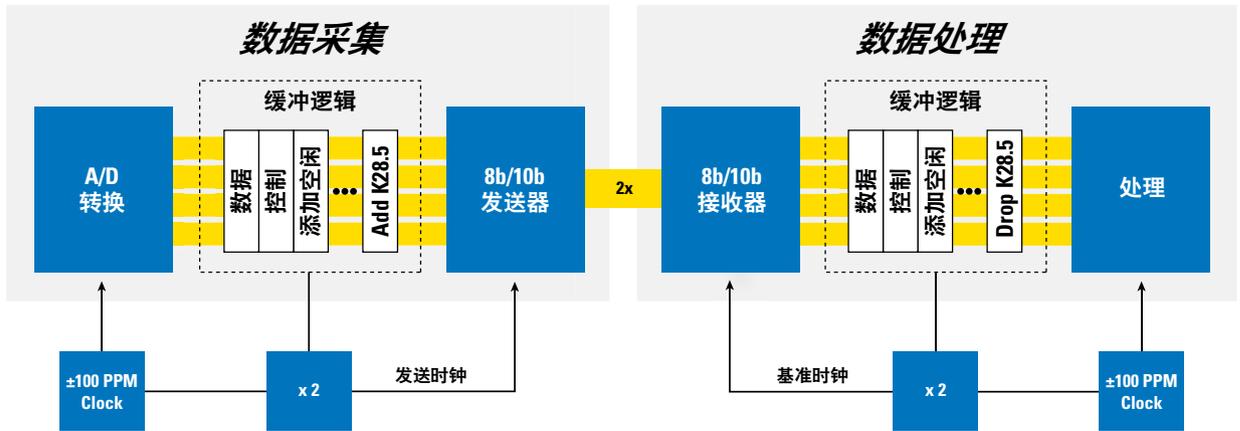


图 3-10. 8b/10b SerDes 实施例子

时钟位嵌入式 SerDes 的另一个特征是其接收器能够自动地锁定随机的数据。对于那些接收器是一个位于远端的、不受系统控制的模块的系统应用来说，这一功能特性极为有用，而且对那些一个发送器对多个接收器进行广播的系统应用而言，也有著重要的价值。在广播的情形中，新插入总线的接收器模块将可以锁定随机数据，而不必由于要发送训练模板信号或者字符而导致其他接收器的收发流的中断。

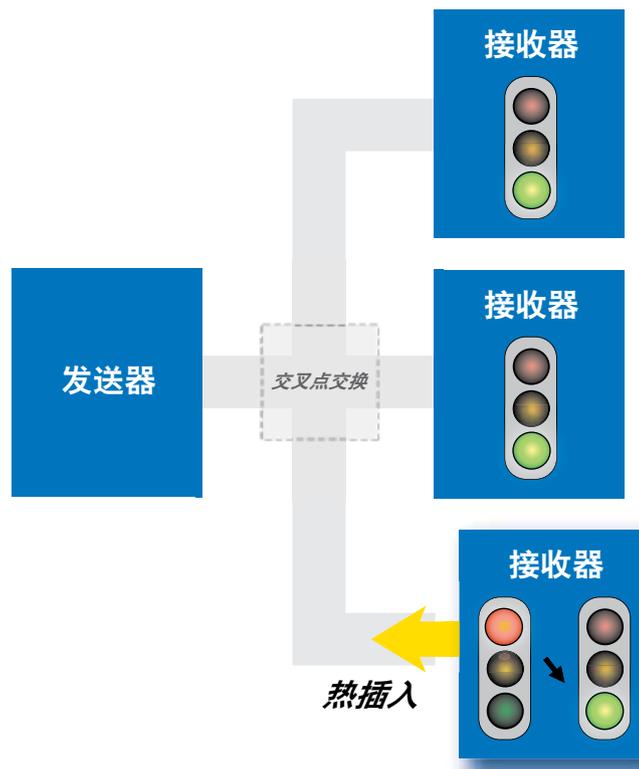


图 3-11. 在广播型通信网络拓扑中，接收器在热插入过程中可以自动锁定随机数据

时钟位嵌入式解串化器可以锁定输入的、嵌入了时钟位的上升沿，并保持对其的跟踪，因此只有在初始的同步化过程中才需要一个基准时钟，来防止锁定到错误的谐波信号上。这就放宽了对发送和基准时钟的需求，幅度达到了一个数量级（参见表 3-12），于是可以降低时钟振荡器和时钟分配网络的成本。在许多情况下，廉价的 PC 级振荡器就可用于生成接收器的基准时钟。

**表 3-12. 对时钟位嵌入式 SerDes 和典型的 SerDes 芯片组之间的性能比较，这一比较说明了前者可以放宽对时钟的要求。**

关键技术指标	时钟位嵌入式 SerDes	其他 SerDes
串化器—发送—输入时钟抖动	80 或 120 ps rms	5 或 10 ps rms
解串器基准时钟与串化器发送时钟之间的偏差	±50000 PPM	±100 PPM

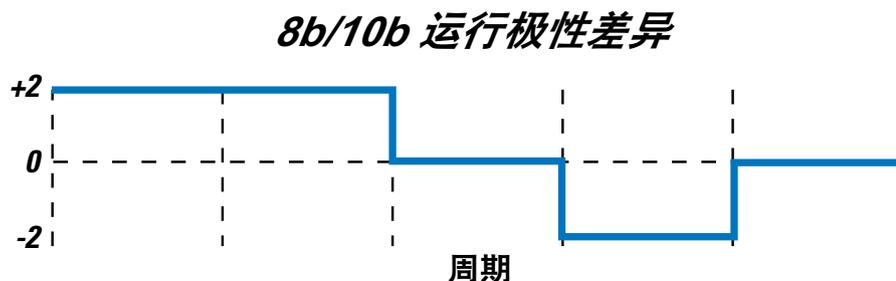
时钟位嵌入式 SerDes 非常适合于非面向字节的应用，如那些需要传送未编成数据包的原始数据外加控制信号的应用场合。具体实例包括：基站、汽车成像/视频方面的信号处理系统；模拟—数字转换器、摄像机或者图像传感器必须与链路另外一端的处理器单元间交换原始数据的传感器系统。

### 8b/10b SerDes

8b/10b SerDes 非常适合于对那些面向字节的数据，如在背板、电缆和光纤上传输的单元或者包数据交换。许多标准，如 Ethernet、Fiber Channel、InfiniBand 和其他，都使用了广受欢迎的 8b/10b 编码方式，其数据率可以为 1.0625、1.25、2.5 和 3.125 Gbps，目前可以购到多种能扩展这些数据率的 SerDes。

8b/10b 编码的最大运行长度（maximum run length，即在串行流中连续的1或0的最大数量）为 5 bit。这限制了串行流的频谱容量，因此减轻了抑制电磁干扰的任务。例如，假设在经过 8b/10b 编码后可以达到 1 Gbps 的线路传输速率，则最高和最低的 1 次谐波频率分别为 1 GHz 和  $(1 \text{ GHz})/5 = 200 \text{ MHz}$ 。（于是，最高和最低的谐波频率分别是 500 MHz 和 100 MHz）

8b/10b 串行流具有直流平衡，这是指运行的运行极性差异（running disparity）—或者说发送的 1 的数量减去发送的 0 的数量—的平均值是等于 0 的。8b/10b 数据编码字的差异值为 +2、0 或者 -2，因此，一个 8b/10b 的串行数据流的运行极性差异始终保持在 +2 和 -2 之间。



**图 3-13. 8b/10b 运行极性差异示例**

直流平衡的编码方法以及较短的运行长度，是可靠地驱动交流耦合工作和光纤模块所必须采用的技术。对于光学串行互连来说，这是 8b/10b 所具备的优势。此外，直流平衡降低了码间干扰（Inter-Symbol Interference，ISI），从而扩展了电缆驱动能力。

8b/10b 编码还为检查错误和发送控制信息提供了一条途径。检错利用了如下的事实：大多数可以采用的 10 bit 代码的重排，都无法构成有效的 8b/10b 数据代码字。这样一来，8b/10b 解串器可以针对无效代码发出标记，如同奇偶校验位那样提供一定水平的错误校验功能。虽然这种方案并未计入全部的位错误，但它是监测串行链路的一种良好的手段。除了数据代码字外，许多标准也定义了控制字，如包/帧标志、错误标志和对准字符等。这些控制代码字将帮助系统组装和分解各个数据包，使得 8b/10b 编码在数据通信处理系统中得到了广泛应用。

## FPGA – 连接 SerDes

FPGA 连接 SerDes 非常适合于那些需要使用 FPGA，而且需要对有损互连上传输的高速数据信号进行串行化处理的应用。这种 SerDes 可以同时支持交流耦合和直流耦合的应用。

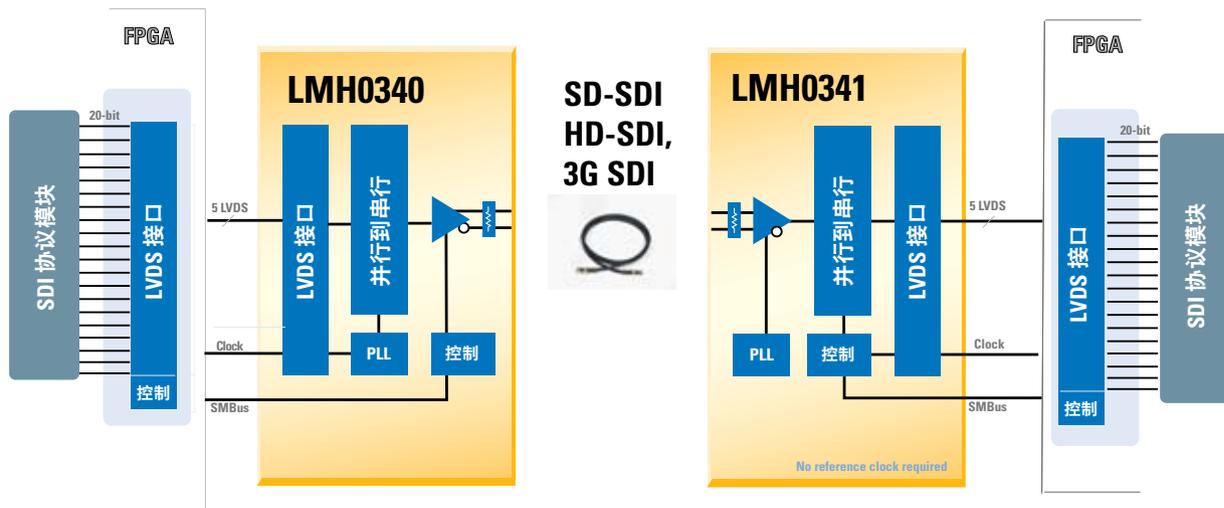


图 3-14. 使用 FPGA 连接 SerDes 的串行数字视频传输应用

该解串器可以自动地锁定到输入的数据上，而无需外接基准时钟或采用逗号字符，因此可以轻松实现“即插即用”。这使得这种 SerDes 非常适合于非面向字节的系统，如那些要求对未形成数据包的原始数据进行传输的应用。相应的实例包括基站、成像/显示、视频和传感器系统等方面所使用的信号处理系统

集成化的信号调理方案，如发送端的去加重、直流平衡、可编程设定的 VOD 以及接受侧的均衡处理等，都使这种技术成为需要在廉价的互连（如 CAT-5 电缆和 FR-4 背板）上进行高速数据传输的各种应用可以选择的手段。此外，这样高的集成度可缩减总的系统元件和电路板元件数量。应用实例包括机箱到机箱的互连、机器视觉、LED、医疗成像以及各种不同的背板应用。

### 3.7 总体比较

每种 SerDes 架构都有各自的优点，使之成为某些应用的理想选择。

并行时钟 SerDes 是一种价格低廉的串行化方案，一般用于对常规的宽总线进行串行化处理。它们之所以可实现低价，是因为可以并行地将时钟和数据传送到接收端，因此无需时钟恢复结构。然而，这也正是其一个缺点，因为，它需要用到多个串行数据和时钟传送对，因此必须进行细致的布线和保证很低的线对间偏差。

对于需要额外传送几个额外位以及/或者具备锁定到随机数据信号上的能力的应用来说，时钟位嵌入式 SerDes 是理想的选择。它们还可以帮助那些采用低价时钟源的系统放宽对发送器和基准时钟的要求。其本身缺乏直流平衡编码能力这一点，对于交流耦合场合以及需要驱动光纤模块的情形而言是不利的（请注意，24 bit 的 SerDes 器件包括了内置的直流平衡功能，因此这一限制只存在于 10、16 和 18 bit 的 SerDes 中）。

8b/10b SerDes 可以很好地为面向字节的单元或者数据包传输服务。8b/10b 编码可实现简单的错误检查和直流平衡，以便减少码间干扰 (ISI) 和驱动交流耦合的互连、光纤等。然而，若使用 8b/10b SerDes，而总线宽度又并非字节的倍数，则人们在设计上必须付出额外的努力，以便把总线的数据包为字节，而且让 SerDes 具备更高的运行速度。

**表 3-15. 对各种 SerDes 架构的优缺点的总体比较**

技术	优势	不足
并行时钟 SerDes	能对宽总线作串行化处理 低成本 自动实现发送器/接收器同步	需要更多的线对/连线 线对到线对的偏差的要求非常严格
时钟（起—停）位嵌入式 SerDes	有 10、16、18 和 24 bit 等宽度 可锁定到随机的数据流上 放宽了对时钟的要求	本身不具有直流平衡 并不十分适合于交流耦合的或者光纤传输应用（除 24 bit 器件外）*
8b/10b SerDes	直流平衡编码 在交流耦合和光纤通信环境中能工作得很好 来源广泛	面向字节 对时钟信号要求严格 需要采用逗号符以保证同步
FPGA-连接 SerDes	LVDS “并行” 接口可减少电路板引线的数量、EMI 和功耗 对 FPGA 友好的接口能锁定到“任何”数据上 集成信号调理电路 无需外接基准时钟	在 FPGA 内部需要小的“胶合”代码

**\* 注：24 bit SerDes 具有直流平衡，因此适用于交流耦合或者光纤传输应用**

对于那些包含了一个 FPGA、需要在廉价的互连（如 CAT-5 电缆和 FR-4）上保证高数据率传输的应用来说，FPGA 连接 SerDes 是理想的选择。其 LVDS “并行”接口可以减少 I/O 数量、功耗、EMI 和系统的噪声灵敏度。这种解串器可自动锁定到输入的数据流上，而无需任何外部基准时钟或逗号符，从而轻松地实现“即插即用”工作。

## 3.8 小结

在过去十年中，涌现出若干种 SerDes 架构，以满足不断增长的应用的多样化需求。FPGA 的流行、减少电路板引线的需要以及对更高带宽的需求，都使那些经过明智功能划分的架构（如 FPGA 连接 SerDes）的应用日益扩展。理解每一种架构的优点和缺点，使设计者能将相应的 SerDes 适应各类应用的需求，从而最大限度地提升性能,并降低系统的成本和复杂程度。



为了实现最佳性能，必须将高速互连视为一种传输线。必须注意避免出现阻抗不连续点，而且选用恰当的终接网络也非常重要。适当的终接方法将与传输介质的等效阻抗（ $Z_L$ ）相匹配，从而能降低反射。虽然终接网络的总的用途可能都是一样的，但在确定恰当的终接方案时必须考虑相当多的变化。

询问一些简单的问题可以发掘出重要的信息，例如：

- 终接相对于驱动器或接收器而言是外接的还是内接的？
- 拓扑结构是点到点还是多点式的？
- 终接是直流耦合还是交流（电容式）耦合的？
- 终接电路是否还作为防故障（failsafe）网络或作为不同接口技术之间的转换网络使用吗？

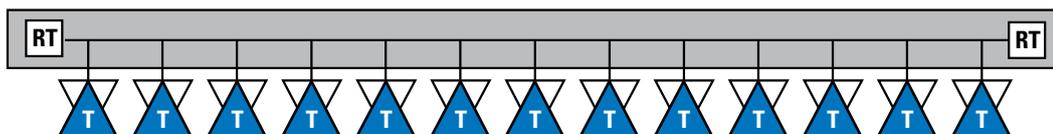
内部终接的优点是终接位置可以尽可能接近接收器（使连线条最短），而且可节省电路板空间和减少元器件数量。内置终接方式的一个缺点是灵活性较低。例如，采用一个内置的交流终接，就意味著认定输入的数据将具有直流平衡（参见“**直流平衡**”，33 页，以更多地了解这一问题）。一个内置终接的 LVDS 接收器可能不适合于多分支的配置，因为它需要附加的负载。

## 4.1 终接和阻抗匹配

为了避免反射，传输介质的特性阻抗  $Z_0$  必须保持一致，而且应等于负载的终接阻抗。当信号通路由过孔、连接器、引线和电缆的某种组合构成时，这一任务就变得较为棘手。此外，负载的终接也可成为一个防故障或者转换网络的一部分。关于这一主题的进一步的信息可以在 39 页的“**设计与布局布线指导原则**”找到，本节包含了关于传输线理论的讨论。

## 4.2 多分支和多点

B-LVDS 和 M-LVDS 都可提供比常规 LVDS 更高的电流驱动能力，因此这些技术能够驱动多分支或多点应用。（多分支具有一个驱动器和多个接收器；多点可以具有多个驱动器和多个接收器。）无论在何种情况下，所推荐的配置应在背板的每端都具有匹配的终接。所选用的终接电阻应与背板的等效电阻相等。背板的特性阻抗可以为  $100\Omega$ ，但是由于连接器和板块所造成的附加的负载效应可能会带来等效阻抗的大幅度降低。例如，在应用广泛的 ATCA（Advanced Telecom and Computing Architecture，先进电信/计算架构）中，背板的特性阻抗为  $130\Omega$ ，但是因为板块的附加加载，背板的每一端的终接电阻变为  $80\Omega$ 。



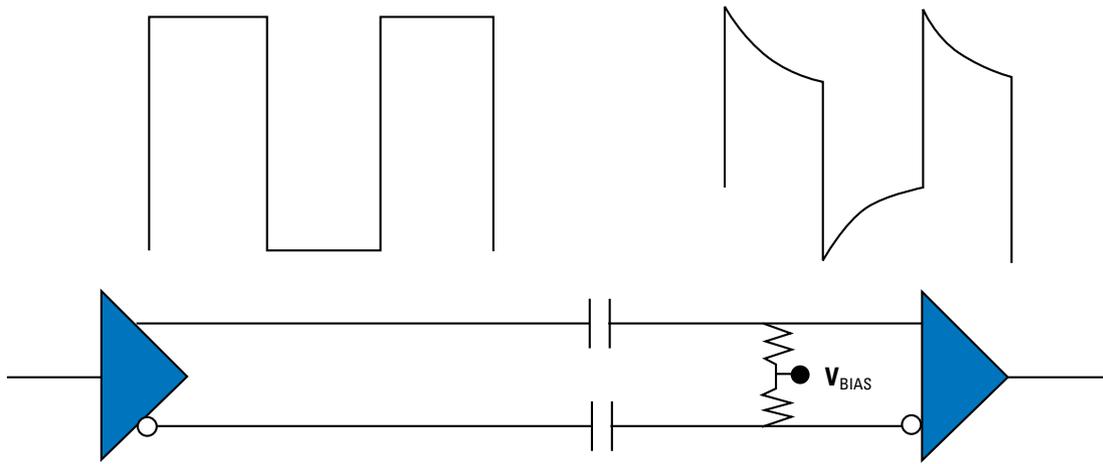
注—所示的接收器勿采用内部终接

图 4-1. 多点终接方案

### 4.3 交流耦合

交流耦合是一种将电容串连在差分对的两路信号通路上的终接技术—此外，还需要采用标准的阻性负载终接。人们之所以希望采用这种方法，有若干原因，这些考虑都出于性能、兼容性和系统等方面的考虑。

**图 4-2** 示出了一种交流终接方案，以及电容的每一端的波形。请注意电容将隔断信号的全部直流分量，因此，接收器端只会观察到输入信号的前沿和后沿。输入的波形将对网络充电，于是能量会以 RC 时间常数缓慢地耗散。



**图 4-2. 交流耦合及其波形**

**图 4-2** 所示的交流耦合方案具有如下的优点：

- 接收器处的输入波形将以偏置电压 ( $V_{BIAS}$ ) 为中心。这使得接收器能在器件的最佳点 (sweet spot) 工作，从而能减少抖动和改善性能。
- 由于 CML 和 LVPECL 并非工业标准，因此对器件的阈值并无硬性规定。假定驱动器和接收器有可能来自不同的厂商，则交流耦合能消除不同厂商的产品之间存在的任何阈值差异所造成的影响。
- 交流耦合可以消除驱动器和接收器之间存在的任何直流偏置—因此，对于各种技术之间的转换来说十分有效 (手册的后面将对这一问题进行更详细的讨论)。
- 采用交流耦合的另一个理由，是可防止在两个板卡或两个系统的地线之间出现电位差。如果一个电缆连接的两个硬件的地线存在电位差，则相应的电压差会影响到差分对的工作—或者，在极端情况下，会造成可靠性的问题。交流耦合则可以消除直流电位差，从而避免了这一问题。

交流耦合一般出现在采用高信号速率和使用 CML 与 LVPECL 器件的应用情形中。事实上，许多器件在内部的接收器终接处集成了电容器。不过交流耦合的一个缺点是需要使用有直流平衡的数据信号。

一种能同时具备交流耦合和直流耦合优点的创新性 I/O 是 DS64EV400 可调均衡器的输入级。该器件可以像交流耦合那样容忍阈值和共模平移上的波动，但不需要采用有直流平衡的数据。

## 4.4 直流平衡

直流平衡是指，在一组数据中 1 和 0 的绝对数量之间的差异大小，如果 1 和 0 的总数相等，则可以认为是“直流平衡的”。直流平衡十分重要，这是因为在使用隔直电容时，电流仅仅在状态切换时流入接收器的终接网络。如果没有切换，则两个接收器端子上的电荷将缓慢地向著同一个量值衰减，从而减小了噪声裕量。

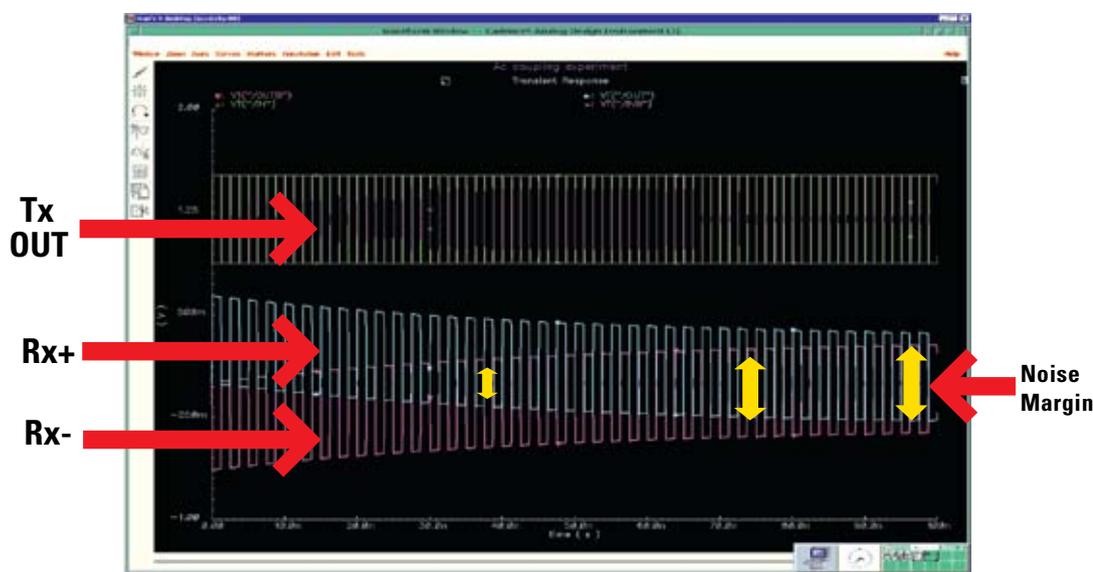


图 4-3. 交流耦合差分对在通电启动时的变化

图 4-3 示出了交流耦合电路在启动时的变化过程的示例。最初，两个输入端都为 1.2V 的电位。而随著第一个正向跳变位到达时，每个端子都跟随著输入波形发生变化，产生极性相反、幅值最大的漂移。随著接下来的负向跳变位的到来，两个端子间的差分电压变得很小，此时出现错误位的概率就很高。在发送了足够数量的、平衡的位信息（即 1 和 0 的数量相等）后，接收器的每个端子的电位都在 1.0V 和 1.4V 之间切换，从而达到最高的噪声裕量。该示例属于通电启动时的动态过程，但与传输一长串极性相同的位信息或者非平衡数据的情形很类似。非平衡的数据会缩减噪声裕量，因为接收器端子之间的差分信号无法始终保持为最大值。

各种编码方案，如常见的 8b/10b，可以确保高水平的直流平衡。虽然直流平衡是指整个数据组的，但还有其他的一些衡量指标，可以反映在短期内器件性能偏离理想值的情况。

量值 (十进制)	量值 (二进制)	10 位代码	其他的编码 方案
	HGF EDCBA	abcdei fghj	abcdei fghj
0	000 00000	100111 0100	011000 1011
1	000 00001	011011 0100	100010 1011
2	000 00010	101101 0100	010010 0011
3	000 00011	110001 1011	110001 0100
4	000 00100	110101 0100	001010 1011
5	000 00101	101001 1011	101001 0100
6	000 00110	011001 1011	011001 0100
7	000 00111	111000 1011	000111 0100
8	000 01000	111001 0100	000110 1011
9	000 01001	100101 1011	100101 0100
10	000 01010	010101 1011	010101 0100
⋮	⋮	⋮	⋮

图 4-4. 8b/10b 编码实例

运行不均等性 (Running Disparity, RD) 是对信号瞬时偏离直流平衡情况的一个量度。在考虑一组直流平衡的数据时，最大的 RD 值出现在偏离理想直流平衡态的程度最严重的任何时刻。



图 4-5. 最大运行长度示例

运行长度 (Run Length, RL) 是瞬时连续出现的相同数据位的数量。对于整组数据来说，运行长度的最大值也对应著偏离理想特性的程度最为严重的时刻。

运行长度是一个影响到抖动的重要参数。当信号的切换恰好以数据位的宽度为间隔的点处通过零阈值点时，确定性抖动达到最小值。长的运行长度将带来 RC 衰减，而这又会减小信号的幅值，使得眼图闭合—于是造成确定性抖动的增长。一个量值足够大的电容将有助于让信号的幅值保持不变。

### 电容的选用

RC 时间长度、数据位的宽度 (f)、运行长度决定了交流耦合所造成的信号衰减 (下降) 幅度的大小。为了节省电路板的空间，应该采用尺寸较小的电容器，但是体积较大的电容可以减小信号的衰落。以下等式提供了一种方法，用于粗略估算和确保信号衰减仅为 0.25 dB (3%) 时所需的电容值。

$$C = \frac{(7.8 \times \text{Run Length} \times \text{Bit Period})}{R}$$

高速应用所采用的电容值一般在 0.1  $\mu\text{F}$ ~0.01  $\mu\text{F}$  之间。

## 4.5 转换

系统中往往会同时包含多种高速差分传输技术，因此经常要用到转换技术。

应用最为广泛的差分传输技术是 LVDS，而幸运的是，当必须使用转换技术时，它的使用是最方便的。在所有高速差分技术中，LVDS 输入具有最宽的共模输入范围。这种在输入上所具备的灵活性使得美国国家半导体的 LVDS 产品能与大多数 CML 和 LVPECL 器件直接相连。

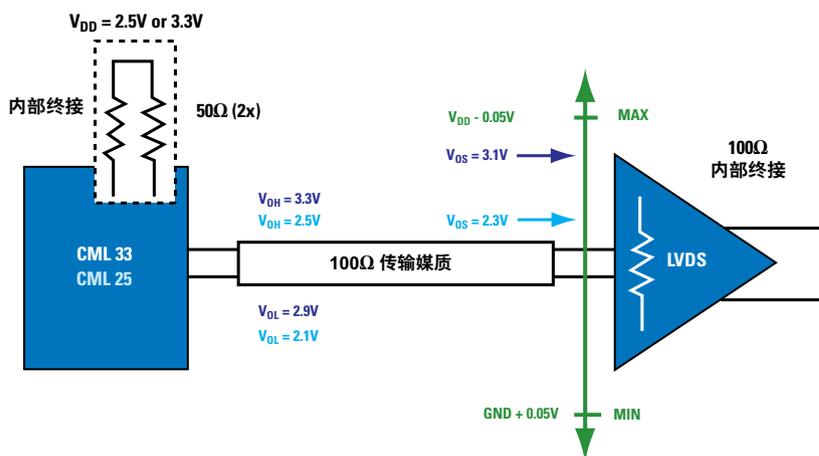


图 4-6. CML 至 LVDS 的转换

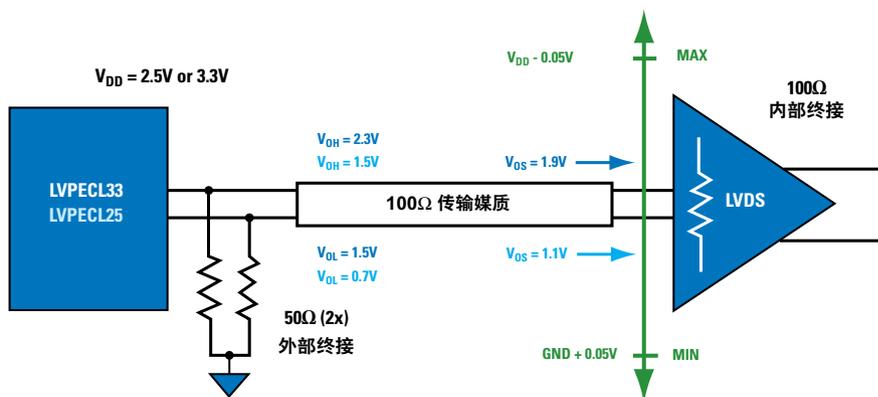
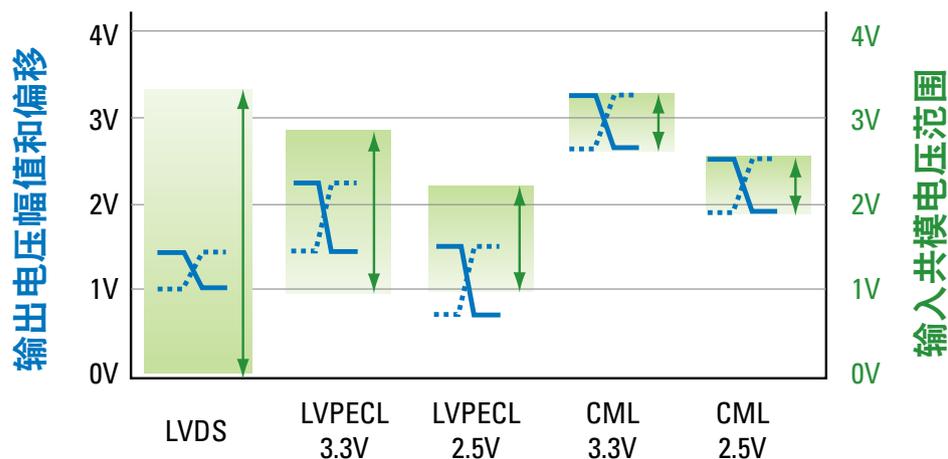


图 4-7. LVPECL 至 LVDS 的转换

CML 和 LVPECL 输入端能接收的输入信号的共模电压往往局限在更加狭窄得多的范围内。这使得 LVDS 输出电压超出 CML 接收器所容许的输入范围，正如 **图 4-8** 所示的那样。

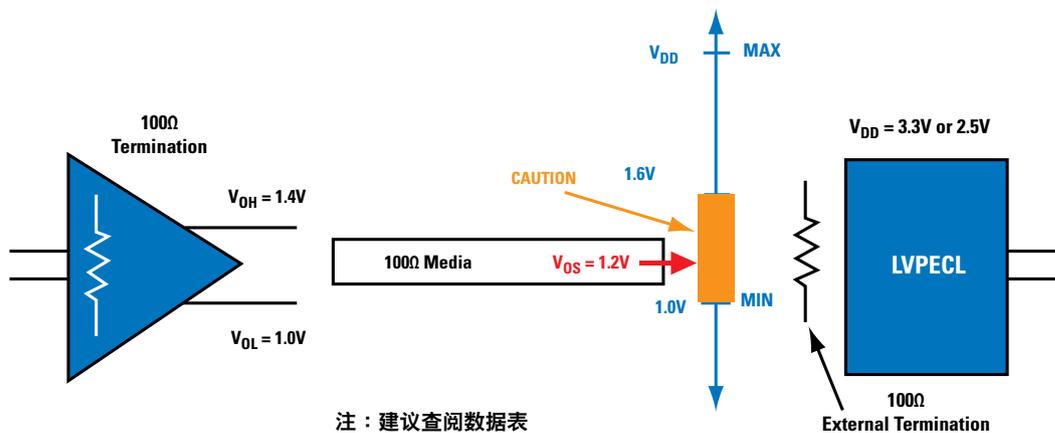


**图 4-8. 差分技术**

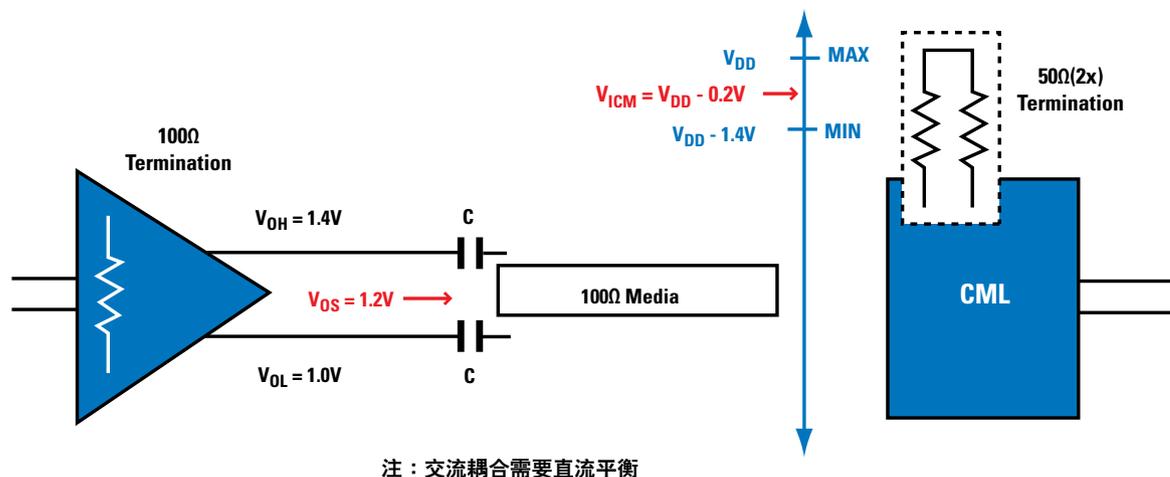
将差分信号从 LVDS 格式转换为 LVPECL 或者 CML 信号时，应当始终对接收器件的输入特性进行研究。器件与器件之间，不同的制造商之间，LVPECL 和 CML I/O 特性和终接方案很可能都不相同。

根据大多数 IC 厂商的数据表上都共同采用的一些指标，**图 4-9** 和 **4-10** 所示的 LVPECL 和 CML 接口将是绝大多数情况下的优先选择。具体的 LVPECL 或者 CML 器件可能需要一些接口上的改进，以实现最佳的性能。

**图 4-9. LVDS 至 LVPECL 的变换**



**图 4-10. LVDS 到 CML 的转换**



正如前面的图所示出的那样，LVDS 和其他的差分技术可以在一条高速信号通路上协同工作。与 LVDS 接口的四种可能方式中的三种不需要加任何外接元器件。而对于最后一种，即 LVDS 驱动 CML 的情况，大多数仅采用 CML 的应用可能已经采用了交流耦合。在高速信号传输中采用的交流耦合对于许多应用来说并不意味着一个严重的限制性条件，因为信号编码技术已经赢得了广泛的市场。

## 4.6 故障的防范

LVDS 输入电路常常包括了一个防故障电路，该电路可在器件的输入端出现开路或短路时将对应的输出置为“高”状态。在正常工作条件下，内置的防故障电路的坚固性已足以防止由于输入端处的局部电缆故障或者焊点开路或短路造成振荡。在噪声很高的环境中，或者切断长电缆时，内部的防故障电路可能不足以防止振荡的出现。在这种情况下，建议采用带屏蔽的电缆，或者添加一个电阻网络以提升内部防故障电路的处理能力。

在选择防故障网络时，需要在确保足够的裕度以防止可能的振荡和保证接收器的平衡性与灵敏度之间进行折中取舍。**应用注释 AN-1194，LVDS 接口的防故障偏置网络 (Failsafe Biasing of LVDS Interfaces)**，对这一问题进行了充分的研讨。

## M-LVDS 的防故障电路

TIA/EIA-899 (M-LVDS) 标准描述了一种 type-2 接收器所需的内置式防故障电路。Type-2 接收器包括了一个 100 mV 电压偏移，因此器件的开关点从 0V 平移到了 100 mV。这是一种有效的防故障电路，但是也存在不足，如噪声裕量减小以及可能影响时钟应用的占空比等。

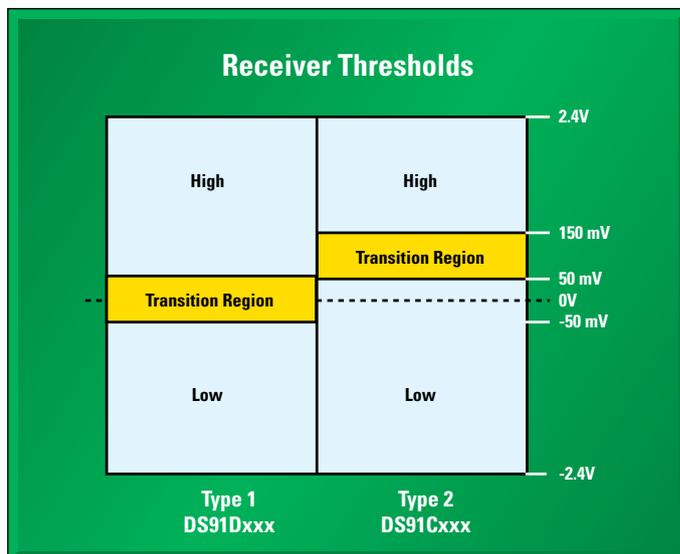


图 4-11. M-LVDS

内置的偏移电压还使 type-2 接收器成为“线-或”逻辑应用中的常用接收器。线-或功能使多个线卡或者器件能够分享单个差分对，传输中断等信号。如果允许浮置，则 type-2 接收器将保持为逻辑低状态。于是，任何器件可以通过将连线电平拉到逻辑高状态来产生相应的中断信号。

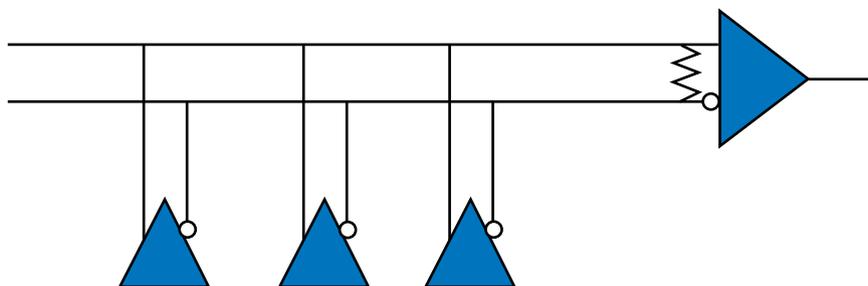
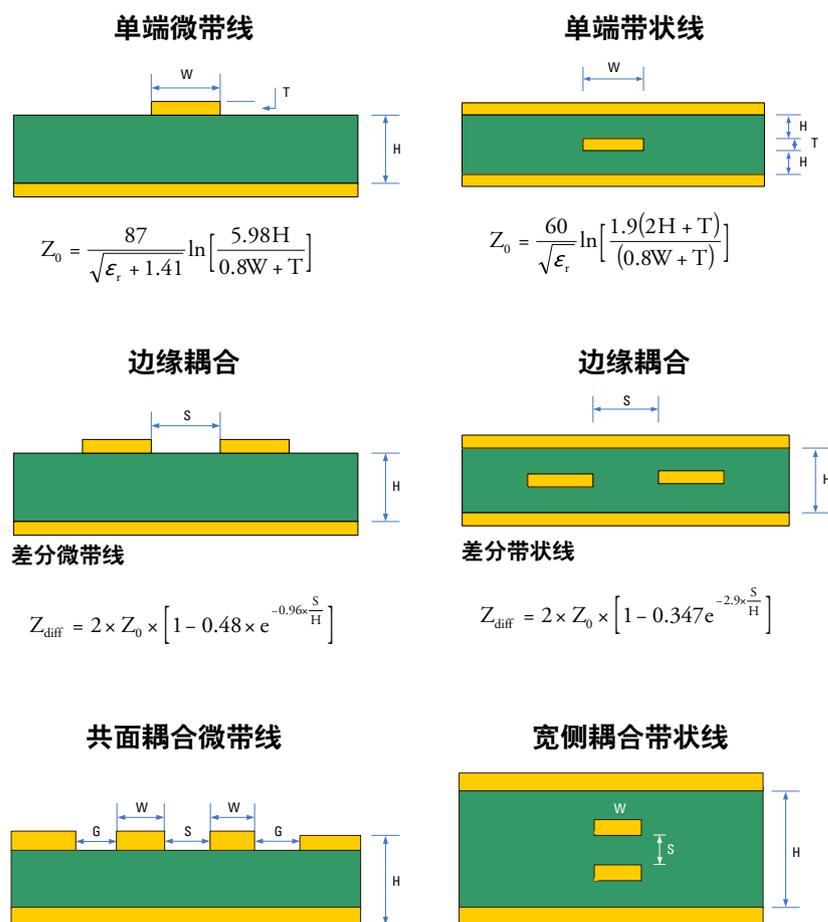


图 4-12. 线-或电路示例

## 5.1 PCB 传输线

**图 5-1** 描述了若干种印刷电路板 (PCB) 中常见的传输线结构。每种结构都由一条信号线和一条返回路径构成，在长度方向上保持均匀的横截面。微带线是在顶（或者底）层上的信号线，其返回路径为一个接地平面或电源平面，该平面与信号线之间被一个介质层隔开。带状线包括一条位于内层的信号线、以及该信号线与其上方和下方的接地平面之间的介质层。所述结构的尺寸和介质材料的特性决定了传输线的特性阻抗（也称为阻抗可控的传输线）。

当两路信号线之间的间距很小时，它们构成了一对耦合的传输线。**图 5-1** 示出了边缘耦合的微带线和边缘耦合的或宽侧耦合的带状线。当受到差分信号激励时，耦合的传输线被称为“差分对”。每条线的特性阻抗被称为奇模阻抗。每条线的奇模阻抗的总和就是差分对的差分阻抗。除了走线的尺寸和介质材料的特性之外，两条导线之间的间距也决定了相互耦合的大小，并影响差分阻抗。当两条线非常靠近，例如， $S$  小于  $2W$ ，则该差分对被称为一个“紧耦合差分对”。为了保证长度方向上差分阻抗的均匀性，应当保证导线的宽度和间距在长度方向上保持不变，并且保证这两条线的对称性。



**图 5-1. 阻抗可控的传输线**

## 5.2 传输损耗

频率在约 1 GHz 以下时，传输损耗主要由与频率的平方根成正比的趋肤损耗所构成。在更高的频率上，主要的损耗为与频率成正比的介质损耗。电路板的材料特性在很大程度上影响了电路板导线的传输损耗。图 5-2 示出了尺寸相同而分别由 Nelco-4000-6、Getek 和 Roger 材料所构成的 10 英寸耦合微带线的损耗特性。

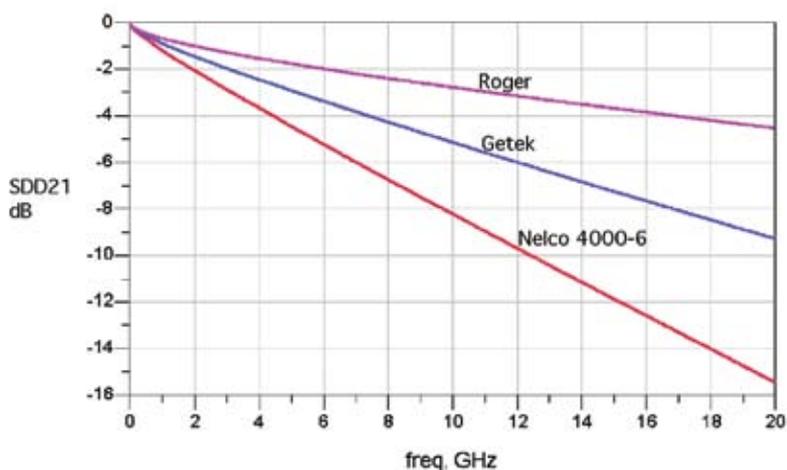


图 5-2. 在不同材料的电路板上实现的 10 英寸传输线

图 5-3 示出了宽度相同、利用 Nelco 4000-6 材料中制作的微带线和带状线的损耗。带状线为介质所包围，而介质材料的损耗高于空气。因此，带状线的介质损耗要高于微带线。

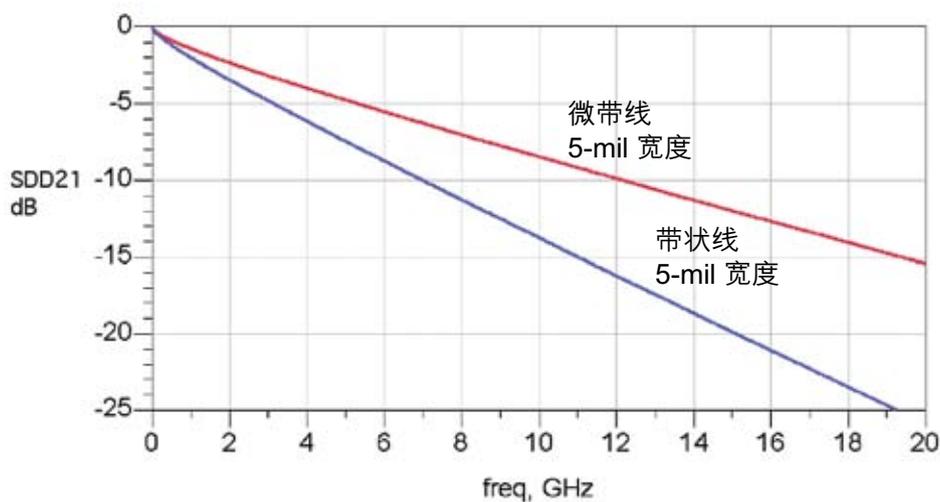


图 5-3. 利用 Nelco 4000-6 材料所构成的 10 英寸耦合微带线和带状线

## 5.3 PCB 过孔

过孔 (Via) 这一术语一般是指电镀形成的穿透孔，用于实现印刷电路板的两层信号线之间的连接。一个过孔结构包括面包圈形状的接触盘、电镀形成的圆柱状过孔管体 (via barrel) 和在每个电源或者地线层上用于留出净空的反焊盘。

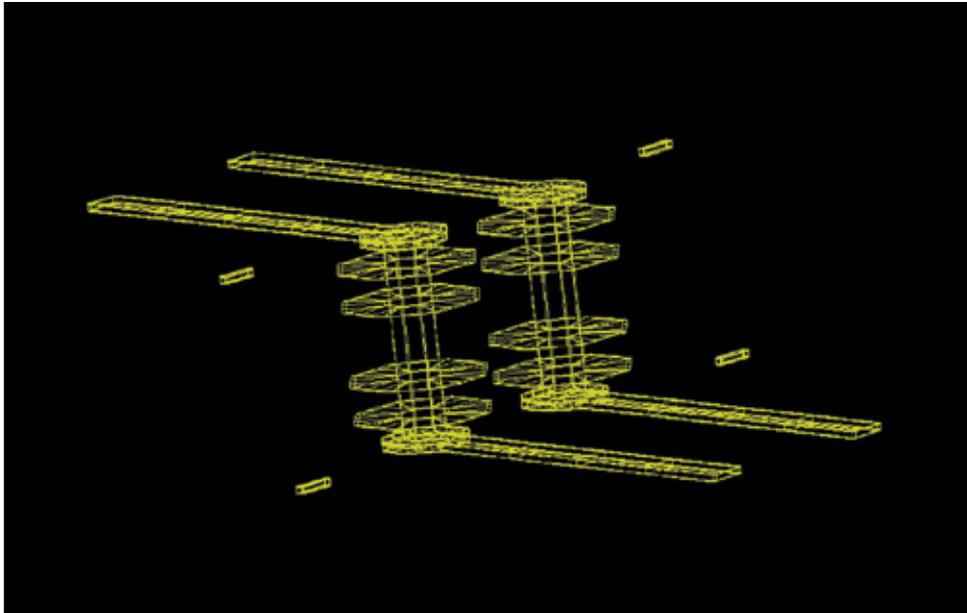


图 5-4. 差分过孔的 3D 图

过孔的电气特性取决于过孔的尺寸、电路板的迭层结构以及电路板的材料特性。圆柱形的孔管具有电感特性，而焊盘和反焊盘呈现电容特性。对于一个有精细尺寸的过孔来说，过孔的总效果相当于一个小的电感。对于尺寸更大的孔洞和存在多个电源或者地线层的情形，过孔将呈现电容特性。在 3D 电磁场求解器的帮助下，阻抗可控的过孔结构的设计成为可能。

图 5-4 示出了由两个相互间存在耦合的差分过孔所组成的结构，其差分阻抗为  $100\Omega$ 。除了过孔尺寸外，这两个过孔间的距离决定了相互间的耦合效应，以及差分阻抗的大小。

对于一个从顶层连接到内层的信号过孔来说，其从内层延伸至底层的、未被利用的部分构成了一个过孔短线 (via stub)。该过孔短线给信号引线引入了附加的寄生电容，减小了其具有的带宽。对于甚高速的应用来说，要使用先进的电路板制造工艺来精确地对过孔未用部分作反向填孔处理，这一操作可避免过孔短线的存在。

隐埋的过孔则用来连接两个内层。过孔的长度仅足以穿透将这两层分开的介质，从而避免了过孔短线的形成。

## 5.4 背板子系统

在典型的电路板上，信号传输的互连由电路板导线、元件固定焊盘、过孔和元件构成。固定焊盘和过孔的寄生电容会造成其阻抗与电路板导线的特性阻抗之间的失配。导线宽度或差分对之间的间距的变化，也会造成阻抗的失配。过高的寄生电容会使插入损耗不再与频率呈线性关系，从而影响高速数据传输中的信号完整性。

在背板子系统中，连接器借助一个互连背板将两个板块连接在一起。**图 5-5** 示出了典型的背板子系统的简化示意图。



**图 5-5. 简化的背板子系统示意图**

为了保证机械强度，大多数背板连接器都通过压入的方式装配到厚的背板上用电镀形成的穿透孔中。**图 5-6** 示出了背板连接器中的内部导体结构。典型背板的厚度为 0.15~0.2 in.，包含 10~20 层信号、电源和地线层。尺寸相对较大的（直径约 26 mil）长过孔，具有很高的电容，由于会造成带宽的减少和串扰而名声欠佳。

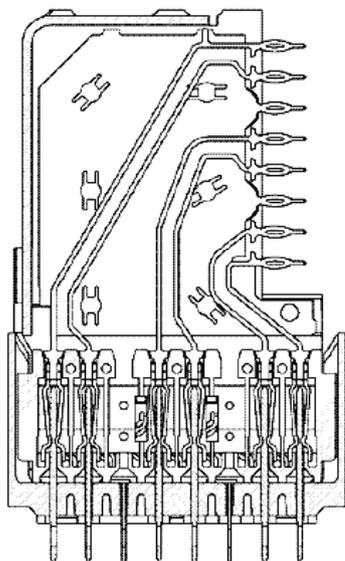


图 5-6. Cross-Section of VHDM HSD (Graphic Courtesy of Teradyne Inc.)

图 5-7 示出 20 英寸背板的传输损耗和串扰。此外，除了电路板导线的介质损耗，连接器、过孔、过孔短线和元件固定焊盘的寄生电容亦会带来损耗。来自于邻近信道的串扰将对所影响的导线的信噪比 (SNR) 造成负面影响。串扰往往是限制背板子系统的最高数据率的一个因素。

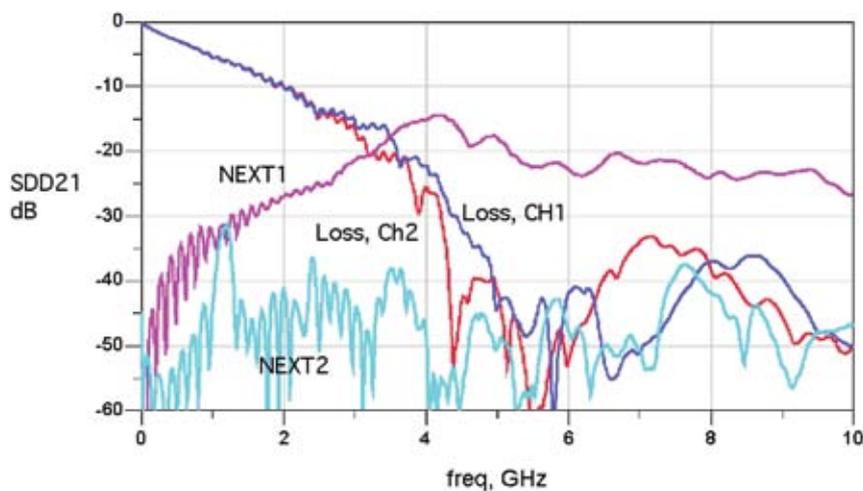
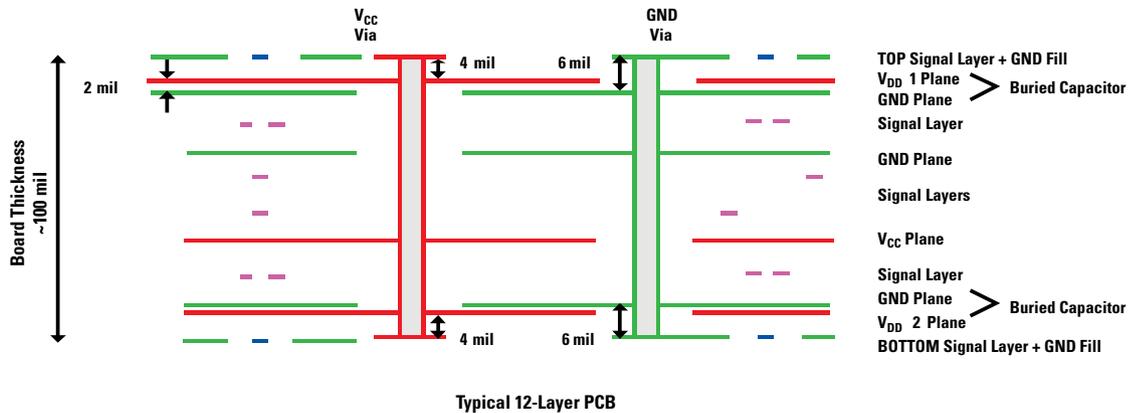


图 5-7. 一种 20 英寸背板的传输特性

## 5.5 退耦

高速器件的每个电源或者接地引线应该通过一个低电感通路与 PCB 相连。要获得最佳的结果，电源或者地线引脚将通过一个或者更多的过孔连接到附近的导体平面。在理想情况下，过孔应该紧挨着引脚放置，以避免增加导线的电感。让电源平面靠近电路板的顶层，可以缩短过孔的等效长度及其相应的电感。

图 5-8. 低电感、高电容电源连接



旁路电容应该放置在接近  $V_{DD}$  引脚的位置。它们可方便地放置在接近角落的位置或者置于封装的下方，以最大限度减小环路的面积。这扩展了所用电容器的有效频率范围。应该采用小物理尺寸的电容器，如 0402 或者甚至 0201，或者 X7R 表面贴装电容，以最大限度减小电容器的体电感。每个旁路电容器通过与电容器相切的过孔与电源和地平面相连接，如 图 5-8a 所示。



图 5-8a 和 5-8b 典型的退耦电容布局

一个尺寸为 0402d X7R 的表面贴电容器有约 0.5 nH 的体电感。在高于 30 MHz 的频率下，X7R 电容的表现特性与一个低阻抗的电感类似。为了将工作频率范围扩展为几百 MHz，可以将一系列具有不同电容值的电容并联起来使用，这些电容可以取如下数值：100 pF、1 nF、0.03  $\mu$ F 和 0.1  $\mu$ F。最有效的旁路电容可以利用将电源和地线构成的、间隔为 2~3 mil 的三明治夹层结构来实现。采用一个 2 mil FR4 介质时，每平方英寸的 PCB 的电容大约有 500 pF。请参阅前面的 **图 5-1** 中所示的某些实例。

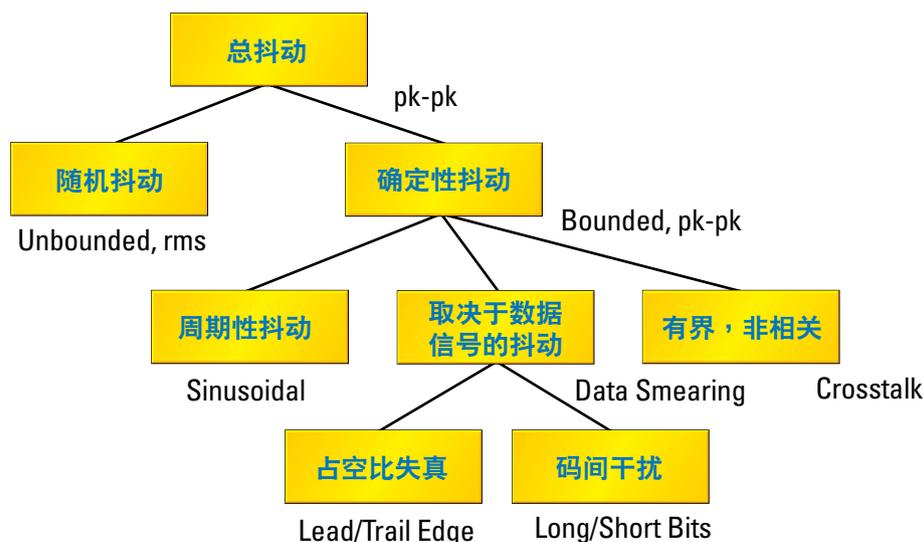
许多高速器件在其封装的背面提供了一种低电感的接地（GND）连接。这一中心的连接片必须通过一个组过孔阵列与一个接地平面相连接。该过孔阵列减小了等效接地电感，增强了这种小型的表面贴（SMT）封装技术的热性能。围绕连接片的周围布设过孔可确保热量分布恰当，以及芯片温度尽可能低。将高性能器件借助两个 GND 平面放在 PCB 的反面（如 **图 5-1** 所示）可以提供多条热传递的路径。PCB 在温度性能方面的各种问题往往都是由于一个器件向另一个器件传递热量、造成局部温度很高而造成的。提供多条传热路径可最大限度地减小这一可能性。

在许多情况下，GND 连接片是极为重要的散热途径，而由于无法保证足够的焊盘到连接片的间距（如 **图 5-8b** 所示的那样），使得人们无法获得最优化的退耦电容布线设计。当出现这种情况时，可将退耦电容放在电路板的背面，以尽可能减小相应增加的电感。应该让  $V_{DD}$  过孔尽可能地接近器件的引脚，而同时保证焊料的掩膜有足够的覆盖面积。如果过孔保持张开的状态，则焊料可以从焊盘流到过孔管体中。这会造成焊接质量变差。



## 6.1 前言

从 **图 6-1** 可以看出，抖动同时具有确定性和随机性两种分量。确定性抖动（Deterministic Jitter，来源于系统，例如串扰、码间干扰和电源的馈通 [feed through]）。它是有界的，因此可以用峰峰值来描述。随机抖动（Random Jitter，RJ）来源于各种物理干扰源，如热噪声、散粒噪声和光介质中的散射。描述随机抖动的经典方法是其概率密度函数，其一般具有高斯分布。高斯函数的上下边界在无限远处，因此总的抖动的随机分量是无界的。



**图 6-1. 抖动分量**

### 随机抖动特性

为了测量这种类型的抖动，利用标准偏差和期望值来定量描述。因为 RJ 模型可以用高斯分布来表示，故它可用于预测峰峰值随比特误码率（BER）之间的函数变化。

RJ 的常见来源包括散粒噪声、闪烁噪声和热噪声。散粒噪声是一种宽带的“白”噪声，是电子和空穴在半导体中的移动所造成的。散粒噪声的幅值是平均电流的函数。闪烁噪声的谱分布则与  $1/f$  成正比。闪烁噪声的来源是一种表面效应，这种效应是氧化物界面的陷阱随机地捕获和发射电子所造成的载流子密度的波动。热噪声可以由宽带的“白”噪声来代表，它具有平坦的谱密度分布。它是由“自由”电子之间的能量传递所产生的。

## 确定性抖动

确定性抖动的情况要复杂得多。有的属于数据信号相关性，如占空比失真（Duty Cycle Distortion, DCD），这种抖动是在交变的数据位序列中各个逻辑状态（e.g. 0, 1, 0, 1）所分配的平均时间之间存在差异的结果。这可以是由于器件的上升和下降时间不同以及阈值的波动所造成的。

DCD 和码间干扰（ISI）是数据信号的历史变化的函数，当跳变的密度发生变化时就会出现这种干扰，这是由于在比特序列（码）中的不同位置上启动的信号到达接收器阈值所需要的时间存在差异。另外，当传输介质对数据（码）的各个频谱分量的传输速率不同，也会造成 ISI，例如，当抖动随边沿密度变化而变化时。

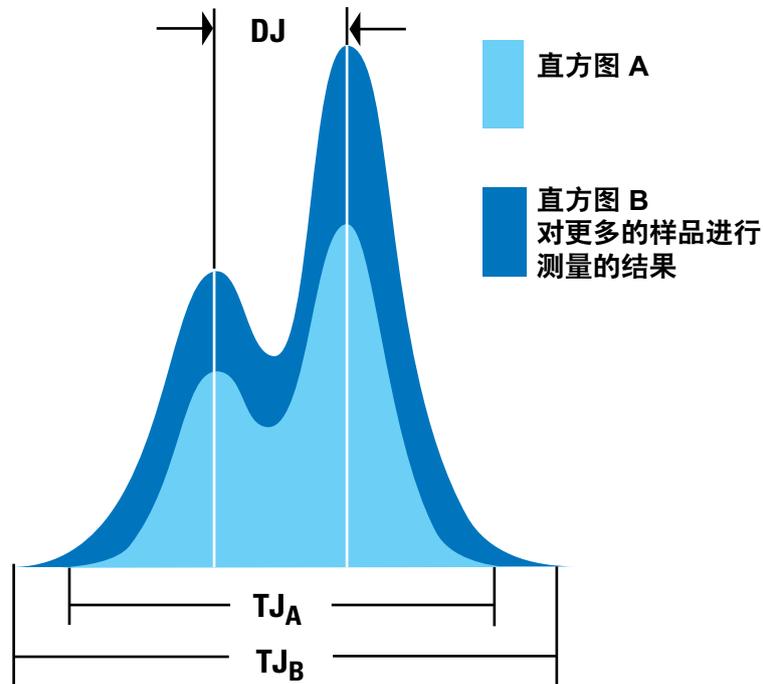


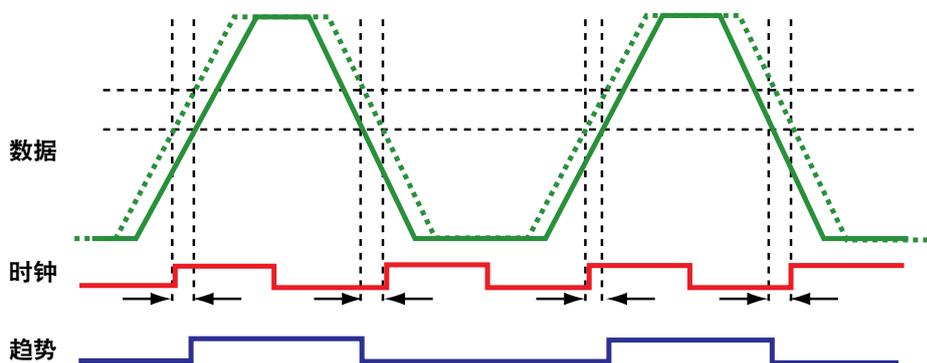
图 6-2. 总的抖动直方图

总抖动（TJ）直方图描述了 TJ 的概率密度函数（Probability Density Function, PDF），于是，如果 DJ 和 RJ 过程是不相关的，则总的 PDF 是 DJ 和 RJ PDF 的卷积。将 DJ 从直方图中除去，就得到一个高斯分布。把 DJ 添加到直方图上，可以展宽分布，而同时能维持高斯分布的尾部不变，这实际上是将左右分布的均值分离开。两个直方图的均值之间的差别就是 DJ，而尾部则代表 RJ 分量。因为 DJ 为有界的，故其数值不会随所测样品数的累积而发生变化。总抖动中的 RJ 分量则随著测量的样品数的累积而不断上升，因为随机抖动是无界的。

### 占空比失真

造成占空比失真（Duty Cycle Distortion，DCD）抖动的主要原因有两个。如果发送器的数据信号输入在理论上是理想的，但发送器的阈值偏离了其理想水平，则发送器的输出将出现随数据信号的边沿切换的回转速率变化而变化的 DCD。

**图 6-3** 中虚线所代表的波形示出了阈值电平被精确地设定为 50%、占空比为 50% 时发送器的理想输出。实线则代表了由于阈值电平发生正向偏移而导致的输出波形的失真。阈值电平产生正向偏移时，相应的发送器输出信号的占空比将小于 50%。若阈值电平产生负向偏移时，那么发送器输出信号的占空比将大于 50%。



**图 6-3. DCD 抖动所造成的时序偏移**

测量相对于软件生成的最佳匹配时钟信号的等效时间间隔（Time Interval Equivalent，TIE），将造成每个数据位的上升沿出现正向时序错误，并使每个数据位的下降沿出现负向的时序错误。相应的 TIE 趋势波形将具有等于数据率的一半的基频分量。TIE 趋势波形相对于数据信号的相位将取决于阈值的偏移是正向还是负向。

当系统中没有其他抖动源时，理论上 DCD 抖动的峰峰值在整个数据信号持续期间都将保持恒定不变。不幸的是，其他的抖动源，如几乎始终会出现的 ISI，使得对 DCD 分量的隔离有时变得非常困难。一种检测 DCD 的技术是用重复的 1-0-1-0... 数据格式来激励系统/元器件。这一技术可消除 ISI 抖动，使得在趋势和频谱波形显示中对 DCD 的观测更为方便。使用抖动频谱显示功能，就可以让 DCD 抖动分量以频率等于数据率一半的频谱“尖刺”的形式显示出来。

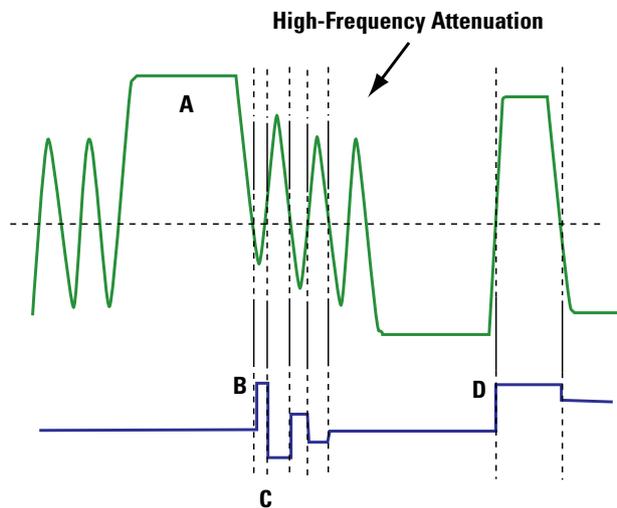
造成 DCD 的另一个原因是上升沿和下降沿速度的不对称性。对于重复性的 1-0-1-0... 格式而言，下降沿速度低于上升沿，将造成大于 50% 的占空比，而上升沿速度低于下降沿速度，则会使占空比小于 50%。

## 码间干扰

码间干扰属于数据信号相关型抖动 (Data-Dependent) 的一种表现形式, 出现在传输介质和/或元件的带宽小于所发送的信号带宽时。从时间域的角度来看, 传输路径的带宽限制会使所发送信号的上升沿的变化速率变慢。对于时钟等周期性信号来说, 信号沿速率的变慢会使信号沿变得圆滑, 因此有可能对信号造成衰减。而对于数据信号来说, 较慢的下降沿速率会影响到实际的 1-0 和 0-1 转换的时序。

不妨考虑 **图 6-4** 所示的波形。在点 “A” 之前出现的 1010 格式具有均匀的数据位的脉冲宽度和切换时间。而点 “A” 处的一系列 1 则会将传输介质充电到一个更高的电压上, 于是, 在点 “B” 处状态切换所需要的时间更长。这一较晚出现的到 0 的切换完成后, 在点 “C” 处会出现一个过早的向 1 的切换, 因为信号还没有时间达到充分的稳态低电平。

**图 6-4. ISI 型与数据格式有关的抖动和反射**



ISI 所造成的抖动取决于所发送的数据格式。如果传输介质的带宽有限, 运行长度更长的数据格式将倾向于有更高的抖动。例如, 在带宽有限的情况下, PRBS-23 (运行长度=23) 的 ISI DJ 将略高于 2PRBS-7 (运行长度=7) 或者 8b/10b (运行长度=5)。

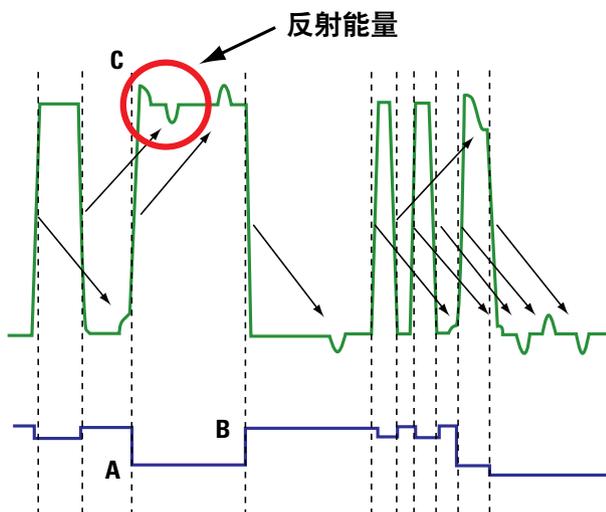
前面有一长串 “1” 的下一个 “0” 位, 其负向的峰值将出现衰减, 其原因有 2。首先, 其前面的一长串 “1” 意味着信号需要花费更长的时间才能切换到一个真正的低电平上, 因为信号是从较高的初始电平开始切换的。其次, 其后续的 “1” 位将使信号在达到稳定的低电平前又转换其变化方向。信号幅值的这一削弱将在下一次向 “1” 的转换时产生一个负的时序错误, 因为信号要达到阈值电平, 只需移动很短的距离即可。这可以在抖动驱动波形上的点 “C” 处看出来。

抖动趋势波形上的点 “D” 显示了正向时序错误, 其产生的原因与造成上面讨论过的点 “B” 处的正时序错误的原因相同。随著一长串 “0” 的出现, 数据信号将有足够的时间充分地达到稳态低电平。当该信号随后转换

为高电平时，它又需要经过较长的切换时间才能达到阈值电平，于是就产生了一个正向的时序错误。

传输路径上的阻抗不连续性和不正确的终接方法所形成的反射也会造成 ISI。阻抗不连续性不仅会造成带宽的减小，而且，如果反射的信号到达发送器或者接收器的时间与一个信号沿到达的时间非常接近，或者与信号沿同时到达，则它们的反射还会影响到切换的时序。图 6-5 中的箭头表示，在高速数据信号中，一个信号沿切换所产生的反射可能要在若干个数据位后才会显现出来。如果发送器或者接收器端在一个边沿的跳变过程中（点“C”）出现反射，则该反射将会以 DDJ 的形式出现在信号的眼图中。

图 6-5. 与数据模式密切相关的 ISI 型抖动与反射



应通过降低阻抗不连续性和将恰当数值的终接放置在尽可能靠近传输线终端的位置的方法来尽可能地降低反射所造成的抖动。带宽限制所造成的抖动可通过选用一种带宽更高的传输介质和/或使用带有发送预加重与/或接收均衡的芯片来解决。

除了带宽限制外，产生 ISI 的常见原因还包括不恰当的终接或者物理介质中的阻抗变化所带来的信号反射。信号反射将使数据信号的幅值产生失真，如图的右边所示。在串行数据模式中，一个脉冲所产生的反射可能只有在经过了若干位信号的传输后才会出现在一个高速的数据信号上出现，这种延迟的长短取决于阻抗突变点之间的物理距离。

## 周期性抖动

周期性抖动（Periodic Jitter, PJ）也称为正弦抖动，它以固定的频率重复。PJ 以一个峰峰值、频率和幅值来定量描述。这种类型的抖动是由与数据流不相关的重复性影响所造成的。两个主要的来源是串扰和开关电源噪声。

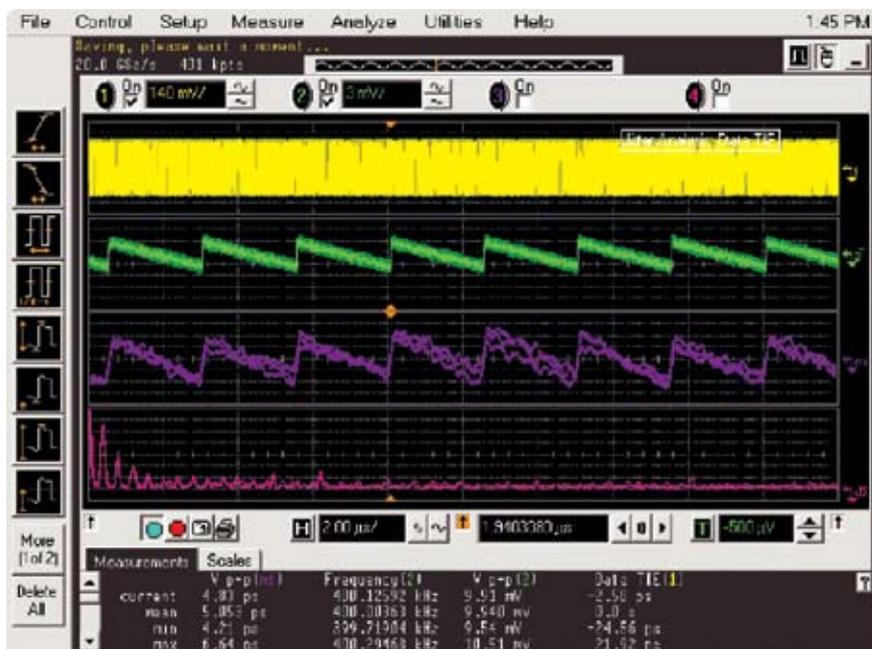


图 6-6. 周期性抖动的实例

许多计算机接口（如 PCI Express 和 Serial ATA）中使用一种特殊类型的 PJ，该 PJ 被称为扩谱时钟（Spread Spectrum Clocking, SSC），以改进接口的 EMI 性能。它采用了数据时钟的调频信号形式。其实际效果是将辐射的能量扩展到更宽的频谱上，从而降低了某个频率上分配的能量。SSC 还可降低器件干扰其他设备的概率。

## 6.2 附加的抖动源

在一个链路中，传输数据和时钟的介质一般是抖动的最大来源。不过，即使对系统进行了精心设计，其他一些影响力较小的抖动源仍然会造成信号抖动。

## 输入电容的影响

输入电容是另一种 ISI 的来源，这种影响与过孔或连接器的电容造成的影响类似。该电容会构成一个低通滤波器，使得边沿速率变慢，抖动上升，从而影响串行或者多点的链路。例如，在 1.5 Gbps 的速率下，当器件被一个  $50\Omega$  的驱动器（如自终接的 LVDS 输出）驱动时，对输入端  $5\text{ pF}$  的电容加载，将在器件的输入端处造成附加的抖动。输入电容所造成的这种抖动与数据模式的类型和数据模式的速度直接相关。

为了通过一个缓冲器来传输零抖动的信号，该缓冲器必须具备少量的均衡能力，以便抵消输入电容引入的抖动。将输入电容保持在尽可能低的水平上，可以保证更低的抖动和更低的眼图噪声和衰减。

## FEXT/ NEXT

远端串扰（Far-End Crosstalk, FEXT）和近端串扰（Near-End Crosstalk, NEXT），会引入邻近信道的数据和/或时钟信号，导致周期性的抖动，引起系统性能的下降。一个产生干扰的信道会使受到侵扰的信道的信噪比（SNR）下降，而 DJ 的量上升。串扰有两种：FEXT，即在信道的远端，串扰噪声被注入到受侵扰的信道中，而被接收器测量到；NEXT，即往来自于相邻的发射极的串扰噪声被注入到接收端，而被接收端测量出来。**图 6-7** 示出了 NEXT 和 FEXT 的情形，前一种情形中，一个邻近的发送器向接收器信道添加串扰噪声；后一种情形中，在远端的邻近发送器施加了串扰噪声，该噪声被信道衰减。

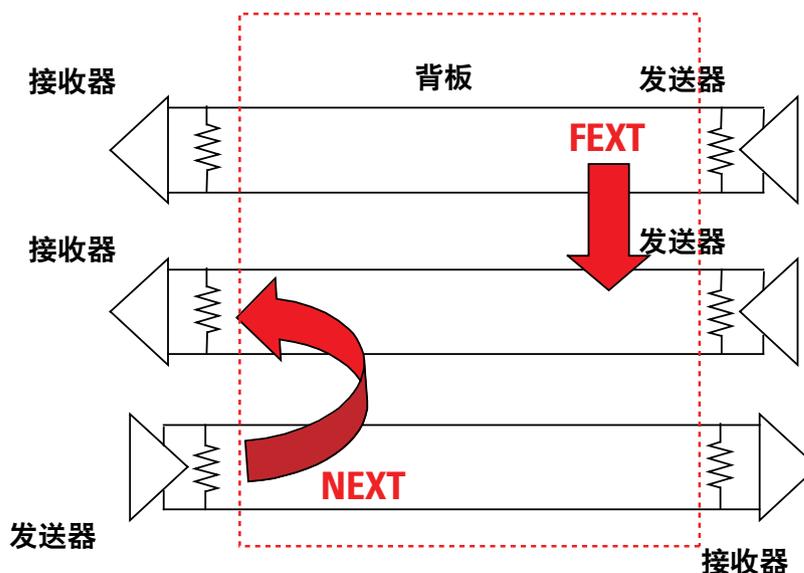
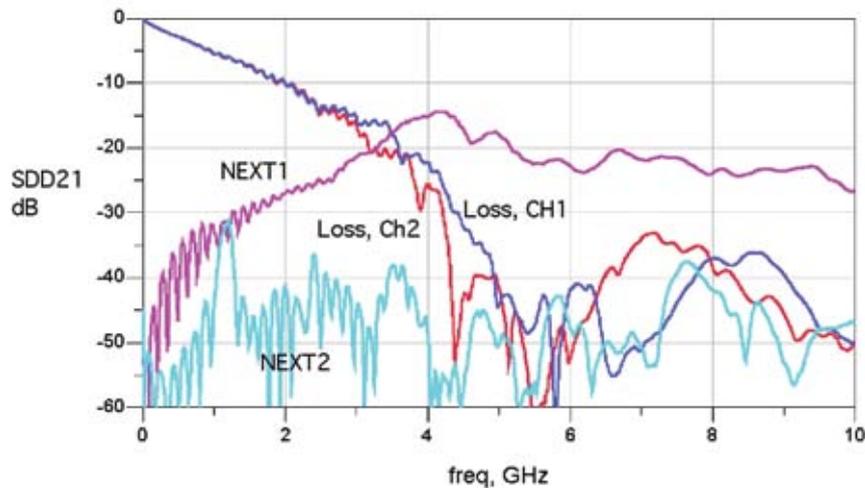


图 6-7. 远端串扰和近端串扰实例

## 容易受串扰影响的系统

随著电路板的组装密度越来越大，元器件之间的间距不断缩小，而连接器上传输的信号频率越来越高，串扰已成为人们日益关心的问题。**图 6-8** 示出了 NEXT 是如何影响一个系统的。在较低的频率下，信道的损耗较低，因此接收端的信噪比很高。随著频率的上升，串扰也相应上升，而由于走线、via、连接器变细，信道中的损耗增大，而其他非理想因素也相应增强。其结果就是接收器的 SNR 下降，抖动上升，接收器处的眼图闭合。



**图 6-8. 背板损耗和串扰 SDD21 特性的实例**

当使用信号调理且存在较高的近端串扰时，可考虑在系统的发送器端使用预加重功能，而不是使用均衡手段，以便在接收器端维持一个更高的 SNR。均衡器会提升输入信号中的高频分量，无论该分量是信号还是串扰。另一方面，对信号进行预加重处理也会提高信道中必须克服的 NEXT 量。良好的电路板布线设计实践可减小系统中的 FEXT 和 NEXT 的数量。

## 位错误率

对于通信等应用，常常必须满足非常严格的误码率 (BER) 要求，例如， $10^{12} \sim 10^{15}$  位中的错误要低于 1 位。总的抖动将决定位错误的大小。因为总的抖动包括了随机抖动，目前能充分保障这样水平的误码率的成熟方法是发送大量的伪随机数据，而且以一种被称为误码率测试 (Bit-Error-Rate Testing, BERT) 的技术来验证每一位数据是否得到正确的传输。对于高的误码率情形进行 BERT 测试，将耗费大量的时间，因此对于日常应用来说没有实用性。相反，工程师们采用眼图、眼图掩膜 (eye mask) 和浴缸曲线 (bathtub curve) 来对信号完整性是否恰当进行验证，从而外推出误码率。

## 6.3 数据模式的相关性和眼图

眼图是对抖动和其他可观察到的接收器眼图特性的一种非常优良的图示手段。借此可以定性观察、测量接收器或者发送器的眼图特性，如上升/下降时间、超调、环振、损耗和过零点抖动。例如，在 FR4 介质上发送相同位运行长度不同的数据模式，将使传输介质的电介质损耗和趋肤损耗所造成的 ISI DJ 的数量相应增加。



图 6-9. 眼图测试系统的框图

如图 6-10 所示，随著数据运行长度的增加，可以观察到抖动量的增长。例如，8b/10b 编码形成的 K28.5 数据模式包括运行长度为 5 的码元和随后的运行长度为 1 的码元，而在一个长度为 7 的伪随机位序列 (PRBS 7) 模式中，在某些点处将出现最大的运行长度为 7 的“1”及其后的 6 个“0”。类似的，一个 PRBS31 将具有 31 个“1”和 30 个“0”。

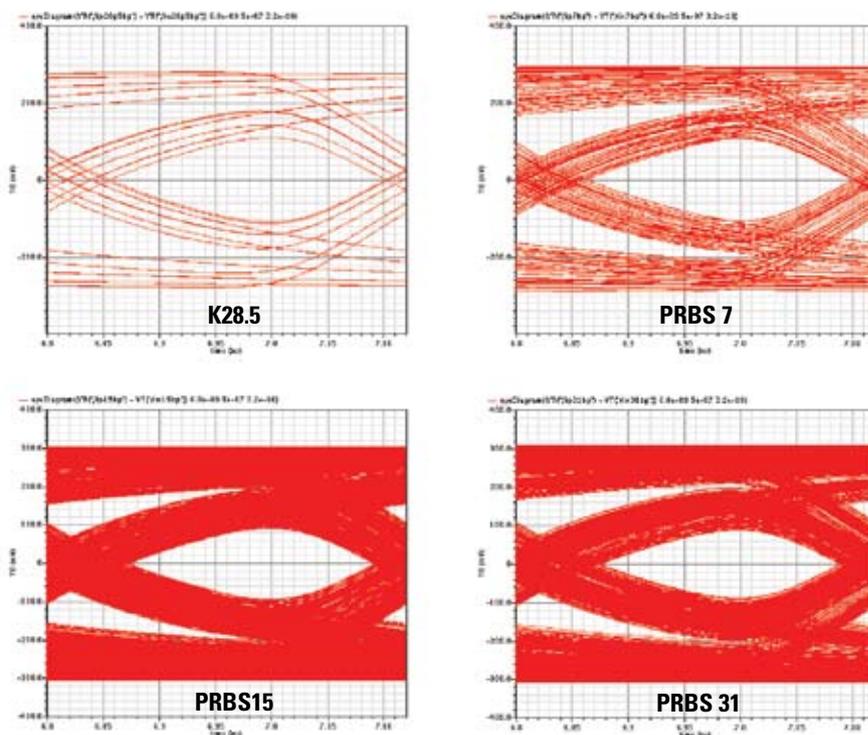
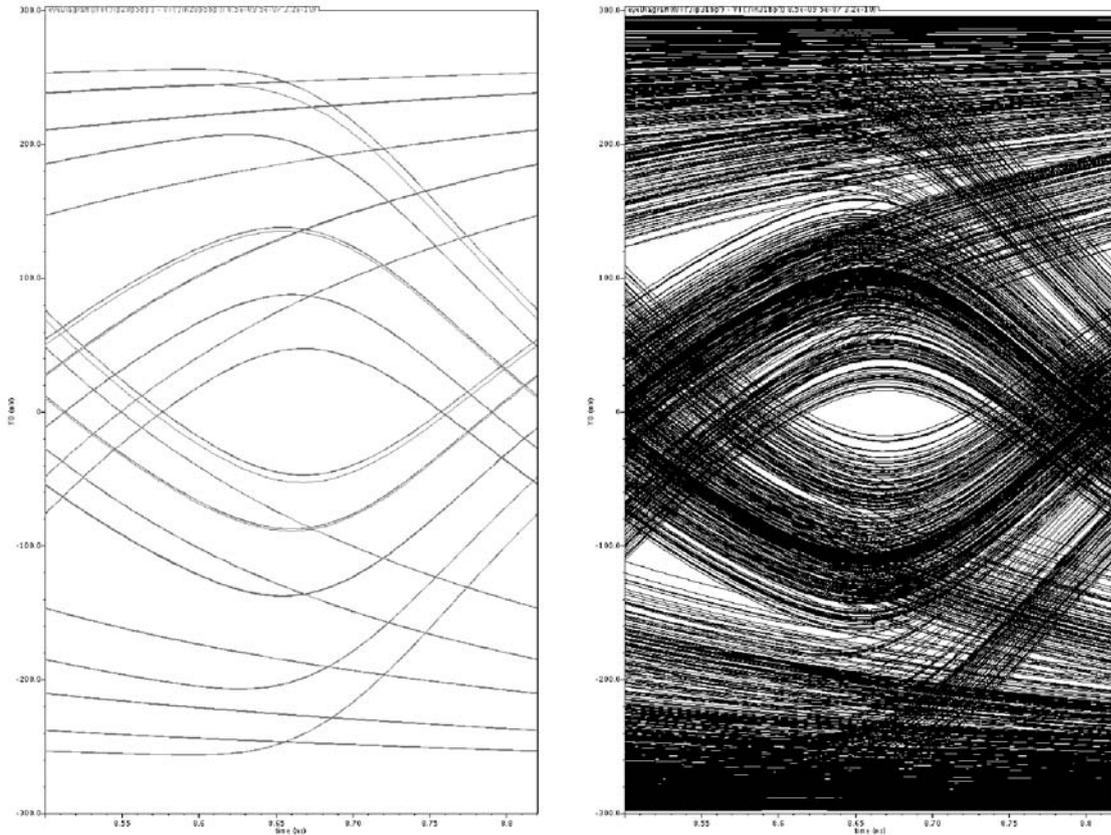


图 6-10. 眼图示例，展示了 DJ 量随著数据模式中的运行长度的增长而不断上升的情况

为了进一步演示性能随运行长度的增加而下降的情况，**图 6-11** 对 K28.5 模式和 PRBS31 模式进行了比较，图中可看到眼图的劣化。K28.5 模式的“1+5”的运行长度较短，对眼图的压缩作用并不像 PRBS31 模式那么强。PRBS31 模式在垂直方向上让眼图又进一步闭合了 60 mV，在水平方向上又闭合了 83 ps。正因如此，许多应用中使用了 8b/10b 模式，以限制“1”和“0”的运行长度。

在观察眼图时，应了解采集绘制眼图用的数据点时所需的时间长短，以确保能捕捉到最差情况下对应的数据运行长度。对于一个 PRBS 31 图样来说，最差情况下的运行长度在每个格式中只重复一次，因此对于一个 3.125 Gbps 的信号，一个 PRBS 31 将重复  $320 \text{ ps} \times 2^{31} = 0.687 \text{ s}$ 。于是为了收集到足够多的样品，以绘制一幅眼图，将花费大量的时间。这也就是人们开发其他的分析眼图的方法（例如浴缸曲线）的原因。



**图 6-11. 在 41 in. 的 FR4 传输介质上传输的 K 28.5 模式（左）与 PRBS 31 模式（右）信号的比较。  
上图表面眼图质量随着模式运行长度的增加而下降**

## 眼图掩膜 (Eye Masks)

与眼图一起使用的眼图掩膜，是在许多标准中用来检查信号是否符合标准的一种有用的工具。眼图掩膜是一个规定的电压和时间窗口，被置于眼睛中时，可以展示应用是否具有足够的电压和时序裕量。InfiniBand、PCIe、SAS、802.3 和其他标准将规定用于光学和电学发送器与接收器的眼图掩膜。

作为一个例子，**图 6-12** 示出了 2.5 Gbps InfiniBand 单数据率接收器的眼图掩膜。必须仔细研究各标准，以了解组成眼图掩膜所需要的样本数量。有些标准针对采样操作作出了定义，即为了确保充分地覆盖各种确定性和随机抖动效应，眼图采样操作应该覆盖的单位区间数量 (UIs)。

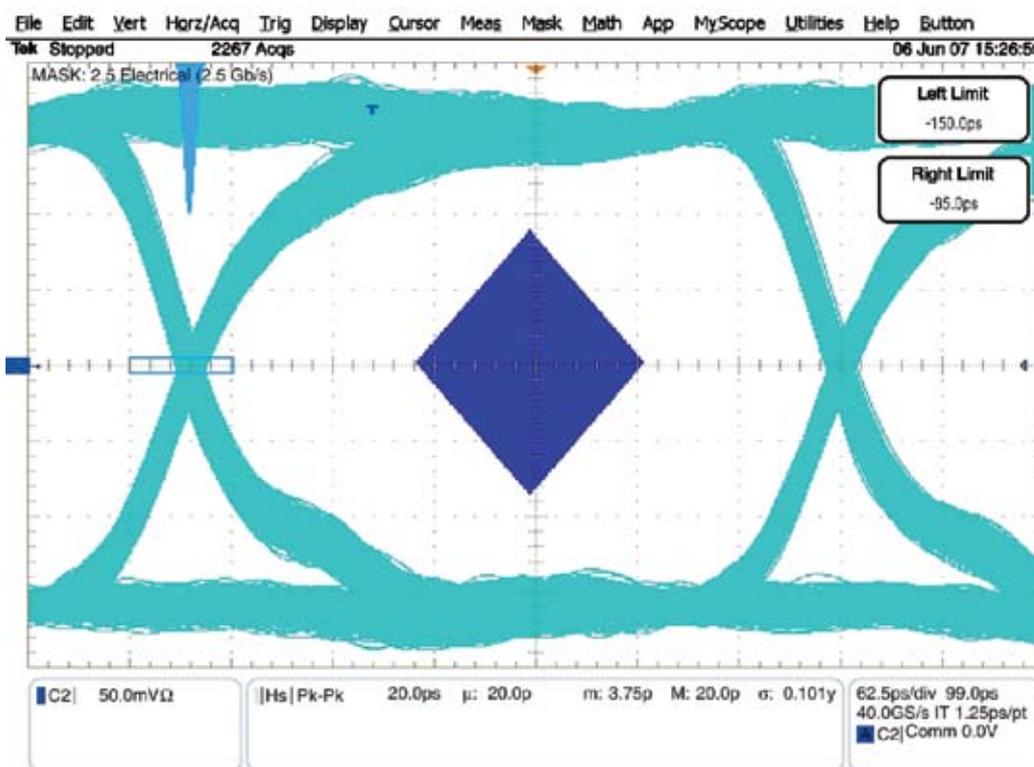


图 6-12. 采用 Infiniband 2.5 Gbps 接收信号眼图掩膜的眼图

## 浴缸曲线和眼图轮廓

另外一种考察眼图的方法是观察一个眼图的轮廓或者浴缸曲线。浴缸曲线有时被称为 BERT 扫描。在考察眼图的 BER 随眼图过零点处跨越眼睛的时间而变化时，浴缸曲线提供了一种图形化的显示手段。文档“T11.2/Project 1316-DT/Rev 2.0” (Fiber Channel-MJSQ) 中对浴缸曲线进行了更为深入的描述。

正如之前关于抖动的章节中曾经讨论过的那样，抖动是高斯型的、无界的，会造成眼图的闭合。浴缸曲线示出了由随机抖动分量所造成的统计 BER 和眼图的闭合。数据模式也会影响到眼睛的闭合，因此为了精确地理解模式和随机抖动的最差情况，需要以充足的时间运行数据模式，以便描述眼图的特性。

为了展示测量数据率为 250 Mbps、达到  $10^{-12}$  水平（位数除以数据率）的眼图的特性所需要花费的时间，可以确定在浴缸曲线的每个数据点上所需要的时间： $\text{BER 时间} = 10^{12} \text{bit} / 250 \text{ Mbps} = 40,000 \text{ s}$ 。于是，为了利用浴缸曲线，大多数工程师会在  $10^{-6} \sim 10^{-9}$  的水平上对眼图进行特性测试，然后将其外推到  $10^{-12}$ 。

眼图轮廓也可展示出与浴缸曲线类似的眼图统计特性，不过它是利用一种更趋三维化的图像来展示在较低的 BER 情况下眼图所发生的情况。这对于确定链路相对于所期望的 BER 时所具备的裕量大小，从而能诊断出问题。

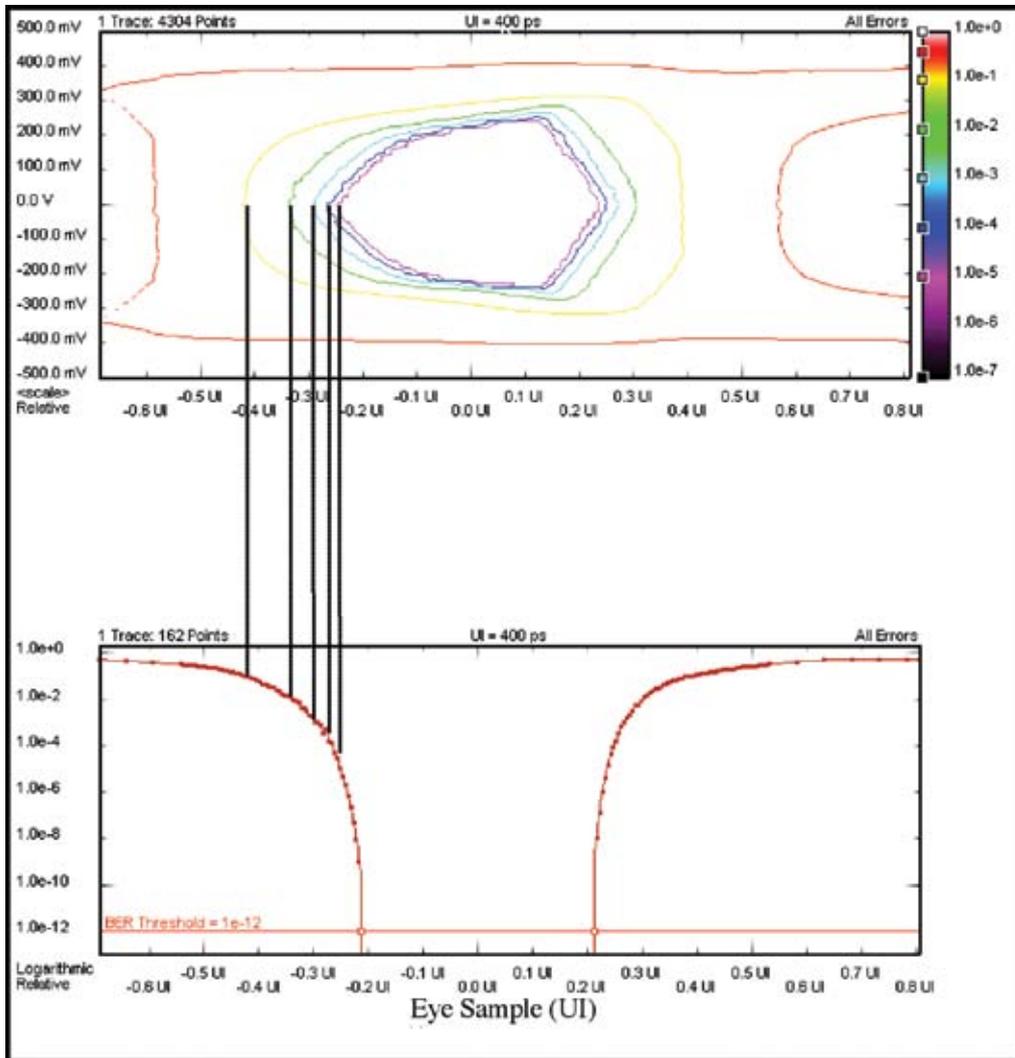


图 6-13. 带有 BER 轮廓的眼图与浴缸曲线间的对应关系

为高速串行数据传输来选择电缆与连接器时，应该考虑所选用的介质对系统性能产生的影响。所选用的阻抗可控的介质（一般）应该有 $100\Omega$ 的差分阻抗。选出一个有匹配阻抗的、合用的连接器也非常必要。下面将讨论这些选择所造成的影响，包括如何补偿介质失真所带来的不利效应。

## 7.1 电缆的物理和电气特性

电路对高速串行连接所造成的主要的致命性影响是损耗。损耗是限制数据率的主要因素。损耗与频率成正比，而随著数据率的上升，电缆将引入更多的损耗。决定损耗高低的物理电缆构造的要素是长度和直径。

表 7-1. 电缆的规格及其对损耗的影响

电缆的规格				
Gauge 线规	英尺 / 欧姆	欧姆 / 100 英尺	直径 (单位: 密耳)	直径 (单位: 毫米)
20	96.2	1.04	32	0.812
22	60.6	1.65	25.3	0.644
24	38.2	2.62	20.1	0.511
26	24	4.16	15.9	0.405
28	15.1	6.62	12.6	0.321
30	9.5	10.5	10	0.255
40	0.93	107	3.1	0.08

表 7-1 列出了不同线径规格 (Gauge) 的电缆、相应的电缆直径和质量。线规数更低的电缆，虽然具有更好的信号质量，却有更大的重量，而且要比线径规格较高的电缆更为昂贵，而且由于存在扭矩，应用起来不那么灵便。为了减小硬度，人们用多股铜绞线电缆来构成低规格数的电缆。图 7-2，是一个典型的 DVI 电缆的实例，其中被切除了一部分，以暴露出单个差分对。该电缆的损耗会随著中心导体的线规变化而不同。

正如图 7-2 所示，差分电缆对被一层屏蔽层包围。质量更高的电缆在每对线周围都使用了屏蔽层，如 PCI-Express、SATA、DVI 和 HDMI 电缆。该屏蔽层是电缆线对上传输信号的本地回流路径。最近的回流路径是一个低阻抗的路径，它有助于限制电缆发射出能量，以降低串扰。该屏蔽层往往由金属箔构成，这对电缆制造商来说是一种有成本效益的好方法。在一束线对的周围还可设置一个外屏蔽层，以便最大限度减小 EMI。外屏蔽层往往采用编织线制作。

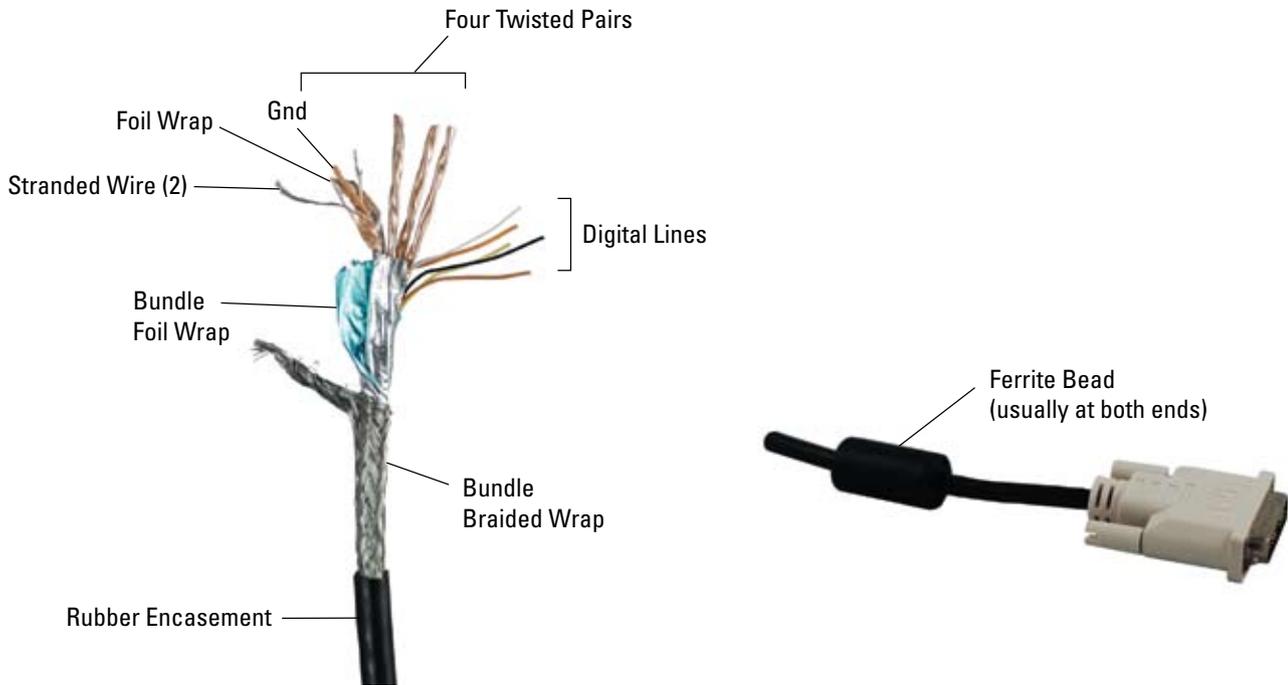


图 7-2. 剥开的 DVI 电缆，其中暴露了多重绝缘层

图 7-2 中示出暴露的 DVI 电缆的单股线对。电缆的损耗将与中心导体的线规有关。

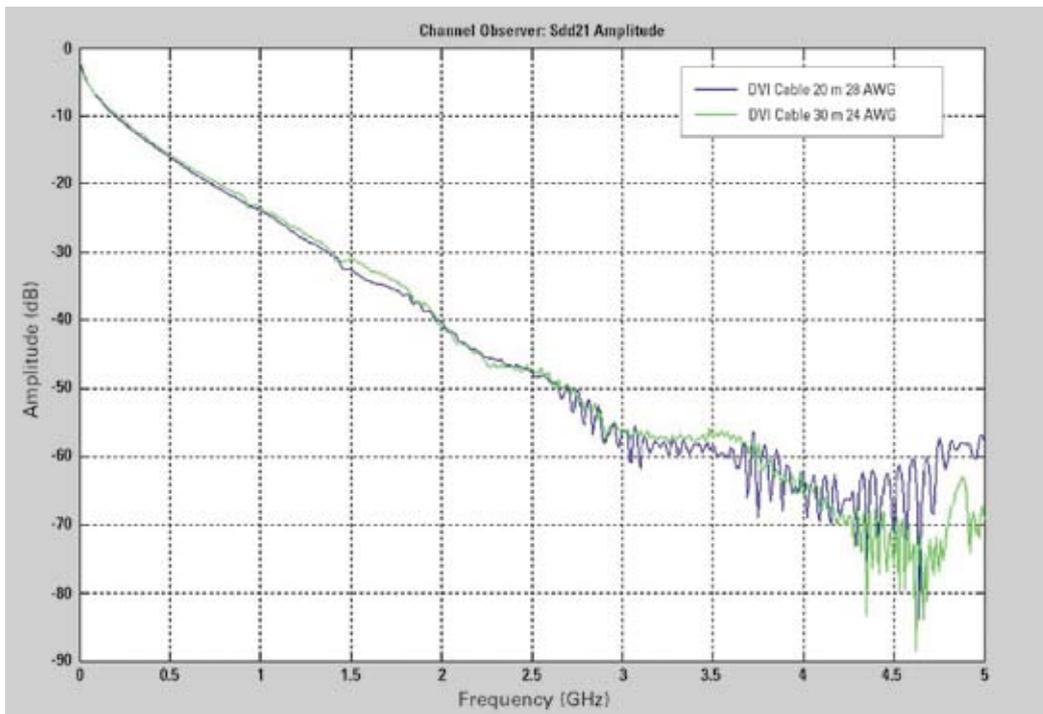
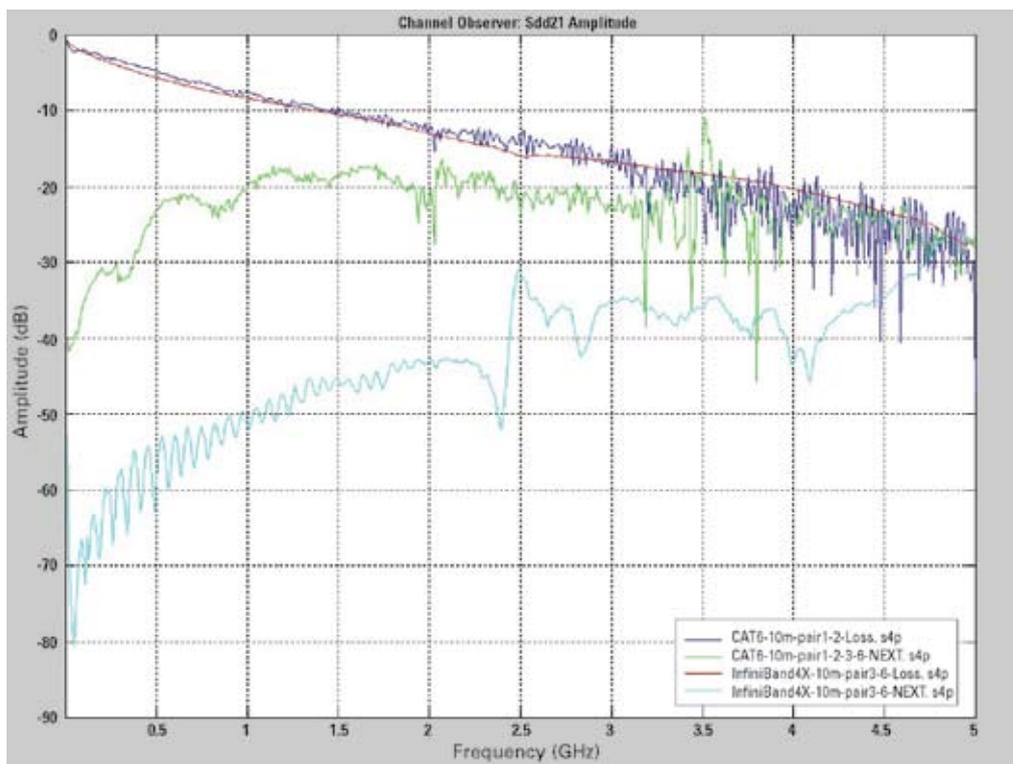


图 7-3. DVI 电缆的损耗 vs 线规

以不同品质的 DVI 电缆为例，可以看出一条 20m 长、28-AWG 的 DVI 电缆的衰减与一条 30m 长、24-AWG DVI 电缆相同。因此，延长一段链路的最简单的方法是使用一条低线规数的中心导体电缆。

在不同的电缆类型间作选择时，应当考虑串扰的影响。如果两条相邻的电缆对之间的串扰过高，则串行链路的信噪比将受到损伤。正如可从 6 类电缆的实例中（**图 7-3**）看到，串扰限制了连接段的可用数据率，使之不超过 1.2 Gbps。与相同长度的 Infiniband 电缆相比，但频率低于 5 GHz 时，其串扰效应始终低于信号损耗 30 dB。



**图 7-4. Infiniband 和 6 类电缆之间在串扰性能方面存在的差异**

低成本的绞合线对电缆在业界得到了广泛应用，它可以支持更高的数据率。每条 CAT-5 电缆可提供 4 条线对，是一种成本效益很好的方法，每英尺约为二十美分。绞合线对电缆的不足之处是偏斜 (skew) 性能。在线对内部和线对间的偏斜普遍存在于绞合线对。对于各一束电缆来说，每一对导线的对绞数都不同，在 100 米长度上其变化幅度可达到 1m。另外，当制造电缆的每个线对时，每对线的长度是不受控制的，这会造成线对内偏斜。而线对内偏斜会给差分模转换带来共模影响，这在较高的频率下会增加信号的损耗。

对偏斜提出了更严格的公差要求的电缆是 PCI-Express、SATA、Infiniband、DVI 和 HDMI 电缆。对于那些所有数据序列都必须在相同的位时钟控制下到达相同的终点，偏斜变得更为重要。电缆制造商正在试验可控制高数据率的应用（如 PCI-Express Generation 2 @ 5 Gbps）中的线对间偏斜的新方法。

在电缆的每一端是连接器。连接器会造成电气的不连续性（阻抗的失配）、串扰和附加的损耗。对于 SATA 等双向的连接段来说，线对间的隔离成为最需要掌握的电缆指标。SATA 连接器通过在每个线对和整个线束周围包敷金属屏蔽层来最大限度地减小串扰和 EMI。这种高速连接器方面的技术经过了长时间的演化，已经从塑料的 RJ-45 进化到了成为分类电缆（category cable），但是考虑到分类电缆的成本效益，有些制造商已经开发了高速的连接器以减小串扰。



**图 7-5. 电缆端口实例—并非所有的电缆端口都适用于高速应用**

信号调理器件可以补偿电缆造成的线性插入损耗。当连接器引入更大的损耗或者一个阻抗失配时，均衡和预加重也不能解决这些附加效应。连接线段的带宽可以通过在介质参数的线性区的工作来确定。

表 7-6. 在选择电缆介质时，由应用驱动的决策

电缆类型	电缆构造	数据率 (Gbps)	典型的市场	线规	典型的介质长度 (米)
双 DVI	6 路数据，1 路时钟， 3 路控制	1.65	消费类数字视频	22, 24, 26, 28	5~30
HDMI	3 路数据，1 路时钟， 3 路控制	1.65	消费量数字视频	24, 26, 28	5~30
扩充 CAT-5	4 路数据	高达 3.125	广阔的市场	26, 28	10
PCI-Express Gen2	X1, X2, X4, X8	5	PC	24, 26, 28	若干英尺，10m
SATA-2	1 组双向数据对	3	存储应用	24, 26	若干英尺，10m

## 7.2 信号调理特性

本节讨论了数据位信号从源出发在各种类型的介质上传输后所受到的各种损害。我们还将采用特定的技术来修补这些信道造成的损害。

### 电缆和 PCB 导线上的介质损耗

最主要的损耗来自点到点之间用于承载数据信号的电缆和 PCB 导线有限的带宽。这些元件可以产生两种不同的类型的损耗机制：趋肤效应损耗和介质损耗。这些与频率有关的损耗对信号的影响不同，因此，针对两种损耗的解决方案也不同。

- 趋肤效应损耗**：趋肤效应使大多数的高频电流在导体的外表面（“皮肤”）流动。于是，导体的有效电阻随著频率的上升而增大。趋肤效应损耗与信号频率的平方根成正比，于是其随频率上升而增大的速率会减缓。
- 电介质损耗**：一路信号沿著一根与其他导体之间通过电介质绝缘的导体行进时，介质材料将吸收一部分信号。介质损耗与信号频率成正比，因此其随频率的变化更为陡峭。

趋肤效应损耗和电介质损耗都会使高频二进制信号的边沿变化速率变慢，其基本机制同样是引入码间干扰 (ISI)，码间干扰使单个位信号的宽度扩展，延伸到多个位周期上。不过，它们对数据位（码元）的影响确实与上述的情形不同。另外，趋肤效应损耗是电缆中的主要损耗机制，而电介质损耗是 PCB 中的主要损耗机制。于是，必须针对不同的介质类型采用不同的补偿机制。

要解决和补偿这种 ISI 有两种策略。第一种是使用更好的、损耗更低的介质，其次是使用信号调理 IC 来对信号补偿。介质的选用常常受到如下因素的限制：材料成本，安装成本，对现有安装手段进行升级以便支持更高数据率传输时所必须满足的要求。通过使用信号调理手段和运用预（去）加重及均衡 (EQ) 技术，可以实现更高的性能。

上述两种重要的信号调理技术能以定制化的调节机制来修正信号，用以消除由于传输介质的影响而造成的损耗。许多信号调理器件能在单片 IC 中同时提供两种技术 (EQ 和 PE/DE)，如美国国家半导体的 DS25BR110 和 DS16EV5110，这两块信号调理芯片具有各种先进的功能特性，可以完成对传输介质损耗的补偿。

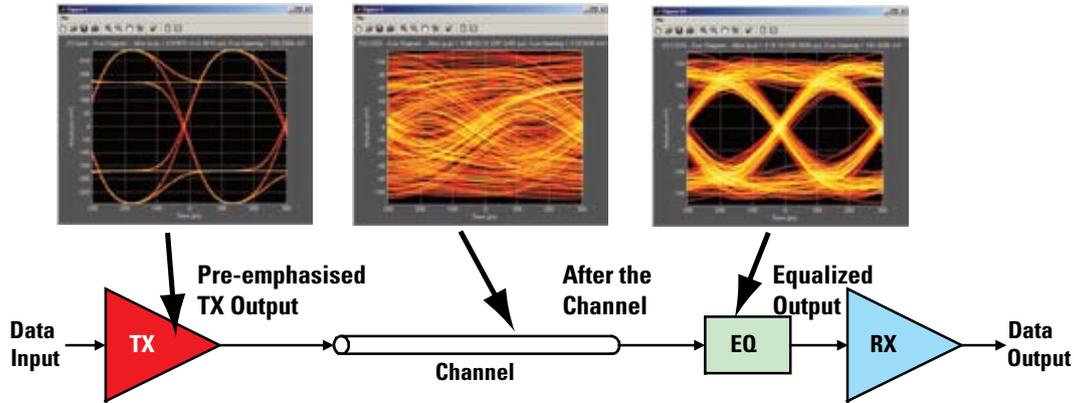
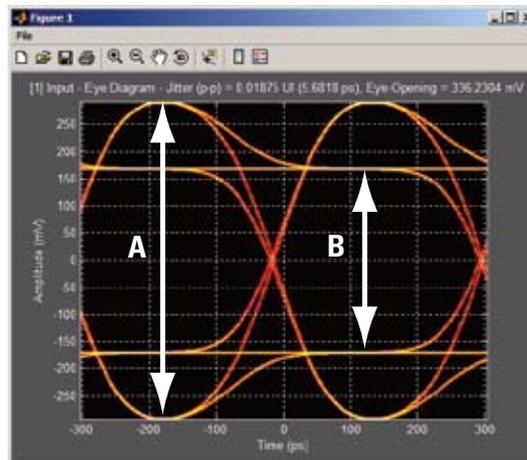


图 7-7. 经过和未经过预加重/均衡处理的信号

### 预加重和去加重驱动器

预加重 (Pre-Emphasis, PE) 和去加重 (De-Emphasis, DE) 技术是通过向发送端的数据信号施加具有频率选择性的衰减作用来解决损耗问题的方法。传输介质的损耗会造成信号沿变化速率的降低, 从而导致 ISI。为了补偿这一问题, 预加重和去加重驱动器提升了波形中边沿区 (高频分量) 相对于平坦区 (低频分量) 的能量水平。于是, 传输介质和 PE/DE 驱动器组合影响后的总的频率响应在整个频谱上是相对平坦的, 这就可以保证电缆末端眼图的张开 (参见图 7-7)。



$$PE = 20 \times \log_{10}(A/B): \text{发送 } V_{OD} = B$$

$$DE = 20 \times \log_{10}(B/A): \text{发送 } V_{OD} = A$$

图 7-8. 信号中的差分部分得到了调制

预加重或者去加重往往以峰峰信号幅值 (A) 与峰峰稳态幅值 (B) 来表示。

于是，预加重和去加重之间的区别，就是施加频率补偿的方式。在预加重中，通过在每个边沿施加过冲来增强信号沿能量。而在去加重过程中，信号沿保持不变，但稳态的幅值受到了衰减。

表 7-9. 预加重和去加重的区别

衡量标准	预加重	去加重
典型的信号技术	LVDS	CML
输出峰峰值	以 PE 比的倍数增大	与无 DE 时相同
功耗	更高	相同
典型的测量值	正分贝数 (+3 dB)	负 dB (-3 dB)
接收端眼图张开程度	与无 PE 时相同	减小，倍数为 DE 比

预加重和去加重的宽度可以两种方式来确定：通过模拟的时间常数或者与数据宽度相关的延迟块（通常从数字时钟信号中导出）。在大多数并不尝试去精确地恢复时序信息（时钟）的信号调理 IC 中，预加重和去加重宽度被大致限制在半个位宽度到整个位宽度的范围内。

### 均衡

均衡在接收端操作，其机理是有选择性地提升高频数据，从而对介质的高频滚降速率进行补偿。均衡器电路利用一个 RLC 网络来实现一个高通滤波器，其频率响应（理想地）恰好与欲补偿的传输介质的频率响应相反。

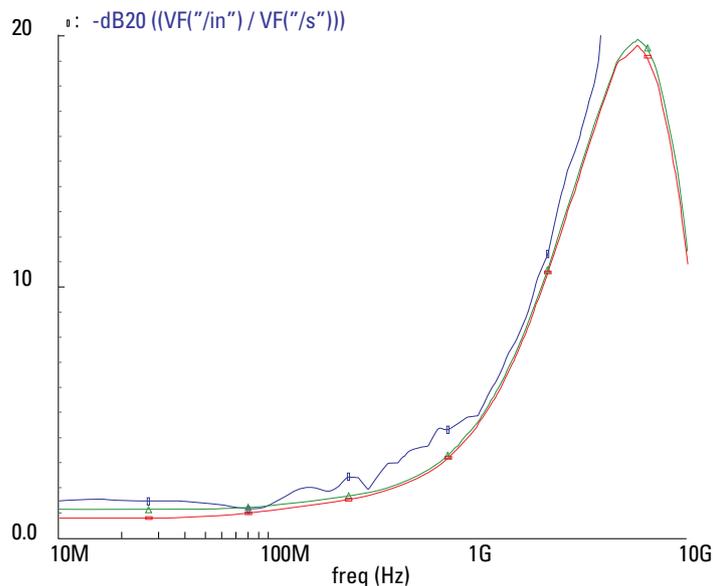


图 7-10. 逆信道响应（蓝线）和匹配均衡器响应（绿线）

## 两种类型的均衡器电路

这两种类型的均衡器电路还可以被划分为两大类：无源电路和有源电路。无源电路是依靠衰减低频分量来工作的。而有源电路则是设法放大高频分量，因此需要电源供电以实现放大。有源均衡器还可进一步划分为 3 类—固定式、可调式和自适应式。

### 无源电路：Power-Saver 均衡器

美国国家半导体提供的节电型（Power-saver）均衡器（如，DS38EP100、DS80EP100）是一类独具特色的解决方案，它们可对传输数据率极高的信号电缆和背板导线进行处理，而无需连接任何电源，也不会消耗任何直流功率。这些节电型均衡器可实现若干新的应用，例如均衡的背板和均衡的电缆/连接器。

Power-saver 均衡器仅使用了片上电阻、电感和电容，通过衰减低频分量来实现其功能。由此，这些均衡器适用于所有信号技术（LVDS、CML 和 LVPECL）。接收端的波形类似于用去加重驱动器所得到的波形，即接收器可看到一个张开的眼图，但其幅值变小。

Power-saver 均衡器提供了若干优势：

- 器件布局灵活—可放置在数据通道上的任何位置（例如，在背板上的数据通道的中部）
- 双向—数据可向任何一个方向流动
- 完全线性—多个 Power-saver 均衡器可级联起来，还可再串接一个有源均衡器，以恢复信号电平

### 有源均衡器

有源均衡器，正如其名称所表示的那样，是利用有源晶体管对高频信号进行增益放大，而不衰减低频信号分量。这种方案更适合信号幅值较低的场合，例如，去加重驱动器或者无 PE 的 LVDS 驱动器。此外，大多数有源均衡器也可容忍高输入幅值。在均衡器芯片内部，有若干增益放大级，用于让信号“按平方律上升”，从而将其完全恢复到最大幅值（**图 7-11**）。这种对信号的恢复是一个非线性的过程，因此有源均衡器不能背对背地级联起来。

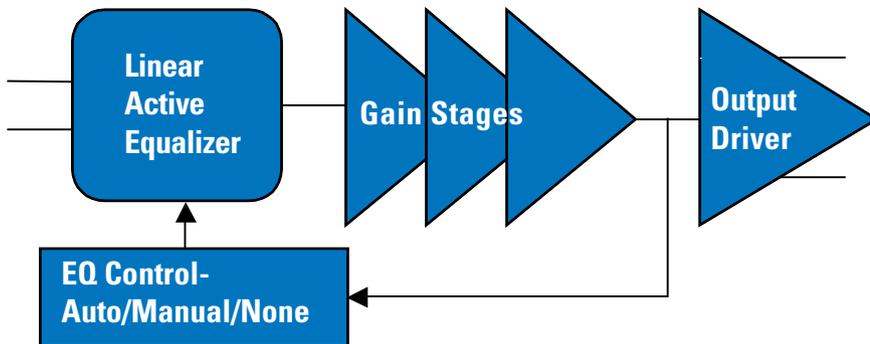


图 7-11. 有源均衡器架构

由于均衡器很少会有理想的特性，故始终会残余一定的 ISI。这一残余的 ISI 会造成输出的抖动，被称为残余确定性抖动。设计良好的均衡器可将输入信号的抖动降低到  $0.2UI$ 。一个单位间隔等于一个码元以所期望的数据率传输时所对应的时间周期。

### 固定均衡器

固定均衡器用于对固定不变的、长度预先确定的电缆进行均衡处理，保证数据率最高能达到某个特定值。固定均衡器可提供一个预先设定的均衡曲线，常常被用在固定的、具体的频率上来提供一定量的增益（以 dB 为单位进行测量）。

这些均衡器的输出抖动是针对某个固定信道进行优化的，而如果该信道相对于均衡器所针对的基准信道过长或过短的话，则性能会出现下降。固定均衡器应该在传输信道被充分了解而且不再变化的情况下使用。

### 可调均衡器容许用户进行性能的调控

当传输信道的长度随著系统的不同而变化，以及当均衡性能必须不随数据率而变化时，可调均衡器就是一种有用的方法。这些均衡器可以让系统的设计者对均衡电路进行一定的调控，而可调均衡器（以及固定均衡器）都在很大程度上与实际在其上传输的数据信号的模式无关。

要设定器件满足多个预先定义的均衡曲线中的一种，则可以通过器件上的 CMOS 引脚（如 DS25BR100）或者通过串行总线（如 DS64EV400 所用的 SMBus）来完成。这使单个均衡器芯片即可完成对多种不同长度的传输介质（电缆或者导线）的均衡处理，而不会像使用固定均衡器时出现的抖动性能的降低。然而，系统的设计者必须基于信道损耗对正确的均衡曲线进行设定/编程。

### 自适应均衡器

自适应均衡器使用了某种内部的算法，以力图独立地和自动地确定对与之相连的介质所需的最佳的均衡强度。这种算法常常需要对电缆的类型、数据率和数据模式（如 8b/10b）有充分的了解。于是，自适应的均衡器可以为有限的传输介质类型、数据率参数和数据模式的组合服务。当介质长度出现显著的变化而不能被系统设计者所很好地限定时，就必须采用自适应的均衡器。美国国家半导体的 LMH0344、LMH0034 和 DS15EA101 都是非常先进的自适应均衡器的实例，它们可在同轴电缆和 CAT-5 电缆的长度变化的情况下自动实现均衡。

## 串扰

正如以前在 FEXT/NEXT 一节所讨论过的那样，串扰是指人们不希望出现的、某个信号源到所需的数据编码传输的耦合现象。串扰一般出现在多个数据流以物理上接近的路径传输并发生相互耦合（通过 EMI）的情形中。在电缆中，串扰是在电缆中有并排若干条导体的结果。在连接器中，串扰是由于连接器的物理设计所造成的。

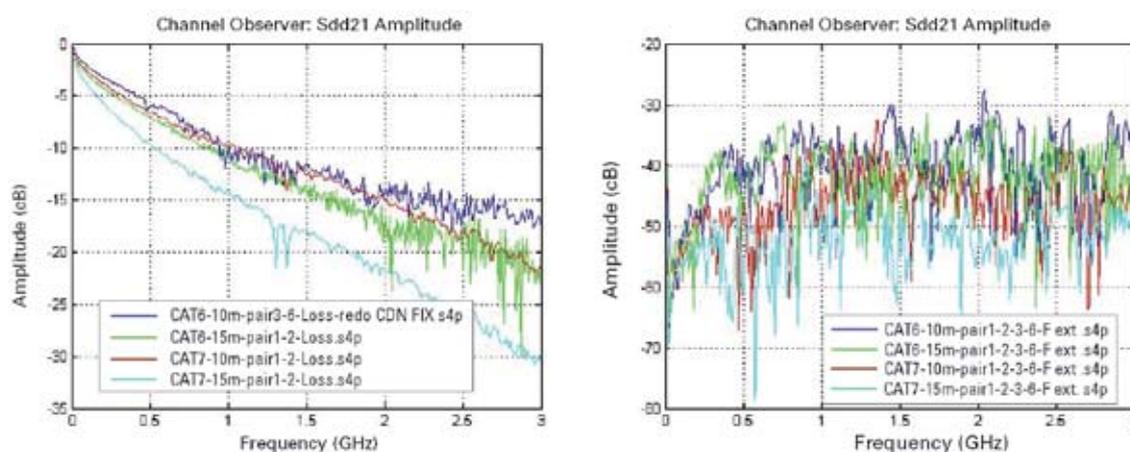


图 7-12. 在不同的传输介质中所观察到的串扰

在较高的数据率下，串扰变得很显著，而且，在相同的电缆或连接器中传输多路数据信号时，常常是限制因素。正如由图 7-12 所见，在 3 GHz 处，串扰几乎等于所接收的信号。当数据在同一根电缆上以两个方向传输时，或者通过同一连接器上传输时，串扰的影响尤为恶劣。在这种情形中，接收信号受到电缆的衰减，但近端串扰耦合则达到了最强的水平。

要对串扰进行补偿，就必须掌握复杂的 DSP 技术并充分了解干扰信号。在较高的数据率下对串扰进行修正则更为困难，此时复杂的 DSP 实际上无法实现。串扰也无法通过均衡来纠正。事实上，线性的均衡反而会在增强所需信号的同时增强了高频串扰。

于是，解决串扰的最佳策略，就是设法防止其出现。系统设计者应当使用尽可能缓慢的信号沿速率。这可限制高频分量的能量，同时降低串扰。但是，太慢的信号沿速率会使 ISI 上升，从而使所期望的信号被衰减。其间的折中取舍必须谨慎。一般而言，信号沿变化速率应当不低于位周期的 1/3。系统设计者应当选用那些导线对有单独屏蔽的电缆，而且使用高性能、低串扰的连接器。

## 反射

反射是发送的高频、边沿尖锐的信号通过信道中的阻抗不连续点时出现的现象。在一个具有良好终接、无阻抗不连续点的信道中，信号从发送器出发，经过传输后完全为接收器所吸收。如果终接方法合适（理想情况），将不会出现反射。但是，如果信号遇到不连续点，则其中的一部分将被反射回去，向著信号源方向传播。

例如，如果信号源的端阻抗不能与负载实现很好的匹配，则信号将被反射回来，回到发送器端。接收器将收到同一信号的多个版本，这些版本经过了多次衰减。由此造成的多路信号到达接收器，将会造成 ISI。这些不连续点通常是连接器、PC 板过孔和不当的终接电阻所造成的。另一个反射源是集成电路所存在的严重的回波损耗，这可能是由于存在大电容（也可参考“输入电容的影响”一节，53 页）或者高速 I/O 引脚上采用了不恰当的终接方法造成的。

线性均衡器不能预测信号通路上不连续点的可能位置。另外，信道较长时，反射到接收器所花费的时间相对较长。若不使用 DSP 技术，要将反射的信号与所希望的信号区分开来是很困难的。因此，没有一种高速均衡器可以补偿反射。

与串扰类似的是，解决反射的最佳方法是使用性能更高的连接器和采用高频设计方法。系统设计者应仔细地审核所用电路的回波损耗和输入电容性能指标。一般来说，在数据率上的回波损耗应当优于 -10 dB，而输入电容应低于 2 pF。美国国家半导体提供了若干种可满足这些要求的信号调理 IC，例如，DS25BR100 系列和 DS64EV400。最后，降低信号沿变化速率也可以显著减小反射，如图 7-13 所示。

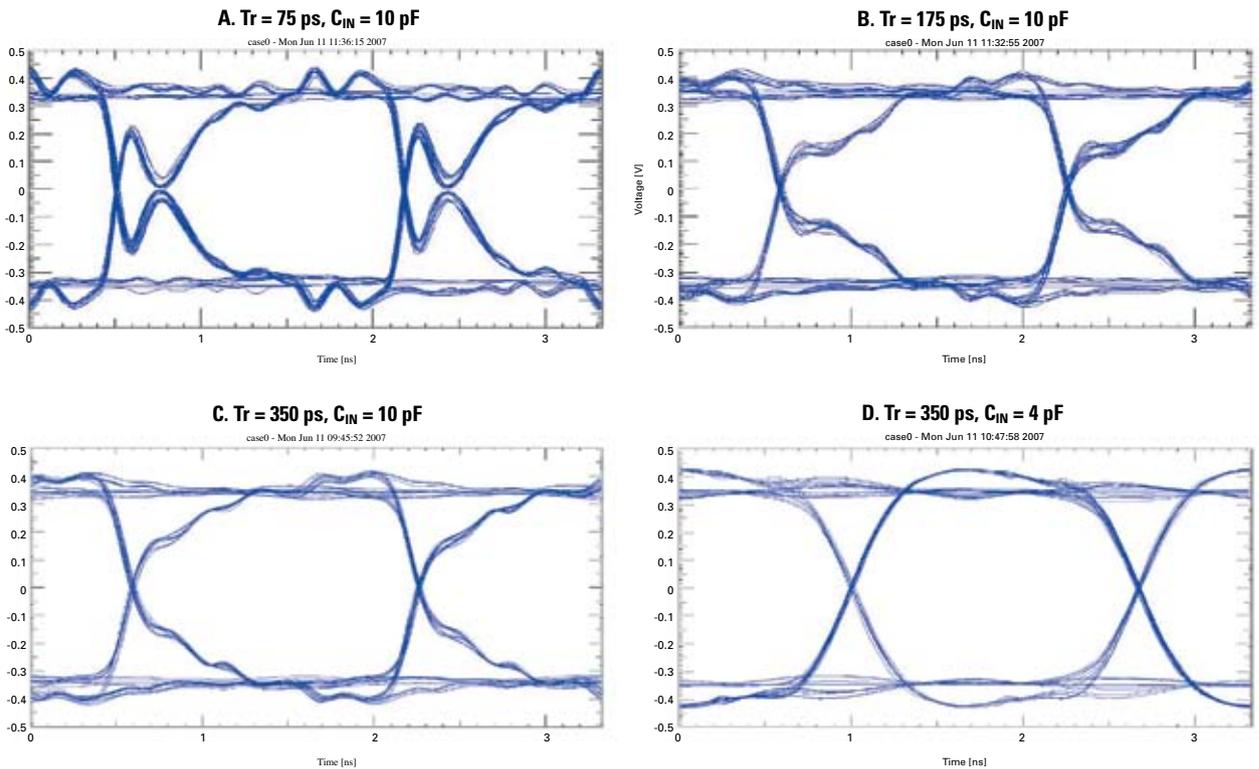


图 7-13. 信号沿变化速率对接收器输入端眼图的影响。数据率 = 600 Mbps。波形基于 IBIS 模型仿真获得

## 7.3 同时使用预/去加重和均衡器

预/去加重 (PE/DE) 和均衡器都试图通过在驱动器使用 PE/DE 而在接收端使用 EQ 来纠正 ISI 问题。如果驱动端和接收端都能由系统设计者来定义的话, 则在同一条接收链中可同时使用 PE/DE 和 EQ 来提高性能。不过, 还应当考虑若干方面的问题, 包括 PE/DE 驱动器的特性、传输介质以及接收器均衡器的特性。

这些系统参数都必须保持匹配。出现失配会导致残余的确定性抖动的上升。其次, 系统设计者必须了解额外出现的反射和串扰。一个 PE/DE 驱动器可以引入频率更高的能量, 而这会造成串扰、反射和电磁辐射。这些高频现象随后将被接收器的均衡器放大。最后, 预加重需要驱动器提高其功率。

因此, 最佳的策略就是首先进行最大限度的接收均衡处理, 如果这还不够, 就开始提高预加重的水平。美国国家半导体的 DS25BR100/110/120/150 系列缓冲器可以帮助突破这些束缚。所述的这些芯片都采用了 PE 和 EQ 功能的某种组合, 这些功能可同时应用在某个系统中。

## 7.4 随机噪声

随机噪声是电子的随机性以及电子携带信息沿著电通道传播时克服的随机性的障碍所造成的。所有电气元器件都会出现某种程度的随机噪声, 最终将转换为噪声电压, 并在数据信号沿上形成随机抖动 (Random Jitter, RJ)。真正的随机噪声通常在本质上属于高斯分布, 因此是以均方根值或峰峰值来衡量的。后一种测量值与误码率 (Bit Error Rate, BER) 有著本质的联系。

随机噪声/抖动是无法预测的, 因此不能通过均衡来补偿。

随机抖动来源可划分为 3 类主要的系统元件: 驱动器抖动, 信道抖动和接收器抖动。驱动器抖动由馈给驱动器的时钟源的纯度以及驱动器的随机噪声本身所决定。经过良好设计的驱动器子系统将展现小于  $0.1 U_{I_{p,p}}$  的时序抖动。传输介质信道往往是无源的, 因此本身不会显著增加 RJ。接收器均衡器必须增强被信道所衰减的信号。在放大过程中, 噪声也得到了增强, 因此 RJ 将会上升。一个设计出色的均衡器将展现出低于  $0.2 U_{I_{p,p}}$  的 RJ。

值得重申的是: 接收均衡器并不能减小随机噪声/抖动。在 DJ 被减小的同时, 均衡器会使 RJ 上升。为了更好地减小随机抖动, 美国国家半导体制造出了采用先进双极型工艺和电路技术的均衡器。

随机时序抖动的最大来源往往是时钟发生器 (PLL) 以及数据通道上的时钟与数据恢复 (Data Recovery, CDR) 部分。**图 7-14** 示出了时序抖动的不同本质特徵。请注意, 时钟噪声影响了水平 (时间) 方向上的眼图张开度, 而不会影响到眼图在垂直 (幅值) 方向上的张开度。

## 7.5 重定时接收器（重定时器）

为了解决随机抖动（RJ）、串扰、反射和残余确定性抖动（DJ）问题，系统设计者必须采用一类不同的信号调理器件，即重定时器（re-clocker）。重定时器检查输入的数据信号，让内部的本地时钟源与接收器数据模式对准。一旦实现了精确的对准，则重定时器就利用这一通常称之为恢复时钟的时钟信号来重新对输入数据采样。该过程和相关的电路构成了 CDR 系统的核心。

采样（或者说重锁定或重定时）的方法是：在眼图开口的中心点对输入数据信号进行选通测量（strob ing），并以二进制数记录其结果。如此的选通测量电路的输出既没有幅值抖动，也没有时序抖动。在实践中，内部的时钟源具有时序抖动，该抖动带来一定的残余 RJ。另外，存在若干种 DJ 和 RJ 的情况下，时钟恢复电路无法与输入的数据对准。由于采样过程的原因，一个部分张开的输入眼图可能会在输出端变换为一个干净的眼图，但是该眼图会有位错误。

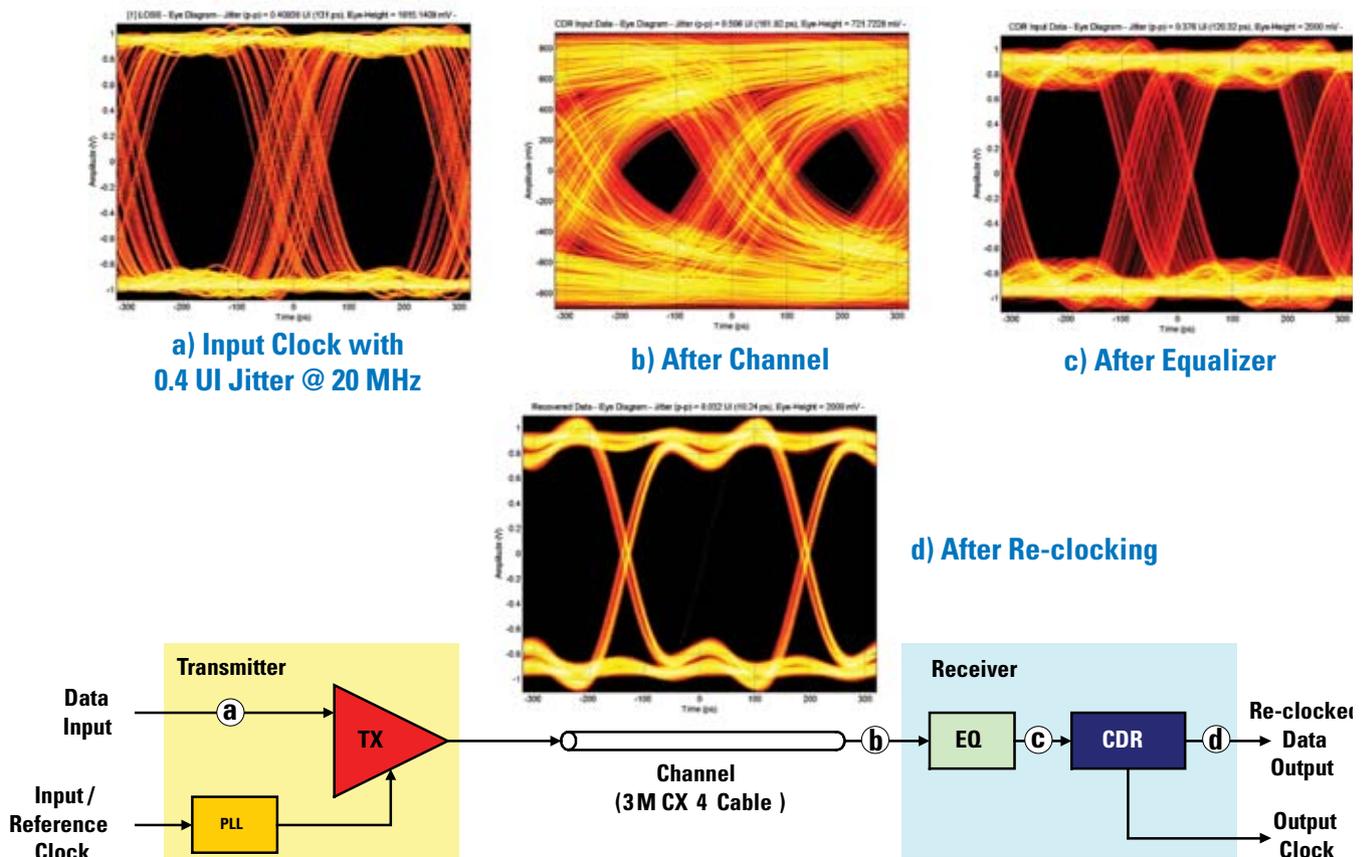


图 7-14. 利用均衡和重定时实现数据的恢复

于是系统设计者必须依靠误码率测试 (BERT) 来确保系统的运行不会发生错误。在不会引入位错误的情况下，一个 CDR 系统可容忍的输入信号的抖动量被称为输入抖动容忍度 (Input Jitter Tolerance, IJT)。最新的重定时器，如美国国家半导体的 LMH0346，可以在出现高达 0.6UI 抖动的情况下将数据恢复出来。

信道的 ISI 所引入的抖动常常要超出最好的 CDR 的处理能力。于是，在大多数应用中，在重定时器之前往往要接入一个经过均衡的接收器或者一个经过预加重的驱动器。

## 7.6 误码率和抖动 (随机的和确定性的)

抖动的类型有两种——随机性 (RJ) 和确定性 (DJ)。DJ 是一种有界量，是可以预测的。而 RJ 则是一个随机量，一般来说满足高斯分布，其均值为 0， $\sigma$  在数据表中均以均方根 (rms) 秒为单位来表示。必须基于系统的误码率要求来精心限定 RJ。假定其满足高斯分布，则为了达到  $1e-12$  的 BER，系统设计者必须容许  $14\sigma$  范围内的随机抖动。

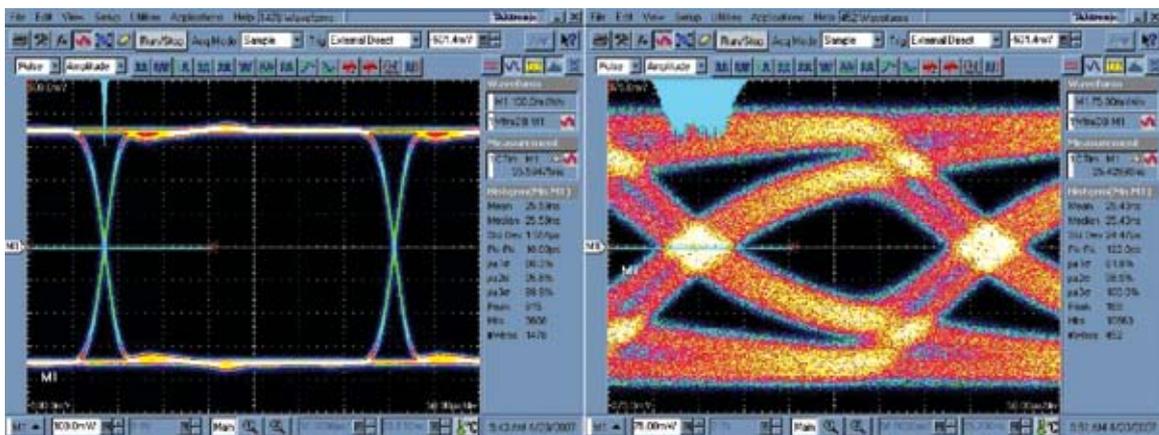
类似的，要实现  $1e-15$  的 BER，必须为  $16\sigma$  的抖动做好准备。另外，如果存在多个抖动源，所有 RJ 源必须以 rms 形式相加，而 DJ 源必须以线性方式相加，如 **数式 (7-15)** 所示。总的抖动必须小于下游的重定时器或者 SerDes 的处理能力，即其 IJT 指标。

**数式 (7-15)** 所有的抖动源相加，以求出总的抖动值：

$$\text{总抖动 (TJ)} = N\sigma \times \sqrt{RJ_1^2 + \dots + RJ_n^2} + DJ_1 + \dots + DJ_n < \text{IJT (接收器)}$$

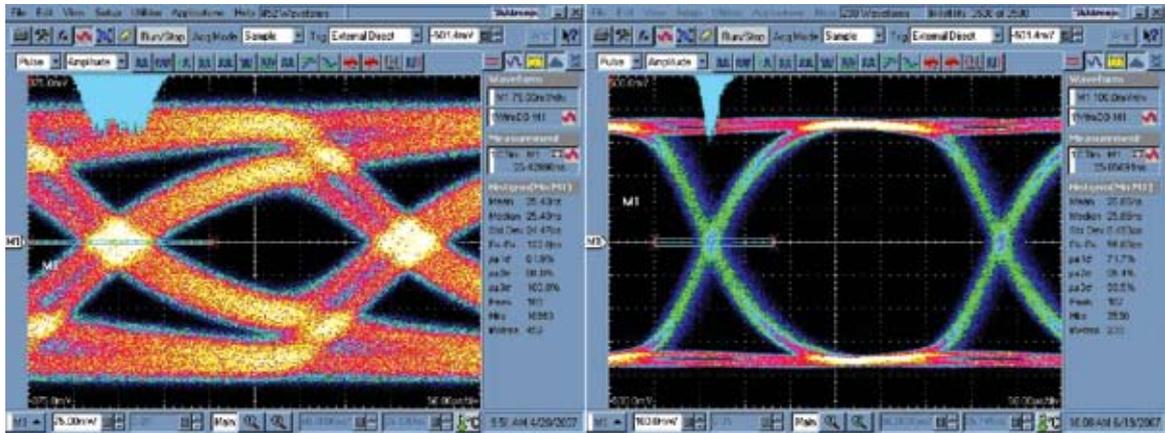
### 通过均衡对无损介质进行补偿

为了图示各种信号调理功能的效果，可以检查流过无损介质后的信号的眼图。当一个具有伪随机数据模式的快速信号流过长 PCB 导线或电缆时，可轻松地观察到其在衰减与带宽方面的极限。其结果就是一个在水平和垂直方向上都闭合的眼图，如 **图 7-15** 所示。



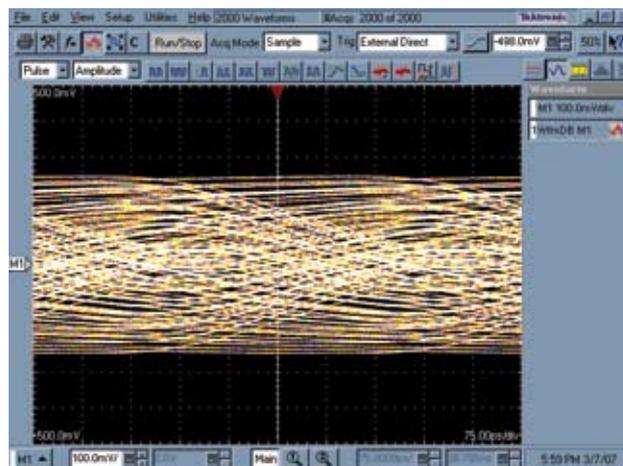
**图 7-15.** 由发生器产生的 3.125 Gbps 伪随机 LVDS 信号未经过介质 (左)、直接在示波器上显示的结果，以及同一路信号在 28 英寸 FR 导线上传输后在示波器上显示的结果 (右)

为了保证与一条特定的、有损的、与器件的输入相连的传输线的匹配性，设计了输入均衡电路。经过均衡处理的输入试图补偿传输介质在整个互连系统中所引入的交流损耗。**图 7-16** 示出了信号流过 28 英寸 FR4 导线之前和之后的情况，此时器件配置了输入均衡。该 28 英寸导线在 3.125 Gbps 时具有约 8 dB 的损耗。均衡器的增益选择为接近导线的 8 dB 损耗的倒数，在我们的实例中，该增益值为 7.5 dB。



**图 7-16. 3.125 Gbps NRZ PRBS-7 信号流经 28 英寸差分FR4带状线后未经（左）和经过均衡器装置（右）后的信号品质比较（垂直：125 mV/div.，水平：50 ps/div.）**

均衡器可以将电缆介质的长度延伸值数百米。一个应用实例可采用长的 DVI、CAT-5 或者类似的电缆类型来作为传输介质的情形。接下来，**图 7-17** 和 **7-18** 对未经和经过均衡处理的 200m Belden 电缆的传输性能进行了比较。



**图 7-17. 一个 1.5 Gbps 的 NRZ PRBS-7 信号在 200m Belden 9914 电缆上传输后的结果。（未经修正，示波器：垂直：100 mV/Div.，水平：H：100 ps/Div.）**

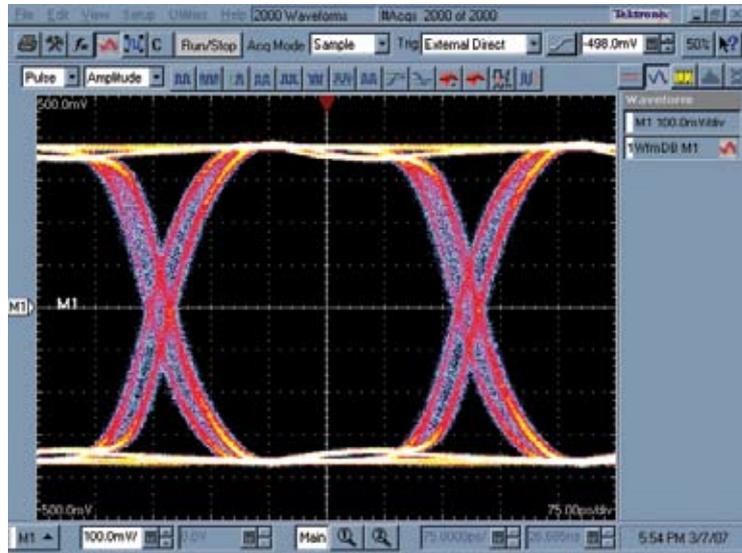


图 7-18. 一路在 200m Belden 9914 电路上传输后又经过均衡处理的 1.5 Gbps NRZ PRBS-7 信号  
(示波器：垂直：100 mV/Div.，水平：H：100 ps/Div.)

### 预加重的眼图

输出预加重通过在输出信号的上升沿和下降沿引入短时间的增强，来延展被驱动介质的长度。预加重器件往往具有若干个设定值，可提升相对于初始的驱动器输出水平的预加重水平。图 7-19 示出了一路示例信号流经 28” FR4 导线前后的情况。

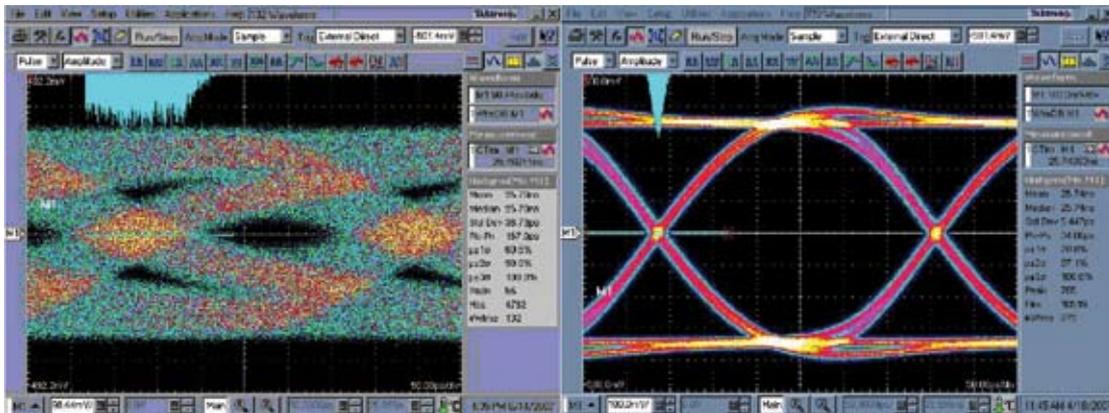


图 7-19. 28 英寸的导线在无预加重的输出（左）和经过 6 dB 的预加重处理的输出（右）信号驱动下，输出端的信号品质对比。

## PE/EQ 的组合

由于预加重和均衡分别可将 FR4 带状线的传输距离扩展到 30 英寸和 40 英寸，我们现在可以用一对发送—接收器件来将该介质的传输长度扩展到 70 英寸或 80 英寸。

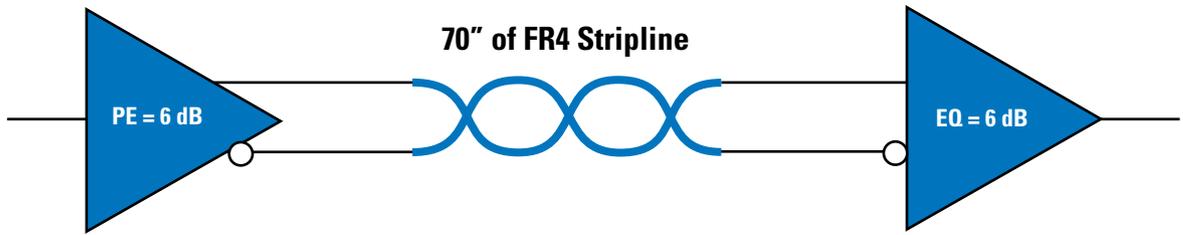


图 7-20. 输出预加重器件设定为 6 dB PE，驱动一根 70 英寸的导线，导线接到设定为 -6 dB EQ 的输入均衡器件上

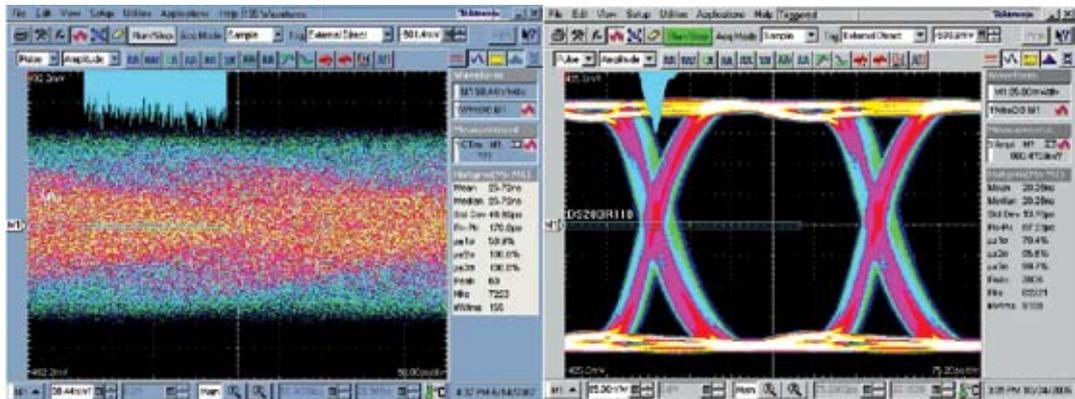


图 7-21. 70 英寸的 FR4 导线在 0 dB 预加重（左）和 70 英寸导线在受到 6 dB 预加重并接到一个 6 dB 输入均衡（右）的情形。（在 2.5 Gbps 的数据率下测量）



高速接口设计的复杂性，已经使建模几乎成为一个必不可少的设计手段。人们已可方便地利用简单、精确的模型来设计高性能接口的仿真工具。在设计流程的早期，仿真有助于人们大致了解设计中的各种挑战及潜在的不足。在这一阶段，使用的方便性和快速获取结果要比保证绝对精度显得更为重要。在后面的阶段，随着设计越来越具体，仿真手段必须能精确地表徵实际系统的性能。

## 8.1 输入/输出缓冲信息规范

输入/输出缓冲信息规范（Input/output Buffer Information Specification，IBIS）文件已经成为建立快速、精确的行为模型仿真的基本要素。

IBIS 模型满足了四个关键的性能指标

- 模型都得到了标准化，半导体厂商可以轻而易举地生成相应的模型，而无需暴露专有的厂商 IP。
- IBIS 模型可谓精确，而且是在 SPICE、实验台测试结果或者同时在两者基础上形成的。
- 许多模拟电路仿真器和电子设计自动化（EDA）工具都支持 IBIS 模型。
- IBIS 行为模型在仿真时没有收敛的问题，可以快速获得精确的结果。

IBIS 是一项经过批准的工业标准，被称为 *ANSI/EIA-656-A*，得到半导体和 EDA 厂商的广泛支持。一个 IBIS 行为模型包含了表徵缓冲输入和输出的 I-V 和 V-T 数据，以 ASC-II 文本格式呈现。这些数据，连同标准所需要的附加信息，被用来对器件的模拟 I/O 行为特性进行建模。IBIS 文件包含了典型值、最大值、最小值方面的数据，可以对典型的和最差情况下的性能进行建模。

IBIS 标准 1.0 版本最初于 1993 年发布。目前的版本是 4.2，保持了后向兼容性。该标准最初针对单端技术开发，对差分信号是提供差分引脚映射来进行处理的。差分对被分裂为反相和非反相引脚，而相应的仿真工具清楚该端对是差分对。然而，器件的 IBIS 文件是将器件视为单端型器件的条件下而针对每个引脚提取的。新的 IBIS 版本（4.2）还容许 IBIS 模型包含和使用其他的仿真器语言（例如 SPICE）。这一新的规范有助于建立非线性的信号调理手段（如均衡和预加重）方面的模型。

IBIS 规范种提供了各种不同的模型类型。一些实例是：“输入”、“输入/输出”、“3 态输出”。

## 8.2 IBIS 的行为框图

图 8-1 示出了典型的接收器的“输入”IBIS 模型结构。封装的 RLC 值由  $R_{pkg}$ 、 $L_{pkg}$  和  $C_{pkg}$  表示。输入电容 ( $C_{IN}$ ) 是  $C_{comp}$  值，而器件的 ESD 模型则由  $Power\_Clamp$  和  $GND\_Clamp$  定义。

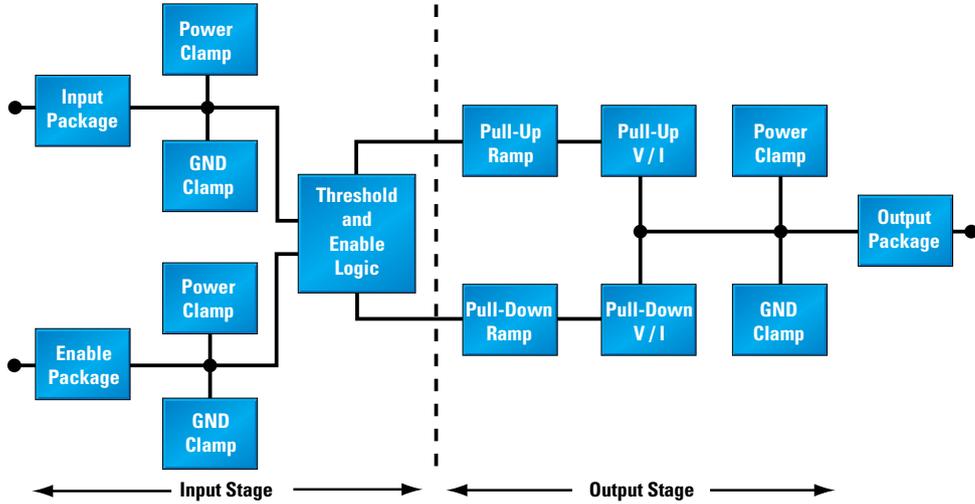


图 8-1. 输入/输出缓冲信息规范

### 8.3 3 态输出模型

在 3 态输出模型中，输出可以被置于高阻状态、低电平态和高电平态。高阻抗条件下的 I-V 数据是电源钳位（power-clamp）和接地钳位（ground-clamp）数据。电源—和地—钳位曲线定义了输出模型的 ESD 结构，其行为方式与对输入的钳位相同。器件的驱动用 3 个参数，来表征高、低态。规范针对高/低驱动强度提供了一条 V-I 曲线，而利用一个上升速率项来描述每个上升和下降沿的回转速率，并用一个上升/下降波形值来描述瞬态的输出条件。

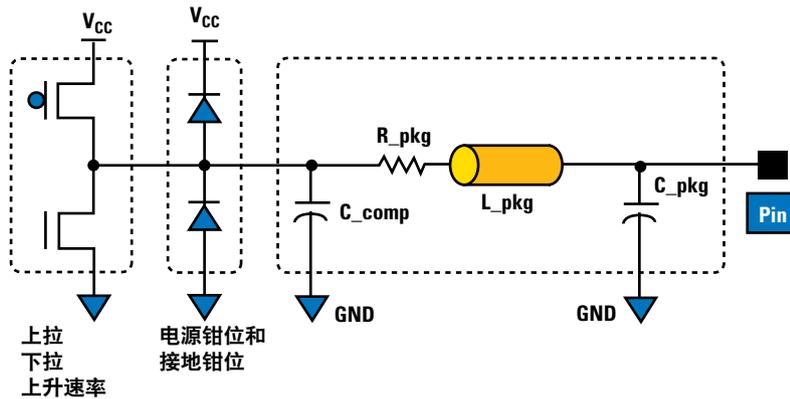


图 8-2. IBIS 3 态输出结构模型—包含了封装的特性和 ESD 结构，并使用了与输入模型相同的表示。

## 8.4 IBIS 模型的生成

一个 IBIS 可由实验室测试结果、SPICE 仿真数据或者在两者组合的基础上生成。虽然台面测试可以获取半导体器件的实际性能，但这种方法仍然有几个缺点。首先，要利用台面测试结果来逼近过程的拐点非常困难，其次，须按照 IBIS 的要求将封装的特性区分开来是很困难的。

在美国国家半导体公司内，IBIS 文件是利用最精确的 SPICE 网表来生成的，包括了典型值、最大值和最小值。典型值是在标称的  $V_{CC}$ 、室温和正常的工艺条件下获得的性能参数。最小值是弱的处理条件、高温和最低的  $V_{CC}$  条件下获得的。最大值则是在强的调节条件、较低的温度和最高的  $V_{CC}$  下获取的。用 SPICE 产生的模型则可通过将 V-I 曲线和数据值与器件的实际性能在台面测试环境下进行对比而获得的。在发布之前，模型还要经过语法和检验器的校验，然后再在美国国家半导体的网站上发布。

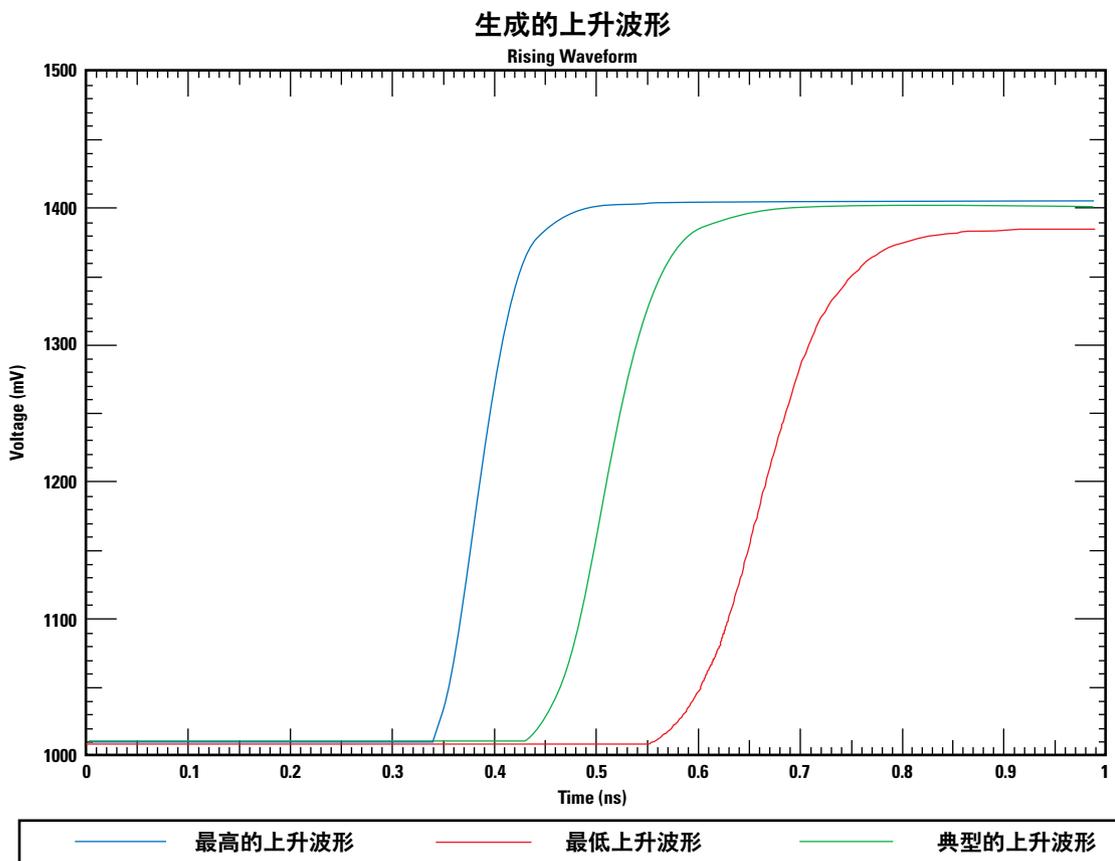


图 8-3. 一个 LVDS 器件的 IBIS 模型的典型回转率曲线

IBIS 模型的一个局限性在于：其信号调理功能特性，如预加重，并未得到很好的支持。对于那些需要这些功能特性的仿真来说，可能需要一个更复杂的模型，如 SPICE（在这一章节的后续部分讨论）。

## 8.5 散射参数（S参数）

S 参数是在通信系统中用来定义和表徵线性网络的电特性的一种特性参数。S 参数是小信号条件下网络对稳态激励的响应特性的描述。

IBIS 模型为有源 IC 提供了简单而精确的模型，而 S 参数则用于对无源互连的建模。驱动器和接收器之间的互连可能只是一个简单的 FR4 导线，它也可能是复杂的互连结构，涉及多个连接器、不同的传输介质、过孔等结构。

与 IBIS 模型一样，S 参数的优点在于其是工业标准的数据格式，相应的生成过程简单明了，而且可以实现快速而精确的信号完整性分析。在 S 参数模型中，无论互连的复杂程度如何，任何节点的行为都可以基于任何其他节点上的激励来预测。

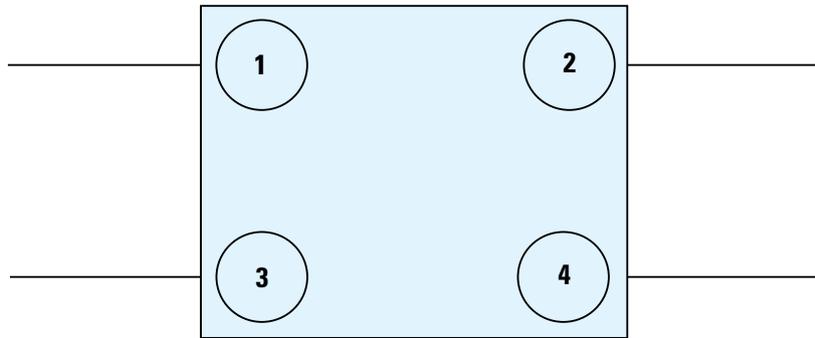


图 8-4. 典型的 4 端口 S 参数模型

S 参数遵从一定的命名规则，使用两个下标，第一个数位表示 S 参数描述该特定节点处的行为特性，而第二个下标则是指激励所施加的位置。例如  $S_{21}$  将表示节点 2 在节点 1 处施加的激励作用下出现的响应特性。这种在两个节点之间的互作用可以矩阵形式来记录，在上述的情况下是一个  $4 \times 4$  的矩阵。在图 8-4 所示的 4 端口模型中，对节点 1 的激励的响应可描述如下：

- $S_{11}$  反射—该参数描述了被网络反射回节点 1 的能量。
- $S_{21}$  插入损耗—该参数表明了信号从节点 1 传输到节点 2 时在网络中的损耗量。
- $S_{31}$  近端串扰
- $S_{41}$  远端串扰

S 参数以 dB 为单位，以频率为自变量绘制成曲线形式，如表 8-5 所见；dB 值则是用如下公式计算得到： $\text{dB} = -20 \log_{10}(\text{接收到的信号}/\text{发送信号})$ 。由于 S 参数是用来定义无源网络特性，我们可以假设最高的取值为 0 dB，即没有信号衰减。30% 的衰减则对应着 -3 dB，50% 的衰减为 -6 dB，依此类推。

表 8-5. S 参数描绘了 dB 数值随频率的变化

归一化的信号	强度 (dB)
1	0.0
0.7	-3.1
0.5	-6.0
0.25	-12.0
0.1	-20.0
0.05	-26.0
0.001	-60.0

在图 8-6 的示例中， $S_{21}$ （插入损耗）保持相对平坦，直到约 1 GHz 的频率点，然而损耗出现迅速而显著地上升到 10 GHz 处的约 -25 dB。这是信号跨越源到接收器之间的典型有损传输介质时的情况。 $S_{11}$ （反射损耗）约为 -35 dB，表明在整个网络上阻抗的一致性得到保证。 $S_{31}$  和  $S_{41}$ （近端和远端串扰）则都低于 -50 dB，这说明串扰很小。

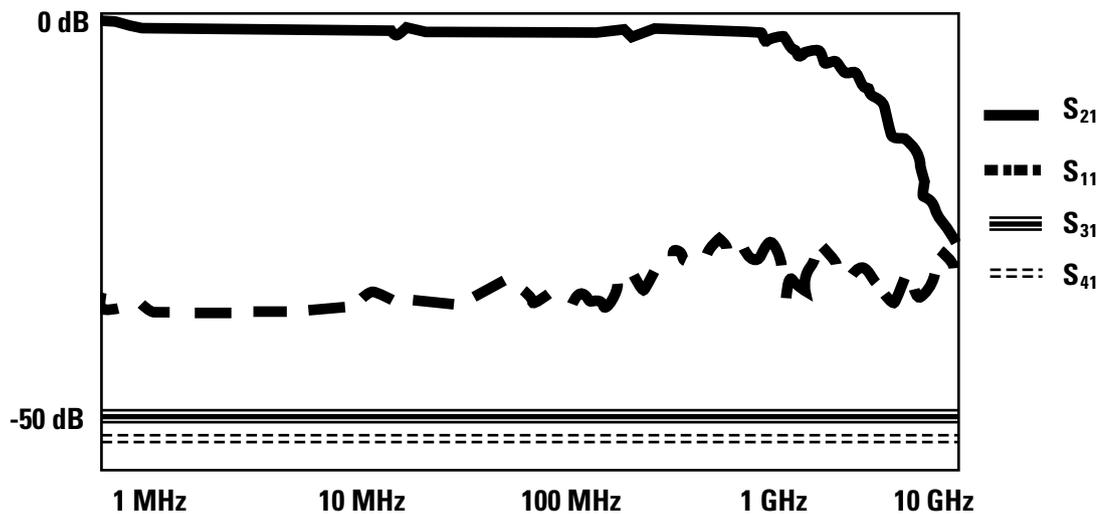


图 8-6. 一个假想网络在节点 1 处施加激励时的变化情况示例

S 参数模型可以对任意数量的端口来构建，不过，在这里的讨论中，我们最感兴趣的是单向的、点到点的信号传输。虽然，在这个示例中有 4 个端口，而如果只考虑差分对的传输线相对对方的变化而不是相对于地的变化，则该模型可以简化为一个 2 端口模型。对于这一简化的单向模型来说，最感兴趣的两个参数是代表反射系数的  $S_{11}$  和代表插入损耗的  $S_{21}$ 。

## 8.6 SPICE模型

集成电路仿真程序（SPICE）是一种应用十分广泛的 IC 建模工具，为业界所使用的历史长达 30 年。SPICE 可用于对种类繁多的无源和有源电路元件进行建模，在直流、交流和瞬态等不同的激励条件下进行仿真。简而言之，SPICE 可以将网络以一组复杂的方程进行描述，从而在给定的初始条件和输入激励下，精确地预测电路的行为。

SPICE 使用一种循环迭代的方式来求解大量方程构成的方程组，其仿真时间会很长，有时也会无法收敛。人们可获得的计算能力的急剧增长以及更完善的电路模型已经使这些限制因素不那么令人头疼，而 SPICE 现在能够精确地对规模非常大而复杂的模拟网络进行建模。

虽然 SPICE 为模拟电路元件提供了出色的模型，但 IBIS 模型的来源却更为广泛。这是因为 SPICE 模型可能会包含厂商专有的 IP，因此往往无法提供，或者只能在防扩散备忘录（NDA）下提供。厂商所提供的 SPICE 模型常常是简化的版本，只能提供大致相当的行为，但经过了修改，以保护其敏感的 IP。SPICE 仿真也更为复杂，所花费的时间可能会大大长于使用 IBIS 的仿真，后者常常因为能够实现快速和相对精确的仿真而更受青睐。如果需要出色的精度，则 SPICE 是首选的工具。

## 9.1 工具简介

WEBENCH 在线工具可以让设计者快速生成基于美国国家半导体的器件、在不同条件下的信号完整性仿真。用户可选择电缆的类型和长度，然后利用不同的器件、数据模式和预加重/去加重或均衡设置来进行试验。WEBENCH 工具的实时响应让用户能在很短的时间内对所模拟的设计进行优化。

## 9.2 互连的设计和接口的选择

设计者常常在系统的物理接口的选择上面临挑战，例如，数据或者时钟信号必须借助恰当的接口驱动器/接收器，必要时还辅以信号调理手段，以在一定长度的电路上发送数据或时钟信号。WEBENCH 工具使用户能够确定每个参数，从而提供眼图和抖动测量，作为接口解决方案的定性衡量手段。不同的器件和信号调理设置可以任意替换，直到找到最佳条件为止。

## 9.3 WEBENCH 在线工具的使用

### 接口产品搜寻模块

The screenshot shows the 'NEW! WEBENCH Interface' for the Product Finder. It contains the following fields and options:

NEW! WEBENCH Interface		
Device Function	Mux-Buffer	help
Min Data Rate	4000 Mbps	help
Input Type	All	help
Number of Inputs	1	help
Output Type	All	help
Number of Outputs	1	help
Supply Voltage:	<input checked="" type="radio"/> 3.3V or less <input type="radio"/> 5V	help
<b>→ RECOMMENDED PARTS</b>		

图 9-1. Product Finder 界面

欲使用 WEBENCH 工具，请访问“national.com/CHS/lvds”，并使用 product finder 来获取可用于该应用的候选产品列表。在选出所需功能和最低的数据率后，点击“recommended parts”，则下一页中将出现符合要求的器件列表。

The screenshot displays the WEBENCH interface for finding a Mux-Buffer. It includes a progress bar with three steps: 1. Choose a Part, 2. Create a Design, and 3. Analyze a Design. Below this, a table lists 'Required Parameters' for the design.

Required Parameters	
Device Function	Mux-Buffer
Data Rate >=	4000 Mbps
Input Type	All
Number of Inputs	1
Output Type	All
Number of Outputs	1

Below the parameters, a 'Recommended Parts' section shows a table of search results. A note indicates that attributes in red (like '24 Hour Samples') mean the product is not a direct match. A 'CREATE A DESIGN' button is visible at the bottom right of the results area.

Part Number	Pkg	Function	Payload per Channel (Mbps)	Total Throughput (Mbps)	Supply Voltage	Number of Inputs	Input Compatibility	Number of Outputs	Output Compatibility	Select
DS40MB200		Mux-Buffer	4000	4000	3.3	6	LVDS/LVPECL/CML	6	CML	
DS42MB200		Mux-Buffer	4250	4250	3.3	6	LVDS/LVPECL/CML	6	CML	
DS42MB100		Mux-Buffer	4250	4250	3.3	6	LVDS/LVPECL/CML	6	LVDS	

图 9-2. 如何找出正确产品的指南

上面给出的符合要求的器件的列表，从上到小是按照器件满足选用标准的程度来分类排列的。该列表可以通过点击每一列的上/下箭头来根据其他的标准进行分类。一旦用户决定采用某个特定的器件，则他或她可以点击“Create a Design”按钮来重新指向下一个屏幕。

## 设计的生成

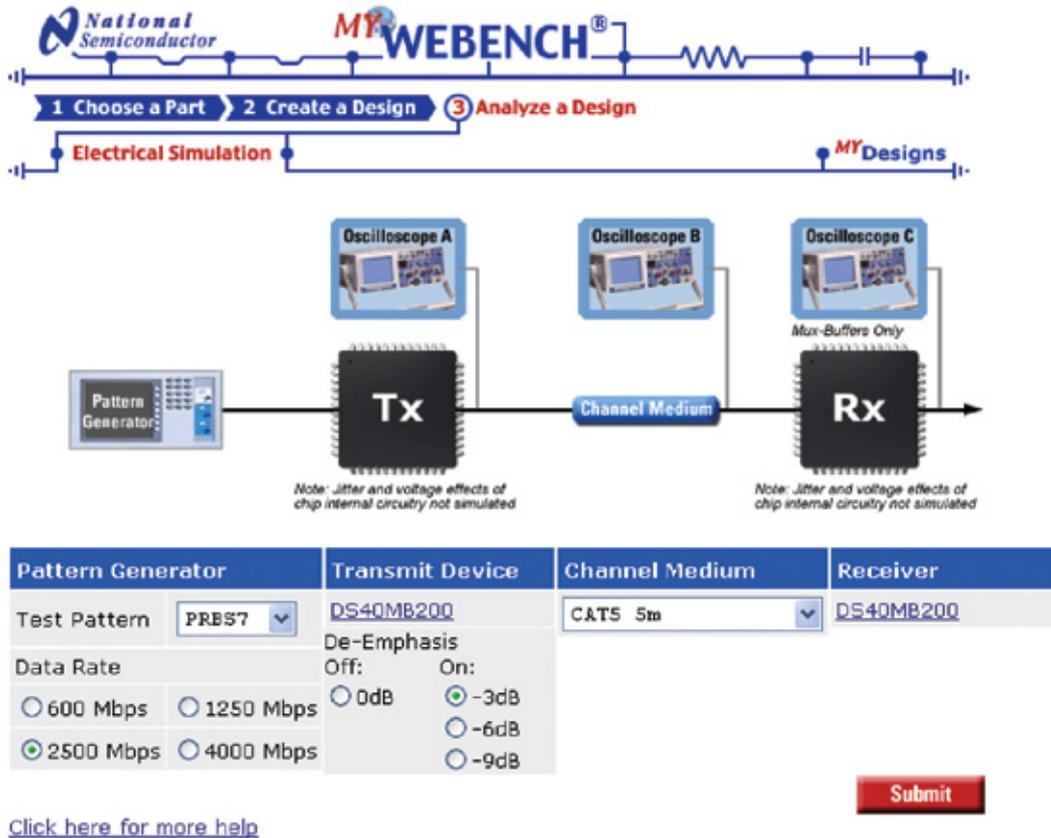


图 9-3. WEBENCH 界面—对所选中的产品进行仿真的页面，信号通路流从左向右

### 测试模式、数据率、传输介质和信号调理的选择

图 9-3 是用于选择数据模式、传输介质和信号调理设定值的屏幕显示实例。从左到右依次设定数据模式和数据率等参数，以及信号调理设定值（如果有的话）。

在前一幅屏幕显示上选中的 Tx（驱动器）也得到显示，用户点击该驱动器将可以转向产品的文件夹，文件夹中提供了详细的信息。

信道介质让用户能在不同长度的电缆和 FR4 导线间作出选择。除了各种 FR4 导线长度外，还提供了若干五类电缆长度选项。所有电缆模型都包括了两端的 RJ-45 连接器，而且假设没有串扰。

在最右端是 Rx（接收器），用户点击链接可以转向产品文件夹。

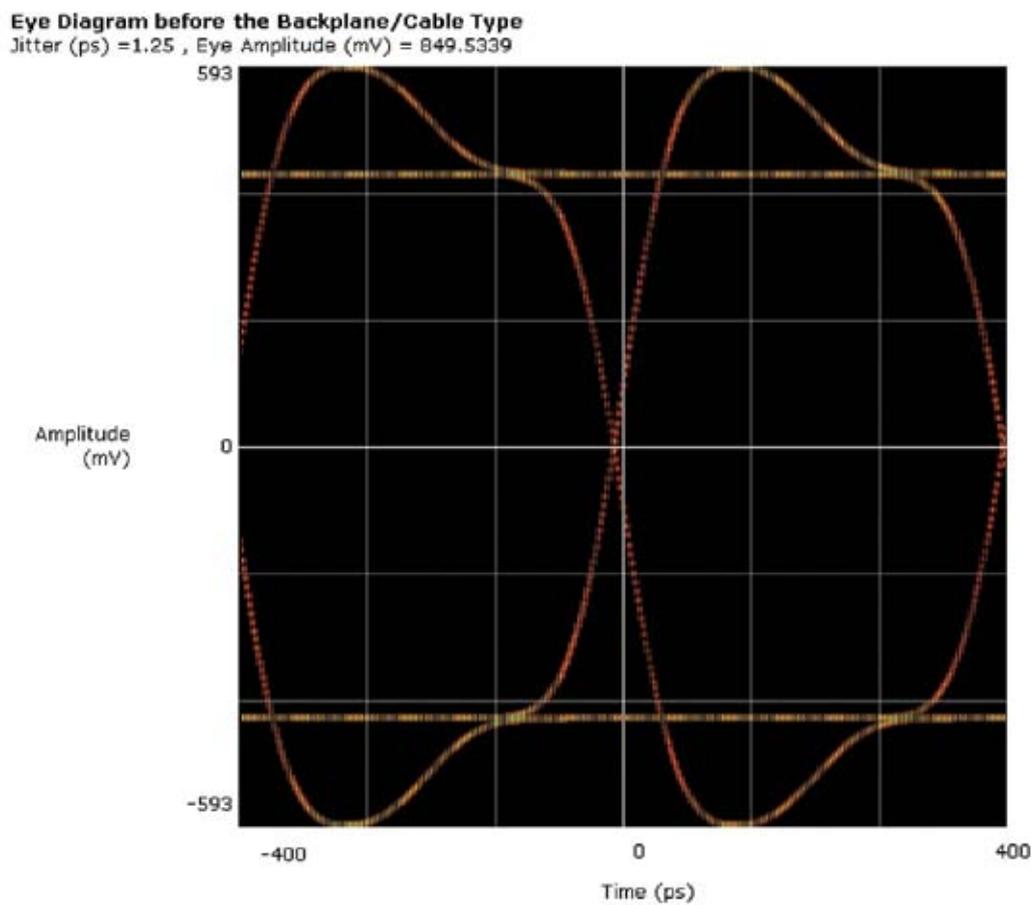
## 结果

选出接口产品而且恰当的仿真需求也设定后，可点击“Submit”按钮，启动 WEBENCH 仿真。仿真将花费很短的时间。一旦仿真完成，就可以显示所仿真的、未经和已经过电缆传输的信号眼图以及接收器输出的信号。

## 对结果的解读

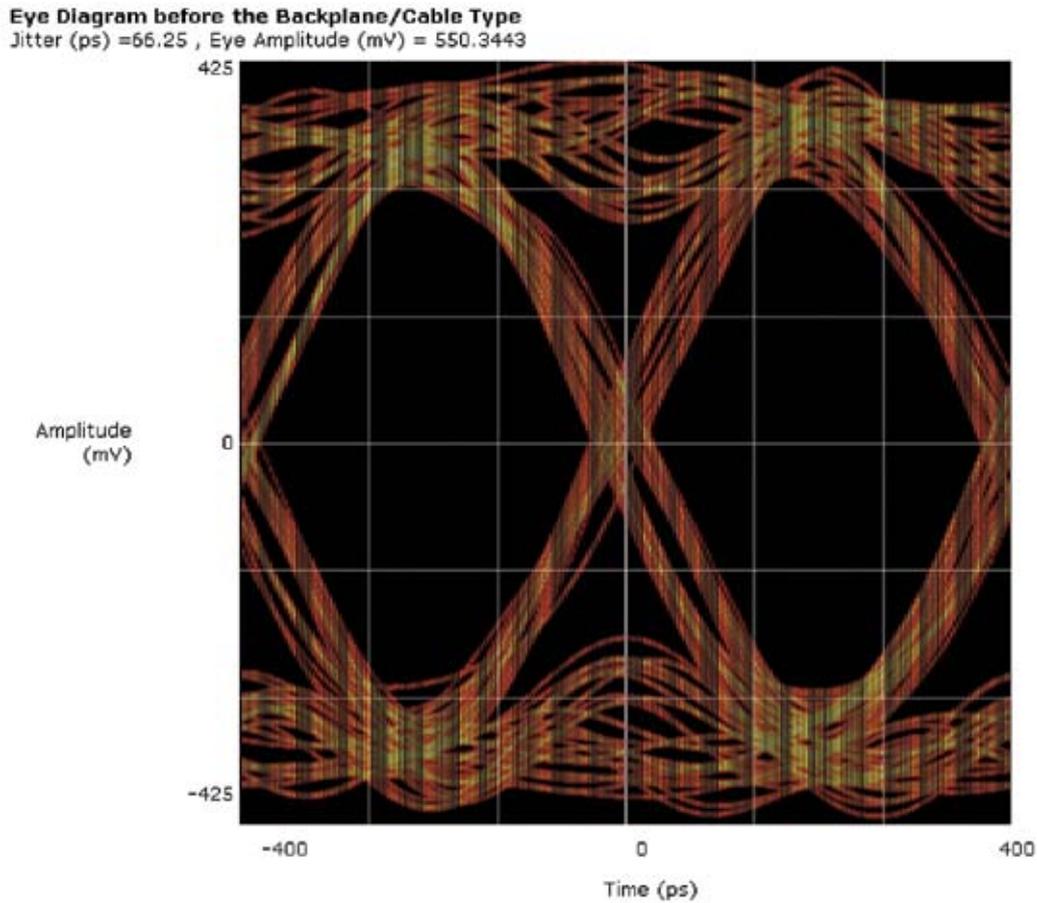
下面是一幅信号输入信道前的眼图示例，其输入参数与 **图 9-3** 一致。

最大的抖动为 1.25 ps，眼图的幅值约为 849 mV (**图 9-4**)。



**图 9-4. 在输入信道前，施加了信号修正时的信号眼图**

**图 9-5.** 示出了同一信号经过传输通道后的情况，在 Rx 输入端，抖动增加到 66.25 ps，而眼图的幅值下降到 550 mV。



**图 9-5.** 经过传输介质传送后的信号质量

最后一幅图（图 9-6）是信号经过 DS40MB200 mux/缓冲器处理后的信号眼图。仿真结果表明信号得到了改善，抖动下降而眼图的幅值显著上升。

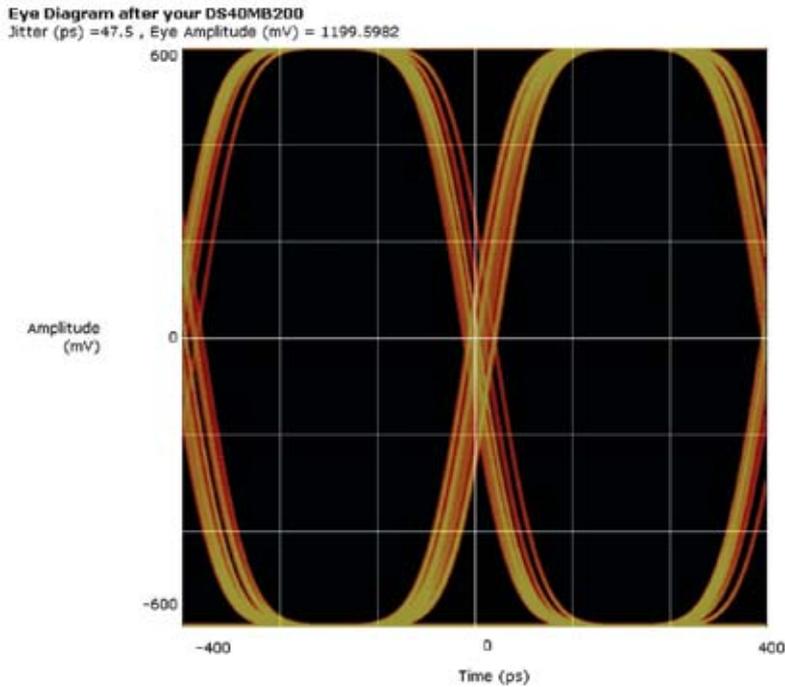


图 9-6. 采用均衡后的效果

## 9.4 如何改进你的设计结果

即使首轮仿真的结果令人满意，但还是建议应当通过对不同的驱动器和信号调理设置进行试验来对设计进行优化。在某些情况下，验证利用价格最为低廉的电缆能否获得可让人接收的结果，是十分有益的工作。如果仿真结果并不能满足抖动或者眼图方面的目标，可以考虑如下的备选方案：

- 尝试不同的驱动器。每个驱动器具有不同的特性，也许其特性对于所要求的特定条件来说可能是更有利的。
- 使用不同的信号调理设定值，或者添加一个带均衡器的接收器。对于ISI确定性抖动是主要抖动分量的情形，更高的预加重和均衡设置将改善信号的品质。不过，使用过强的预加重或者均衡处理也会使信号产生失真。
- 更换一条具有更高品质的电缆。
- 联系美国国家半导体，以了解更多的信息。

### WEBENCH 仿真可以加快开发进程，但用户需要对系统进行认真研究

请注意，WEBENCH 环境是一种一阶仿真工具。在仿真中使用了典型的性能和损耗参数，而诸如串扰等 2 阶效应并未被考虑。WEBENCH 工具可对器件在不同环境中的性能进行大致的衡量，以帮助人们选用所需的器件。美国国家半导体建议设计者进行其他的、更为细致的仿真，来验证 WEBENCH 的仿真结果。

## 10.1 时钟分配和信号调理

LVDS 或 CML 常常被用于时钟信号的分配，它们可以提供优于单端解决方案的性能。常用的基本架构有两种：点到点和多点。

### 点到点时钟分配

点到点架构也被称为 (1-n) 或者扇出结构，可提供最低的抖动和最干净的信号，用于更高的时钟速率传输或用于抖动要求最为严格的应用。

DS90LV110A 是一个扇出型时钟分配器件的实例。

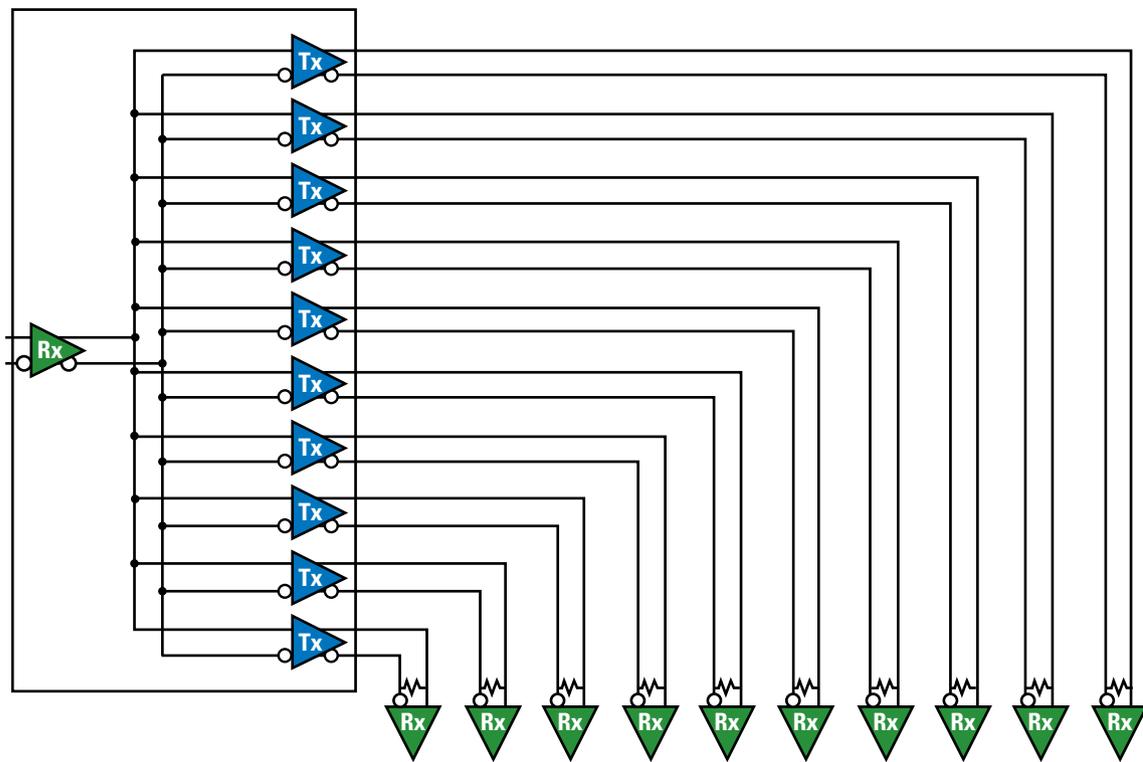


图 10-1. DS90LV110A 1 到 10 扇出缓冲器

### 多点时钟分配

多点时钟分配在背板环境中是一种效率和成本效益好的解决方案。多点解决方案所需的背板导线或者电缆数量最少，通常可支持冗余性。一个实例就是“先进电信和计算架构 (Advanced Telecom and Computing Architecture, ATCA)”，该架构采用了 M-LVDS。

多点配置需要 B-LVDS 或者 M-LVDS 架构来产生进一步的驱动。多点在驱动短距传输、而且短线头 (stub) 极短的情况下可获得最佳效果。多分支类似于多点架构 (图 10-2)，但其中采用了单驱动器和多个接收器。

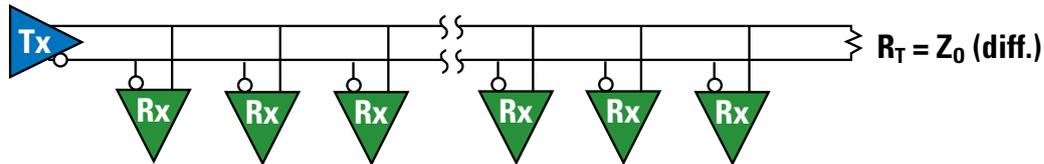


图 10-2. 多分支架构

许多器件可以支持多点应用，包括美国国家半导体的 DS92CK16 收发器，该器件可以实现在背板上的多点架构 LVDS 驱动，并可以用作本地卡端的 1 到 6 TTL 扇出缓冲。其他的选项示于表 10-3 中。

表 10-3. 时钟分配方案的选择

器件	F <sub>MAX</sub> MHz	Rx 数量	Tx 数量	注释
DS92LV010	75	1	1	TTL 到 B-LVDS 转换，可驱动多达 32 路接收端
DS91D176	125	1	1	TTL 到 M-LVDS 的转换，还包括带有 type-2 防故障能力的型号 DS91C176，和全双工型号 DS91D180
DS92001	200	1	1	LVDS 到 B-LVDS 转换
DS92CK16	125	1	6 TTL 1 B-LVDS	支持冗余性，可以形成主-从结构
DS90LV110	400	1	10	还包括带防故障功能的型号，DS90LV110A

## 时钟信号调理器

保证信号完整性的时钟信号器件，例如美国国家半导体设计的 LMK 系列器件，可提供多重功能，能改善系统或背板的时钟性能。



表 10-4. 时钟信号调理方面的产品

产品编号	时钟频率 (MHz)	LVDS 输出	LVPECL 输出	VCO	PLL	VCO 时钟频率 (MHz)	MS 抖动 (pS)
LMK02000	0~800	3	5	外接	—	—	0.2
LMK02002	0~800	0	4	外接	—	—	0.2
LMK03000C	1~648	3	5	集成	集成	1185~1296	0.4
LMK03001C	1~785	3	5	集成	集成	1470~1570	0.4
LMK03002C	1~862	0	4	集成	集成	1566~1724	0.4
LMK03000	1~648	3	5	集成	集成	1185~1296	0.8
LMK03001	1~785	3	5	集成	集成	1470~1570	0.8
LMK03002	1~862	0	4	集成	集成	1566~1724	0.8
LMK03000D	1~648	3	5	集成	集成	1185~1296	1.5
LMK03001D	1~785	3	5	集成	集成	1470~1570	1.5
LMK01000	0~1600	3	5	—	—	—	0.04 (加性)
LMK01010	0~1600	8	0	—	—	—	0.04 (加性)
LMK01020	0~1600	0	8	—	—	—	0.04 (加性)

LMK 系列精密时钟信号调理器可以在多点或多分支架构中直接与接收器连接。负载会影响占空比、信号沿变化率以及系统裕量，特别是在终端有 32 个之多的多点环境中。LMK03000 和 LMK02000 系列时钟信号调理器接收来自背板的混沌的时钟信号，而向各板卡插槽提供一路干净的、均衡的、具有同一频率或其他相关时钟频率的时钟信号。当无需时钟信号净化或者倍频时，LMK01000 系列可以用作超低抖动的时钟分频器和分配器。

例如，图 10-5 示出了一路在满负载 ATCA 背板上从插槽 7 传输到插槽 8 的 122.88 MHz 信号。在这一环境中，时钟信号受到了带宽的限制，而占空比为 45%~55%。

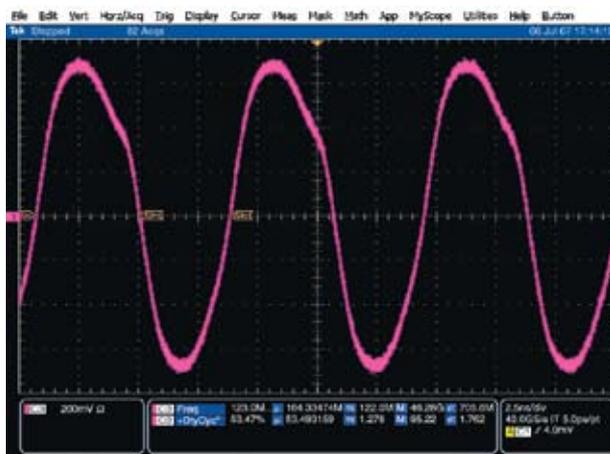


图 10-5. 在满负载的 ATCA 背板上传输的 M-LVDS 时钟信号

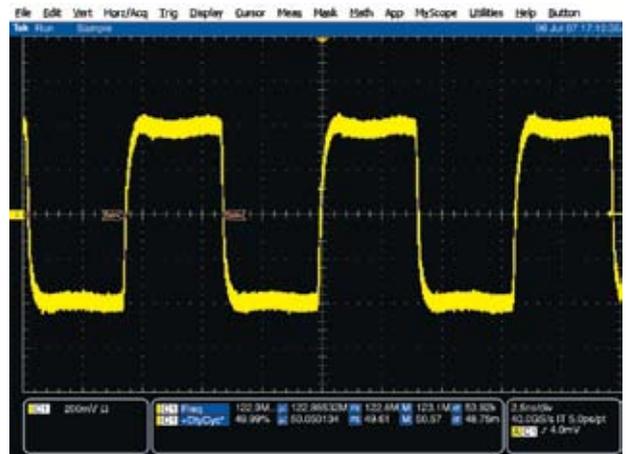


图 10-6. LMK03000 时钟信号调理器输出

请注意，图 10-6 所示的 LMK03000 时钟信号调理器所进行的占空比修正。LMK 系列具有引脚兼容性的器件可以提供高达 785 MHz 的 LVDS 和 LVPECL 输出，其抖动性能在业界领先。

## 10.2 系统时钟分配

先进电信和计算架构 (ATCA) 和 MicroTCA 系统，以及其他的多种通信系统，都需要在其内部的接口和外部的网络之间实现同步。PCI 的行业计算机制造商组织 (PCI Industrial Computer Manufacturers Group, PICMG) 标准定义了这些系统的同步时钟接口，而相应的，也将时钟信号的分配任务派给了 IC，这些 IC 将满足 TIA/EIA-899 standard (Multipoint Low-Voltage Differential Signaling, 多点低压差分信号，或者简称 M-LVDS)。

本节对兼容 AdvancedTCA 和 Micro TCA 的时钟分配网络进行一个简短的综述。要了解 M-LVDS 时钟分配设计指导方针，可参考应用指南 AN-1503: “Designing an Advanced TCA-Compliant MLVDS Clock Network (如何设计一个兼容 Advanced TCA 的 MLVDS 时钟网络)”

### ATCA 同步时钟接口

在一个 AdvancedTCA 背板上，时钟同步接口可实现背板上所有插槽之间的时序信息的交换。它由 3 路冗余时钟总线构成：CLK1、CLK2 和 CLK3。每路时钟总线，连同与 M-LVDS 时钟驱动器/接收器/收发器的连接，构成了一个多点时钟分配网络。图 10-7 展示了在多个线卡插入到背板上所构成的 6 路 M-LVDS 时钟分配网络。

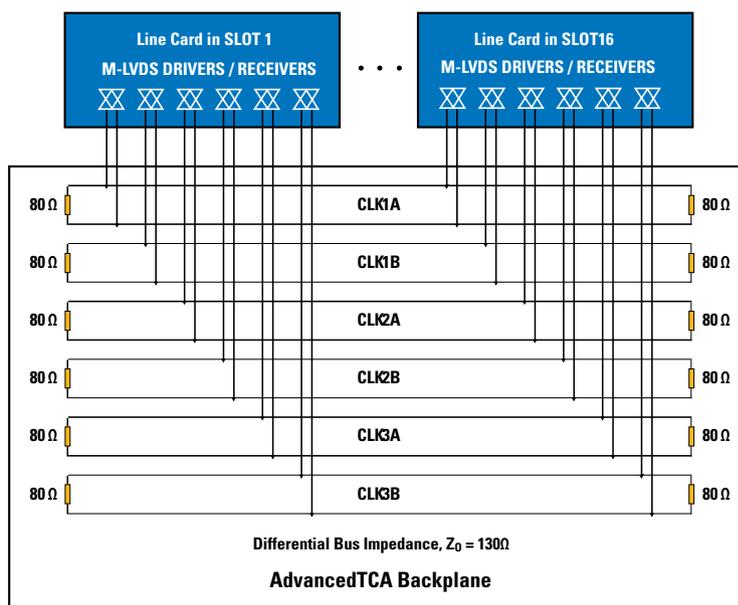


图 10-7. AdvancedTCA 时钟分配接口实例

与输出信号沿变化率受控的信号驱动器（即 M-LVDS 线驱动器）耦合的短而窄的线头（stub），是提高任何多点网络的噪声裕量和改善总体性能的关键。AdvancedTCA 背板上的 M-LVDS 时钟分配网络也可从同样的方法中获益。

## MicroTCA 同步化时钟接口

MicroTCA 定义了非冗余的和冗余的时钟架构。非冗余的架构针对单 MicroTCA 电信集线器（MicroTCA Carrier Hub，MCH）系统，其实例示于图 10-8 中。请注意时钟总线终止于 MCH 板卡和先进夹层卡（Advanced Mezzanine Card，AMC）的背板，构成了一个点到点的拓扑架构。

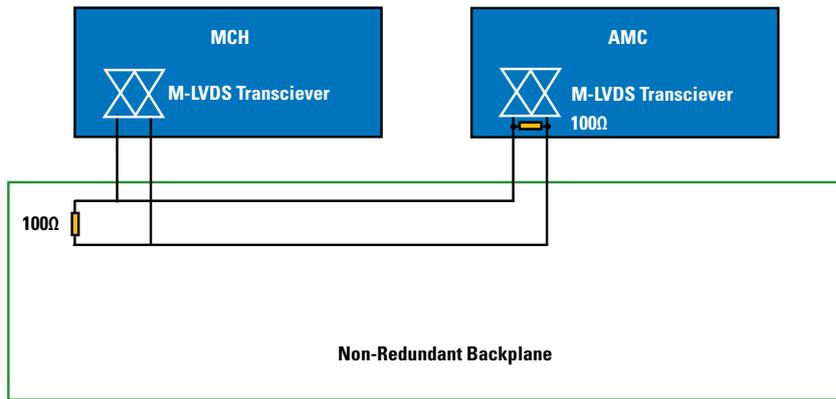


图 10-8. MicroTCA 非冗余时钟分配接口示例

如图 10-9 所示的冗余时钟架构，用在以冗余方式工作的双 MCH 系统。在这种多点拓扑结构的改进型中，通过采用串连的电阻最大限度地降低了未得到终接的线段（stub）的影响。M-LVDS 器件受控的阻抗在系统向内部的所有板卡进行的时钟分配方面提供了进一步的帮助。

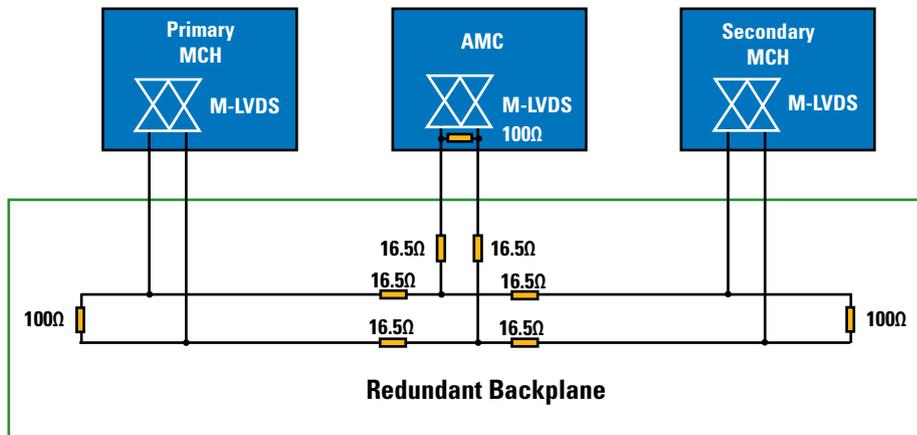


图 10-9. MicroTCA 冗余时钟分配接口示例

## 10.3 弥补 FPGA 性能的不足

人们在今天的系统规划的升级方面付出了如此之多的努力，以保证其可增长性、灵活性和可编程性，于是，现场可编程门阵列（Field-Programmable Gate Arrays, FPGA）在通信、计算、工业、甚至空间应用中大行其道，也就不令人惊奇了。FPGA 可以成功地应用在许多方面，包括高速接口、嵌入式微处理器和数字信号处理。

除了所有这些优点外，使用 FPGA 也存在一定的局限性。一个挑战是如何满足多分支 LVDS 信号方面的 EIA-899 规范。FPGA 的选用在很大程度上是基于系统接口的控制和管理。如果能够选用恰当的辅助性支持元器件，将有助于系统满足这些规范。

### 利用 FPGA 扩展 SerDes

Altera Cyclone 或者 Xilinx 的 Spartan 产品线是面向中低速应用的经济型 FPGA 的两个实例。这些 FPGA 并不包含实现真正的高速通信所必不可少的先进的串行化或者解串电路，因此最高数据率限制在 640 Mbps。这使 Cyclone 和 Spartan 成为外部 SerDes 接口方面的出色的候选者。在 FPGA 上外接一个 SerDes 接口，就可以让一个并行的或多端对接口简化成为一个或者多个高速的信号端对。

外接的 SerDes 并行接口可用低功耗的、高速的差分信号来取代整个并行接口，从而延长了 LVCMOS 信号在背板或带状电缆上传输的距离。这可降低系统的 EMI 以及系统中的同步开关输出（Simultaneous Switching Output, SSO）噪声。SSO 也被称为地线回弹（ground bounce），是流过 IC 的电源/地线电感上的电流发生大的瞬时变化所造成的。随著 FPGA 设计中的有源高驱动 LVCMOS 输出数量的上升，这一潜在的问题变得日益严重。在带有若干同步并行接口的大 FPGA 中，该现象会造成糟糕的系统性能或者断断续续的数据信号出错。

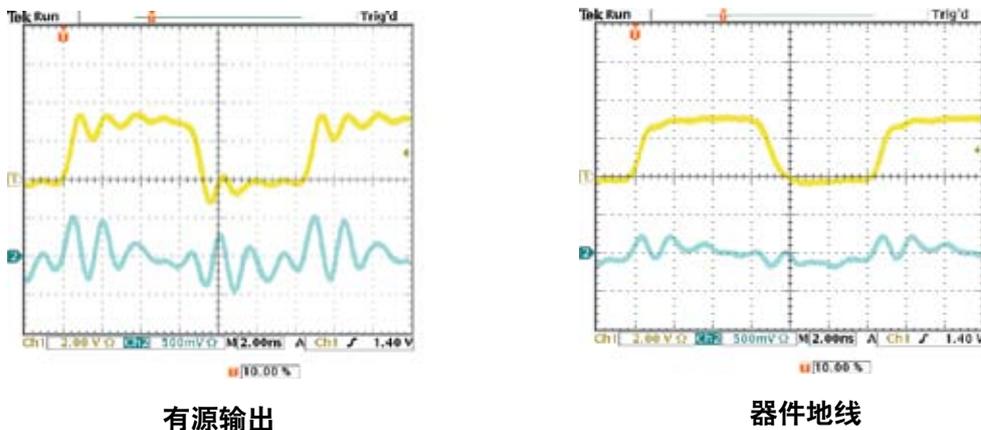


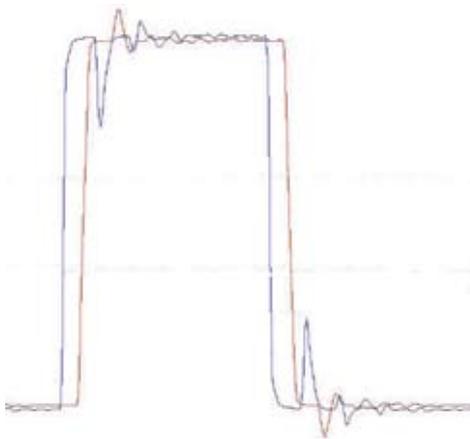
图 10-10. 有噪声的高驱动 LVCMOS 波形与安静的低驱动 LVCMOS 波形的对比

减小 FPGA 的驱动电流（图 10-10）一般可以改善信号的完整性并降低输出时钟和数据信号的抖动。时钟信号上的噪声或抖动过高，很好地表明了 FPGA 锁相环（PLL）的模拟性能的下降。除了 FPGA 性能下降，邻近 FPGA 放置的模拟器件也将受到地线噪声上升的影响。

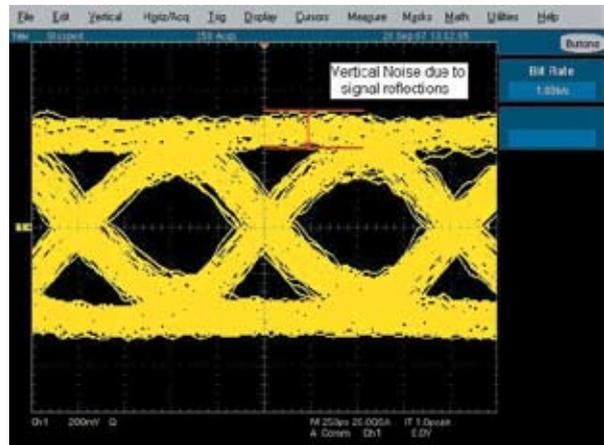
## 负载电容极为关键

一个经常被忽视的因素是在 Gbps 数据率上 I/O 电容对信号完整性造成的影响。有些 FPGA 受到高 I/O 电容的困扰，随着接口的往返延迟（round-trip delay）逼近或者超过所发送数据的单个单位间隔时间，电容的影响上升为一个主要的问题。过高的 I/O 电容将导致发送器和接收器处的阻抗陡然下降。在这些不连续点看到的任何反射都会导致部分能量被反射回传输介质中。

随著切换的能量遇到更多的阻抗不连续性，该过程将不断重复下去，知道其能量在若干个往返延迟周期后衰落到背景噪声水平上。由于传输线的电气长度和串行数据的位宽度所造成的影响，以往的数据跳变过程所造成的反射将影响到后续的数据模式。这一附加的能量将使抖动增大，并降低接口上的噪声裕量。



在 50 MHz 上，即便传输线得到恰当的终接，但由于存在过高的 I/O 电容，驱动器和接收器处仍然存在反射情形，图中的仿真波形展现了这个情形。随著数据率的上升，这些反射将导致显著的码间干扰 (ISI)。



将数据率提高到 1 Gbps，可以让来自驱动器和接收器的反射延伸到差不多 7 个 UI 上。信号在接收器上的确切位置将被前面 7 个数据位中的任何切换所改变，这使得眼图具有很大的 DJ 分量。

图 10-11. 由于负载电容的影响而造成的 ISI 实例

为了降低高 I/O 电容的负面影响，传输介质的往返延迟应尽可能降低，在理想情况下，应短于串行数据的单位宽度。减少长度并不会神奇般的消除一个大的集总电容所造成的带宽侵蚀效应。它将电容放在一个非常短的传输线上，这使多次的数据反射发生在单个位周期中。随著每次反射的发生，动态能量的幅值将降低，这在接收器件处实现了一个高品质的波形。

## LVDS 变换

即使 FPGA LVDS 架构在超出 1 Gbps 的数据率上只具备有限的提升空间，但分立式的 LVDS 实现方案可被有效地用来实现超出 3 Gbps 的数据率。数据率超过 1 Gbps 的 LVDS 常常需要综合运用各种差分技术和在信号幅值、输出电压和变换的设计中作出相应的折衷取舍。

阻碍成功的首要因素是对信号幅值的评估（参见图 10-12）。它常常来源于 LVDS 和其他差分接口的性能规范方面的差异。对于 LVDS 来说，输出幅值或  $V_{OD}$ （正如在 EIA/TIA-644A 中定义的那样）是驱动器带  $100\Omega$  负载时输出两端的电压差。其他的差分标准规定了输出电压峰峰值。例如，一个 400 mV LVDS 的幅值恰好等于一路 800 mV 峰峰值 CML 输出。（要进一步了解相应的信息，参考“转换”一节，31页）。

作为接收器，LVDS 可以提供任何差分技术中最大的灵活性。其很宽的输入共模范围可轻松地覆盖 1.2V/1.5V/2.5V CML 和 LVPECL 差分 I/O 的正常工作区。这就容许将大多数差分输出与 LVDS 输入直接相连，从而最大限度减小了 PCB 板面积占用和采用多个交流耦合电容所带来的成本。最小的 LVDS 输出被规定为 250 mV 或 500 mV 峰峰值。这一输出幅值可以保证低 EMI、低功耗解决方案的实现，该方案可与输出信号调理功能直接耦合，以驱动更长的电缆或者大背板上的传输。

LVDS 的输出驱动一个由内部的带隙基准源所产生的 1.2V 的共模电压。这种输出可与多路 LVPECL 输入进行直流耦合。因为 LVDS 输出电压摆幅并不能满足所规定的共模要求，CML 输入（共模范围有限）将要求在输入端介入一个交流耦合的接口。

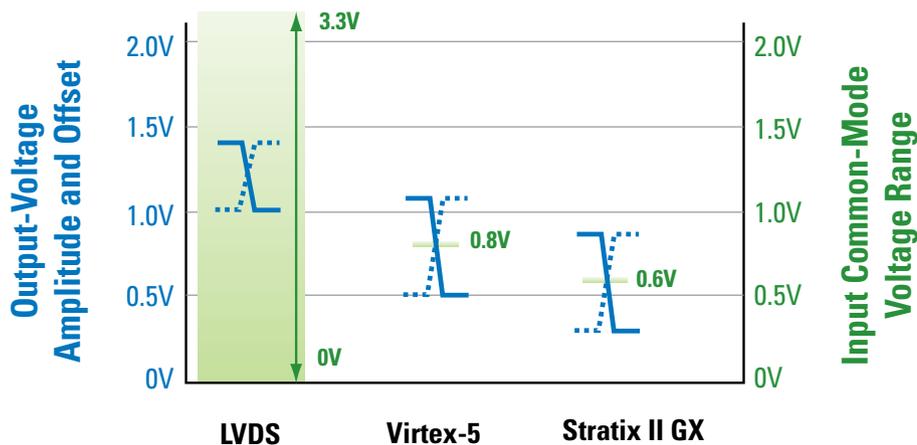


图 10-12.  $V_{OD}$  与各种差分接口的共模范围的关系

一个实现冗余性、复用和分配的低功耗解决方案，可以通过各种高性能 LVDS 交叉点交换和高速 FPGA CML I/O 的组合来实现。

LVDS 输入的设计信号峰峰值范围是 200 mV~1600 mV，但最优的信号工作范围是 500 mV~800 mV。将 CML 输出编程设定为针对 600 mV~800 mV 的范围的工作，可减少由于集成了 FPGA 的 SerDes 所增加的发送功率，并降低接口的总的 EMI 辐射。

总之，通过选用恰当的、具有互补性的器件，可进一步地增强 FPGA 的高性能和灵活性。低成本的 Spartan 和 Cyclone 器件的同步开关输出噪声可以通过使用外部的 Ser/Des 来降低。FPGA 电缆的传输长度可以利用外部的信号调理器延长。具有高电容性的 FPGA 输入会产生环振和位错误。这些高值 CIN 可利用相邻的重复器有效地“隐藏”起来。针对多分支的信号可以利用高驱动的 B-LVDS 或者 M-LVDS 器件来缓冲。这些都是能够补足 FPGA 性能并为设计工程师提供进一步的灵活性的外接器件的实例。

## 10.4 广播视频

当代广播视频建立在高速的、无错误的串行数字视频传输基础上。在保证必要的信号完整性方面，抖动的降低和噪声的最小化是两个关键要素。图 10-13 示出了一个简化的 3 Gbps 串行数字接口 (Serial Digital Interface, SDI) 视频路由器组成结构。

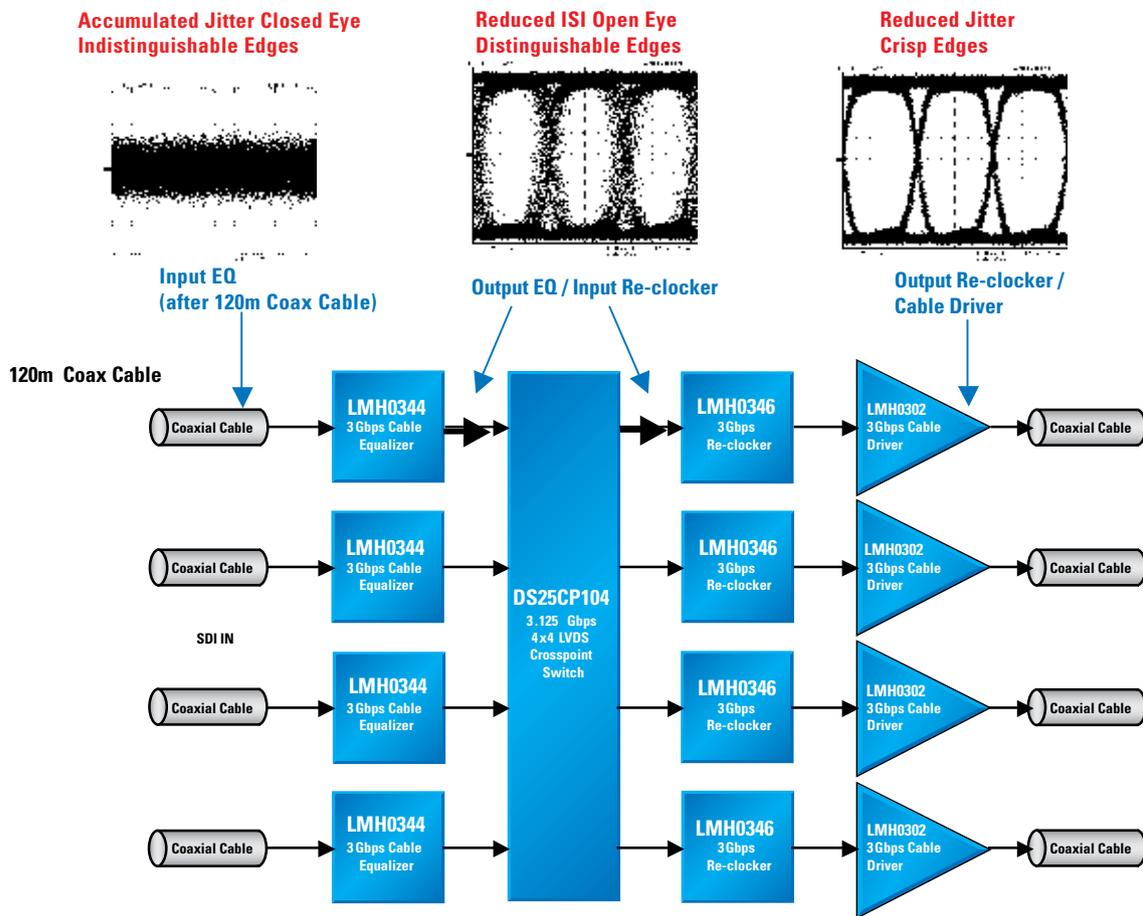


图 10-13. 简化的 3 Gbps 串行数字接口视频路由器示意图

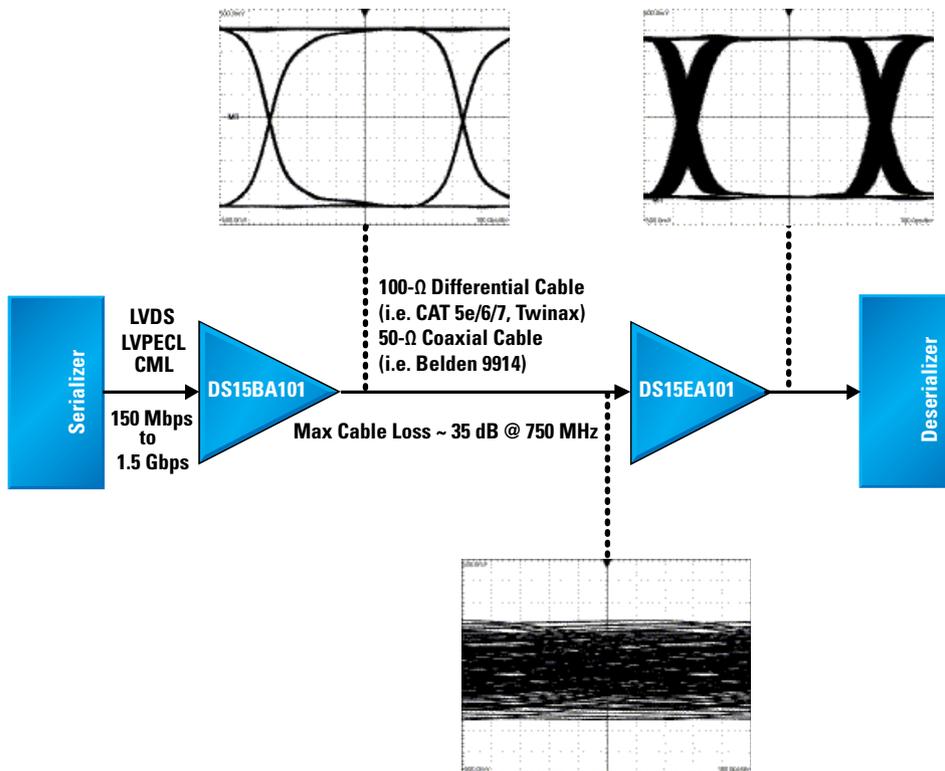
高速数字传输给信号完整性的保持带来了若干挑战。**图 10-13** 所示的 3 Gbps SDI 路由器所提供的信号调理功能可以重构波形，使之恢复到最初的信号品质。SDI 均衡器张开了波形的“眼睛”，而且降低了 ISI。美国国家半导体的 LMH0344 自适应电缆均衡器可以自动调整，在长达 120m 的同轴电缆上实现 3 Gbps 的数据传输率，在 140m 的距离上实现 HD 传输率，并在 350m 的距离上实现 SD 传输速率。

DS25CP104 4×4 LVDS 交叉点交换具有可选择的 FR4 均衡和预加重，可针对各种不同的系统架构对信号调理进行调整。SDI 重定时器降低了高频抖动，提供了轮廓鲜明的、清晰的信号沿，而电缆驱动器可以设定恰当的幅值和回转速率，以满足电影和电视工程师学会（Society of Motion Picture and Television Engineers，SMPTE）所指定的 SDI 标准。

美国国家半导体提供了全面覆盖 SD、HD 和 3 Gbps SDI 应用的视频产品。

## 10.5 延长SerDes 的传输距离

串化器和解串化器（SerDes）是今天的高速系统的一个有机组成部分。这些系统在设计上所受到的限制性条件是在串化器和解串器之间的最大传输距离。虽然大多数 SerDes 只能支持几米长电缆的传输，但许多系统却要求串化器和解串化器之间的传输距离达到数十米、甚至数百米的距离。DS15BA101 和 DS15EA101 是一种电缆延伸器（cable-extender）芯片组，可以让 SerDes 实现长距离的传输，正如 **图 10-14** 所示的那样。



**图 10-14. 典型的电缆延伸器芯片组应用**

重要的是应认识到，自动均衡作用取决于在电缆的发送器端的信号幅值。DS15EA101 器件“认定”单端（如果是对同轴电缆进行均衡处理的话）或者差分信号（如果对差分—平衡的电缆）传输电缆上的信号的幅值为 800 mV 峰峰值  $\pm 10\%$ 。DS15EA101 器件中的能量检测器电路可以感测输入信号的幅值，并将该模拟信号幅值输入自动均衡控制电路中，而该控制电路则指示均衡器滤波器向信号的高频分量提供一定量的增益。

在任一方向上，任何对最佳信号幅值的偏离都会造成均衡器的滤波器估算出增益过大抑或不足。在均衡器增益和电缆的损耗特性方面出现的失配将导致均衡器只能实现次优性能，而输出的抖动更高，且最终导致系统的位错误。DS15BA101 器件能在利用了  $50\Omega$  同轴电缆和  $100\Omega$  差分平衡电缆（例如双轴和双绞线电缆）的系统中，同时满足 DS15EA101 器件的需求，它需要作为 DS15EA101 器件的伴随器件来使用。

## 认识电缆延展器芯片组的优点

虽然任何发送/接收工作速度在 0.15~1.5 Gbps 范围内的串行数据的 SerDes 芯片组可从电缆延展器芯片组上受益，用于传送高速串行化、直流平衡的数据流的 SerDes 非常适合于与电缆延展器芯片组连接在一起工作。用于传送多路串行数据和时钟流的 SerDes（例如并行时钟 SerDes）也可以从该电缆延展器芯片组上受益，不过这些 SerDes 会存在遭遇电缆损耗问题前就遇上信道到信道间偏斜的问题。表 10-15 列出了精选的美国国家半导体 SerDes，它们可以与该电缆延展器芯片接口。要获取关于目前供货的 SerDes 产品的完整列表，请访问 [national.com/CHS/lvds](http://national.com/CHS/lvds)。

SerDes芯片组	时钟频率范围 (MHz)	原始串行数据速率范围 (Mbps)
<b>10-Bit 嵌入式时钟 SerDes</b>		
DS92LV1021A/DS92LV1212A	16~40	192~480
DS92LV1023E/DS92LV1224	40~66	480~792
SCAN921025H/SCAN921226H	20~80	240~960
<b>16-Bit 和 18-bit 时钟嵌入式 SerDes</b>		
DS92LV16	25~80	450~1440
DS92LV18	15~66	300~1320
<b>24-bit 时钟嵌入式 SerDes</b>		
DS90C124/DS90C241	5~35	140~980
DS90C124/DS90C241	5~43	140~1204
DS99R103/DS99R104	3~40	84~1120

表 10-15. 精选出的、可望受益于电缆延展器芯片组的 SerDes 端对

## 在传输距离方面实现的扩展

DS15EA101 是一种自适应的均衡器，针对在同轴和差分一平衡铜线电缆上的传输进行了优化。它可自动对长度在如下范围内的任何一种电缆进行均衡处理：从零米一直到可将信号衰减约 35 dB@750 MHz 的长度。传输距离上的扩展幅度可以从数十米一直到几百米。欲了解关于电缆延展器芯片组的更多信息、其与各种不同的电缆一起使用时的性能以及参考设计，请访问如下链接：

[www.national.com/appinfo/lvds/drivecable02evk.html](http://www.national.com/appinfo/lvds/drivecable02evk.html)

## 利用信号调理功能扩展信号传输能力

在那些采用的低品质至中等品质电缆的场合，LVDS 器件（以及其他高速接口器件）的传输距离被限制为数米远。而高性能、低损耗的电缆可以实现在更远的距离上的数据传输，但这些解决方案都使系统的成本上升。

用于改善 LVDS 性能的输出信号调理技术是预加重。预加重是一种控制输出的幅值和持续时间的过驱动方法，用于补充高频分量的衰减，从而延长电缆和背板上的传输距离。最简单的预加重方法是“全首位（full-first-bit）”预加重，如图 10-16 所示。

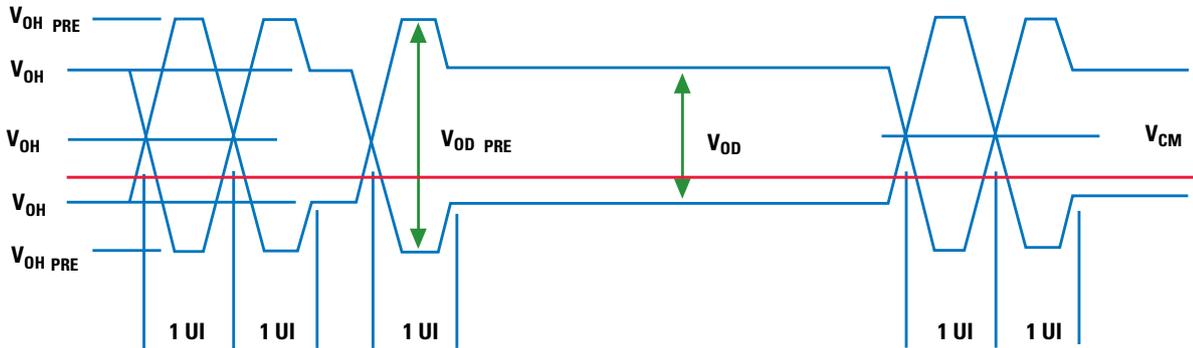


图 10-16. 具有 1 Gbps 速率的预加重信号

均衡电路则用于对接受到的信号进行调理。均衡器是一种在接收器端使用的功能，可以补偿传输介质所造成的高频衰减或者损耗。均衡器可起到高通滤波器的作用，能大致补偿在数据信号的频带内传输介质所起到的低通滤波的作用，让传输信号的频率响应平坦化。若调谐得当，均衡可显著降低传输介质造成的 ISI 效应，如图 10-17b 所示。

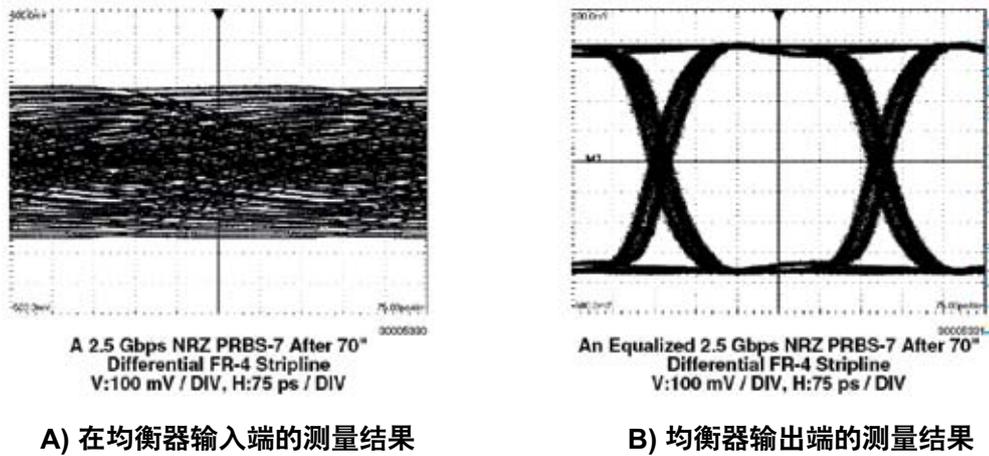


图 10-17. 经过 70” FR-4 的带状线传输后的 2.5 Gbps NRZ 信号在未经均衡 (A) 和经过均衡 (B) 处理时的情形

美国国家半导体的高速器件，如 DS25BR110 缓冲器，带有一个接收器输入均衡电路，以减小传输介质带来的、与频率有关的损耗造成的影响（图 10-17）。其均衡功能具有从 0 dB 到 16 dB 的多个控制水平，从而能轻松地在较大的长度范围内对典型传输介质上所传送的信号质量进行优化。

### 节电（Power-Saver）均衡器

另一种电缆延展器是一个节电（Power-saver）均衡器。节电器无需连接电源或者地线，但可实现高达 7 dB 的相对增强。节电（Power-saver）均衡器特别适合于嵌入到连接器中，因为它们可在每个方向上都能提供相同的提升能量，而无需连接电源或地线。

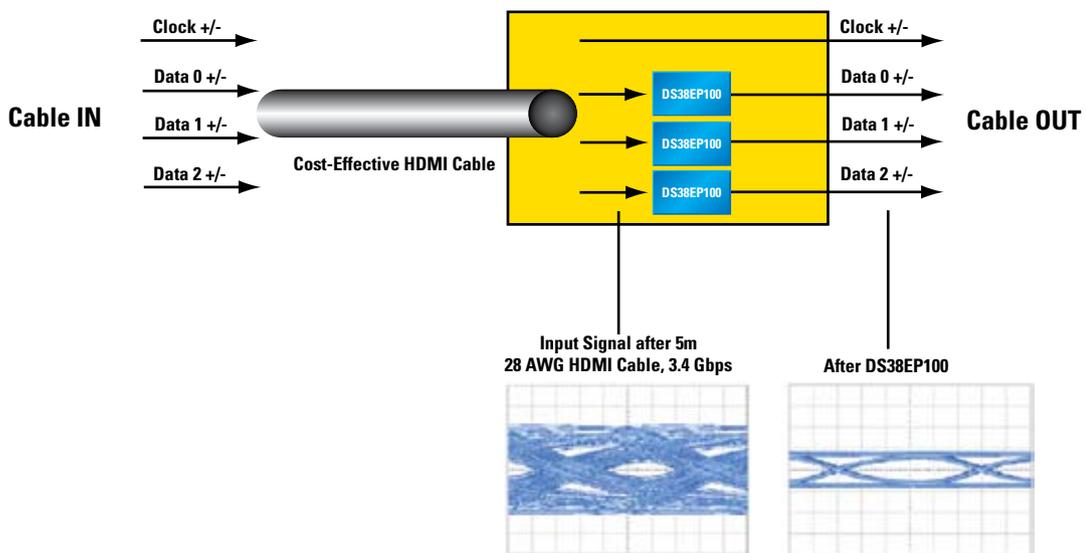


图 10-18. 节电均衡器

## 10.6 M-LVDS: 一种可替代 RS-485 的高速、短距的传输方案

TIA/EIA-485-A (RS-485) 和 TIA/EIA-899 (M-LVDS) 是通过多点差分总线交换二进制数据的一种得到广泛应用的电气标准。两种技术都使用了差分信号来保证低功耗、高速和出色的抗噪声性能，以实现稳固的差分数据传输。

至于要驱动信号在长电缆上传输的情况，则 RS-485 较高的摆幅和更宽的共模输入范围有助于实现更远的传输距离。不过，M-LVDS 器件具有如下一些优势：更高的速度，大为降低的功耗和 EMI 辐射。M-LVDS 的这些关键特性对于许多应用来说是有益的。

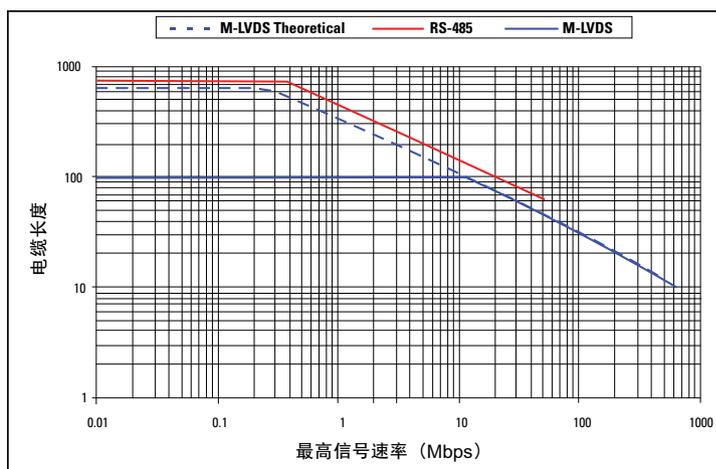
表 10-19. 驱动器和接收器的关键参数比较

参数	RS-485	M-LVDS
$V_{OD}$ [V]	1.5~5.0	0.48~0.65
$I_{DD}$ [mA]	28~93	9~13
$I_{OS}$ [mA]	<250	<43
$t_{RISE} / t_{FALL}$ Typ [ns]	5~50	1~5
最高数据率 [Mb/s]	40	250
$V_{ID}$ [V]	0.4~5.0	0.1~2.4
$V_{ICM}$ [V]	-5.0~12.0	-1.4~3.8

RS-485 多点差分总线具有长距传输能力，而且一般以电缆为传输介质，而 M-LVDS 则在背板传输方面找到了应用。两种接口都共享的一个常见的应用空间是一个在长电缆上进行的点到点信号传输。

图 10-20 示出了典型的电缆长度 (CAT-5e) 与 RS-485 和 M-LVDS 点到点连接的位速率特性之间的函数关系。RS-485 曲线的斜坡部分是根据在  $1/t_{UI}$  频率 (Hz) 上的最高衰减为 9 dB 的要求来确定的，其中  $t_{UI}$  是在某个特定的信号速率上的单位间隔。这是业界广泛接收的、用于确定 RS-485 点到点链路的最高信号速率的方法。RS-485 曲线的平坦部分根据典型的 CAT-5e 电缆 ( $9\Omega/100m$ ) 的欧姆损耗来确定，其中容许的最高损耗为 9 dB。

图 10-20. CAT-5e 的长度与 M-LVDS 和 RS-485 点到点链路的位速率之间的函数关系



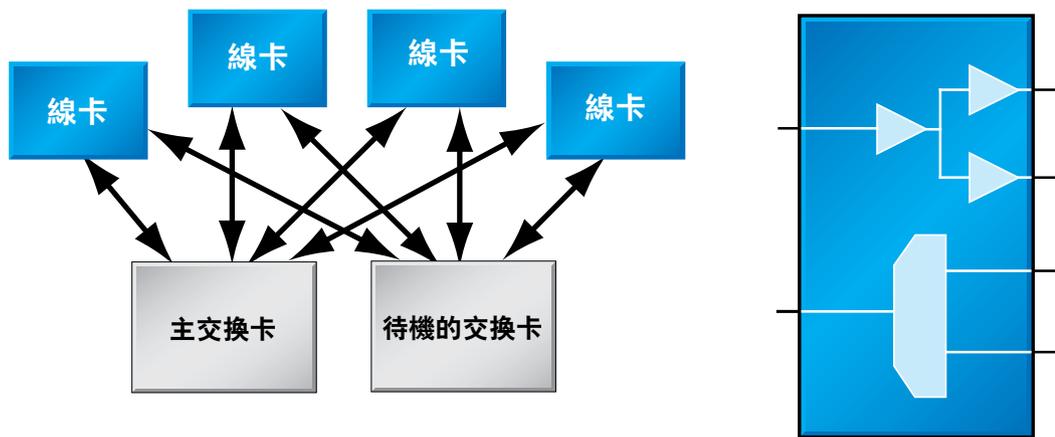
对于那些使用了电压摆幅更小的接口 IC 来实现更高信号速率的网络（即 M-LVDS），在确定针对给定的电缆长度下的最高信号速率时，可以采取“保证在  $1/t_{UI}$  Hz 处的最高衰减为 6 dB”的指导原则。请注意，M-LVDS 接收器的输入共模范围为  $-1.4V \sim 3.8V$ ，这使 M-LVDS 成为一个可将那些地基准点的电位差高达  $\pm 1V$  的子系统连在一起且坚固可靠的接口。不过，其相对较宽的输入共模范围一般足以实现长达 100 米的传输距离。

驱动器和接收器板卡的间隔在 100 米以上的应用很可能会出现超出  $\pm 1V$  的地电位差。在这样的恶劣环境中，所推荐的接口是 RS-485，其输入共模电压范围是  $-7V \sim 12V$ ，可容忍的有害电压范围是  $\pm 7V$ 。在距离比 100m 短的情况下，M-LVDS 可以支持更高的数据率，而功耗和 EMI 更低。

## 10.7 冗余度

“高可用性”一词是指那些宕机时间必须很短的系统。一个实例就是电信业著名的“5 个 9”要求，即关键系统的在线时间必须占到总时间的 99.999%。一个保证可用性的常见方法是使用冗余，即为每个关键的硬件器件配置一个处于待机状态的孪生器件，后者随时都可以在前者出现故障时接替后者。图 10-21 示出了一个冗余的网络。

图 10-21. 简单的双星形冗余网络



在这一冗余网络中，每个线卡都需要一个 1 到 2 的选择缓冲器，以把信号输送到任何一个交换板块上，然后通过一个 2 到 1 的复用器来接收信号。一个专门用于提供这一功能的专用 IC 被称为“复用/缓冲器”，美国国家半导体可以提供的这种功能具有不同速度、级别和配置。（参看表 10-12）

表 10-22. 复用/缓冲器列表

器件	数据率 (Mbps)	通道数量	I/O	功能特色
DS08MB200	800	双	LVDS	800 Mbps 复用器/缓冲器
DS15MB200	2000	双	LVDS	预加重
SCAN15MB200	2000	双	LVDS	预加重, JTAG
DS25MB100	2500	单	CML	均衡器/预加重
DS25MB200	2500	双	CML	均衡器/预加重
DS40MB200	4000	双	CML	均衡器/预加重
DS42MB200	4200	双	CML	均衡器/预加重
DS42MB100	4200	单	CML	均衡器/预加重

## 10.8 高速差分网络的可测性

在先进的系统设计中，可测性是一个关键的考虑因素。可测性直接影响了上市时间、产品的品质和制造成本。高速差分技术常常在整个网络系统中占有显著的比重，因此差分测试将是一个主要的设计问题。

JTAG 标准，IEEE1149，在数字逻辑电路中得到了广泛的应用，可以用于测试差分网络。在这种情况下，每一个差分端对都按照单个逻辑连接来处理，而使用一个 JTAG 边界扫描单元可以用于激励/敏感差分连接，如图 10-23 所示。

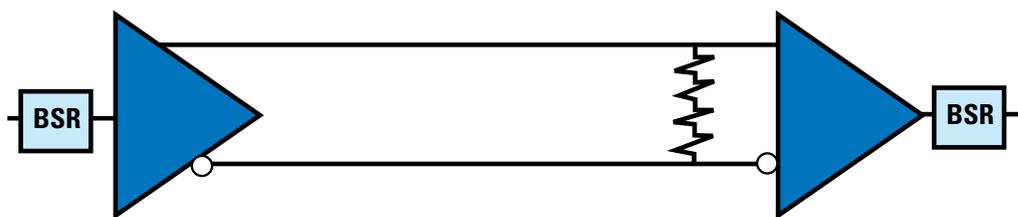


图 10-23. 用于差分网络的 IEEE 1149.1 JTAG

虽然这种方法可提供一定的测试覆盖面，但也存在两个大的缺点。大多数 JTAG 测试在较慢的时钟速率（1 MHz~15 MHz）下进行。差分技术本质上具有容错能力，因此即使出现了严重故障，如单点开路或者短路，抑或终接电阻的缺失，也可在一定程度上发挥其功能。在较慢的 JTAG 测试速率下，即使出现严重的故障，一个差分链路也常常能正确地传送 1 和 0。

第二个问题与差分网络的交流耦合有关。由于数字 JTAG 是一种基于直流的测试，交流耦合的使用使得 IEEE1149.1 标准无法在测试中得到应用。

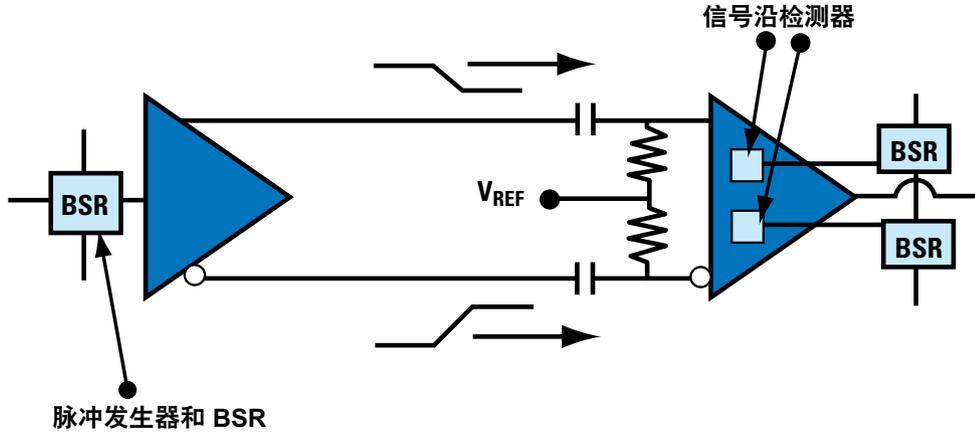


图 10-24. IEEE 1149.6 差分测试标准

相应的解决方案（图 10-24）就是新标准 IEEE1149.6，该标准与现有的数字标准具有完全的兼容性，专门针对高速差分传输而制定。IEEE1149.6 为每个差分接收器提供了两种边界扫描单元，每一条线分配一个单元。此外，IEEE1149.6 并非采用直流信号，而是利用脉冲来发送 1 和 0。脉冲可以直接通过交流终接。

这种将双重单元与脉冲的结合使得 IEEE 1149.6 能提供准确的合格/不合格信息，而且还可以实现对引脚电平的诊断。美国国家半导体目前提供了 4 款与 IEEE 1149.6 标准兼容的器件。

表 10-25. 兼容 IEEE 1149.6 标准的器件

器件	说明
SCAN90004	4 重 1.5 Gbps LVDS 缓冲器，带预加重功能
SCAN90CP02	1.5 Gbps 2×2 交叉点，带预加重功能
SCAN15MB200	双重 2 到 1、1 到 2 LVDS 2.0 Gbps 复用/缓冲器，带预加重功能
SCAN25100	集成了 30.72 MHz 时钟和精确的延迟测量的 CPRI SerDes

## 功能测试

IEEE1149.6 标准在检测制造缺陷方面，例如开路、短路，也能取得良好的效果，不过，它并不能对功能进行验证，特别是在速度方面。若干美国国家半导体的 SerDes 芯片组包含了对功能度的测试能力，包括对短时误码率的测试（BERT）。

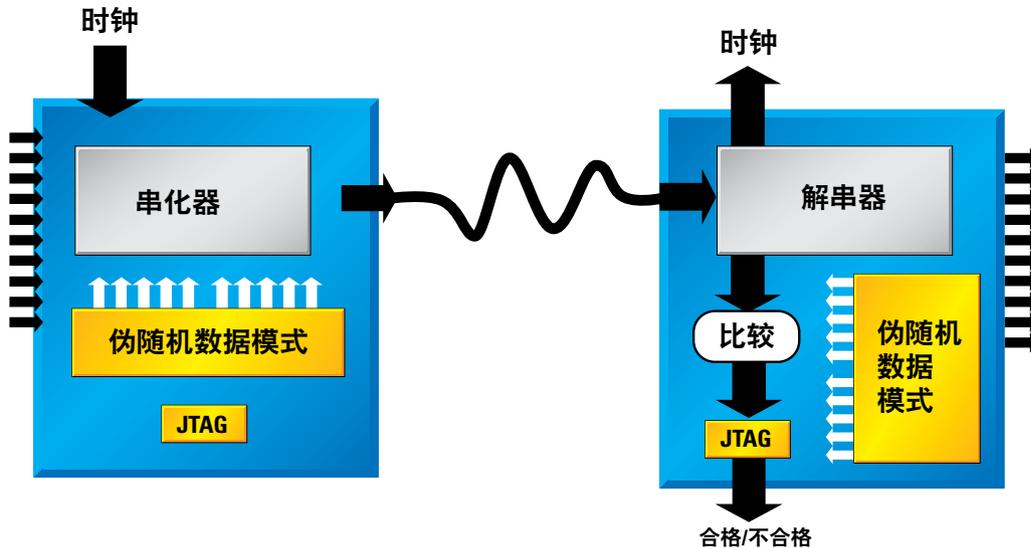


图 10-26. SerDes BERT—SerDes 的误码率测试

用户可以利用一个 JTAG BIST 指令在两个器件上启动 BERT 测试。两个器件上同时生成伪随机数据模式。在串化器端，数据模式被串行化，在嵌入时钟后，相应的位传输流通过差分链路进行传送。在解串器端，接收到的数据位被解串行化，时钟信号被恢复出来，随后对每个位进行比较，而对于每个 0 位的出现则指示不合格。该测试将持续 108 bit 的传输，从而提供了一种微型化的、以实际速度进行的 BERT 测试。表 10-27 列出了能提供这种功能的 SerDes 芯片组。

表 10-27. 带有 BIST 的、兼容 IEEE1149 器件

器件	说明
SCAN921023/921224	66 MHz 10-to-1/1-to-10 SerDes
SCAN921025/1226	80 MHz 10-to-1/1-to-10 SerDes
SCAN921260	66 MHz 6 通道 1-to-10 解串器
SCAN926260	66 MHz 6 通道 1-to-10 解串器
SCAN928028	66 MHz 8 通道 10-to-1 串化器

## 回环 (Loopback)

回环是一种验证一个背板上的各板卡间的连接完好性的诊断技术。带有回环功能的器件可以支持将输入的信号返回信号沿的选项。上述的几种复用/缓冲器功能中包含了该功能。

## 10.9 数字视频接口(DVI)/高分辨率多媒体接口(HDMI)

数字视频接口 (Digital Visual Interface, DVI) 和高分辨率多媒体接口 (High-Definition Multimedia Interface, HDMI) 是两种类似的、用于分发未经压缩的数字视频信号的高带宽标准。两种标准都需要使用 3 个高速数据通道以及一路时钟通道来传送 24 bit 的 RGB 彩色视频信号。DVI 和 HDMI 在 PC 和消费电子领域得到了非常广泛的应用。

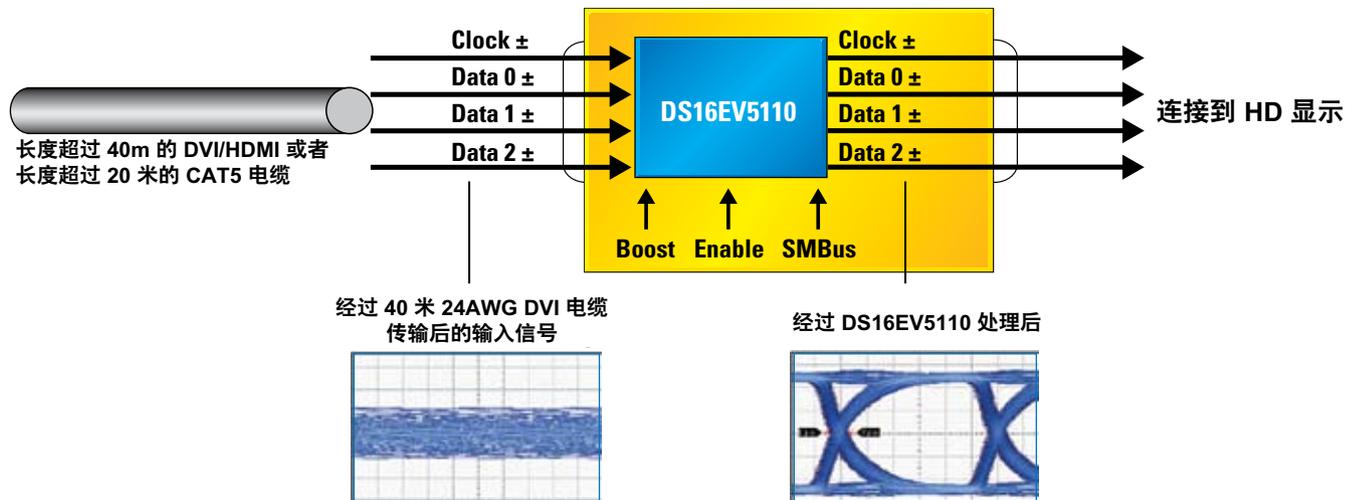
### 高数据率和更长的、成本经济型电缆的使用

更高的分辨率显示继续推动对更高带宽的需求，而最新的 HDMI 1.3 规范将数据率从每通道 1.65 Gbps 提升至每通道 3.4 Gbps。更高的数据率则会由于趋肤效应的影响而造成衰减的增加和信号失真。此外，用户常常希望使用比标准的 5 米电缆更长的电缆。更高的数据率和更长的电缆可以利用均衡来实现。

### 对趋肤效应和介质损耗的补偿

DS16EV5110 是一种用于 DVI、HDMI 和 CAT-5 的视频均衡器，可以针对趋肤效应和介质损耗提供补偿。DS16EV5110 均衡器大大延长了 DVI、HDMI 和 CAT-5 在 250 Mbps~2.25 Gbps 数据率内的传输距离。

图 10-28. 使用信号调理 IC 来提升电缆性能



欲了解更详细的信息，请参阅 AN-1613 “Extending the Reach of HDMI, DVI, and CAT-5 Cables Using the DS16EV5110 Cable Equalizer.”

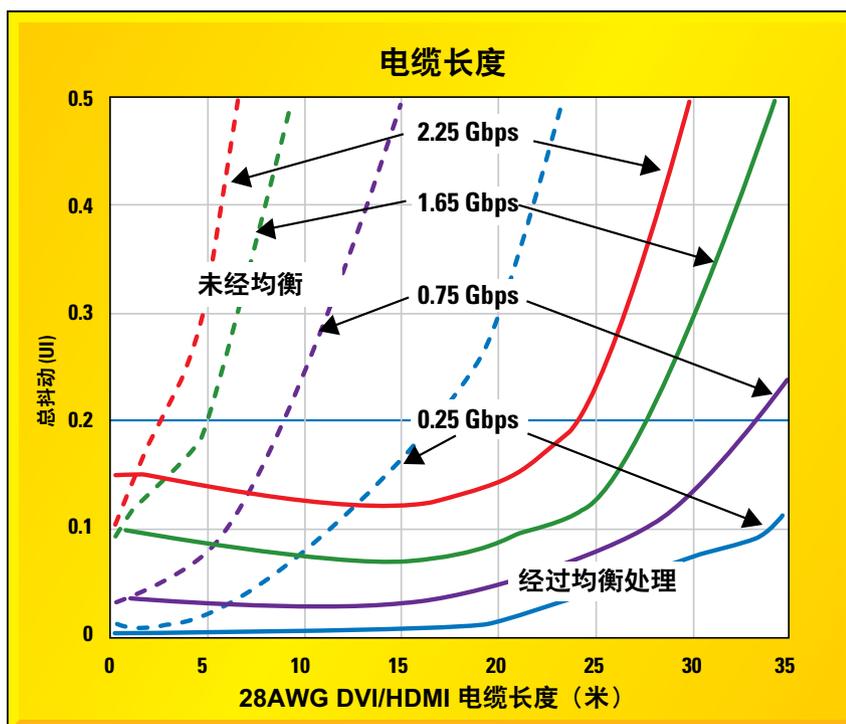


图 10-29. 使用修正功能启用后信号的差分电缆性能

### 11.1 网址和 LVDS 应用

美国国家半导体的关于信号调理的深入应用网站为设计业界提供了与我们的 LVDS 产品系列有关的最新的信息。

LVDS 主页：

[national.com/CHS/lvds](http://national.com/CHS/lvds)

接口主页：

[national.com/CHS/interface](http://national.com/CHS/interface)

信号调理技术选用指南：

[national.com/whatsnew/files/national\\_analog\\_product\\_selguide.pdf](http://national.com/whatsnew/files/national_analog_product_selguide.pdf)

电缆连接和高速传输带来的影响：

[www.informit.com/articles/article.aspx?p=101149&seqNum=8&rl=1](http://www.informit.com/articles/article.aspx?p=101149&seqNum=8&rl=1)

时钟/时序解决方案方面的网站：

[national.com/timing](http://national.com/timing)

LVDS 导论：

[national.com/AU/design/1,4678,13\\_0\\_,00.html](http://national.com/AU/design/1,4678,13_0_,00.html)

提升 FPGA 和 CPLD 的性能，实现电路板外的数据传输：

[national.com/AU/design/0,4706,0\\_61\\_,00.html](http://national.com/AU/design/0,4706,0_61_,00.html)

设计中的模拟技术：

[national.com/nationaltv](http://national.com/nationaltv)

WEBENCH® 在线工具：

[national.com/CHS/webench](http://national.com/CHS/webench)

### 11.2 Analog Edge® and Signal Path Designer® Articles

May 2006

*“Overcoming Impedance Discontinuities in High-Speed Signal Paths by Using LVDS” by Brian Stearns*

July 2007

*“Extending the Signal Path over Data Transmission Lines” by Lee Sledjeski*

## 11.3 非本公司的出版物

EE Times Europe — 2007 年 4 月

“3-Gbps SerDes Targets Professional and Broadcast Video Applications”

Electronic Products — 2002 年 10 月

“LVDS Product Selection”

Systems Designline — 2006 年 5 月

“Reduce Simultaneous Switching Output Noise with a Standalone SerDes Network”

Electronic Design Europe — 2006 年 2 月

“LVDS Role in LCDs for Cars”

EPN Supplements — 2007 年 9 月

“High-Speed Data Transfer for Infotainment”

## 11.4 应用指南

### 应用指南

### 标题

AN-759	Comparing EIA-485 and EIA-422-A Line Drivers and Receivers in Multipoint Applications
AN-903	A Comparison of Differential Termination Techniques
AN-971	Introduction to LVDS
AN-977	Signal Quality Eye Patterns
AN-1032	Introduction to FPD-Link
AN-1057	Ten Ways to Bulletproof RS-485 Interfaces
AN-1060	LVDS - Megabits @ Milliwatts (EDN Reprint)
AN-1084	Channel Link Parallel Application of Link Chips
AN-1085	PCB and Interconnect Design Guidelines
AN-1115	Bus LVDS and DS92LV010A XCVR
AN-1123	Sorting Out Backplane Driver Alphabet Soup
AN-1173	High-Speed Bus LVDS Clock Distribution Using the DS92CK16 Clock Distribution Device
AN-1194	Failsafe Biasing of LVDS Interfaces
AN-1217	How to Validate Bus LVDS SerDes Signal Integrity Using an Eye Mask
AN-1238	Wide Bus Applications Using Parallel Bus LVDS SerDes Devices
AN-1313	SCAN90CP02 Design for Test Features
AN-1327	Simplified Programming of Altera FPGAs using a SCANSTA111/112 Scan Chain Mux
AN-1340	Simplified Programming of Xilinx Devices Using a SCANSTA111/112 JTAG Chain Mux
AN-1376	External Serial Interface Reduces Simultaneous Switching Output Noise in FPGAs
AN-1380	Design Challenges in 5 Gbps Copper Backplanes
AN-1389	Setting Pre-Emphasis Level for DS40MB200 Dual 4 Gbps Mux/Buffer
AN-1398	Printed Circuit Board Design Techniques for DS40MB200
AN-1399	Enabling Redundancy in Multi-Gigabit Links with DS40MB200 Mux/Buffer
AN-1473	PCI Express Using National Semiconductor DS25MB100, DS25MB200, and DS25BR400
AN-1503	Designing an ATCA Compliant M-LVDS Clock Distribution Network
AN-1511	Cable Discharge Event
AN-1541	Driving Signals Over XAUI Backplanes Using DS42MB100, DS40MB200, or DS42BR400
AN-1613	Extending the Reach of HDMI, DVI, and CAT-5 Cables Using the DS16EV5110 Cable Equalizer
AN-1734	Using the LMK03000C to Clean Recovered Clocks

## 11.5 缩写

AMC	Advance Mezzanine Card (线径夹层卡)	GTL	Gunning Transceiver Logic (射电收发器逻辑)
AN	Application Note (应用指南)	HBM	Human Body Model (人体模型)
ANSI	American National Standards Institute (美国国家标准局)	Hi-Z	High Impedance (高阻抗)
ASIC	Application-Specific Integrated Circuit (专用集成电路)	I/O	Input/Output (输入/输出)
ATCA	Advanced Telecommunications and Computing Architecture (先进电信和计算架构)	IBIS	Input/output Buffer Information Specification (输入/输出缓冲器信息规范)
B/P	Backplane (背板)	IC	Integrated Circuit (集成电路)
BER	Bit Error Rate ((位) 误码率)	IDC	Insulation Displacement Connector (绝缘置换连接器)
BERT	Bit-Error-Rate Test ((位) 误码率测试)	IEEE	Institute of Electrical and Electronics Engineers (国际电气电子工程师学会)
B- LVDS	Bus LVDS (总线 LVDS)	ISI	Inter-Symbol Interference (码间干扰)
BTL	Backplane Transceiver Logic (背板收发器逻辑)	Kbps	Kilobits per second (Kbit/s)
CAT-3	CAT-3 (Cable classification) (CAT-3 (电缆分类))	LAN	Local Area Network (局域网)
CAT-5	CAT-5 (Cable classification) (CAT-5 (电缆分类))	LDI	LVDS Display Interface (LVDS 显示接口)
CISPR	International Special Committee on Radio Interference (Comité International Spécial des Perturbations Radioélectriques) 国际无线电干扰专门委员会 (Comité International Spécial des Perturbations Radioélectriques)	LVDS	Low-Voltage Differential Signaling (低压差分信号)
D	Driver (驱动器)	LVTTTL	Low-Voltage Transister-to-Transister Logic (低压晶体管-晶体管逻辑)
DCD	Duty Cycle Distortion (占空比失真)	Mbps	Megabits per second (Mbit/s)
DCR	DC Resistance (直流电阻)	MCH	MicroTCA Carrier Hub (MicroTCA 电信集线器)
DE	De-Emphasis (去加重)	MDR	Mini Delta Ribbon (Mini Delta 带状电缆)
DJ	Deterministic Jitter (确定性抖动)	MLC	Multi-Layer Ceramic (多层陶瓷)
DSP	Digital Signal Processing (数字信号处理)	MLVDS	Multipoint Low-Voltage Differential Signaling (多点低压差分信号)
DUT	Device Under Test (待测器件)	NEXT	Near-End Crosstalk (近端串扰)
DVI	Digital Visual Interface (数字视频接口)	NRZ	Non-Return to Zero (非归零)
ECL	Emitter-Coupled Logic (发射极耦合逻辑)	PCB	Printed Circuit Board (印刷电路板)
EIA	Electronic Industries Association (电子工业协会)	PDF	Probability Duty Function (概率密度函数)
EMC	Electromagnetic Compatibility (电磁兼容性)	PE	Pre-Emphasis (预加重)
EMI	Electromagnetic Interference (电磁干扰)	PECL	Positive-Emitter-Coupled Logic (正发射极耦合逻辑)
EN	Enable (使能)	PHY	Physical Layer Device (物理层器件)
EQ	Equalization (均衡)	PICMG	PCI Industrial Computer Manufacturers Group (PCI 工业计算机制造商协会)
ESD	Electrostatic Discharge (静电放电)	PJ	Periodic Jitter (周期性抖动)
EVK	Evaluation Kit (评估套装)	PLL	Phase-Locked Loop (锁相环路)
FCC	Federal Communications Commission (美国) 联邦通信委员会)	PRBS	Pseudo-Random Binary or Bit Sequence (伪随机二进制或者位序列)
FEC	Far-End Crosstalk (远端串扰)	RJ	Random Jitter (随机抖动)
FPD	Flat Panel Display (平板显示)	RFI	Radio Frequency Interference (射频干扰)
FPD-LINK	Flat Panel Display Link (平板显示链接)	RS	Recommended Standard (推荐标准)
FPGA	Field Programmable Gate Array (现场可编程阵列)	RT	Termination Resistor (终接电阻)
Gbps	Gigabits per second (Gigabit 每秒)	Rx	Receiver (接收器)
		SCI	Scalable Coherent Interface (可扩展的一致性接口)
		SCSI	Small Computer Systems Interface (小型计算机系统接口)
		SDI	Serial Digital Interface (串行数字接口)

SerDes	Serializer/Deserializer (串化器/解串器)
SMPTE	Society of Motion Picture and Television Engineers (电影和电视工程师学会)
SMT	Surface Mount Technology (表面贴装技术)
SNR	Signal-to-Noise Ratio (信噪比)
SSC	Spread Spectrum Clocking (扩谱时钟)
SSO	Simultaneous Switching Output (同步开关输出)
SUT	System Under Test (待测系统)
TDR	Time Domain Reflectometry (时域反射测量)
TEM	Transverse Electro-Magnetic (横磁电磁场)
TFT	Thin Film Transistor (薄膜晶体管)
TIA	Telecommunications Industry Association (电信业协会)
TIE	Time Interval Equivalent (等效时间间隔)
TP	Test Point (测试点)
TTL	Transistor-to-Transistor Logic (晶体管-晶体管逻辑)
TWP	Twisted Wire Pair (双绞线)
Tx	Transmitter (发送器)
UI	Unit Intervals (单位间隔)
UTP	Unshielded Twisted Pair (未屏蔽的双绞线)
VCM	Common-mode Voltage (共模电压)

## 11.6 关于数据表中常见参数的名词解释

$V_{IH}$	— 高水平输入电压：针对数据和控制引脚的 TTL 输入规格参数
$V_{IL}$	— 低输入电压：针对数据和控制引脚的 TTL 输入规格参数
$V_{CL}$	— 输入钳位电压：在特定电流条件下的钳位电压参数
$I_{IN}$	— 输入电流：每个 TTL 输入抽取的电流大小
$V_{OH}$	— 高水平输出电压：针对数据和控制引脚的 TTL 输出规格参数
$V_{OL}$	— 低水平输出电压：针对数据和控制引脚的 TTL 输出规格参数
$I_{OS}$	— 输出短路电流：输出短路到地时所抽取的电流
$I_{OZ}$	— 三态 (TRI-STATE) 输出电流：输出处于三态时所抽取的电流大小；输出要么被一个控制引脚禁止，要么器件处于断电模式
$V_{TH}$	— 差分阈值高压：任何输入电压超过该阈值将在输出端产生逻辑 HIGH 输出
$V_{TL}$	— 差分阈值低压：任何低于该阈值的信号将在输出端产生一个逻辑低输出
$V_{OD}$	— 输出差分电压：(DO+) - (DO-) 所求出的幅值
$\Delta V_{OD}$	— 输出差分电压不平衡度：LVDS 正和负输出之间的幅值差异
$V_{OS}$	— 偏移电压：LVDS 输出的共模电压
$\Delta V_{OS}$	— 偏移电压非平衡度：LVDS 正、负输出的共模电压差
$I_{OX}$	— 断电输出电流： $V_{DD} = 0$ 时所抽取的电流，输出要在 0V 或在另一个正电压
$I_{CCD}$	— 串化器总电源电流（包括负载电流）：串化器所抽取的总电流
$I_{CCR}$	— 接收器总电源电流（包括负载电流）：解串器所抽取的总电流
$I_{CCT}$	— 收发器总电源电流（包括负载电流）：串化器和解串器所抽取的电流大小
$I_{CCX}$	— 断电时收发器总电源电流：收发器处于断电状态时所抽取的总电流
$I_{CCXD}$	— 断电时串化器总电源电流：驱动器处于断电模式时抽取的总电流
$I_{CCXR}$	— 断电时接收器总电源电路：接收器在断电模式下的总电流
$t_{TCP}$	— 发送时钟周期：串化器的 TTL 时钟输入规格参数
$t_{TCH}$	— 发送时钟 high 时间：时钟周期中，信号必须为 high 状态的那部分时间
$t_{TCL}$	— 发送时钟 low 时间：时钟周期中，信号必须为 low 状态的那部分时间
$t_{CLKT}$	— TCLK 输入转换时间：对在 10% 和 90% 占空比条件下测量到的输入时钟的上升/下降时间要求
$t_{JIT}$	— TCLK 输入抖动：输入时钟所能容忍的最大抖动量
$t_{LH}$	— 总线 LVDS 低—高转换时间（在 20%~80% 范围内测量）：LVDS 信号的上升时间指标
$t_{HL}$	— 总线 LVDS 高—低转换时间（在 20%~80% 范围内测量）：LVDS 信号的下降时间指标
$t_{DIS}$	— $D_{IN}$ (0-x) 到 TCLK 的建立时间：串化器的数据和时钟信号切换时所花费的建立时间要求
$t_{DIH}$	— $D_{IN}$ (0-x) 到 TCLK 的保持时间：串化器的数据和时钟信号切换时所花费的建立时间要求
$t_{HZD}$	— $D_O \pm$ HIGH 至 TRI-STATE 延迟：串化器的 LVDS 输出从 HIGH 转换为 TRI-STATE 状态所需要的时间长短
$t_{LZD}$	— $D_O \pm$ LOW 至 TRI-STATE 延迟：串化器的 LVDS 输出从 LOW 转换为 TRI-STATE 时状态所需要的时间长短
$t_{ZHD}$	— $D_O \pm$ TRI-STATE 至 HIGH 延迟：串化器的 LVDS 输出从 TRI-STATE 转换为 HIGH 状态所需要的时间长短
$t_{ZLD}$	— $D_O \pm$ TRI-STATE 至 LOW 延迟：串化器的 LVDS 输出从 TRI-STATE 转换为 LOW 状态所需要的时间长短

$t_{SPW}$	— SYNC 脉冲宽度：在器件进入 SYNC 模式和 SYNC 模式出现在 LVDS 输出端之前，SYNC 保持为 HIGH 所持续的引脚钟周期数
$t_{PLD}$	— 串化器 PLL 锁定时间：在数据可以出现在 LVDS 输出端之前 PLL 需要锁定到输入时钟信号上所需要的时钟周期数
$t_{SD}$	— 串化器延迟：数据通过一个串化器所花费的时间
$t_{RJIT}$	— 随机抖动：所产生的 Gaussian 抖动的大小
$t_{DJIT}$	— 确定性抖动：所产生的非 Gaussian 抖动的大小
$t_{RFCP}$	— REFCLK 周期：REFCLK 输入引脚的周期要求
$t_{RFDC}$	— REFCLK 占空比：REFCLK 输入引脚的占空比要求
$t_{RFCP/TCP}$	— REFCLK/TCLK 比：TCLK 和 REFCLK 周期之间所容许的差异大小
$t_{RFFT}$	— REFCLK 转换时间：REFCLK 引脚的上升和下降时间要求
$t_{RCP}$	— 恢复的时钟（RCLK）周期：从 LVDS 输入恢复出的时钟的周期
$t_{RFFT}$	— RCLK 占空比：从 LVDS 输入所恢复出的时钟信号的占空比
$t_{CLH}$	— CMOS/TTL Low 到 High 转换时间：TTL 输出的上升时间指标
$t_{CHL}$	— High 到 Low 转换时间：TTL 输出的下降时间指标
$t_{ROS}$	— $R_{OUT}$ (0-x) 数据到 RCLK 的建立时间：所提供的 RCLK 信号沿（往往是上升沿）与输出数据之间的建立时间
$t_{ROH}$	— $R_{OUT}$ (0-x) 数据到 RCLK 的保持时间：所提供的 RCLK 信号沿（往往是上升沿）与输出数据之间的保持时间
$t_{HZR}$	— HIGH 至 TRI-STATE 延迟：解串器的 TTL 输出从 HIGH 态变为 TRI-STATE 时所花费的时间长短
$t_{LZR}$	— LOW 至 TRI-STATE 延迟：解串器的 TTL 输出从 LOW 态变为 TRI-STATE 时所花费的时间长短
$t_{ZHR}$	— TRI-STATE 至 HIGH 延迟：解串器的 TTL 输出从 TRI-STATE 变为 HIGH 态时所花费的时间长短
$t_{ZLR}$	— TRI-STATE 至 LOW 延迟：解串器的 TTL 输出从 TRI-STATE 变为 LOW 态时所花费的时间长短
$t_{DD}$	— 解串器延迟：数据穿过一个解串器时所花费的时间长短
$t_{DSR1}$	— 解串器 PLL 从 PWRDWN 状态唤醒时的锁定时间：解串器的 PLL 在退出断电模式后锁定数据所花费的时间
$t_{DSR2}$	— 解串器 PLL 从 SYNC PAT 状态唤醒时的锁定时间：解串器的 PLL 在锁定到输入的 SYNC 数据模式前所花费的时间
$t_{RNMI-R}$	— 理想解串器噪声裕量 - 右：从理想的数据位终止位置到采样窗口的右边沿所测量出的噪声裕量
$t_{RNMI-L}$	— 理想解串器噪声裕量 - 左：从理想的数据位起始位置到采样窗口的左边沿所测量出的噪声裕量

## 欲了解更多信息

美国国家半导体提供了全面的支持服务。产品信息，包括销售方面的文档和技术支持，可以通过美国国家半导体的客户支持中心获取。

欲索取样品、评估板卡、数据表和在线设计工具，请访问

[www.national.com/CHS](http://www.national.com/CHS)

## WEBENCH®

WEBENCH 是一种交互式的在线工具，它可以让设计者快速地针对美国国家半导体的器件在不同条件下进行信号完整性仿真。用户可以选择电缆的类型和长度，然后用不同的器件、数据模式和设定值进行预加重、去加重或者均衡性能方面的试验。WEBENCH 功能实时响应的能力使得设计优化循环能得以缩短。

[national.com/CHS/webench](http://national.com/CHS/webench)



### 在线设计研讨班



欲观看由业界专家开设的 50 个以上的设计研讨班，请登陆

[national.com/onlineseminar#interface](http://national.com/onlineseminar#interface)

### 技术参考文献



美国国家半导体的模拟设计技术学报（月刊）。请到如下网址报名索取

[national.com/nationaledge](http://national.com/nationaledge)

# 美国国家半导体亚太区代理商名单

**Arrow Electronics Australia**  
www.arrowasia.com  
Adelaide  
T: 08-8333-2122 F: 08-8333-2322  
ian.wallis@arrowasia.com

**Brisbane**  
T: 07-3623-9000 F: 07-3216-5750  
russell.oakey@arrowasia.com

**Melbourne (Head Office)**  
T: 03-9574-9300 F: 03-9574-9773  
ted.clinton@arrowasia.com

**Perth**  
T: 08-9472-3655 F: 08-9470-3273  
troy.collins@arrowasia.com

**Sydney**  
NSW Office and CMS Division  
T: 02-9669-9800 F: 02-9669-9901  
arrowsales@arrowasia.com

**Arrow Electronics Marketing**  
www.avnet.com  
Adelaide  
T: 08-8363-2255 F: 08-8363-6311  
asean@avnet.com

**Brisbane**  
T: 07-3269-3168 F: 07-3269-3177  
asean@avnet.com

**Perth**  
T: 08-9301-1500 F: 08-9301-1518  
asean@avnet.com

**Sydney**  
T: 02-9678-1299 F: 02-9678-1266  
asean@avnet.com

**Melbourne**  
T: 03-9780-4250 F: 03-9760-4255  
asean@avnet.com

**Future Electronics**  
www.future.ca  
Adelaide  
T: 08-8280-7440 F: 08-8280-7404  
matt.wild@futureelectronics.com

**Brisbane**  
T: 07-3832-8044 F: 07-3832-8011  
matt.wild@futureelectronics.com

**Melbourne**  
T: 03-9558-6312 F: 03-9558-6317  
matt.wild@futureelectronics.com

**Sydney**  
T: 61-2-8824-4722 F: 61-2-8833-2070  
matt.wild@futureelectronics.com

## INDIA

**Arrow Electronics India Private Limited**  
www.arrowasia.com  
Bangalore  
T: 080-5135-3800 F: 080-5112-7784  
muralidharan.g@arrowasia.com

**Hyderabad**  
T: 040-5577-4146 F: 040-5577-4138

**Mumbai**  
T: 022-5892-5196 F: 022-5892-1415  
dinesh.patkar@arrowasia.com

**New Delhi**  
T: 011-2578-4629 F: 011-2578-5751  
tarun.tripathi@arrowasia.com

索取详细产品资料，  
欢迎查阅美国国家半导体的网页，网址为  
national.com/CHS  
技术支持网址为  
national.com/CHS/  
support

**Avnet India Private Limited**  
www.avnet.com  
Bangalore  
T: 080-2532-3420 F: 080-2532-3747  
asean@avnet.com

**New Delhi**  
T: 011-2684-1700 F: 011-2684-1709  
asean@avnet.com

**Pune**  
T: 020-2553-2807 F: 020-2553-2910  
asean@avnet.com

**Secunderabad**  
T: 040-2784-8970 F: 040-5548-0034  
asean@avnet.com

**Future Electronics**  
www.future.ca  
Bangalore  
T: 080-2559-3105 F: 02-2558-7890  
cr.nagendra@futureelectronics.com

**Mumbai**  
T: 02-2570-1758 F: 022-5693-4963  
revish.suri@futureelectronics.com

**New Delhi**  
T: 011-2646-1414 F: 011-5173-0205  
amit.vohra@futureelectronics.com

**Arrow Electronics Korea Ltd.**  
www.arrowasia.com  
T: 02-2650-9700 F: 02-2653-2700  
jesse.seo@arrowasia.com

**Arrow Korea**  
www.avnet.com  
T: 02-777-6300 F: 02-761-4121  
ch.park@avnet.com

**Seyung Britestone Co. Ltd.**  
www.bristestone.com  
T: 02-3218-1562 F: 02-515-8889  
h.park@brystone.com

**Arrow Components (M) Sdn. Bhd.**  
www.arrowasia.com  
Penang  
T: 04-229-6613 F: 04-229-6623  
cs.teh@arrowasia.com

**Selangor**  
T: 03-7804-6313 F: 03-7804-6213  
alex.go@arrowasia.com

**Avnet Malaysia Sdn Bhd.**  
www.avnet.com  
Kuala Lumpur  
T: 03-2093-9721 F: 03-2093-9723  
asean@avnet.com

**Penang**  
T: 04-646-2032 F: 04-646-1950  
asean@avnet.com

**Future Electronics**  
www.future.ca  
Kuala Lumpur  
T: 03-7803-7133 F: 03-7806-3873  
yibien.tham@futureelectronics.com

**Penang**  
T: 04-227-7213 F: 04-227-7263  
tze-jin@futureelectronics.com

**Arrow Components (NZ) Limited**  
www.arrowasia.com  
Auckland  
T: 09-622-0101 F: 09-272-2310  
martin.tompkins@arrowasia.com

**Christchurch (Head Office)**  
T: 03-366-2000 F: 03-366-2111  
gary.compbell@arrowasia.com

**Wellington**  
T: 04-570-2261 F: 04-566-2111  
john.hardie@arrowasia.com

**Arrow Electronics Marketing**  
www.avnet.com  
Auckland  
T: 09-814-7900 F: 09-814-7929  
asean@avnet.com

**Christchurch**  
T: 03-362-0680 F: 03-362-0600  
asean@avnet.com

**Future Electronics**  
www.future.ca  
Auckland  
T: 03-982-3255 F: 03-982-3258  
asean@avnet.com

**Arrow Electronics Asia (S) Pte. Ltd.**  
www.arrowasia.com  
T: 02-772-3063 F: 02-772-3054  
maria.fivero@arrowasia.com

**Avnet Philippines Pty Ltd Inc.**  
www.avnet.com  
T: 02-7060-931 F: 02-7060-930  
asean@avnet.com

**CINERGI Technology & Devices (PHILS), Inc**  
www.avnet.com  
T: 02-842-6567 F: 02-842-0185  
nsc.asia@avnet.com

**Future Electronics**  
www.future.ca  
T: 02-850-2107 F: 02-842-1174  
ofelia.santos@futureelectronics.com

**Arrow Asia Pacific Ltd.**  
www.arrowasia.com  
Hong Kong  
T: 2484-2112 F: 2484-2122  
eddy.li@arrowasia.com

**Arrow Electronics China Ltd.**  
www.arrowasia.com  
Beijing  
T: 010-8528-2030 F: 010-8525-2698  
dorna.pan@arrowasia.com

**Chengdu**  
T: 028-8620-3226 F: 028-8620-3223  
weiping.liao@arrowasia.com

**Fuzhou**  
T: 0591-8784-5282 F: 0591-8784-5280  
miles.liu@arrowasia.com

**Guangzhou**  
T: 020-3887-1735 F: 020-3887-1736

**Hangzhou**  
T: 0571-8763-1324 F: 0571-8763-2452  
fred.duan@arrowasia.com

**Harbin**  
T: 0451-8482-0574 F: 0451-8482-0574

**Nanjing**  
T: 025-8454-7458 F: 025-8440-9035  
richard.zheng@arrowasia.com

**Ningbo**  
T: 0574-6764-1931 F: 0574-6764-1933

**Qingdao**  
T: 0532-8502-6916 F: 0532-8502-6646  
irene.shan@arrowasia.com

**Shanghai**  
T: 021-5236-9845 F: 021-5238-9849  
kent.sun@aitgroup.com.cn

**Shenzhen**  
T: 2402-9032 F: 2402-9805  
amy.leung@aitgroup.com.cn

**Shanghai**  
T: 021-5236-9845 F: 021-5238-9849  
kent.sun@aitgroup.com.cn

**Shenzhen**  
T: 0755-8931-3199 F: 0755-8931-2399  
may.he@aitgroup.com.cn

**Shanghai**  
T: 021-2893-2000 F: 021-2893-2333  
michael.zhang@arrowasia.com

**Shenyang**  
T: 024-2396-3399 F: 024-2396-2299  
robert.wang@arrowasia.com

**Shenzhen**  
T: 0755-8359-2920 F: 0755-8359-2377  
mark.xu@arrowasia.com

**Suzhou**  
T: 0512-761-1929 F: 0512-761-7651  
kelland.kuai@arrowasia.com

**Tianjin**  
T: 022-8319-1526 F: 022-8319-1525  
ivan.zhao@arrowasia.com

**Wuhan**  
T: 027-5890-5281 F: 027-5890-5283  
tony.song@arrowasia.com

**Xiamen**  
T: 0592-239-4567 F: 0592-239-4000

**Xian**  
T: 029-8765-1125 F: 029-8765-1123  
jimmy.gao@arrowasia.com

**Zhuhai**  
T: 0756-337-3352 F: 0756-337-3351

**Aeco Technology Co. Ltd.**  
www.aecotech.com.tw  
Beijing  
T: 010-6642-2960 F: 010-6642-2963  
johnson\_huang@aecotech.com.cn

**Chengdu**  
T: 028-8667-3414 F: 028-8667-3419  
johnson\_huang@aecotech.com.cn

**Hong Kong**  
T: 2304-4023 F: 2304-0065  
lillian\_lai@aecotech.com.hk

**Nan Jing**  
T: 86-574-8736-7512 F: 86-574-8736-7512

**Ning Bo**  
T: 86-574-8736-7512 F: 86-574-8736-7512

**Qingdao**  
T: 86-0532-8591-0628  
F: 86-0532-8591-0651

**Shanghai**  
T: 021-6235-0331 F: 021-6235-0348  
william\_gu@aecotech.com.cn

**Shenzhen**  
T: 0755-2518-1524 F: 0755-2518-1517  
joen\_chen@aecotech.com.tw

**Suzhou**  
T: 0512-6515-9771 F: 0512-6515-9488  
cindy\_ji@aecotech.com.cn

**Xiamen**  
T: 86-0592-559-8301 F: 86-0592-559-8302

**Xian**  
T: 029-8831-1214 F: 029-8831-1215  
johnson\_huang@aecotech.com.cn

**Asian Information Technology Inc.**  
www.aitinc.com.tw  
Beijing  
T: 010-6515-6205 F: 010-6515-5720  
paul.zhang@aitgroup.com.cn

**Hong Kong**  
T: 2402-9032 F: 2402-9805  
amy.leung@aitgroup.com.cn

**Shanghai**  
T: 021-5236-9845 F: 021-5238-9849  
kent.sun@aitgroup.com.cn

**Shenzhen**  
T: 0755-8931-3199 F: 0755-8931-2399  
may.he@aitgroup.com.cn

**Suzhou**  
T: 0512-8841-1476 F: 0512-8841-1477  
jeff.zeng@aitgroup.com.cn

**Xiamen**  
T: 0592-3116-124 F: 0592-3116-127  
may.he@aitgroup.com.cn

**Avnet Sunrise Ltd.**  
www.sunrise.avnet.com  
Beijing  
T: 010-8206-2488 F: 010-8206-2427  
avnetsunrise@avnet.com

**Changsha**  
T: 0731-441-1732 F: 0731-441-2732  
sandy.pang@avnet.com

**Tianjin**  
T: 022-8852-8191 F: 022-8852-8300  
sandy.pang@avnet.com

**Chongqing**  
T: 023-6879-1501 F: 023-6879-1502  
sandy.pang@avnet.com

**Shenyang**  
T: 024-8290-2598 F: 024-8290-2595

**Guangzhou**  
T: 020-8283-8300 F: 020-2283-8309  
snowfer.jiang@avnet.com

**Fuzhou**  
T: 0591-773-7851 F: 0591-773-7194  
snowfer.jiang@avnet.com

**Hangzhou**  
T: 0571-8580-0805 F: 0571-8580-0919  
sandy.pang@avnet.com

**Hong Kong**  
T: 2176-5388 F: 2302-0635  
alki.choi@avnet.com

**Nanjing**  
T: 025-8689-0220 F: 025-8689-0280  
sandy.pang@avnet.com

**Ningbo**  
T: 0574-8771-4702 F: 0574-8771-4712  
sandy.pang@avnet.com

**Qingdao**  
T: 0532-9575-7675 F: 0532-9571-0557  
sandy.pang@avnet.com

**Shanghai**  
T: 021-5206-2288 F: 021-5206-2299  
sandy.pang@avnet.com

**Shenzhen**  
T: 0755-8378-1886 F: 0755-8378-3556  
snowfer.jiang@avnet.com

**Suzhou**  
T: 0512-6522-2535 F: 0512-6522-2536

**Tianjin**  
T: 022-2361-2796 F: 022-2361-5217  
sandy.pang@avnet.com

**Wuhan**  
T: 027-8732-2548 F: 027-8732-2651  
snowfer.jiang@avnet.com

**Xiamen**  
T: 0592-516-3621 F: 0592-516-3620  
sandy.pang@avnet.com

**Xian**  
T: 029-8831-0052 F: 029-8831-0390  
sandy.pang@avnet.com

**Zhengzhou**  
T: 0371-6565-5823 F: 0371-6565-5806  
sandy.pang@avnet.com

**Zhuhai**  
T: 0756-8125-0111 F: 0756-8125-0113

**China Electronic Appliance Shenzhen Co., Ltd.**  
www.ceacsz.com.cn  
Beijing  
T: 010-6827-4230 F: 010-6823-3875  
bjy@ceacsz.com.cn

**Chengdu**  
T: 028-8525-2278 F: 028-8525-2319  
cdoffice@ceacsz.com.cn

**Hong Kong**  
T: 021-6249-7036 F: 2375-8378  
hkoffice@ceacsz.com.cn

**Shanghai**  
T: 021-6249-7036 F: 021-6249-6092  
shoffice@ceacsz.com.cn

**Shenzhen**  
T: 0755-8361-6195 F: 0755-8335-0876  
szoffice@ceacsz.com.cn

**Shenyang**  
T: 138-4039-9757 F: 024-6249-4387

**Wuhan**  
T: 027-8769-0007 F: 027-8769-0006  
whoffice@ceacsz.com.cn

**Xiamen**  
T: 0592-516-7068 F: 0592-516-7065  
xmoffice@ceacsz.com.cn

**Xian**  
T: 029-8827-6283 F: 029-8827-6152  
xaoffice@ceacsz.com.cn

**Future Electronics**  
www.future.ca  
Beijing  
T: 010-6418-2335 F: 010-6418-2290  
jian.fang@futureelectronics.com

**Chengdu**  
T: 028-8545-4789 F: 028-8543-2616  
charles.qi@futureelectronics.com

**Guangzhou**  
T: 020-8364-9339 F: 020-8364-9329  
jim.cai@futureelectronics.com

**Hong Kong**  
T: 2420-6238 F: 2423-0767  
jonathan@futureelectronics.com

**Nanjing**  
T: 025-8684-0006 F: 025-8471-7972  
bill.nan@futureelectronics.com

**Qingdao**  
T: 0532-502-6235 F: 0532-502-6015  
howard.gao@futureelectronics.com

**Shanghai**  
T: 021-6341-0077 F: 021-6341-0170  
charlie.zhu@futureelectronics.com

**Shenzhen**  
T: 0755-8366-9286 F: 0755-8366-9280  
jact.wan@futureelectronics.com

**Tianjin**  
T: 022-5819-5650 F: 022-5819-5750  
li-nin.ma@futureelectronics.com

**Xiamen**  
T: 0592-239-8230 F: 0592-239-8236  
horg-an.zhang@futureelectronics.com

**Kei Kong Electronics Ltd.**  
www.keikong.com  
Beijing  
T: 010-8837-7016 F: 010-6835-8255  
kkty@keikong.com

**Guangzhou**  
T: 020-2222-1773 F: 020-2222-1783  
yuliang@keikong.com

**Hong Kong**  
T: 2715-0738 F: 2715-1337  
gig@keikong.com

**Nanjing**  
T: 025-8470-2292 F: 025-8471-8031  
laure@keikong.com

**Shanghai**  
T: 021-6354-1141 F: 021-6353-6038  
bill.ye@kiongsh.com

**Shenzhen**  
T: 0755-8328-1338 F: 0755-8328-1001  
yen@kiongsh.com

**Wuhan**  
T: 027-5973-0276 F: 027-5973-0267

**Xiamen**  
T: 0592-3806-801 F: 0592-3806-909

**RSL Microelectronics Co. Ltd.**  
www.rslgroup.com.cn  
Beijing  
T: 010-6435-1203 F: 010-6435-8904  
enquiry@rslgroup.com.hk

**Shenzhen**  
T: 0755-8826-2633 F: 0755-8826-2655  
candy@rslgroup.com.hk

**Xiamen**  
T: 0592-296-1161 F: 0592-296-1605  
jiang.wei@rslgroup.com.hk

**Xian**  
T: 029-8827-6283 F: 029-8827-6152  
xaoffice@ceacsz.com.cn

**Hong Kong**  
T: 2333-0089 F: 2773-9900  
andygan@rslgroup.com.hk

**Arrow Electronics (S) Pte. Ltd.**  
www.arrowasia.com  
T: 6569-8388 F: 6569-8288  
rayson.ho@arrowasia.com