

**DP83620,DP83630,DP83640,DP83848C,
DP83848H,DP83848I,DP83848J,DP83848K,
DP83848M,DP83848Q,DP83848T,DP83848VYB,
DP83848YB,DP83849C,DP83849I,DP83849ID,
DP83849IF**

Application Note 1469 PHYTER® Design & Layout Guide



Literature Number: ZHCA219



1.0 引言

PHYTER系列产品是具有鲁棒性、全功能、低功耗、10/100物理层的器件。由于兼具远超过IEEE规格的电缆长度性能，以及为10BASE-T和100BASE-TX以太网协议的应用提供低成本解决方案的特性，因而器件在下列应用中可确保与基于其它标准的以太网产品相兼容并实现互操作：

- 高端外围设备
- 工业控制
- 工厂自动化
- 通用的嵌入式应用

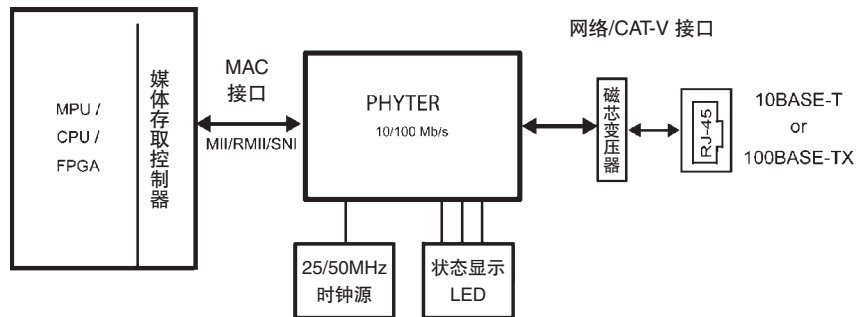
结合产品数据表、应用注释和美国国家半导体的参考设计来使用本文件，有助于使用美国国家半导体的PHYTER系列产品来设计系统，亦有益于避免在最终产品中可能出现的问题。由于本文中许多的技术或者注意要点都遵循“高速设计”实践，将它们列举如下作为回顾。

讨论主题包括：

- MDI（双绞线对/CAT-V）连接
- 电源退耦
- MAC接口
- 时钟连接
- LED连接
- 配置（带式）连接
- 未使用/保留引脚
- PCB层（层叠）
- 器件选择/建议

本文的讨论所适用的产品：

- DP83848C
- DP83848I
- DP83848YB
- DP83848M
- DP83848H
- DP83848T



20191101

图1. 典型的应用

2.0 MDI (TP/CAT-V) 连接

PHYTER的网络或媒体相关接口(MDI)的连接是通过发送端(TD+和TD-)和接收端(RD+和RD-)差分对引脚实现的。它们先被连接至一个终端网络,然后连接至1:1的磁芯变压器和一个RJ-45接口。为了节省空间,磁芯变压器和RJ-45都是单独的集成器件。然后使用一条标准的以太网五类电缆(CAT-V)来连接余下的网络。图2为推荐的10/100 Mb/s双绞线接口电路。

注释: PHYTER终端和中间抽头连接有别于先前的美国国家半导体以太网器件。

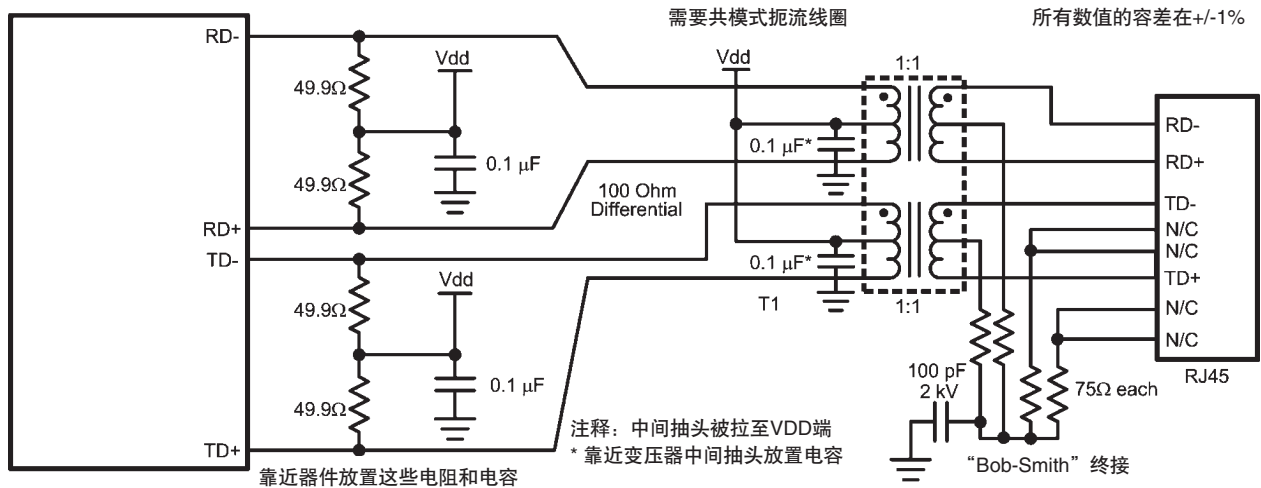


图2. 10/100 Mb/s双绞线接口

2.1 印刷电路板布局要点

- 在靠近PHYTER TD+/-和RD+/-引脚处放置49.9欧姆、1%的电阻和0.1 μ F退耦电容,由通孔直接连至Vdd层。
- 对于成对的信号路径(例如TD+和TD-),应互相平行布置迹线,且在长度上互相匹配。长度的匹配可将延迟的差别降到最小,以避免增加共模噪声和EMI辐射。参见图4。
- 理想情况在信号路径上不应有交叉或者通孔。通孔会造成阻抗的非连续性,所以应将其数目降到最低。同时应尽可能在单层上布局全部成对迹线。
- 应当在所有的信号迹线上,特别是在差分信号对上避免短截(stub)。参见图3。
- 印刷电路板迹线应尽可能短。
- 不应将信号迹线跨越一个分割的平面。参见图4。信号跨越一个分割的平面会造成无法预测的回路电流,极可能导致信号质量恶化并产生EMI问题。
- 双绞线应有50欧姆的对地阻抗或100欧姆的差分可调阻抗。可利用网上的许多工具来进行阻抗计算,很多可供使用的工具在下列网址上:

<http://www.emclab.umn.edu/pcbtlc/index.html>

http://www.ultracal/articles/diff_z.pdf

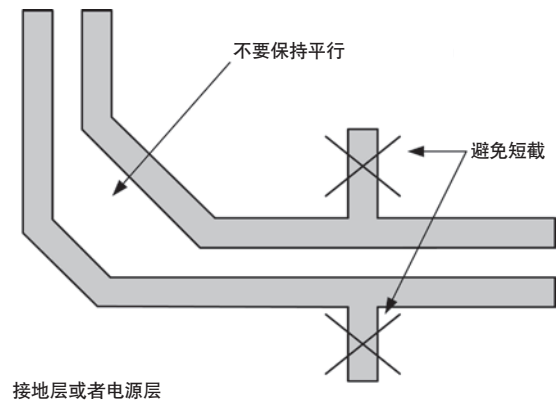
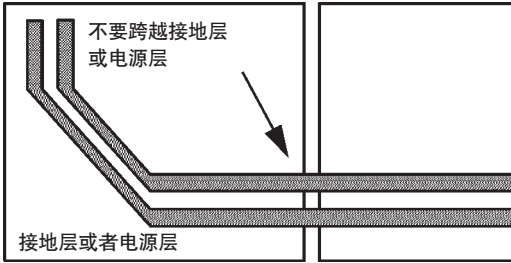


图3. 差分信号对-短截



20191104

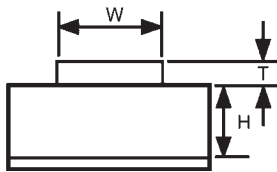
图4. 差分信号对-同层跨越

2.2 阻抗的计算

- 可利用下列公式计算电路板的差分阻抗。

微带的阻抗 - 单端

$$Z_o = \left(\frac{87}{\sqrt{Er + (1.41)}} \right) \ln \left(5.98 \frac{H}{0.8W + T} \right)$$



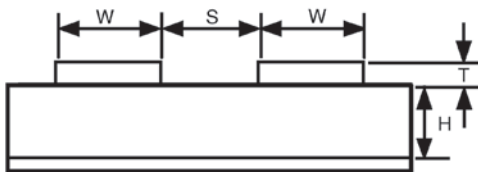
20191105

W=迹线宽度
H=回路平面上的绝缘层高度
T=迹线厚度
Er=绝缘体的相对介电常数

图5. 微带阻抗 - 单端

微带阻抗 - 差分

$$Z_{diff} = 2Z_o \left(1 - 0.48 \left(e^{\left(\frac{-0.96S}{H} \right)} \right) \right)$$



20191106

W=迹线宽度

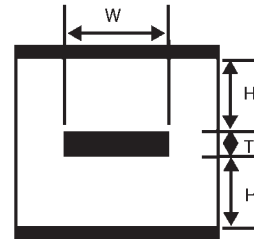
H=回路平面上的绝缘层高度
T=迹线厚度
S=迹线间距
Er=绝缘体的相对介电常数

图6. 微带阻抗 - 差分

- 对于微带迹线而言，在信号迹线下方需要有一层实心的接地层。接地层使EMI不易辐射并保持迹线阻抗的连续性。因为带状迹线一般会夹在接地层/电源层之间，“三明治结构”的优势是更低的EMI辐射和更低的噪声耦合。使用带状线所面临的折衷是较低的传输速度。

带状线阻抗 - 单端

$$Z_o = \frac{60}{\sqrt{Er}} \ln \left(1.9 \frac{2H + T}{0.8W + T} \right)$$



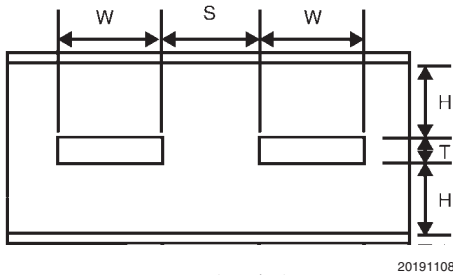
20191107

W=迹线宽度
H=回路平面上的绝缘层高度
T=迹线厚度
Er=绝缘体的相对介电常数

图7. 带状线阻抗 - 单端

带状线阻抗 - 差分

$$Z_o = 2Z_o \left(1 - 0.347 \left(e^{-2.9 \frac{S}{H}} \right) \right)$$



W=迹线宽度
H=回路平面上的绝缘层高度
T=迹线厚度
S=迹线之间距离
Er=绝缘体的相对介电常数

图8. 带状线阻抗 - 差分

2.3 RJ-45连接

MDI连接的磁芯变压器将本地电路与网络电缆上的连接设备进行直流隔离。隔离绕组的中间抽头具有“Bob Smith”终接，并通过75欧姆电阻和1000 pF电容连接至机壳接地端。终接电容的额定电压应为3 kV。

注释：“Bob Smith”终接不适用于以太网供电（PoE）应用。

2.4 MDI 建议

为通过符合EMI标准的测试，下列几个有益的建议供参考：

- 金属屏蔽的RJ-45连接至机壳接地端，从而减少EMI辐射。
- 带共模扼流的磁芯变压器也有助于减少EMI辐射。
- 不要将电路与机壳接地层相交迭。这会造成接地层之间的耦合。将机壳接地层保持为隔离的孤岛。在机壳和电路接地层之间放置一个孔洞。在孔洞上放置两个或三个1206焊盘。在日后有EMI辐射问题时，允许添加额外的器件。

3.0 电源滤波

应采用低阻抗表面贴装电容对器件的Vdd电源引脚进行旁路。电容应直接连到电源层，其通孔尽可能地靠近引脚放置。这会减少旁路电容的串联电感。电感增加会降低电容的自振频率，反过来会降低电容的高频性能。每两个电源引脚大约设定一个旁路电容，数值约为0.1 μF和0.01 μF，将它们直接并联，或交换数值、在器件周围“分散”摆放。具有多个数值的电容会增加旁路的频率范围效果。对于大数值电容而言，引脚和电路板上连接的电感，可能会造成低频处的共振。

建议印刷板至少有一个实心的接地层和一个实心的电源Vdd层，在这些层中没有断开的区域。应使电源层和接地层之间的距离最小，从而将电源和接地层之间的夹层电容最大化。用铜箔填充信号层中未使用的区域，并将它们连接至正确的电源层，会增加夹层电容。在高频时夹层电容看起来像短路，有助于减少电源层的阻抗。美国国家半导体公司提供参考设计来对这些建议措施进行演示。

可利用下列公式粗略计算夹层电容值。

$$C_{pp} = \frac{0.225 \epsilon_r A}{d}$$

d=夹层间距
A=夹层的交迭面积
Er=绝缘体的相对介电常数

图9. 夹层电容

也可以在靠近PHYTER处放置一个10.0 μF的电容，用来增加Vdd层和接地层之间的旁路功能。

3.1 电源反馈供电

PHYTER具有内置稳压器，PFBOUT，用来为核心电路驱动PFBIN1和PFBIN2。应尽量将同一层中的这些引脚连接在一起，进行特别的滤波以确保正确的工作。应将并联的10.0 μF （钽电容）和0.1 μF 靠近PFBOUT放置。其中，应将0.1 μF 电容靠近PFBIN1和PFBIN2放置。参见图10。

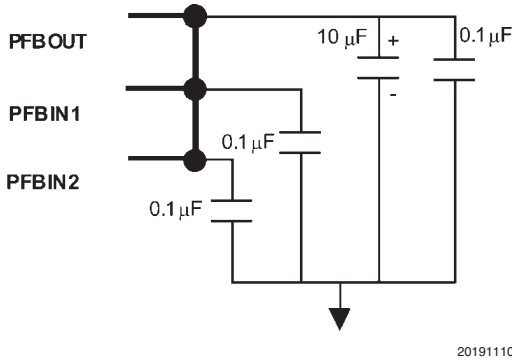


图10. 内核电源的旁路

总而言之，应当遵循以下的电源设计指南：

- 实心的Vdd电源和接地层
- 将Vdd电源与接地之间的内层电容最大化
- 对模拟电源引脚作噪声隔离最为关键
- 用尽可能靠近IC引脚的通孔将电容和IC引脚直接连到电源层
- PFBOUT、PFBIN1和PFBIN2需要特别的旁路，参见图10。

这里提出的电源退耦建议被认为是比较保守的。遵循指南和建议以确保首次设计成功。经过认真的测试、EMI性能和位错误率（BER）性能评估，对布局或者器件数目进行修改可以降低生产成本，器件数量和/或者电路板面积。

4.0 MAC接口（MII/RMII）

媒体无关接口（MII）将PHYTER连接至媒体存取控制器（MAC）。实际MAC上是一个分离器件，集成至微处理器、CPU或者FPGA中。IEEE规格定义在MII信号总线上应具有68欧姆的阻抗。

在空间受限的应用中，PHYTER系列产品也支持简化的MII（RMII）。关于此工作模式的详细信息，请参考“AN-1405 DP83848 – 单端10/100 Mb/s以太网收发器简化媒体相关接口（RMII）。”

4.1 终接的要求

尽管IEEE规格定义MII总线阻抗为68欧姆，PHYTER系列产品使用迹线阻抗为50欧姆和一个串联电阻，典型值为33欧姆。虽然这看上去有些多余。串联终接有助于减少反射并提高信号质量。对于某些设计而言，如果迹线长度小于上升和下降时间的等价长度的1/6，则串联终接就不再是必需的。以下是计算信号迹线长度的实例。

如果信号的上升和下降时间约为500 ps，在FR4电路板

上的传播延迟=170 ps/英寸。上升时间的等价长度=上升时间（ps）/延迟（ps/inch）=（500/170）=2.94英寸。取1/6的长度得到0.5英寸。但它们的确减小了器件的总电流并降低了EMI。

电路板设计工程师应该对反射和信号完整性进行评估，从而确定每个设计中的终接必要性。串联终接值取决于驱动器输出阻抗和印刷板迹线的特征阻抗。终接值 R_s =特征阻抗 Z_o –驱动器输出阻抗 R_o 。例如，如果 $V_{dd}=3.3\text{V}$ ， $R_o=20$ 欧姆， $Z_o=50$ 欧姆，得到 $R_s=50-20=30$ 欧姆。

4.2 推荐的最大迹线长度

尽管MII是时钟和数据以相同方向运行的同步总线，但仍存在大量限制迹线长度的因素。当采用较长的迹线时，信号到达目的地时会产生更多衰减，因而也更容易受到噪声的干扰。较长的迹线也起到天线的作用，如果在电路板表面层上工作，会增加EMI辐射。如果长迹线邻近噪声源工作，会耦合多余的信号形成串扰。

建议尽量采用短的迹线长度。理想情况下，将迹线保持在6英寸以内。

我们也推荐您将迹线长度匹配在MII总线上的2.0英寸范围内。迹线长度的重要差别会造成数据时序的问题。

良好的设计实践表明，对于任何高速数据信号应保持一定的阻抗，并且在整个数据路径上避免出现短截。

5.0 时钟要求

PHYTER支持一个外置的CMOS级振荡源或者一个晶体共振器件。X1引脚是至PHYTER的时钟输入端，对于MII模式的时钟频率为15 MHz，或者对RMII模式为50 MHz。使用该内置时钟可以恢复接收到的数据，以及能为数据发送产生时序。它也能进行缓冲，并作为25MHz_OUT引脚上的时钟提供给MAC。

在MII模式中，可以使用25 MHz的晶振或者25 MHz的振荡器。RMII模式则需要一个50 MHz的振荡器。

5.1 振荡器（MII或者RMII模式）

如果使用振荡器，应该将X1引脚连接到时钟源，X2保持悬浮状态。使用图11所示的连接。

表3中列出了CMOS振荡器的规格。

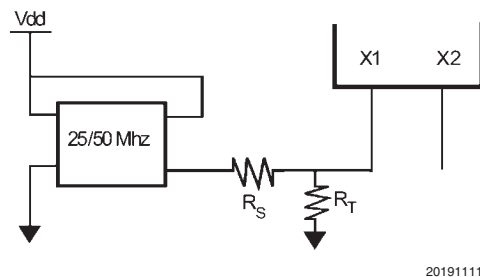


图11. 振荡器电路

5.2 晶振（仅针对MII模式）

对于MII模式而言，推荐使用频率为25 MHz，并联方式，20 pF负载的晶体振荡器。图12为一个晶体振荡器的典型电路。不同供应商的晶体负载电容值各不相同；可与供应商联系获取负载建议值。

可以计算出大概的负载电容值：

$$2 \times \text{晶体负载规格电容值} - 7 \text{ pF} = \text{CL}$$

设计这个振荡器电路来驱动一个并联谐振的“AT切割式”晶振，最小驱动电平为100mW，最大驱动电平为500mW。如果晶振是专门针对一种较低的驱动电平，则应在X2引脚和晶振之间串联限流电阻。

作为评估一种振荡器电路的起点，如果对晶振的要求还未知，应该将CL1和CL2设置为33 pF，并将R1设置为0欧姆。

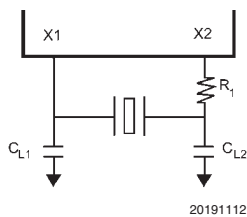


图12. 晶体振荡器电路

晶振的规格在10.1节的振荡器或者晶振部分列出。

5.3 时钟的终接

需要考虑时钟信号的进行终接。终接取决于时钟信号的迹线长度。对短于0.5英寸的短迹线而言无需任何串联或者负载终接。对于较长的迹线，则建议使用终接电阻。

典型的时钟终接方法是串联和/或者并联终接。

串联终接消耗较低的功率，属于推荐的方法。选择串联终接电阻值来匹配迹线特征阻抗。串联源终接电阻 R_s 应该靠近晶振的输出放置。参考图11。对于在PHYTER产品上所有的单端信号，这是推荐的终接方法。

与串联终接相比，并联终接消耗更多的功率。但是会产生更短的上升和下降时间。终接值等于迹线的特征阻抗， $R_T = Z_0$ 。并联终接 R_T 应靠近X1引脚放置，可以消除反射。请参考图11。

当在相同的电路板上存在多个PHYTER时，使用一个高速PLL时钟分配驱动器的振荡器可以有效地节约成本。应避免以菊花链的形式连接多个时钟输入，特别是应用串联终接时。

5.4 时钟信号和EMI

当设计时钟电路时，需要另外考虑EMI问题。EMI场能正比于电流、频率和环路面积。环路面积定义为迹线长度乘以到接地层的距离，例如，电路返回路径。应尽量保持短的时钟迹线，从而减少环路面积，进而降低EMI。

因为当迹线沿着印刷板边沿布局时，辐射磁场强度会增强，所以不要在靠近印刷板边沿处放置时钟源。磁场辐射的效果相对于边沿的距离成指数增长。如果迹线必须在电路板的边沿布局时，应确保迹线到电路板边沿的距离大于迹线到接地层的距离。使之比起向印刷板外辐射，迹线周围的电磁场更加容易耦合到接地层上。如果在表面上放置时钟迹线，在时钟迹线两侧放置并联的接地迹线将有助于使EMI局部化，并防止对邻近迹线造成串扰。在接地层和Vdd层之间埋入时钟迹线，也会有助于降低EMI辐射。

对于一个穿孔器件，应平直安装振荡器，靠近印刷板并修平多余的引脚。在印刷板的器件侧提供等于或大于一个振荡器封装尺寸的一个接地焊盘。将这个焊盘连至接地层。以此减小时钟迹线到接地层的距离，并提供到电路板的最佳的电磁场耦合。

6.0 LED接口

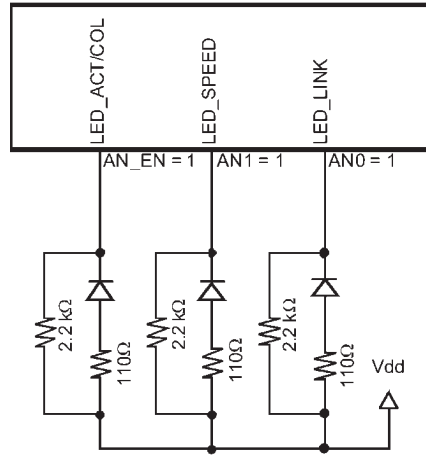
PHYTER支持高达三个可配置的发光二极管（LED）引脚，提供链路状态、速度状态、活动状态和冲突状态。在LED引脚中的功能是复用的。可以通过器件本身的地址19h，位[6:5]来选择LED引脚中使用的PHY控制寄存器（PHYCR）。

因为自动协商（AN）带选共用了LED输出引脚，所以要考虑外置器件带选和LED的使用，才能避免出现争用或意外的设置。

具体地，当直接使用LED输出来驱动LED时，每个输出驱动器的有效状态取决于由相应的AN输入在上电/重启时进行采样的逻辑电平。例如，如果给定的AN输入通过电阻下拉至低电平时，配置相应的输出为高电平有效。反之，如果给定的AN输入通过电阻上拉至高电平时，于是将相应的输出配置为低电平有效。

请参考图13所示的AN连接到外置器件的实例。在该例中，AN带选导致了与10/100半/全双工通告和低电平状态LED有效的自动协商。

注释：DP83848 M/H/T仅有一个LED输出。请参考各自的数据手册以获得更多的信息。

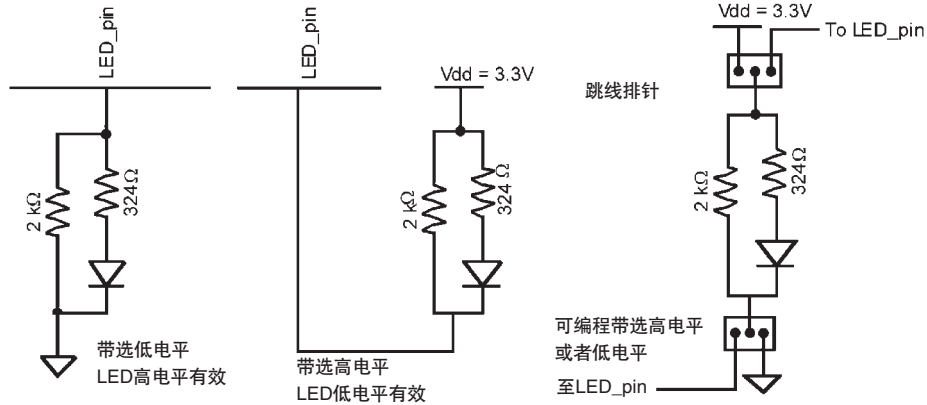


20191113
 注释：DP83848 C/I/YB具有三个LED引脚。
 DP83848 M/H/T仅有LED_LINK LED引脚。

图13. AN 带选和 LED 负载实例

6.1 带选配置选项

LED输出的自适应性有助于简化这些双功能引脚的潜在实现问题。参见图14。



20191114

图14. LED和带选的连接选项

6.1.1 LED的直接控制

通过LED的直接控制寄存器（LEDCR），PHYTER提供

其他的选项可以直接控制任何或者所有的LED输出。寄存器不提供LED的读取功能。参见表1可选择LED模式。

表1. LED模式选择

模式	LED_CFG[1] (位6)	LED_CFG[0] (位5)	LED_LINK	LED_SPEED*	LED_ACT/COL*
1	不用关心	1	链接良好时开启	100 Mb/s时开启	活动时开启
			无连接时关闭	10 Mb/s时关闭	不活动时关闭
2	0	0	链接良好时开启	100 Mb/s时开启	有冲突时开启
			活动时闪烁	10 Mb/s时关闭	无冲突时关闭
3	1	0	链接良好时开启	100 Mb/s时开启	全双工时开启
			活动时关闭闪烁	10 Mb/s时关闭	半双工时关闭

注释：*在DP83848M/H/T中不提供

在模式1中的LED_LINK引脚指明了链接状态。在100BASE-TX模式中，输入接受幅度与TP-PMD规格兼容的结果确立了链接。10 Mb/s链接条件确立为，接收至少七个连续正常的LINK脉冲，或接收到有效的10BASE-T包。这将导致LED_LINK的通告。依照在IEEE 802.3规格中所指定的链接丢失定时器，将会对LED_LINK解除通告。

当不存在LINK状态时，在模式1中的LED_LINK引脚将会处于关闭（OFF）状态。

在模式2和模式3中的LED_LINK引脚处于开启（ON）状态，表明链路工作良好，而闪烁（BLINK）频率约为6 Hz，表明处于发送和接收状态。

LED_SPEED引脚表明了10 Mb/s或者100 Mb/s的数据速率。引脚处于高电平，表明电路处于100 Mb/s的工作状态，低电平表明处于10 Mb/s的工作状态。该LED的功能性取决于所选择的模式。

在模式1中的LED_ACT/COL引脚表明了处于发送或者接收的状态。LED处于开启时，设置为活动状态。LED处于关闭时，设置为非活动状态。在模式2中，该引脚表明处于端口的冲突状态。LED处于开启时，设置为冲突状态，LED处于关闭时，设置为非冲突状态。

在模式3中的LED_ACT/COL引脚表明了处于双工的状态。LED处于开启时，设置为全双工状态。LED处于关闭时，设置为半双工状态。

在10 Mb/s的半双工模式中，冲突状态的LED显示取决于COL信号。

因为这些LED的引脚也被用作带选，LED的极性取决于该引脚是否处于上拉或者下拉状态。

7.0 PHY地址的配置

五个PHY地址输入是由RXD[3:0]引脚和COL引脚一起共享的，如表2所示。

表2. PHY地址映射

PHYAD 功能	RXD功能
PHYAD0	COL
PHYAD1	RXD_0
PHYAD2	RXD_1
PHYAD3	RXD_2
PHYAD4	RXD_3

PHYTER通过带选引脚可以配置为1至32个可能的PHY地址。在器件上电或者硬件重启时信息会被锁定到PHYCR寄存器中。PHY地址引脚与RXD和COL引脚共享。系统中MDIO总线上的每一个器件必须具有一个唯一的器件地址，可以通过管理实体进行寻址，例如通过MII串联管理接口、信号MDIO和MDC的MAC。

PHYTER支持PHY地址带选值，从0 (<00000>) 到31 (<11111>)。带选PHY地址为0时，将器件置于隔离模式。也应注意通过一个MDIO写入PHYCR来选择PHY地址0将不会使器件置于隔离模式。器件可以通过MII连续管理接口来进行读写。

关于时序要求的详细信息，例如关于PHY地址或者其他硬件配置信息的锁存，请参考11.0重置工作的重置总结。

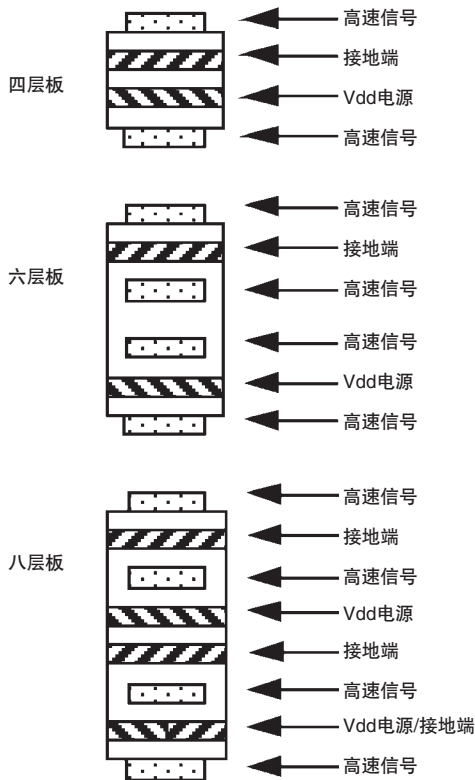
因为PHYAD[0]具有一个弱内置上拉电阻和PHYAD[4:1]具有一个弱内置下拉电阻，PHY地址的默认设置为00001 (01h)。

当没有必要为这些引脚提供一个外置的上拉或者下拉电阻时，如果可以接收默认的设定，则推荐这么做。如果在上电时需要的配置不是由内置的上拉和下拉电阻提供，则必须要使用外置的上拉或者下拉电阻。

8.0 印刷板层的堆叠

根据PHYTER的封装进行布线，至少需要一个四层的印刷电路板。为了满足性能要求，推荐使用一个六层的电路板

设计。下列是为四层、六层和八层电路板推荐的层堆叠，同时也存在着其他选项的可能性。



四层电路板：

1. 信号1层（顶层）
2. GND
3. 电源层
4. 信号2层

六层电路板：

1. 信号1层（顶层）
2. GND
3. 信号2层（最适合时钟和MDI信号）
4. 信号3层（最适合时钟和MDI信号）
5. 电源
6. 信号4层

八层电路板：

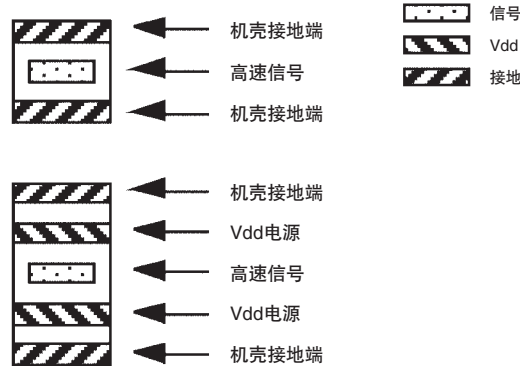
1. 信号1层（顶层）
2. GND
3. 信号2层（最适合时钟和MDI信号）
4. 电源层1层
5. GND
6. 信号3层（最适合时钟和MDI信号）
7. GND或者电源2层
8. 信号4层

20191115

图15. 可能的层堆叠

在一个印刷电路板中，对微带线和带状线进行比较，需要使用不同的方法进行布线，取决于在印刷板上的信号位

置。例如，在隔离的机壳侧的层堆叠用图16所示来布置。



20191116

图16. 印刷板带状线的层堆叠

9.0 未使用的引脚/保留引脚

美国国家半导体公司的PHYTER系列产品在大多数引脚上提供内置的上拉或者下拉电阻。具体产品的数据手册指明了哪个引脚具有上拉或者下拉电阻,以及需要外置电阻的其他引脚。

即使器件可能具有上拉或者下拉电阻,将所有未用的CMOS输入相连打结而非将它们悬浮,是一个好方法。将输入端悬浮会导致振荡或者不确定的值,使得NMOS和PMOS晶体管开启,从而产生大的直流电流。

理论上可以将CMOS输入直接连到Vdd或者接地端,将器件数量和电路板面积降到最小。然而,更安全的方法则是将未使用的输入引脚上拉到高电平,或者采用上拉或者下拉电阻接至低电平,防止在输入结构中因为Vdd或者接地短路而出现过量的电流。该方法的其他优点是降低闭锁(latch-up)的概率。两种方法的一个折衷就是,可以将临近的未使用的输入引脚连成一组,并使用一个单独的电阻对该组信号上拉或者下拉。

通常情况下,使用上拉或者下拉电阻来代替将未使用的输入引脚直接连往Vdd或者接地端的方法,具有以下缺点:

- 会额外增加器件的成本
- 增加电路板面积

10.0 器件的选择

在某一设计中,对特定器件的选择是很关键的。这是由于设计的器件要符合关键参数的具体标准。这些器件包括:

- 时钟源 – 振荡器或者晶振
- 磁芯变压器

10.1 振荡器或者晶振

为时钟源选择的振荡器应能提供CMOS电平信号。参数规格如表3所示。

通常使用的晶振为“AT切割”并且为基本的频率。因为“AT切割”可以在广阔的温度范围内显示出良好的频率稳定性,从而推荐为PHYTER应用的类型。25 MHz晶振的要求列于表4中。

在需要多个时钟源的情况下,推荐采用高速PLL时钟分配驱动器。驱动器可以采用诸如德州仪器、Pericom、IDT等供应商的产品。具体产品请联系相应的供应商。

表3. 25 MHz晶振的要求

参数	最小值	典型值	最大值	单位	条件
频率	-	25 /50	-	MHz	
频率稳定性	-	-	± 50	ppm	0 - 70 摄氏度, 1年时间, 负载变化
上升/下降时间	-	-	6	nS	20 - 80%
抖动(短期)	-	-	25	pS	逐周期, 驱动10 pF负载
抖动(长期)	-	-	200	pS	累积超过10 μS
负载电容	15	-	-	pF	
对称	40	-	60	%	
逻辑0	-	-	10% VDD	V	VDD = 3.3 V 标称值
逻辑1	90% VDD	-	-	V	VDD = 3.3 V 标称值

表4. 25 MHz晶体的要求

参数	最小值	典型值	最大值	单位	条件
频率	-	25	-	MHz	-
频率容差	-	-	± 50	ppm	0°C 至 70°C
频率稳定性	-	-	± 50	ppm	1年时间
负载电容CL	15	-	40	pF	总负载电容CL包括C1和C2

表5. 推荐的晶振

制造商	说明	器件型号
Vite Technology	www.viteonline.com	25 MHz 7.5 x 5 mm 晶振 VCC1-B2B-25M000
Raltron	www.raltron.com	25 MHz 7.5 x 5 mm 晶振 C04305L-25.000 MHz
Valpey Fisher	www.valpeyfisher.com	

注释: 联系晶振制造商可以获得关于器件型号和产品规格的最新信息。所有的振荡器和电路在应用于产品之前都经过完全的测试并确认工作无误。

10.2 磁芯变压器

磁芯变压器对于PHY性能也有很大的影响。列出下面几种器件的同时，也将其他与需求相兼容的器件列于表6。此外，建议磁芯变压器带有一个隔离的变压器，跟着用一个共模扼流圈来降低EMI。

在布局时，禁止在磁芯变压器下方布信号线。这会造成多余的噪声串扰。类似地，不在磁芯变压器下方布置电路层有助于防止共模噪声耦合。为了节省电路板空间并减少器件数目，建议使用一个带有集成磁芯变压器的RJ-45。

表6. 磁芯变压器要求

参数	典型值	单位	条件
匝数比	1:1	-	± 2%
插入损耗	-1	dB	1 - 100 MHz
返回损耗	-16	dB	1 - 30 MHz
	-12	dB	30 - 60 MHz
	-10	dB	60 - 80 MHz
差分至共模的抑制比	-30	dB	1 - 50 MHz
	-20	dB	50 - 150 MHz
串扰	-35	dB	30 MHz
	-30	dB	60 MHz
隔离	1,500	Vrms	HPOT

当前建议的磁芯变压器包括：

表7. 建议的集成磁芯变压器

制造商	说明	器件型号	
Bel Fuse, Inc.	www.belfuse.com		
Pulse Engineering, Inc.	www.pulseeng.com	H1102	典型应用
		H2019	以太网供电应用
		J0011D21B	集成的
Transpower Tech., Inc.	www.trans-power.com		

注释：请联系磁芯变压器制造商以获得最新的器件型号和产品规格信息。所有的磁芯变压器在应用于产品之前都经过完全的测试并确认工作无误。

其他具有可比性的磁芯变压器也可以良好工作。关于更完整的列表，请访问PHYTER网站：

www.national.com/appinfo/networks/webench/dp83848.html

11.0 重置的操作

PHYTER包括一个内置的上电重置（POR）功能，正常工作并不需要在上电之后明确重置。如果在正常工作期间需要重置，器件可以通过硬件或者软件重启来实现重置。

11.1 硬件重置

在RESET_N上施加一个低脉冲信号（TTL电平），持续时间至少为1 ms，可以完成一个硬件重置。这将对器件进行重置，使得所有的寄存器重新初始化为默认值，硬件配置值将会重新锁存在器件中（类似于上电/重置工作）。

11.2 软件重置

通过设定基本模式控制寄存器（BMCR）的重置位（位15）来完成软件的重置。从设定重置位到软件重置结束的这段时间约为1 ms。

该软件重置对器件进行重置，使得所有的寄存器都被重置为默认值，并保持原来的硬件配置值。软件驱动器代码在软件重置之后必须等待3 ms，才能允许采用PHYTER的进一步继续MII（MDIO/MDC）工作。

12.0 其它的应用文件

下列文件应该与本文结合使用，可以帮助PHYTER的设计：

- 会 DP83848C/I/YB/M/T/H PHYTER 数据手册
- DP83848C/I/YB/M/T/H 用户信息注释
- DP83848C/I/YB/M/T/H 参考设计（电路、元件清单、Gerber文件）
- IEEE 802.3 和 802.3u（适用于 10/100 Mb/s 工作）

注释

对于上述任何电路的使用，美国国家半导体公司不承担任何责任且不默示任何电路专利许可。美国国家半导体公司保留随时更改上述电路和规格的权利，恕不另行通知。
想了解最新的产品信息，请访问我们的网址：www.national.com。

生命支持策略

未经美国国家半导体公司的总裁和首席律师的明确书面审批，不得将美国国家半导体公司的产品作为生命支持设备或系统中的关键部件使用。特此说明：

1. 生命支持设备/系统指：（a）打算通过外科手术移植到体内的生命支持设备或系统；（b）支持或维持生命，依照使用说明书正确使用时，有理由认为其失效会造成用户严重伤害。
2. 关键部件是在生命支持设备或系统中，有理由认为其失效会造成生命支持设备/系统失效，或影响生命支持设备/系统的安全性或效力的任何部件。

禁用物质合规

美国国家半导体公司制造的产品和使用的包装材料符合《消费产品管理规范（CSP-9-111C2）》以及《相关禁用物质和材料规范（CSP-9-111S2）》的条款，不包含CSP-9-111S2限定的任何“禁用物质”。
无铅产品符合RoHS指令。



National Semiconductor
Americas Customer
Support Center
Email: new.feedback@nsc.com
Tel: 1-800-272-9959

National Semiconductor
Europe Customer Support Center
Fax: +49 (0) 180-530 85 86
Email: europa.support@nsc.com
Deutsch Tel: +49 (0) 69 9508 6208
English Tel: +44 (0) 870 24 0 2171
Français Tel: +33 (0) 1 41 91 8790

National Semiconductor
Asia Pacific Customer
Support Center
Email: ap.support@nsc.com

National Semiconductor
Japan Customer Support Center
Fax: 81-3-5639-7507
Email: jpn.feedback@nsc.com
Tel: 81-3-5639-7560

重要声明

德州仪器(TI) 及其下属子公司有权在不事先通知的情况下, 随时对所提供的产品和服务进行更正、修改、增强、改进或其它更改, 并有权随时中止提供任何产品和服务。客户在下订单前应获取最新的相关信息, 并验证这些信息是否完整且是最新的。所有产品的销售都遵循在订单确认时所提供的TI 销售条款与条件。

TI 保证其所销售的硬件产品的性能符合TI 标准保修的适用规范。仅在TI 保证的范围内, 且TI 认为有必要时才会使用测试或其它质量控制技术。除非政府做出了硬性规定, 否则没有必要对每种产品的所有参数进行测试。

TI 对应用帮助或客户产品设计不承担任何义务。客户应对其使用TI 组件的产品和应用自行负责。为尽量减小与客户产品和应用相关的风险, 客户应提供充分的设计与操作安全措施。

TI 不对任何TI 专利权、版权、屏蔽作品权或其它与使用了TI 产品或服务的组合设备、机器、流程相关的TI 知识产权中授予的直接或隐含权限作出任何保证或解释。TI 所发布的与第三方产品或服务有关的信息, 不能构成从TI 获得使用这些产品或服务的许可、授权、或认可。使用此类信息可能需要获得第三方的专利权或其它知识产权方面的许可, 或是TI 的专利权或其它知识产权方面的许可。

对于TI 的产品手册或数据表, 仅在没有对内容进行任何篡改且带有相关授权、条件、限制和声明的情况下才允许进行复制。在复制信息的过程中对内容的篡改属于非法的、欺诈性商业行为。TI 对此类篡改过的文件不承担任何责任。

在转售TI 产品或服务时, 如果存在对产品或服务参数的虚假陈述, 则会失去相关TI 产品或服务的明示或暗示授权, 且这是非法的、欺诈性商业行为。TI 对此类虚假陈述不承担任何责任。

TI 产品未获得用于关键的安全应用中的授权, 例如生命支持应用(在该类应用中一旦TI 产品故障将预计造成重大的人员伤亡), 除非各方官员已经达成了专门管控此类使用的协议。购买者的购买行为即表示, 他们具备有关其应用安全以及规章衍生所需的所有专业技术和知识, 并且认可和同意, 尽管任何应用相关信息或支持仍可能由TI 提供, 但他们将独力负责满足在关键安全应用中使用其产品及TI 产品所需的所有法律、法规和安全相关要求。此外, 购买者必须全额赔偿因在此类关键安全应用中使用TI 产品而对TI 及其代表造成的损失。

TI 产品并非设计或专门用于军事/航空应用, 以及环境方面的产品, 除非TI 特别注明该产品属于“军用”或“增强型塑料”产品。只有TI 指定的军用产品才满足军用规格。购买者认可并同意, 对TI 未指定军用的产品进行军事方面的应用, 风险由购买者单独承担, 并且独力负责在此类相关使用中满足所有法律和法规要求。

TI 产品并非设计或专门用于汽车应用以及环境方面的产品, 除非TI 特别注明该产品符合ISO/TS 16949 要求。购买者认可并同意, 如果他们在汽车应用中使用任何未被指定的产品, TI 对未能满足应用所需要求不承担任何责任。

可访问以下URL 地址以获取有关其它TI 产品和应用解决方案的信息:

	产品		应用
数字音频	www.ti.com.cn/audio	通信与电信	www.ti.com.cn/telecom
放大器和线性器件	www.ti.com.cn/amplifiers	计算机及周边	www.ti.com.cn/computer
数据转换器	www.ti.com.cn/dataconverters	消费电子	www.ti.com/consumer-apps
DLP® 产品	www.dlp.com	能源	www.ti.com/energy
DSP - 数字信号处理器	www.ti.com.cn/dsp	工业应用	www.ti.com.cn/industrial
时钟和计时器	www.ti.com.cn/clockandtimers	医疗电子	www.ti.com.cn/medical
接口	www.ti.com.cn/interface	安防应用	www.ti.com.cn/security
逻辑	www.ti.com.cn/logic	汽车电子	www.ti.com.cn/automotive
电源管理	www.ti.com.cn/power	视频和影像	www.ti.com.cn/video
微控制器 (MCU)	www.ti.com.cn/microcontrollers		
RFID 系统	www.ti.com.cn/rfidsys		
OMAP 机动性处理器	www.ti.com/omap		
无线连通性	www.ti.com.cn/wirelessconnectivity		
	德州仪器在线技术支持社区		www.deyisupport.com

邮寄地址: 上海市浦东新区世纪大道 1568 号, 中建大厦 32 楼 邮政编码: 200122
Copyright © 2011 德州仪器 半导体技术(上海)有限公司