

A

B

C

D

A

B

C

D

39上拉, 6不接, 使用RMII
40上拉, LED选择MODE 1
41不接下拉, 使用默认enable MDIX
30需要一个1.5K的上拉电阻

25可以在RMII模式下输出一个50M的时钟, 这里不用
26、27、28复用功能不接, 使用内部上拉, 即111,
同时是指示灯

40脚内部上拉, 即1, 灯使用默认的模式1
40脚内部上拉, 即1, 灯使用默认的模式1

RXDV, RX0, RX1是PHY到
MAC, 33欧姆串行电阻放在
输出端, 即紧靠DP83848

Phy Address Straps: Default is PHYAD0 = 1

TXEN, TX0, TX1是MAC到
PHY, 33欧姆串行电阻放在
输出端, 即紧靠MAC

5脚不用, 6脚使用内部下拉即0, 配合39的1, 使用RMII

7脚是低功耗控制或者中断, 该引脚默认内部上拉,
即默认该引脚是低功耗控制模式, 当有一个低电平
输入时就会触发低功耗模式。这里空置, 不使用

不需要使用JATG, 引脚8-12空置

24必须用4.87K电阻连接到GND

画原理图的在差分线命名时采用(N,P)(+,-)
差分对网络名称必须以 N 和 P 作为后缀。
对差分网络放置指令后要对其参数进行配置,
包括DifferentialPair名称以及True参数

DP83848
差分输入阻抗要匹配到100 Ohm
100 ohm differential

22/31/42旁边需要放置一个电容

The device Vdd supply pins should be
bypassed with low impedance 0.1 μ F
surface mount capacitors. To reduce
EMI the capacitors should be placed
as close as possible to the component
Vdd supply pins

In Mode 1, The Green LED will be
ON when Link is good
The Yellow LED will blink when
the transmitter or receiver is active

A 10.0 μ F tantalum capacitor in
parallel with a 0.1 μ F cap
0.1 μ F should be placed close to the
PFBOUT PFBOUT pin, and 0.1 μ F caps
should be placed close to the
PFBIN1 and PFBIN2 pins.

Asserting this pin low for at least 1 μ s
will force a reset process to occur.

Title		
Size	Number	Revision
A4		
Date:	2014/4/25	Sheet of
File:	E:\STM32F407ZE+3SPI\02 Ethernet.SchDown By:	