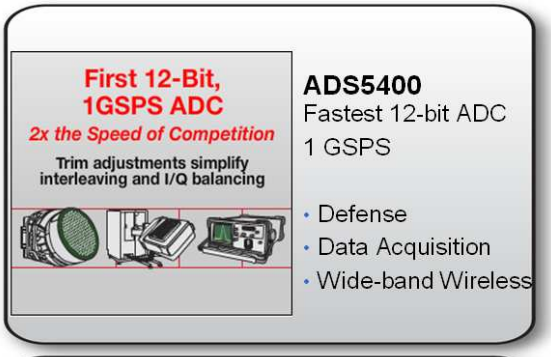
德州仪器高性能单片机和模拟器件
在高校中的应用和选型指南

— 高速信号链部分

黄争 编著



德州仪器半导体技术（上海）有限公司大学计划部

2010 年 6 月

精彩瞬间

祝2009年全国大学生电子设计竞赛
天津赛区TI杯竞赛圆满成功

2009
全国大学生
电子设计竞赛
上海赛区(TI杯)

设计竞赛四川赛区TI杯评审现场

前言

作为世界领先的半导体产品供应商，TI 不仅在 DSP 的市场份额上有超过 65%占有率的绝对优势；在模拟产品领域，TI 也一直占据出货量世界第一的位置。而本手册是针对中国大学中创新和科研应用的简化选型指南，帮助老师和同学们快速了解 TI 的模拟产品。需要提醒大家的是， 这本手册仅仅涵盖了 TI 模拟产品的一小部分， 如果您需要更为全面细致的选型帮助和技术文档，请访问 www.ti.com/analog 以获取运算放大器，数据转换器，电源管理，时钟，接口逻辑和 RF 等产品信息，访问 www.ti.com/mcu 以获得更多 MSP430,M3 和 C2000 的产品信息。

本手册将分为以下几部分介绍 TI 的产品和在大学生电子设计竞赛中的一些解决方案：

第一章: 介绍 TI 概况

第二章：介绍 TI 精密信号链产品；包括精密运算放大器，SAR 和 Delta-Sigma ADC 及工业现场中的信号调理、采集和传输；

第三章：介绍精密信号链中的噪声问题和应对方案；

第四章：介绍 TI 高速信号链产品；包括高速运放、流水线型 ADC 及通信系统中的信号调理、采集和传输；

第五章：介绍高速运放和 ADC 中的 PCB 设计；

第六章：介绍 TI 的电源产品；包括一次电源，低功耗系统供电和中小功率供电方案；

第七章：介绍如何有效地对开关电源进行布局和 PCB 设计；

第八章：介绍 TI 单片机家族和最新的 M3 开发板简介和开发流程；

第九章：介绍 TI 在设计和仿真阶段提供的一系列免费设计工具和技术文档索引。

第十章：介绍 TI 大学计划对中国大学的特殊支持：如何有效申请 TI 免费样片；特价小批量销售的相关细节；以及本手册中所介绍的芯片汇总。

本手册主要着眼于选型，因此一些涉及深入的技术细节的章节在本手册中略去，大家可以参考我们的培训 PPT。本手册所附的光盘里含有这些培训资料、本手册中芯片的数据手册和评估板资料、模拟和单片机的应用笔记、各系列单片机的设计文档、Protel 格式的原理图和 PCB 图以及各种源代码、历年 TI 杯优秀论文选、设计软件等等，共计 2.2GB。希望大家能充分利用这些设计资源。在本手册的 Stellaris 入门指南的硬件设计和文档撰写上，得到了崔益军、冯纯益和张玉超三位同学的大力支持和帮助，这里表示衷心的感谢。

最后，由于作者水平有限，请大家积极给予反馈，帮助我们修正手册中的错漏。欢迎大家发邮件给 frank-huang@ti.com 讨论手册中的各种问题。

TI 中国大学计划 Frank Huang（黄争）

2010 年 6 月

目录

前言 **1**

第一章 TI 概览 **6**

第二章 精密信号链 ..... Error! Bookmark not defined.

2.1 PLC 系统中的模拟输入接口 ..... Error! Bookmark not defined.

2.1.1 单端电压输入与运算放大器 ..... **Error! Bookmark not defined.**

2.1.2 单端电流输入与运算放大器 ..... **Error! Bookmark not defined.**

2.1.3 单端信号采集与 SAR 型 ADC ..... **Error! Bookmark not defined.**

2.1.4 SAR 型 ADC 的设计技巧 ..... **Error! Bookmark not defined.**

2.1.5 共模电压、差模电压与差动/仪表放大器 ..... **Error! Bookmark not defined.**

2.1.6 利用 Delta-Sigma 型 ADC 简化设计 ..... **Error! Bookmark not defined.**

2.2 PLC 系统中的模拟输出接口 ..... Error! Bookmark not defined.

2.2.1 R-String DAC 与单极性信号输出 ..... **Error! Bookmark not defined.**

2.2.2 MDAC 与双极性信号输出 ..... **Error! Bookmark not defined.**

2.2.3 PWM 信号与 DAC ..... **Error! Bookmark not defined.**

2.2.4 4-20mA 发送器 ..... **Error! Bookmark not defined.**

2.2.5 功率放大器和 PWM 功率驱动器 ..... **Error! Bookmark not defined.**

2.2.6 数字隔离、低功耗射频和接口 ..... **Error! Bookmark not defined.**

2.3 PLC 系统中的电源 ..... Error! Bookmark not defined.

2.4 信号链小结和精密信号链命名规则 ..... Error! Bookmark not defined.

第三章 精密信号链中的噪声问题 **9**

第四章 高速信号链 **9**

4.1 高速放大器链路 **9**

4.1.1 Bipolar & FET 输入的高速放大器 11

4.1.2 电压反馈、电流反馈和去补偿型高速放大器 12

4.1.3 电压控制增益可变放大器 21

4.1.4 功率放大级：宽电压 CFB 和宽带缓冲器 24

4.1.5 自动增益控制 26

4.2 高速 ADC 和全差分放大器 **27**

4.2.1 高速数据采集系统中的时钟 33

4.2.2 驱动高速 ADC 的模拟输入 40

4.2.3 使用 FFT 测试高速 ADC 53

4.3 电流引导型高速 DAC **58**

4.4 其他高速器件 **59**

4.5 高速器件总结 **62**

第五章 高速放大器的稳定性和 PCB 设计 ..... Error! Bookmark not defined.

第六章 TI 电源产品简介与选型指南 ..... Error! Bookmark not defined.

6.1 AC/DC 和中间级 DC/DC 产品 ..... Error! Bookmark not defined.
6.1.1 PFC 电路 ..... **Error! Bookmark not defined.**
6.1.2 AC/DC 和中间级 DC/DC 的 PWM 功率控制器 **Error! Bookmark not defined.**
6.2 POL 中的低压差线性稳压器 ..... Error! Bookmark not defined.
6.3 POL DC/DC 开关稳压器 ..... Error! Bookmark not defined.
6.3.1 电感式开关稳压器 ..... **Error! Bookmark not defined.**
6.3.2 电容式开关稳压器 ..... **Error! Bookmark not defined.**
6.4 LED 驱动电路 ..... Error! Bookmark not defined.
第七章 开关电源中的 PCB 设计 ..... Error! Bookmark not defined.
第八章 TI 单片机简介与 Stellaris 入门指南 ..... Error! Bookmark not defined.
8.1 MSP430 简介与选型指南 ..... Error! Bookmark not defined.
8.2 C2000 简介与选型指南 ..... Error! Bookmark not defined.
8.3 M3 简介与入门指南 ..... Error! Bookmark not defined.
8.3.1 LM3S811 最小系统板介绍 ..... **Error! Bookmark not defined.**
8.3.2 烧写 Stellaris 的 USB 仿真器 ..... **Error! Bookmark not defined.**
8.3.3 Stellaris 编程入门 ..... **Error! Bookmark not defined.**
8.3.3.1 IAR 的下载 ..... **Error! Bookmark not defined.**
8.3.3.2 IAR 开发环境的安装 ..... **Error! Bookmark not defined.**
8.3.3.3 StellarisWare 下载 ..... **Error! Bookmark not defined.**
8.3.3.4 StellarisWare 的安装 ..... **Error! Bookmark not defined.**
8.3.3.5 基于 IAR 的 Stellaris 项目开发示例 ... **Error! Bookmark not defined.**
8.3.3.6 基于 StellarisWare 的程序开发 ..... **Error! Bookmark not defined.**
第九章 模拟设计软件和应用笔记索引 ..... Error! Bookmark not defined.
9.1 FilterPro 和有源滤波器设计技巧 ..... Error! Bookmark not defined.
9.2 POL 电源设计软件：SwitcherPro ..... Error! Bookmark not defined.
9.3 TINA-TI：运算放大器的稳定性判断 ..... Error! Bookmark not defined.
9.4 应用笔记索引 ..... Error! Bookmark not defined.
9.4.1 信号链应用笔记索引 ..... **Error! Bookmark not defined.**
9.4.2 电源类应用笔记索引 ..... **Error! Bookmark not defined.**
9.4.3 MSP430 应用笔记索引 ..... **Error! Bookmark not defined.**
9.4.4 C2000 应用笔记索引 ..... **Error! Bookmark not defined.**
9.4.5 Stellaris 应用笔记索引 ..... **Error! Bookmark not defined.**
第十章 快速获得 TI 高性能模拟器件 ..... Error! Bookmark not defined.
10.1 如何有效申请 TI 的免费样片 ..... Error! Bookmark not defined.
10.2 TI 小批量特惠销售渠道 ..... Error! Bookmark not defined.
10.3 本手册中的芯片汇总 ..... Error! Bookmark not defined.

第一章 TI 概览

德州仪器公司，Texas Instruments，即 TI，是总部在美国德克萨斯州的一家高科技企业。实际上 TI 的中文名字并不是特别的“清晰明了”，一方面是容易跟咱们的山东德州（因扒鸡而闻名）混淆；另一方面，我曾被问到，参加你们的大学计划，买示波器这类“仪器”打几折？在这些令人哭笑不得的问题背后，其实是 TI 近 80 年的悠久历史。德州是美国的主要石油产地， 1930 年 TI 的前身“Geophysical Service Inc.”在德州成立时的主要目的是研发地震仪和石油探测仪器，因此 GSI 在 1950 年正式上市时就挑中了德州仪器这个名字。这也就是 TI 名字的由来。

在 1958 年，TI 的工程师 Jack Kailby 先生发明了世界上首颗集成电路芯片，这项发明为人类进步做出了巨大的贡献， Jack Kailby 先生也因此在 2000 年获得了诺贝尔物理学奖。从此，半导体业务开始在 TI 发芽。但是，60/70 年代的美国企业追求的是大而全，TI 也不例外，拥有非常多的业务部门，这种情况一直持续到 90 年代中期。在这 30 年间，TI 在半导体研发方面一直保持着创新，从第一颗单芯片微处理器，到最简单的数字语音合成芯片“spell & speak”，到 1982 年的第一个单芯片数字信号处理器（DSP），到 1993 年发明的数字光源处理技术（DLP）片，半导体业务开始在 TI 的营收中占据着越来越重要的地位。在 1995 年的时候，TI 的营收达到了 130 亿美元，成为过百亿美元的财富 500 强，但有些业务在市场的排名并不十分理想，比如，笔记本电脑排名第九，企业软件排名第十，打印业务排名第九，国防工业排名第十，惟一排到第一位的就是 DSP 业务。

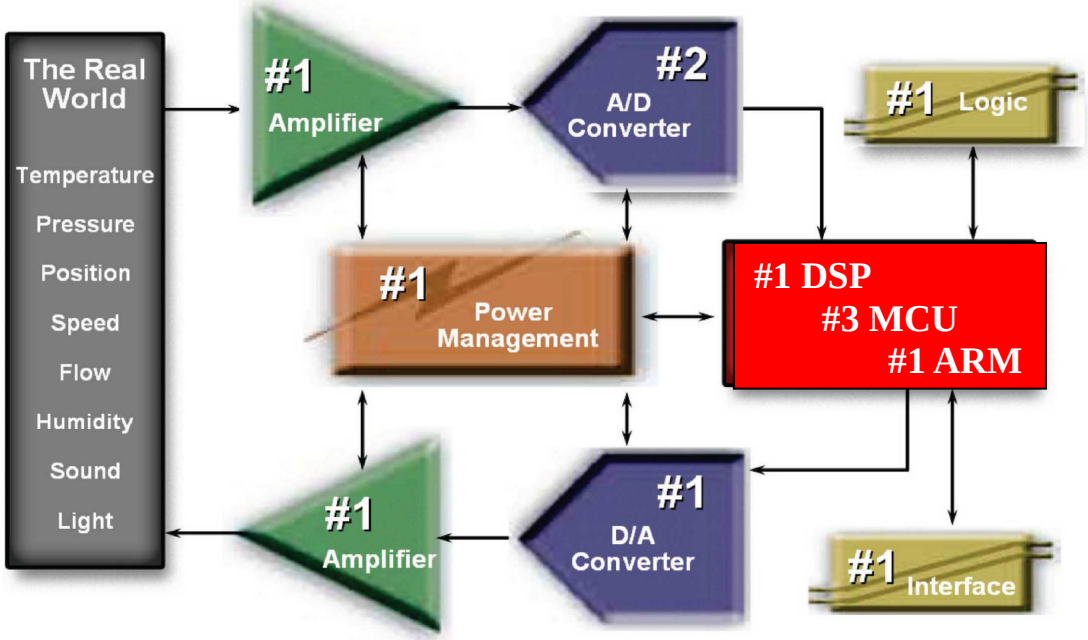
面对更大的竞争和即将来临的网络时代，TI 高层锐意变革，在 90 年代初就非常有远见的提出了要做“数字时代的领导者”。1996 年 Tom Engibous 出任 TI 总裁，确定了 TI 的重点在半导体业务上，重中之重是 DSP 和 Analog。在 1996 年到 2000 年间，TI 连续卖出了 20 余家公司，又买入了 20 余家，完成了从多样化业务到半导体专营业务的转变。从此，TI 的半导体业务进入了高速发展期，在 DSP 方面，业界最快的 TMS320CC6000 系列、功耗最低的 TMS320C55xx 系列、第一颗运算速度超过 1GHz 的 C64x、第一颗 ADSL 调制解调芯片、ARM+DSP 双核架构的 OMAP 处理器等一系列领先产品的推出，使得 TI 在 DSP 领域奠定了世界第一的地位。

在模拟方面，TI 在 2000 年以当时创纪录的 60 亿美元收购了以设计和制造高端运放和数据转换器著称的 Burr-Brown 公司，这项收购非常大胆，因为当时 TI 的年收入也只有 130 亿美元。但是这也充分说明了模拟在 TI 战略中的重要性。接下来 TI 又收购了 Unitrode、Power Trends 等公司来壮大自己的电源方面的实力。在 2007 年，TI 收购了 Chipcon，在低功耗无线通信领域又占据了市场份额第一的位置。

在单片机方面，TI 在 90 年代末把 MSP430 从专供表类客户的应用中推到通用市场，其业界最低的功耗，集成的高性能模拟和数字外设都倍受客户青睐；C2000 数字信号控制器

因为其 DSP 的性能，单片机的价格被誉为实时单片机；而在 2009 年 TI 收购了 Luminary Micro，以最快的方式拥有了 Cortex M3 单片机家族，TI M3 因其低廉的价格，通用的架构，不俗的性能在单片机市场上迅速占领了一席之地。

从下面的系统框图中，我们可以清楚看到 TI 在每一个电子系统的每一个角落都占据着业界数一数二的地位。而正因为持续不断的创新和进取，TI 连续 7 年被《财富》杂志评为全球和全美国最受尊敬的半导体公司，评分远超其他半导体企业。



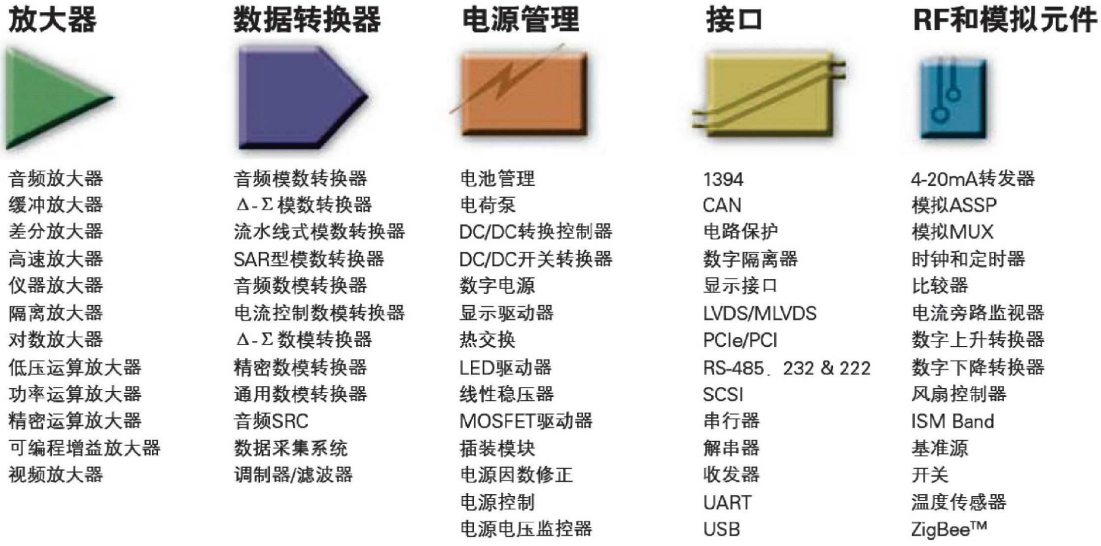
数字信号处理是对理论和实践都要求极高的一门学科，采样理论，谱分析，滤波器设计，抽取，小信号提取，这些概念和算法包含了一大堆让人头晕眼花的数学公式。推导这些理论已经够让人头疼，那么怎么实现它们呢？TI 从第一颗 TMS32010 问世开始就一直致力于简化工程师实现数字信号处理算法的难度。1996 年 TI 进入中国设立办事处，当时中国熟悉 DSP 理论的人越来越多，但是如何使用硬件来实现这些理论却是个巨大的挑战。TI 管理层敏锐察觉到这个问题，抓住时机在中国高校中开展 TI DSP 大学计划，并在 1998 年和教育部签订谅解备忘录，承诺在中国高校中投资建立 100 个 DSP 实验室，帮助中国高校掌握和应用世界领先的 DSP 技术。10 余年后，截至 2009 年，TI 已在中国的 180 余所大学里建立了 200 余个 DSP 技术实验室，每年这些 DSP 实验室将培养 24000 余名本科生及硕士研究生；共有 200 余本专门为 TI TMS 系列 DSP 撰写的教材出版；2000 余篇论文和 500 余项科研成果从实验室里诞生；TI 的 DSP 大学计划可谓是硕果累累。同时，TI 举办的两年一度的 DSP 大奖赛也成为 DSP 领域的名牌竞赛，这项竞赛代表了中国高校 DSP 的最高技术水平，获奖同学拿着 TI 颁发的奖状受到产业界的充分肯定和欢迎。

2007年10月，TI CEO理查德.谭普顿先生来访中国，宣布核心大学计划在中国正式启动，这标志着TI将继续扩大对中国教育界的投入，比如TI中国大学计划将正式扩展到模拟技术和单片机领域，与高等学校进行合作，通过建立学生模拟创新实验室、对教师进行模拟技术和

单片机相关的专业知识培训、支持学生参加各种电子设计竞赛等形式，强调模拟及模数混合电路的重要性。

2007 年，TI 与五所知名高校在全国大学生电子竞赛中合作，斩获了 23 个全国一等奖，占一等奖总数的 20%；2008 年，TI 大学计划扩大了合作对象，在江苏，湖北，陕西和四川举办了省级的 TI 杯模拟及模数混合电路设计大赛，总共有 206 所大学超过 9000 名学生参加了竞赛活动；2009 年，TI 进一步加大了与中国高校的合作力度，在四川，湖北，陕西，江苏，天津，浙江，上海，山东共 8 个省市举办了 TI 杯电子设计竞赛，配合和支持合作省市参加全国大学生电子设计竞赛，2009 年度的 TI 杯电子设计竞赛共有 400 余所学校，超过 15000 余名学生参加，TI 合作省市在本科组竞赛中共获得全国一等奖 49 个，全国特等奖 1 个，占本科组一等奖总数的 46％！通过这些竞赛，学生们接触到了业界最先进的半导体技术和知识，帮助他们在未来的学习和工作中轻松应对更复杂的系统设计。

在现代电子设计中，模拟技术和数字技术相辅相成，因此在上面的一系列电子设计竞赛中，TI 的 MSP430、M3 和 C2000 系列单片机作为系统的核心处理器和模拟器件一起在合作省市中推广。在合作的过程中，我们深刻体会到学生对数字器件的感兴趣程度和掌握速度远远高于模拟技术。实际上，TI 各系列的 DSP 和单片机已做到高手遍布民间，学校实验室的技术一代传一代，很多还未毕业的学生就已经拥有了相当深的软硬件经验。相对于数字器件比较单一的硬件结构和编程思想，模拟器件的种类多指标细且用法灵活多变，很容易让人摸不着头脑，比如请看 TI 的模拟器件家族：



如何从上表中众多的放大器、数据转换器和电源中选取到合适的产品，又如何针对他们各自的特点发挥出最佳的性能？而这本选型手册的目的就是为了帮助大家做到这一点。

第三章 精密信号链中的噪声问题

本章略

第四章 高速信号链

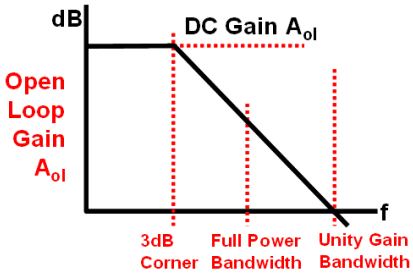
除了前面我们提到的精密信号链产品，TI 还有非常齐全的高速宽带放大器和高速数据转换器，包括：

- 宽带放大器
  - 电压反馈型宽带放大器：VFB (Voltage Feedback) Amplifier
  - 电流反馈型放大器：CFB (Current Feedback) Amplifier
  - 电压控制增益可调放大器：VCA (Voltage Controlled Amplifier)
  - 全差分放大器：FDA（Fully Differential Amplifier）
  - 中射频放大和调制器：IF/RF Amplifer & Modulator
- 流水线型 ADC
- 电流引导型 DAC
- 超低抖动时钟产生和分配电路
- 高速串行和解串器

本手册首先将通过一个全国电子设计竞赛的例子来介绍宽带放大器中的一些关键知识，然后再引出流水线型 ADC 和高速 DAC 等。

4.1 高速放大器链路

高速放大器有两个重要指标，带宽和压摆率，带宽决定了小信号通路时放大器的速度，而压摆率主要决定在大信号通路时放大器的速度：



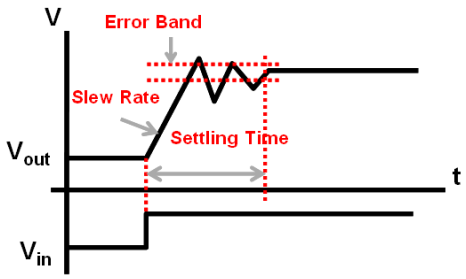
带宽：根据不同的条件，有一些不同的带宽定义：

-3dB 带宽：主极点带来的-20dB/decade 的下降率使得 DC 增益降低 3dB 时的带宽；

全功率带宽：运放满程输出时能达到的最大带宽，此带宽与压摆率密切相关；

单位增益带宽：当开环增益降为 1 时的带宽，此指标是以小信号通路来衡量，对电

压反馈放大器来说，通常等于其增益带宽积（对精密放大器准确，对高速放大器，由于寄生电容的影响，单位增益带宽常常大于其增益带宽积）。



压摆率：是衡量大信号通路时，运放的输出能否及时响应快速变化输入信号的指标，可以用该指标来计算运放的全功率带宽：Bandwidth＝SR/(2×Pi×Vpp);

建立时间：当输入信号快速变化时，比如当多通道选通输入，有可能产生阶跃信号，这时，运放能在多长的时间使输出稳定到指定的误差范围内在信号采集中是一个非常重要的指标。

THD+N 和运放的位数：通常，我们都很少听见说运放是多少位的，但是在 OPA300 的页面上写到 OPA300 是一个 16 位精度的运算放大器，但这个 16 位精度不是指它的直流精度，而是指其交流特性，类似于通过频谱分析推算 ADC 的有效位数（ENOB）。计算方式如下：先找到 OPA300 的 THD＋N 指标：0.0008%（频率为 1KHz，3Vpp 信号，单位增益，5V 供电）。按照 THD+N 的定义：所有谐波和噪声能量之和与基波能量之比，得知其是 SINAD 的倒数，那么 SINAD＝125000=100dB，ENOB=(SINAD-1.76)/6.02=16.3 位，非常适合驱动 16 位的 ADC 做交流信号采集。同时，OPA300 在 150nS 内能稳定到理想输出信号的 16 位精度的误差范围内，这也是它被称作 16 位精度运放的另一个重要原因。

回顾和改编 2009 年电子设计竞赛的 C 题，宽带直流放大器，通过分析这个题目来解释各种高速放大器的异同，从而帮助大家做出正确的选型。这里我们直接以发挥部分的要求为设计指标。

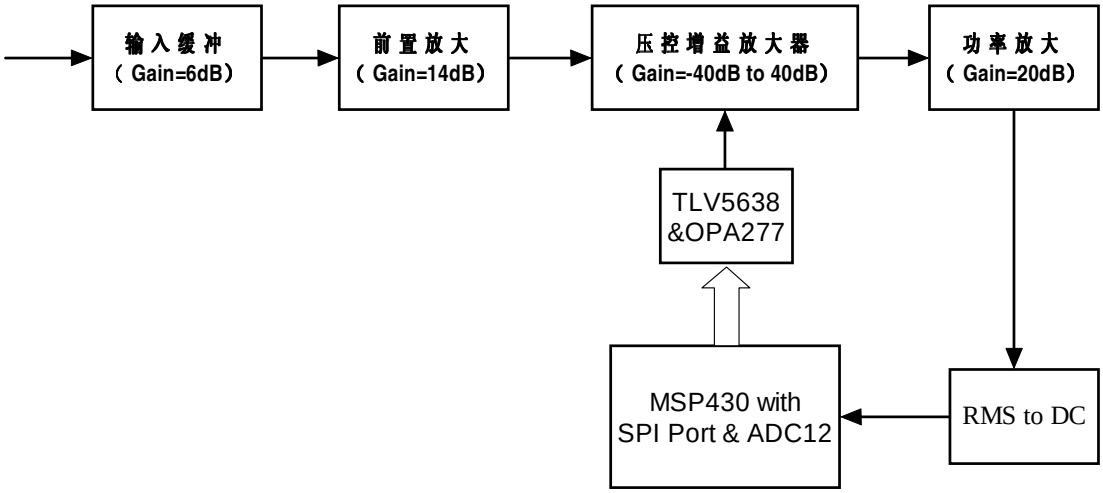
- 题目：宽带直流放大器
- 要求：
  - 输入阻抗大于 1M Ohm;
  - 输入信号：正弦波, 10MHz，<=10mV$_{RMS}$
  - 增益：0dB - 60dB, 步进尽可能小
  - 输出信号：10V$_{RMS}$，负载为 50 欧姆
  - 肉眼观察无明显失真
  - 增加一个自动增益控制模块使得：4.5Vpp <= Vout <= 5.5Vpp

这个题目是一个典型的偏考察运放知识的例子，如何正确地对运放选型是非常重要的，这个题目中的设计要点在于：

- 输入阻抗大于 1M Ohm；**（选择高输入阻抗的宽带放大器）**
- 输入信号：正弦波, 10MHz，<=10mV$_{RMS}$；
- 增益：0dB - 60dB, 步进尽可能小；**（选择灵活的增益可变宽带放大器）**
- 输出信号：10V$_{RMS}$，负载为 50 欧姆**（高压摆率和高输出功率）**
- 肉眼观察无明显失真
- 增加一个自动增益控制功能：4.5Vpp <= Vout <= 5.5Vpp **（闭环控制）**

从上面的描述可以看出，主要的设计要点在于：输入阻抗，大带宽且高压摆率，增益调节方便，高输出功率和数字反馈控制五个方面。通过一一解决上面的 5 个问题，我们将讨论什么是 Bipolar 和 FET 输入的高速放大器；什么是电压反馈放大器和电流反馈放大器；什么是电压控制增益可调放大器；使用高速缓冲器简化功率驱动设计以及如何做数字 AGC。并最终引出高速 ADC。

这个题目的思路其实很清楚，就是输入缓冲+宽带压控增益放大+宽带功率驱动，运放部分的流程图如下所示：



4.1.1 Bipolar & FET 输入的高速放大器

首先是第一个问题，要求输入阻抗>1M 欧姆，这个要求对于精密放大器来说，通常不是问题，但是在高速放大器中，为了降低输入寄生电容对带宽的影响，输入阻抗被降低了，这需要在器件选型上动动脑筋。前面我们提到过大多数高速放大器的输入级是 Bipolar 工艺的，它能实现极好的带宽和压摆率，低噪声，和优秀的频域响应，但是和精密型的 Bipolar 放大器一样，它的输入阻抗和 FET 型相比，相对偏低，高速型的 Bipolar 放大器的差分输入阻抗一般在数十欧姆或数百 K 欧姆。因此，为了达到发挥要求中的输入阻抗大于 1M 欧姆，需要选择 FET 型输入的高速放大器，FET 型输入的高速放大器解决了输入阻抗的问题。

但其噪声系数和 Bipolar 相比较差一些。

在示波器等测量仪器中，为保证时域信号幅度的准确，通常要求在相当宽的带宽内都能保证高输入阻抗，这时应选择 FET 型输入的放大器。不过，在高速模拟信号调理的过程中，50 欧姆的阻抗匹配用得最多，此时可选择噪声性能更好的 Bipolar 放大器。因此除了在输入级有阻抗要求（或等效地说，对输入偏置电流有要求的场合，如高速 I/V 转换的跨阻放大器）的场合外，我们较少在高速信号调理中使用 FET 放大器。在上面的题目中，为达到发挥部分关于输入阻抗的要求，我们应该选择一颗 FET 输入的放大器。

推荐使用的 TI 的电压反馈型 FET 高速放大器有（Bipolar 产品见下一节）：

器件	简介	每整包所含芯片数	价格(美元)(单位:片)	封装
OPA656U	最大 10V 供电，500MHz，290V/uS，单位增益稳定，FET 输入放大器	75	4.5	SOIC
OPA657U	最大 12V 供电，1600MHz，700V/uS，增益大于 7 稳定，FET 输入放大器	75	5.05	SOIC
THS4631D	最大 30V 供电，500MHz，1000V/uS，单位增益稳定，FET 输入放大器	75	3.55	SOIC

注意：OPA 高速产品和 THS 高速产品的主要区别是：OPA 通常只能 10V 以下供电，而 THS 系列拥有更宽的供电电压范围（可至 36V）。

4.1.2 电压反馈、电流反馈和去补偿型高速放大器

1. 什么是电压反馈，什么是电流反馈？

在理解电压反馈运放的工作模型时，理想电压反馈模型是一个很有效工具。图 4.1(a)所示为理想电压反馈模型，而图 4.1(b)所示则为理想电流反馈模型。

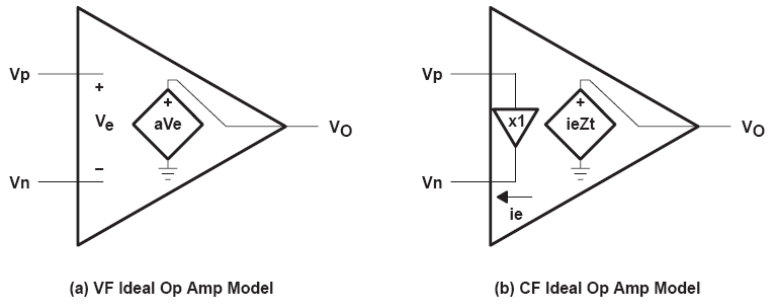


图 4.1 理想运算放大器模型

对于电压反馈运放，有：

$$V_o = a \times V_e \qquad (1)$$

其中，$V_e = V_p - V_n$，称为误差电压，a 为放大器的开环电压增益。

对于电流反馈运放，有：

$$V_o = ie \times Z_t \qquad (2)$$

其中，ie 称为误差电流，Z_t 称为运算放大器开环跨导增益。如果一个放大器的输出是电压，并且这个电压和输入电流有关，那么这个运放就被称为跨导倒数放大器，因为其转移函数等于一个阻抗，即 $V_o / ie = Z_t$。

在理想模型中引入负反馈，如图 4.2(a)和图 4.2(b)所示，就变成了同相放大器。对于电压反馈运放而言，当引入负反馈时，那么负反馈最终会使误差电压为零。同样，在电流反馈运放中采用负反馈时，负反馈最终会使误差电流为 0，这也是电流反馈这个术语的由来。

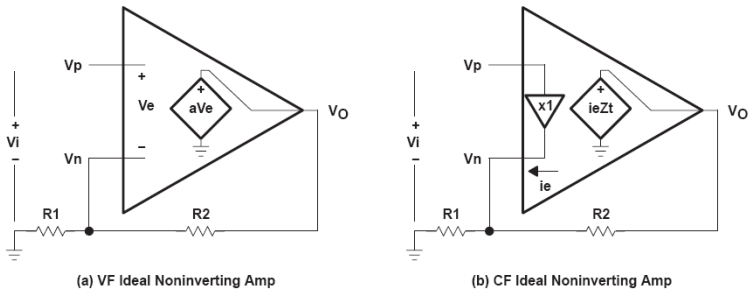
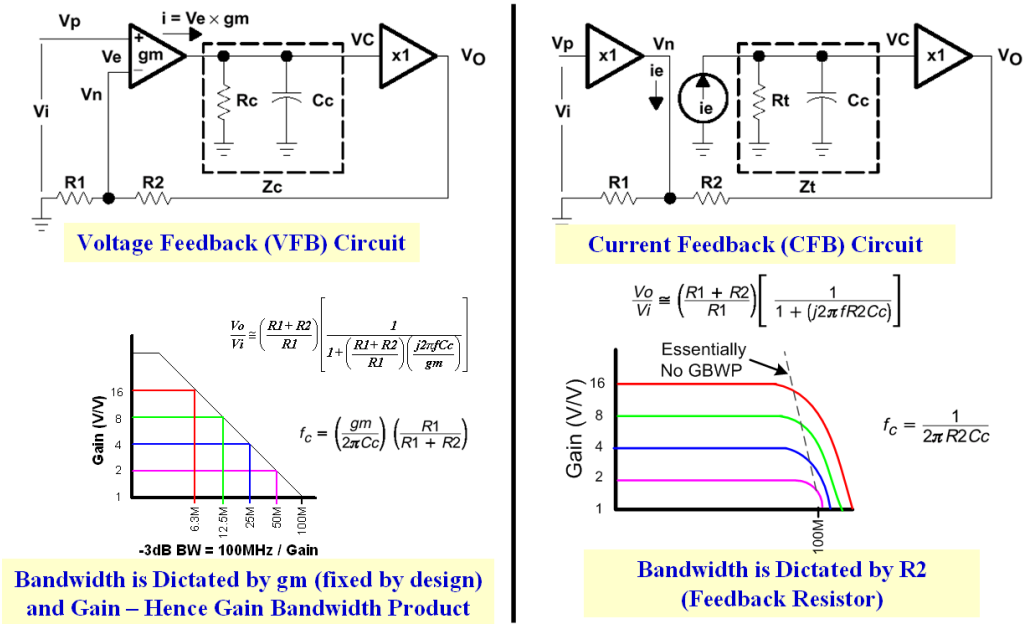


图 4.2 同相放大器

2. 电压反馈放大器和电流反馈放大器的区别：带宽 vs 增益

电压反馈放大器和电流反馈放大器与频率相关的反馈模型入下图所示（具体推导过程请参考应用笔记 SLVA051）：



电压反馈和电流反馈放大器区别：带宽 vs 增益

具体而言，如上图，两种放大器的开环增益分别为 $a(f)$和 $Z(f)$，都是和频率相关的，且都限制了工作的带宽。对于电压反馈运放而言，其在正常工作的频带内：

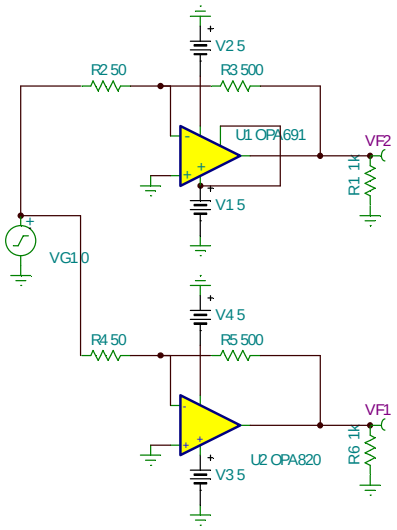
$$\frac{Vo}{Vi} \cong \left(\frac{R1+R2}{R1}\right)\left[\frac{1}{1+\left(\frac{R1+R2}{R1}\right)\left(\frac{j2\pi fCc}{gm}\right)}\right], \quad f_c = \left(\frac{gm}{2\pi C_c}\right)\left(\frac{R1}{R1+R2}\right),$$

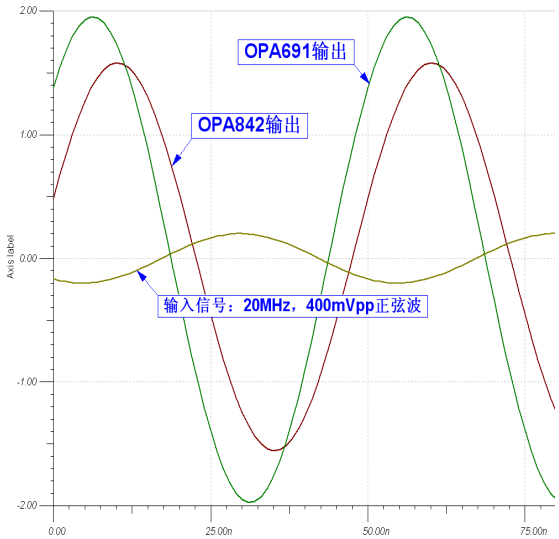
即：$f_c\left(\frac{R1+R2}{R1}\right) = \left(\frac{gm}{2\pi C_c}\right) = 常数$

可以看出电压反馈型放大器的-3dB 带宽位置 fc 受 (R1+R2)/R1 和 gm 共同决定，这就是所谓的增益带宽积的概念，噪声增益增大，带宽成比例下降。同时，运放的稳定性由输入阻抗 R1 和反馈阻抗 R2 共同决定。而对电流反馈放大器而言：

$$\frac{V_o}{V_i} \cong \left(\frac{R1+R2}{R1}\right)\left[\frac{1}{1+(j2\pi fR2C_c)}\right], \quad f_c = \frac{1}{2\pi R2C_c}$$

从上式看出，电流反馈运放的增益和带宽是相互独立的，其-3dB 带宽位置仅受 R2 的影响，可以通过设定 *R2* 的值得到不同的带宽。再设定电阻 *R1* 得到不同的增益。同时，其稳定性也只受反馈阻抗 R2 决定，要想维持电路的稳定，R2 必须大于一个最小值；与之对应，对于给定的相移范围，有一个最大的工作带宽。基于上述原因，如果将一个缓冲放大器的输出短接到负反馈的输入时，电路就会振荡。而且，在作积分器和低通滤波器应用时，应该慎重考虑负反馈中的电容。如下是使用 OPA691（单位增益为 280MHz）和 OPA842（增益带宽积为 200MHz）来对一个 20MHz，±200mV 输入的正弦波进行 10 倍的反相放大，这时 OPA842 的带宽已经显现出不足，不能输出±2V 的正弦波了。而电流反馈型的 OPA691 在这样大倍数的放大下仍然游刃有余。

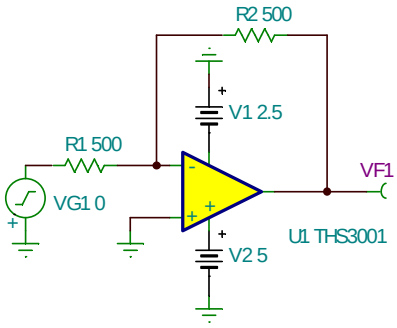


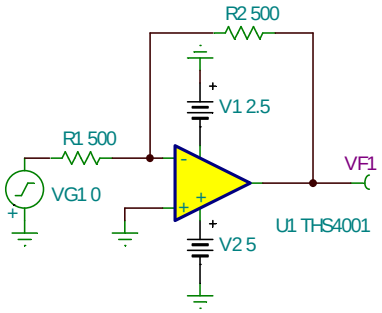


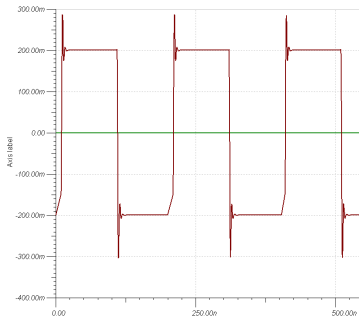
3. 电压反馈放大器和电流反馈放大器的区别：反馈电阻的取值

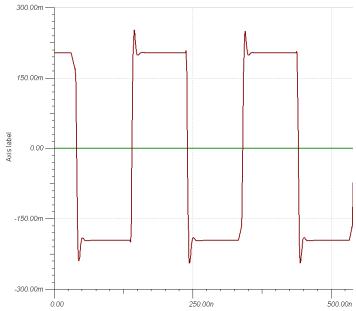
正如前文所述，电流反馈放大器的反馈电阻应根据数据手册在一个特定的范围内选取。而电压反馈放大器的反馈电阻阻值的选取相对而言宽松一些，放大器的驱动能力限定了电阻的最小值，而整体电路的噪声又限定了电阻的最大值。需要留意的是电容的阻抗随着频率的升高而降低，因此在电流反馈放大器的反馈回路中应谨慎使用纯电容性回路，一些在电压反馈型放大器中应用广泛的电路在电流反馈放大器中可能会导致振荡。比如在电压反馈型放大器中我们常会在反馈电阻 RF 上并联一只电容 CF 来限制运放的带宽从而减少运放的宽带噪声（CF 也常常可以帮助电压反馈型运放电路稳定），这在电压反馈放大器中

会有很好的效果，但是如果运用在电流反馈放大器上，则十有八九会使你的电路振荡起来。如下面的例子，我们用 THS3001 和 THS4001 分别来反相放大一个 5MHz 的方波：

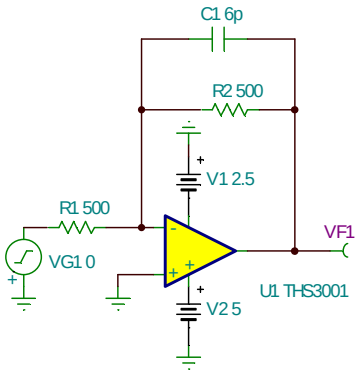


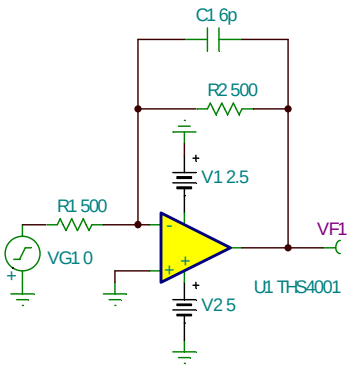


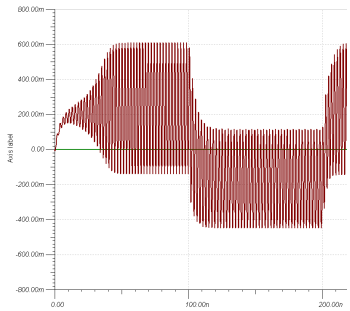


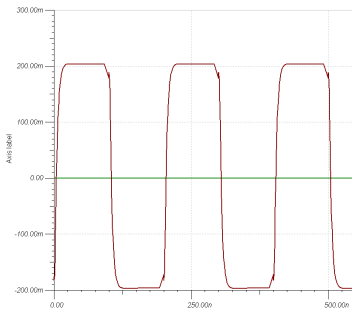


THS3001 和 THS4001 都不约而同的出现了一些过冲，如果你经常设计精密放大器电路，你肯定能想到在 R_F 上放置一个并联小电容 C_F 来改善这种过冲，这个小电容能增强电压反馈运放的稳定性，但是会限制其带宽。请记住任何增强的稳定性都是以带宽的牺牲作为代价的。我们对 THS3001 和 THS4001 都施以同样的补偿方法，让我们看看补偿的结果：

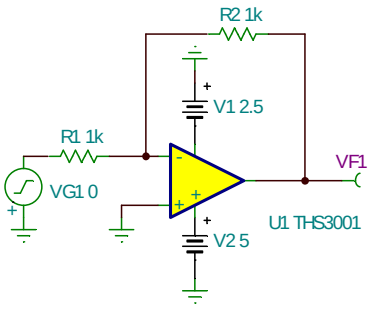


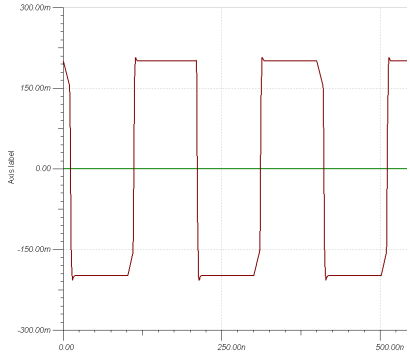




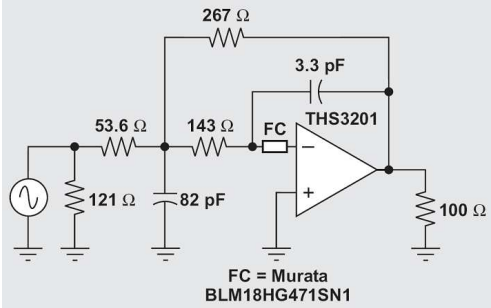


电压反馈放大器 THS4001 在 C_F 的帮助下工作得非常好，但是电流反馈放大器在 C_F 的作用下却无可救药的振荡起来。那么如何改善 THS3001 的过冲呢？很简单，增大 R_F 即可：





如上图 THS3001 在增大 R_F 到 1k 欧姆后，输出了非常完美的方波。因此，对于 MFB 型滤波器，由于其反馈回路中的纯电容支路，也不推荐在电流反馈放大器中使用，但是如果你确实需要这一种有源滤波器，可以考虑下面这种方法：



如上图，FC 是一颗磁珠，其在高频下将呈现出电阻的特性，当然，你也可以使用电阻来代替 FC，具体的技术详情请参考 TI 应用笔记 SLYT081。

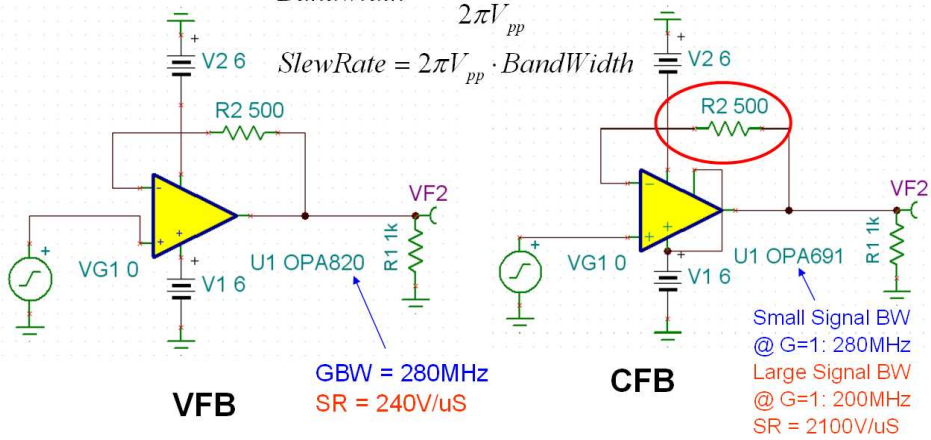
4. 电压反馈放大器和电流反馈放大器的区别：压摆率

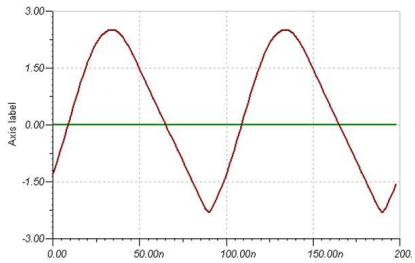
当信号幅度较大时，压摆率常常比带宽更占据主导地位，比如下面这个例子，同样用单位增益为 280MHz 的放大器来缓冲 10MHz，5Vpp 的信号，电流反馈放大器能轻松完成工作，而电压反馈放大器的输出将呈现三角波，这是压摆率不足的典型表现：

Buffer for a 10MHz Sinewave with 5Vpp Amplitude => SR needs 300V/uS

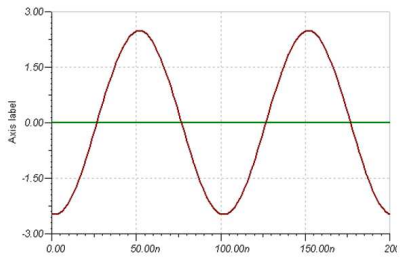
$$Bandwidth = \frac{SlewRate}{2\pi V_{pp}}$$

$$SlewRate = 2\pi V_{pp} \cdot BandWidth$$





VFB



CFB

电压反馈和电流反馈放大器区别：压摆率

通常来说，电压反馈放大器的压摆率一般在 500V/uS 以下，相对于电流反馈放大器拥有的数千 V/uS 的压摆率来说，在放大大幅度信号时要非常小心。但是，绝不能以压摆率的大小来区分电压反馈和电流反馈放大器，TI 推出的一些特殊结构的电压反馈放大器就兼顾了高压摆率的特点，比如 OPA690，其压摆率高达 1800V/uS！

5. 何时选用电压反馈放大器，何时选用电流反馈放大器？

A. 在低速精密信号调理中，基本上看不到电流反馈放大器的身影，因为其直流精度远不如精密电压反馈放大器。

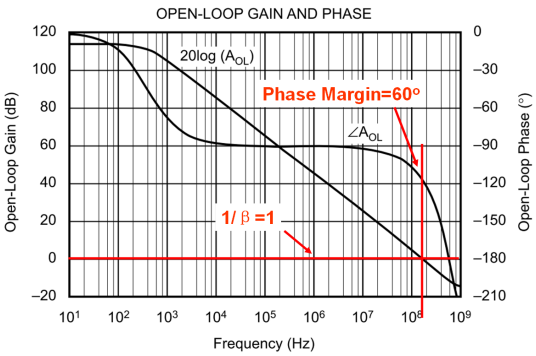
B. 在高速信号调理中，应考虑设计中所需要的压摆率和增益带宽积；一般来说，电压反馈放大器在 10MHz 以下、低增益和小信号条件下会拥有更好的直流精度和失真性能；而电流反馈放大器在 10MHz 以上、高增益和大信号调理中会表现出更好的带宽和失真度。在高速信号调理中，当下面两种情况任意出现一种时，你就需要考虑一下选择电流反馈放大器：1. 噪声增益大于 4；2. 信号频率大于 10MHz。

6. 去补偿（Decompensate）电压反馈放大器

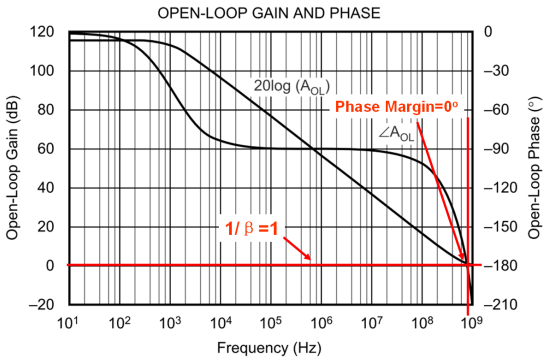
在高速放大器家族中，除了电流反馈放大器和常规的电压反馈放大器，TI 还推出两种非常规的高速电压反馈放大器，一种是拥有高压摆率的电压反馈放大器，如 OPA690；另一种是去补偿的电压反馈放大器如 OP842/843/846/847 家族，和 THS4011/4021 等：

型号	供电电压范围	增益带宽积	稳定噪声增益	带宽	压摆率 (V/uS)
OPA842	±6V	200MHz (G>5 时准确)	Unit Gain Stable	20MHz @ (G=10) 350MHz @ (G=1)	400
OPA843	±6V	800MHz (G>10 时准确)	3	80MHz @ (G=10) 500MHz @ (G=3)	1000
OPA846	±6V	1750MHz (G>40 时准确)	7	110MHz @ (G=20) 500MHz @ (G=7)	625
OPA847	±6V	3900MHz (G>50 时准确)	12	350MHz @ (G=20) 600MHz @ (G=12)	950
THS4011	±16V	200MHz	Unit Gain Stable	290MHz @ (G=1) 20MHz @ (G=10)	400
THS4021	±16V	1600MHz	10	350MHz @ (G=10) 80MHz @ (G=20)	470

上表中，对于增益带宽积这个指标来说，宽带放大器中只在相对高增益下才有效，这时由于在封装过程中引入高速放大器反相输入端的寄生电容使得在低增益下实际表现比设计时更宽。这个寄生电容过大时会引起放大器振荡，请牢记稳定性是以牺牲带宽为代价，而牺牲稳定性能换来更大的带宽。接下来让我们解释一下什么是去补偿放大器,首先，让我们对比一下 OPA842 和 OPA843 的开环增益图：



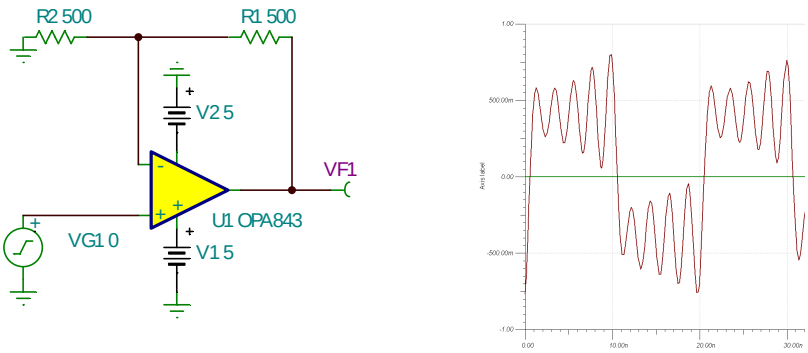
OPA842



OPA843

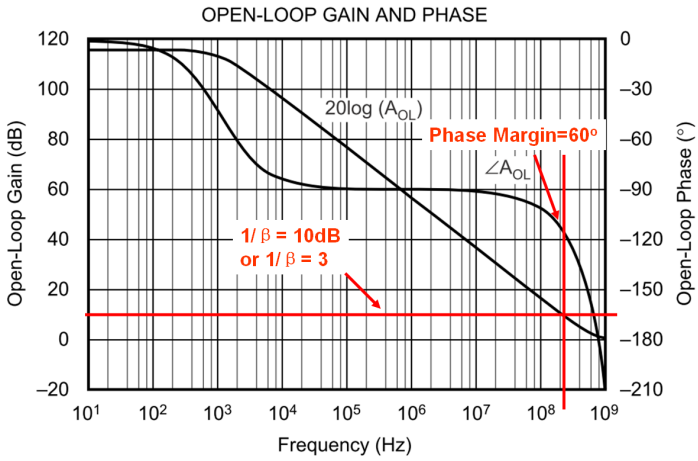
先看 OPA842 的开环增益曲线，因为决定放大器系统稳定性的是环路增益（$A_{ol}\beta$），我们需要自行添加噪声增益曲线。为了考察在单位增益下放大器的稳定性，我们添加了幅度增益等于 1 的噪声增益曲线（即 1/β=1，图中红色的横线），与 0dB 轴重合。当噪声增益曲线与开环增益的幅度曲线相交时，$|A_{ol}\beta|$等于 0dB（$A_{ol}=1/\beta$,即$|A_{ol}\beta|=1$），此时环路增益的相移为 120 度（因为设定的噪声增益为纯阻性，不会在环路增益曲线中引入零/极点，所以环路增益的相位曲线和 A_{ol} 的相位曲线重合），相位余量为 60 度。是一个稳定的系统。另外，我们还可以观察到 OPA842 的主极点大概在 200Hz，为方便计算，取此时的$|A_{ol}|$为 120dB。在主极点后$|A_{ol}|$将按照－20dB/decade 的下降率下降，下降到$|A_{ol}|$为 0dB 时需要 120/20＝6decade，一个 decade 是 10 倍频程，这样可以推出理论的单位增益带宽为 10^6x200Hz 即 200MHz。和图中给出的一致。

同样地，我们在 OPA843 的开环增益图中添加增益为 1 的噪声增益曲线，在$|A_{ol}\beta|=1$ 处，环路增益的相移为 180 度，相位余量为 0，是不稳定的。之所以造成 OPA843 在单位增益下不稳定的原因是 OPA843 的主极点出现在 1KHz 左右，导致 OPA843 单位增益时的带宽为 1GHz，观察 OPA843 开环增益的相位曲线，第二个极点的位置在 500MHz 左右（相移为 145 度时），这个极点带来的 90 度相移最终导致了在单位增益时 OPA843 的不稳定。回过头来再看 OPA842 的开环增益的相位曲线，可以发现第二个极点在 400MHz 左右，出现在单位增益 200MHz 之后，所以不会导致系统不稳定。下面我们用 TINA-TI 来看看 OPA843 在噪声增益为 2 时，其输出振荡得非常厉害：

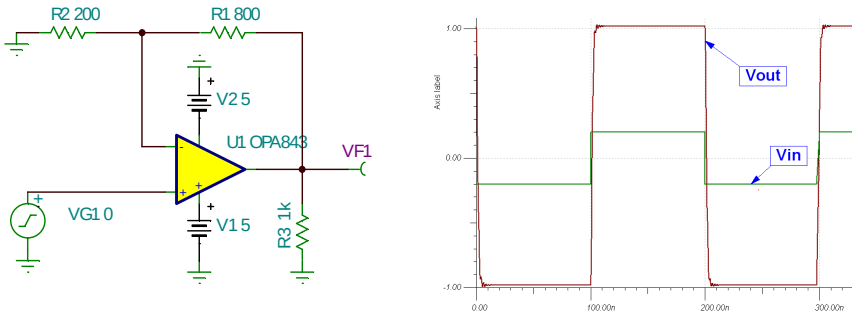


噪声增益为 2 的 OPA843 电路：振荡的系统

使不稳定的 OPA843 变得稳定的方法有很多，比如改变主极点的位置，在 1/β 中加入极点来抵消 A_{ol} 上第二个极点的相移（如添加 C_F），等等。而最简单的方法就是提高运放的噪声增益，如下图，我们提高 1/β 到 3 倍或约 10dB 时，$|A_{ol}\beta|=0$dB 处的相位余量就可以达到 60 度，从而获得一个不振荡的系统；而当 1/β 到 5 倍时，相位余量达到 80 度，系统更加稳定。所以，OPA843 被描述为一只增益大于 3 时稳定，而推荐噪声增益大于 5 的高速放大器。



OPA843 with Noise Gain = 10dB



噪声增益为 5 的 OPA843 电路：稳定的系统

另外，在为 OPA842 挑选反馈电阻 R_F（上图中的 R1），增益设定电阻 R_G（上图中的 R2）的时候，虽然电压反馈放大器的电阻选择范围较电流反馈放大器轻松，但是在高速放大器中，

必须同时考虑功耗、R_F上并联寄生电容对带宽的影响以及 $R_F||R_G$与输入寄生电容 Cin 作用下的影响。首先考虑功耗，为了使反馈电阻从运放输出吸取尽量小的电流，从而保证运放的失真表现，反馈电阻 R_F应该大于 200 欧姆；其次，1k 欧姆的 R_F应上大约有 0.2pF 的并联寄生电容，这个寄生效应已经开始影响运放的带宽，因此要控制 R_F应的阻值小于 1k 欧姆；最后，由于 $R_F||R_G$后和运放反相输入端的寄生电容 Cin（芯片内部约 1pF，PCB 上控制在 1pF 之内，共 2pF）作用会在 1/β 中产生一个零点从而产生附加相移，因此保证 $R_F||R_G$小于 200 欧姆会使这个附加的零点在 400MHz 以上，这样对我们的环路稳定性影响最小。因此，我们可以先设定 R_G为 200 欧姆，再根据增益挑选 R_F，当计算出的 R_F超过 1k 欧姆的时候，再降低 R_G的阻值。

推荐使用的 TI 信号调理和后级驱动的高速放大器有：

器件	**电源电压 (+/-电源轨之差)（V）**	**小信号带宽（Gain=2）（MHz）**	**压摆率 (V/uS)**	**其他**	**价格 (美元) (单位:片)**	**封装**
OPA300AID	2.7-5.5	80	80	CMOS，VFB	1.6	SOIC
OPA355UA	2.7-5.5	100	360	CMOS，VFB	0.8	SOIC
OPA3355UA	3 通道的 OPA355				1.8	SOIC
OPA820ID	5-12	240	240	VFB	0.9	SOIC
OPA2822U	6-12	200	170	双通道，VFB	1.35	SOIC
OPA842ID	10-12	200	400	VFB，单位增益稳定	1.55	SOIC
OPA843ID	10-12	260 (G=5)	1000	VFB，最小稳定增益：3	1.6	SOIC
OPA690ID	4.5-12	220	1800	VFB，新结构高压摆率	1.35	SOIC
OPA890ID	3-12	115	500	VFB，低功耗，I_Q＝1.1mA	0.75	SOIC
OPA2890ID	双通道 OPA889				1.2	SOIC
THS4031ID	10-30	100	100	VFB	2.35	SOIC
THS4011ID	10-30	290 (G=1)	310	VFB	1.95	SOIC
THS4032ID	双通道 THS4031				3.35	SOIC
THS4012ID	双通道 THS4011				3.05	SOIC
THS4271D	5-15	390	1000	VFB	2.25	SOIC
OPA684ID	9-12	170	820	CFB	1.35	SOIC
OPA2684ID	双通道 OPA2684，CFB，低功耗，I_Q＝1.7 mA				2.1	SOIC
OPA691ID	5-12	225	2100	CFB	1.45	SOIC
OPA2691ID	双通道 OPA691				2.3	SOIC
OPA695ID	5-12	850	4300	CFB	1.35	SOIC
OPA2695ID	双通道 OPA695				2.7	SOIC
OPA694ID	7-12	690	1700	CFB	1.25	SOIC
THS3001ID	9-32	385	6500	CFB	4.1	SOIC
THS3001HVIDGN	9-36	385	6500	CFB，输出电流±120mA	7.6	SOIC
THS3091D	10-30	210	7300	CFB，输出电流±250mA	3.3	SOIC
THS3201D	6.6-15	850	10500	CFB，输出电流±100mA	2.1	SOIC

注意：OPA 高速产品和 THS 高速产品的主要区别是：OPA 通常只能 10V 以下供电，而 THS 系列拥有更宽的供电电压范围（可至 36V）

根据电压反馈和电流反馈放大器各自的特点，在题目中的前置放大部分，信号的幅度较小， 我们可以选择±5V 供电的电压反馈放大器 OPA842 来进行 14dB 的固定增益放大；在功率级的 20dB 放大中，我们必须选择±18V 供电的电流反馈放大器 THS3001HV 来实现大电压的高速信号输出。

4.1.3 电压控制增益可变放大器

现在，我们开始考虑如何实现增益步进可调的问题，当然最笨的办法是，采用多个电流反馈放大器级联，用电阻网络选通的方式来实现增益可调，想想也知道，这个办法太复杂，而且不容易稳定。可能大家已经想到了精密放大器里的程控增益放大器，如果能用这种方法控制，岂不简单。但很可惜，程控增益放大器的本质决定其带宽和压摆率远远不够 10MHz 放大如此多倍的要求，这里，我们可以使用另一种增益可变放大器：压控增益放大器，它就是专门为宽带高速模拟信号放大而专门设计的。

AD603 是前几年在高校中用得最为广泛的压控增益放大器，但是其缺点是在于：

1. 增益和带宽关系不确定，需要通过外部硬件电路确定，如下图，导致不够灵活；

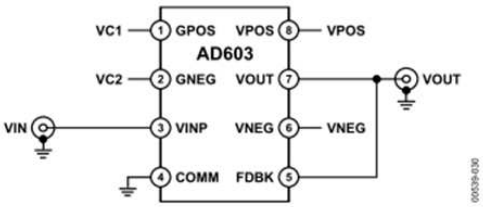


Figure 30. −10 dB to +30 dB; 90 MHz Bandwidth

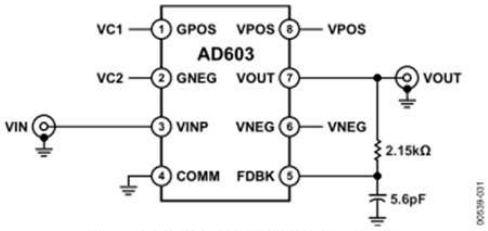


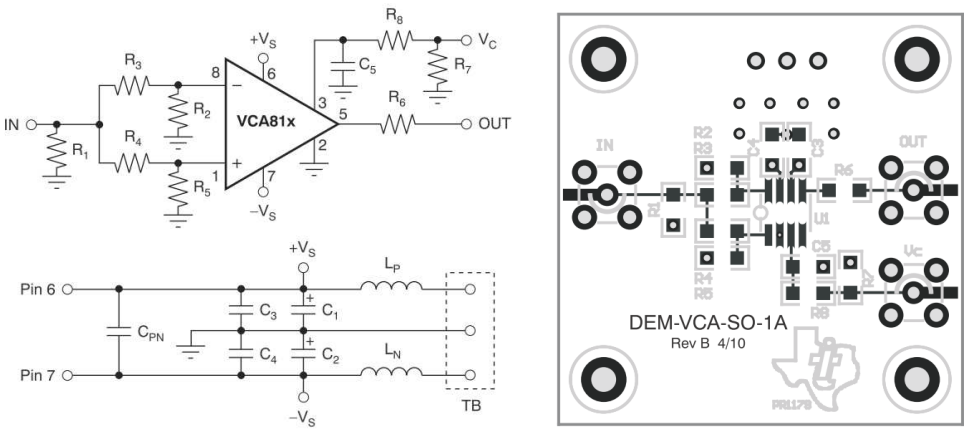
Figure 31. 0 dB to 40 dB; 30 MHz Bandwidth

2. 增益范围仅为 40dB，为完成题目中要求的 0－60dB 可调的要求，需要两片级联，增加了系统的复杂度；

3. 这里题目为宽带**直流**放大器，强调了直流精度，而在测试中，也确实输入了直流电平进行放大输出；AD603 的输出失调电压为±30mV，在末级再进行放大 10 倍，带来的直流误差较大，需要做调零处理。

从去年开始，TI 的 VCA810、VCA820 和 VCA822 开始崭露头角，特别是 VCA810，它在±40dB 的增益可调范围内拥有 35MHz 的恒定带宽（包括小信号带宽和全功率带宽），仅需一片 VCA810 就能满足题目的需要。同时它的典型输出失调电压仅为±4mV，带来的失调误差小了 10 倍。

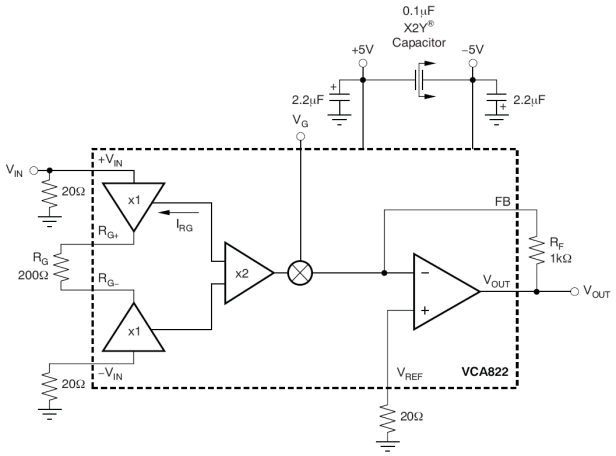
VCA810 的应用电路非常简单，除去电源，地和直接接地的反相输入端，它只需考虑三个引脚的布局布线。同相输入、输出和电压控制端都可以采取短而直的线直连，无需任何附加电路，如下图是 VCA810 EVM 板的图纸，可以通过选择焊接 R3 或 R4 来选择是反相输入还是同相输入，通过 R1,R2,R5,R7 可以实现输入阻抗匹配：



VCA810 的 EVM 板原理图和顶层 PCB 图

同时，VCA810 的控制电压 V_C 端也拥有 25MHz 的带宽，因此可以将 VCA810 用作模拟乘法器、自动增益控制器、压控滤波器等。为了让 VCA810 正常工作，对 V_C 端的滤波是非常必要的，因为控制电压的范围为-2V 到 0V，导致增益的变化范围为+40dB 到-40dB，特别是在恒定电压输入给 V_C 端时，mV 级的纹波就可能时 VCA810 工作不正常。除此之外，应小心避免 VCA810 的输出饱和，在±5V 供电下，VCA810 的典型输出幅度为±1.8Vpp。

除了 VCA810，如果你需要更宽的带宽，VCA820 和 VCA822 是一对 150MHz 带宽的压控增益放大器，他们在 G=10 时的小信号带宽为 150MHz，当 G=10，5Vpp 全功率输出时，仍然能有 137MHz 的带宽，性能非常突出（更宽的还有 VCA821 和 VCA824，320MHz 的全功率带宽）。两者的区别在于 VCA820 是以 dB 为单位进行调节，而 VCA822 是以倍数进行调节的。以 VCA822 为例，当其最大增益设置为 10 倍时，控制电压为 1V 时，VCA822 的放大倍数为 10，控制电压为－1V，放大倍数为 0.1，即为－20dB 到 20dB 的放大范围。一个典型应用电路为：

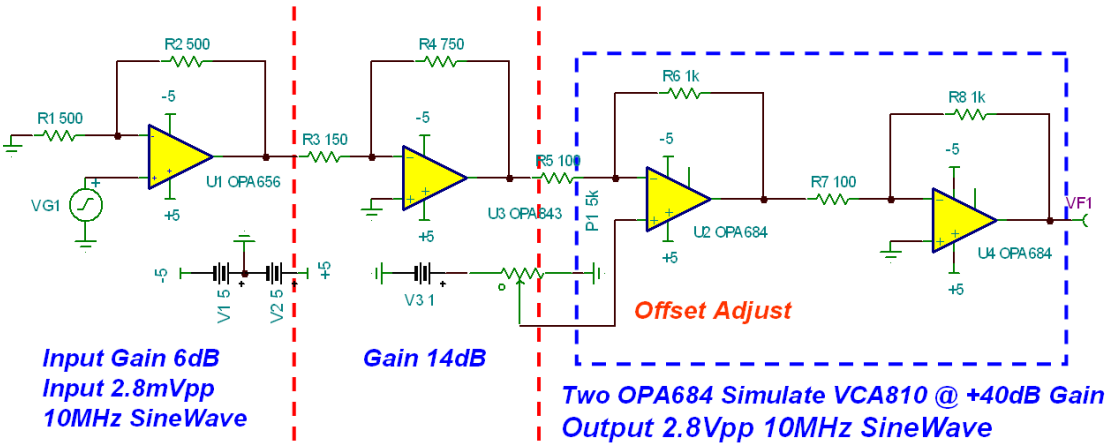


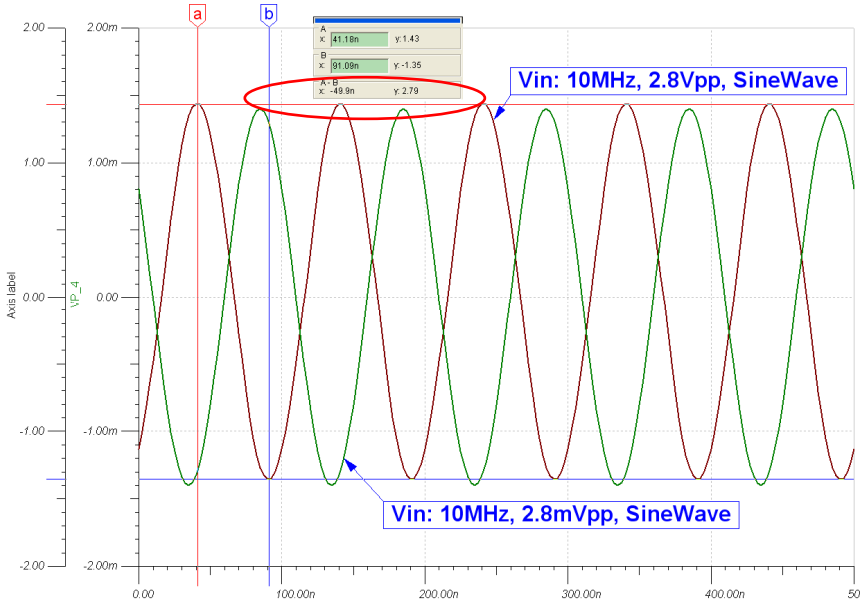
应用 VCA822 最需要注意的两个地方是：

1. 不能让 R_G 上的电流 I_{RG} 超过±2.6mA（或 5.2mApp），I_{RG}=Vout/(设计最大放大倍数×R_G)；详情请参考 VCA822 的数据手册第 24 页。

2. 输入信号的动态范围，V_{IN}+的最大输入不能超过 1.6V，最小输入不能小于-2.1V，同时 $I_{RG}=V_{IN(pp)}/R_G$ 必须小于 5.2mA，即若要满程输入，R_G 必须大于 700 欧姆，如果选择小于该值的 R_G，一定要注意输入信号的范围已经被减小。

至此，除了功率推动级，我们的信号调理部分的解决方案已经得出，我们的增益分配如下：



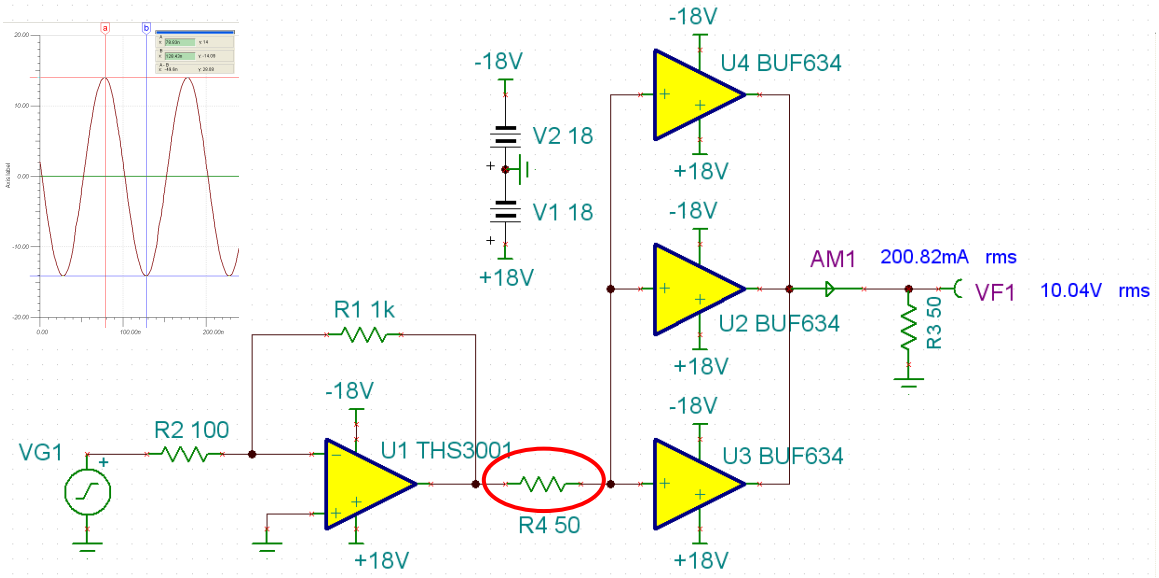


这里我们从 2.8mVpp 的输入中得到了 2.8Vpp 的输出信号（注意两个信号对应的 Y 轴刻度不同），即将 1mV$_{RMS}$ 的输入信号放大了 1000 倍（60dB）。当然，如果是 28mVpp（10mV$_{RMS}$）输入，我们只需将 VCA810 的增益设置为 10 倍（20dB）即可。接下来，我们将在功率级将这 2.8Vpp 的信号放大 10 倍，并推到 50 欧姆的负载上去。推荐使用的宽带压控增益放大器有：

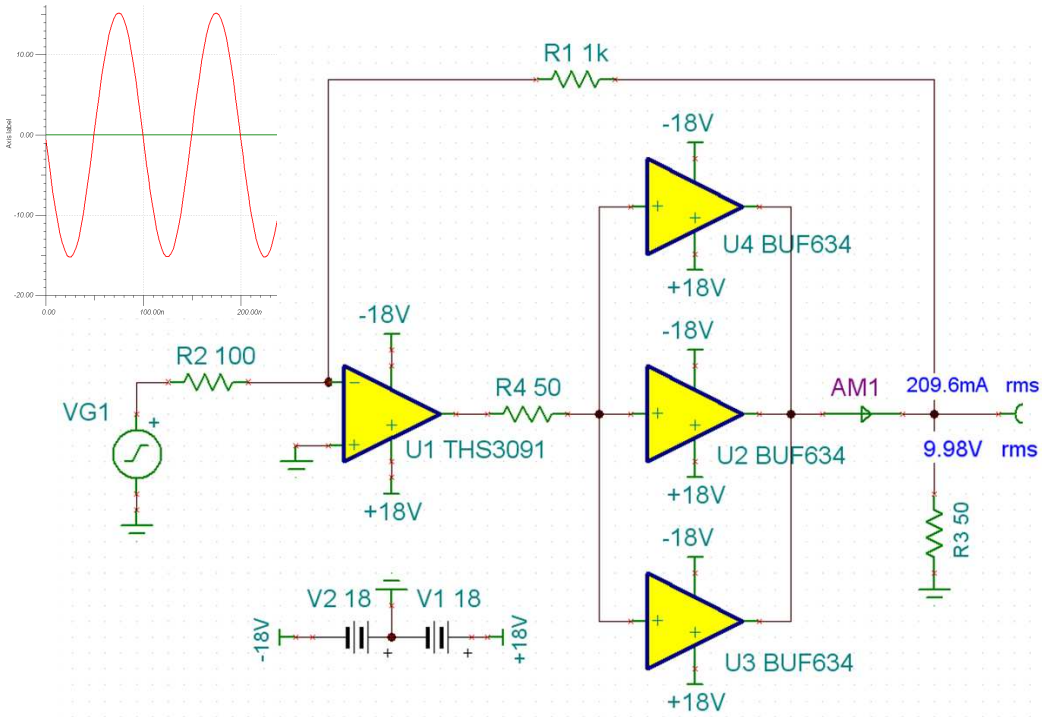
器件	简介	价格 (美元) (单位:片)	封装
VCA810ID	可调增益±40dB, CONSTANT BANDWIDTH vs GAIN: 35MHz	6.8	SOIC
VCA820ID	可调增益±20dB,Linear in dB, CONSTANT BANDWIDTH:150MHz	3.45	SOIC
VCA822ID	可调增益±20dB,Linear in V/V, CONSTANT BANDWIDTH:150MHz	3.45	SOIC

4.1.4 功率放大级：宽电压 CFB 和宽带缓冲器

在上一级中，我们已经将输入 10mV$_{RMS}$ 的输入 10MHz 正弦波放大到 2.8Vpp，并支持输入信号小至 1mV$_{RMS}$。现在，我们在功率输出级先通过宽电压供电的电流反馈放大器将 2.8Vpp 的信号放大到 28Vpp，然后通过并联的功率输出级送到 50 欧姆负载上。一种常用的方法如下图所示：

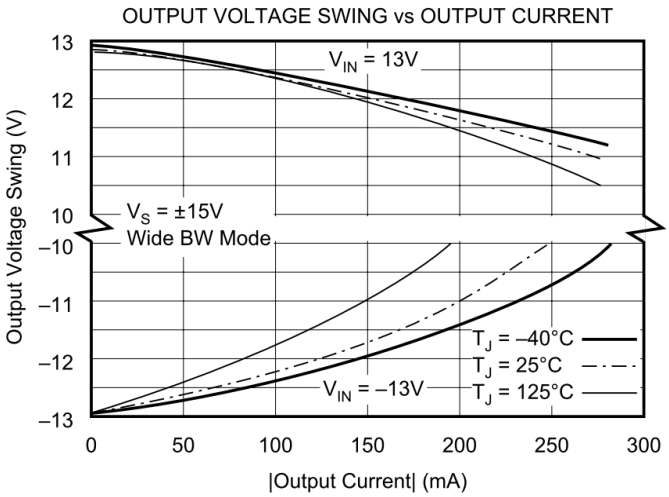


也可以将 BUF634 放置到 THS3001 的反馈环路中，利用负反馈减小失调电压和失真：



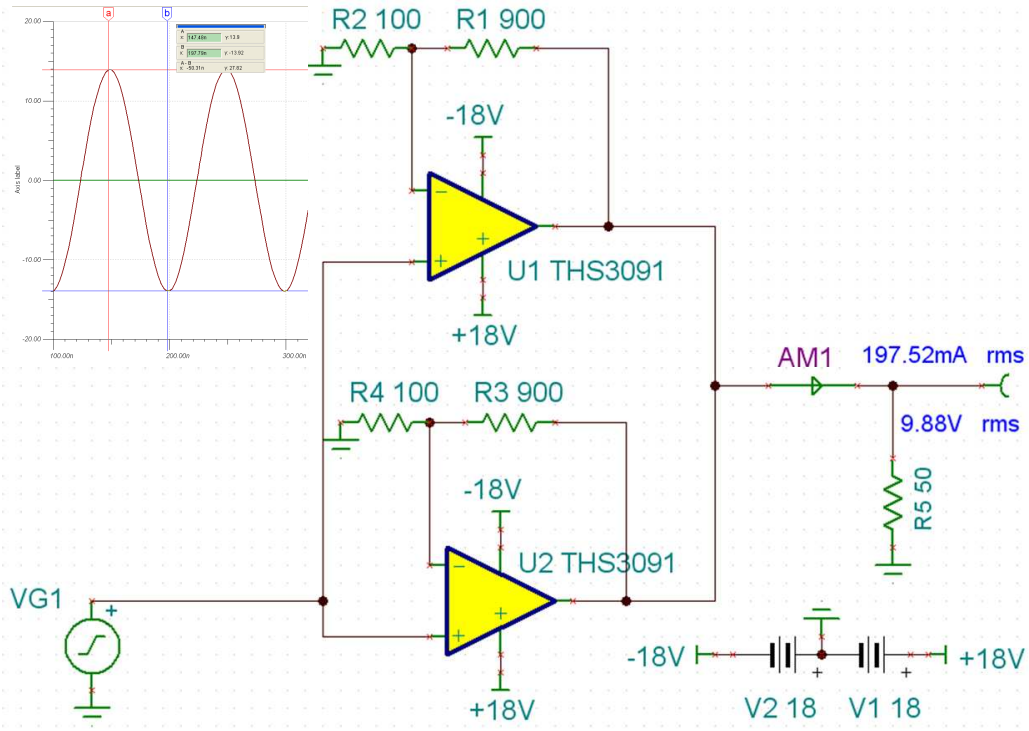
这个方案中，利用了±18V 供电的 THS3001HV 提供了±14V 的正弦信号。若期望负载为 50 欧姆，需要信号源提供的电流为±300mApp，THS3001HV 能提供的电流为±100mApp，于是我们利用 BUF634 宽带和大电流输出的两个特点，使用并行的 3 片 BUF634 来完成功

率驱动。这里的 BUF634 拥有可选的 30MHz 或 180MHz 的带宽模式，同时拥有±250mA 的输出能力，注意到下图中所示的随着输出电流增大输出摆幅降低的图表，实际上在上图的仿真中我们将 THS3001 的输入提高到 3Vpp（或可以调高一些 THS3001 的增益），同时采用 3 片（甚至更多）的 BUF634 来并联输出，从而减少每一颗 BUF634 上的电流输出，最终在 50 欧负载上获得了 28Vpp 的输出电压。



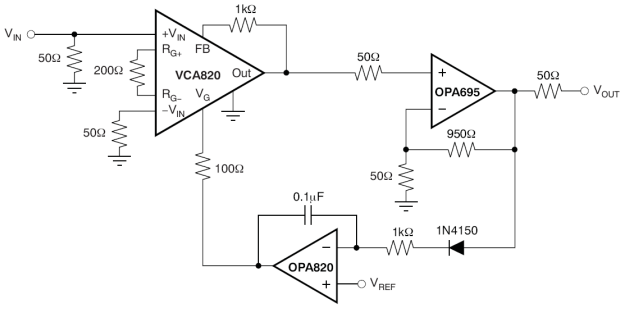
另值得注意的是在 THS3001 和 BUF634 之间加入的 50 欧电阻，该电阻是为了隔离 THS3001 的输出级和 BUF634 的输入寄生电容，读者可以去掉这个电阻，即可以看到一个不稳定的 THS3001。

THS3091 也是一颗宽带电流反馈放大器，它也拥有±250mA 的电流输出能力。我们可以直接用多颗 THS3091 并联来同时完成信号放大和功率驱动：

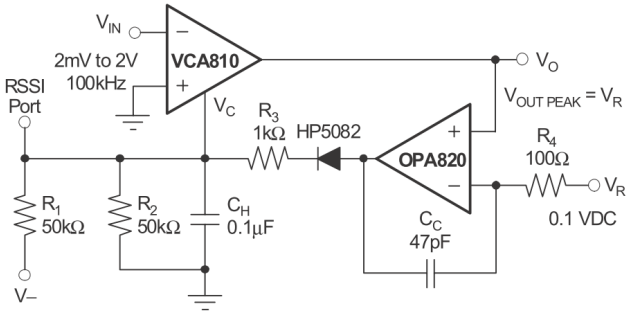


4.1.5 自动增益控制

实现自动增益控制，即 AGC，可采用模拟反馈或数字反馈。VCA810、VCA820 配合外部宽带放大器都很容易实现模拟 AGC：



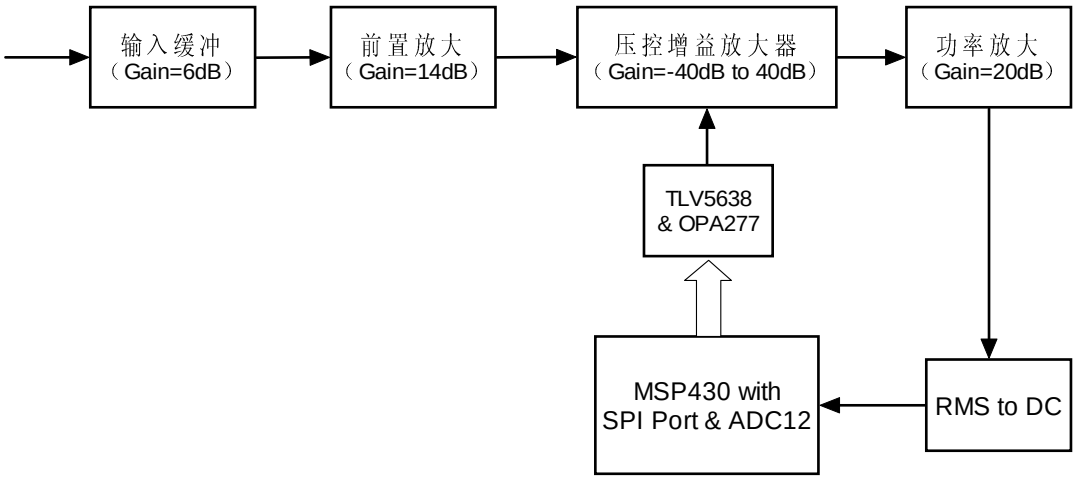
VCA820 实现模拟 AGC



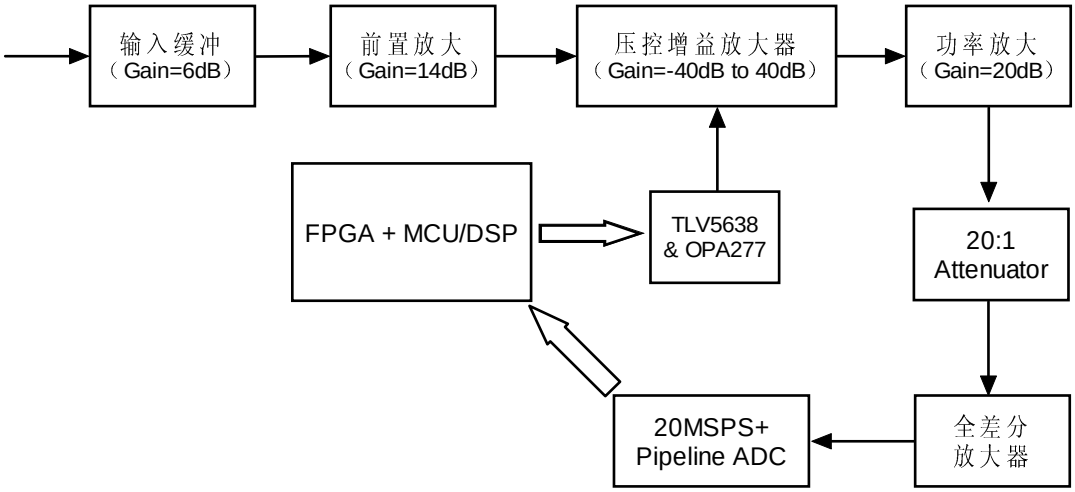
VCA810 实现模拟 AGC

数字 AGC，即将模拟输出信号的幅度信息通过 MSP430 内建的 12 位 ADC 转化为数字信号，经 MSP430 处理后，再由 MSP430 的内部 DAC（或内建 SPI 口控制外部 DAC）来调整 VCA8xx 的放大倍数。如何获得 10MHz 模拟信号的幅度信息也有两种方法：

1. 通过 RMS to DC 芯片，将 10MHz 模拟输出的有效值转化为直流信号，再通过 MSP430 内置的 12 位精度的 ADC 采集直流电平，得到输出信号的幅度信息；然后由 MSP430 通过集成的 SPI 口刷新双路 DAC TLV5638，从而控制 VCA8xx 的增益：



2. 通过 ADC 直接采集模拟输出信号，当然可以用低速采集多次，利用等效采样的方法恢复模拟信号，但最直接最痛快的方法就是利用 20MSPS 以上采样率的高速直接对 10MHz 的正弦波进行过采样，在少点数采样后就能得到需要的信息：

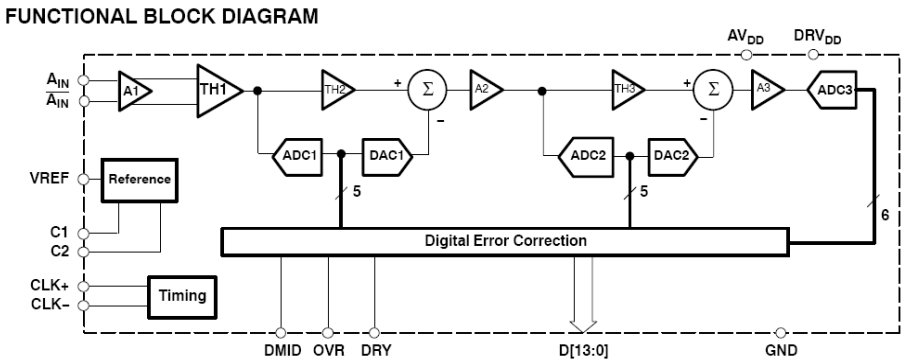


如上图，我们先通过一个衰减器将模拟信号降低到 ADC 的满量程输入范围内，然后通过全差分放大器进行单端到差分的转换，缓冲并滤波后送给流水线型高速数据转换器（20MSPS＋）进行实时转换和计算。于是，下面我们将顺利过渡到高速数据转换器和它的模拟输入驱动运放芯片：全差分放大器。

4.2 高速 ADC 和全差分放大器

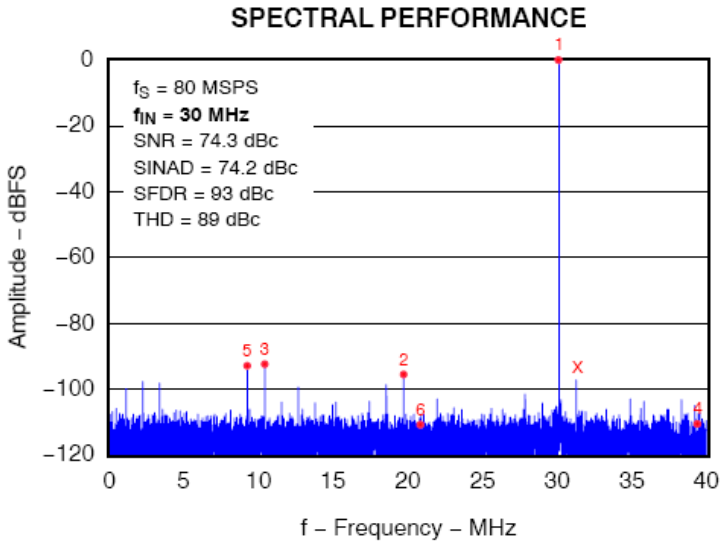
什么是高速 ADC？答案就是：流水线型 ADC，TI 拥有非常广的流水线型 ADC 家族，目前，流水线型 ADC 应用涵盖医疗影像采集，通信基础设施，雷达信号处理等领域，而趋势是往高速高精度发展。以通信基础设施为例，在 GSM 时代，12 位 61.44MSPS 的 ADC 就能胜任一些小型基站的需求，随着 WCDMA 等更宽带移动通信的发展和数字信号处理硬件速度的进步，对 ADC 的需求已经提高到 14 位甚至 16 位，采样率也提高到 200MSPS 以上，并且越来越倾向于向天线端靠拢。TI 为满足这一趋势，推出了 16 位 200MSPS 的产品和 12 位 500MSPS 的单片 ADC 产品，这都是产业界最高水平的器件。不过由于受美国商务部出口限制政策的约束，我们向大学只提供不需申请许可证的器件。

那么，流水线型 ADC 是如何工作的呢？以 14 位 80MSPS 的 ADS5424 为例：



ADS5424 由三段 ADC 组成，5 位，5 位和 6 位 ADC，通过转换后的 DAC 还原并相减，使得 3 段 ADC 各自负责一部分模拟信号的数字转换，转换得到的 16 位数字信号再进行一次误差校正运算后最终得到 14 位数据完成输出。由于内部有三段 ADC 依次转换，ADS5424 的转换延迟为 3 个时钟周期。

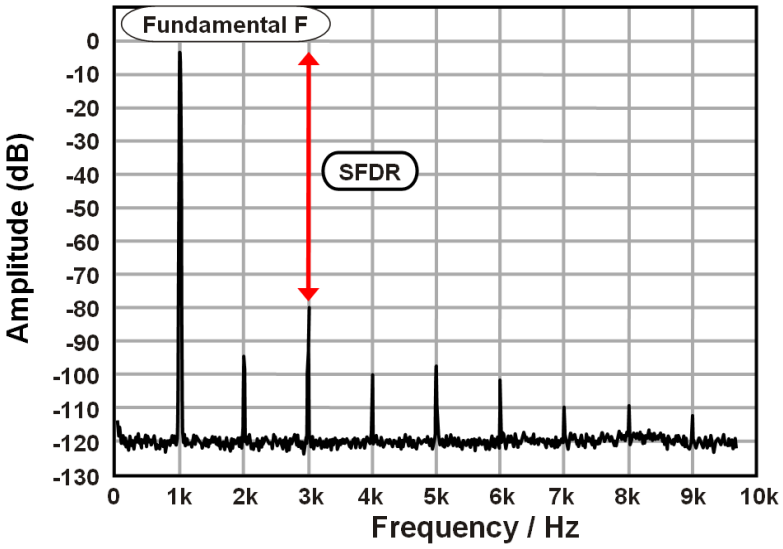
衡量一款高速 ADC 器件好坏，我们要考察 ADC 的动态指标或频域性能，测试方法简单来说就是对 ADC 输入高纯度正弦信号，同步采样后计算其功率谱：



如上图，是 ADS5424 的测试功率谱图，通过这张图，可以计算得到下列一些有用指标：

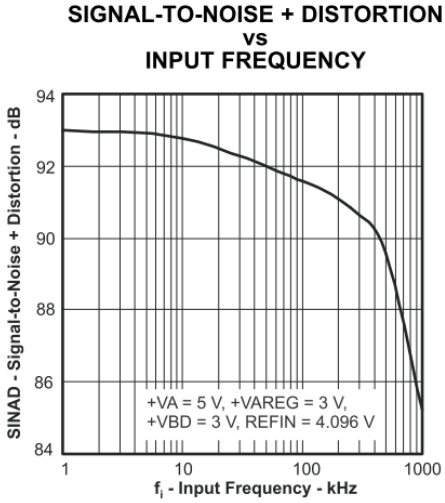
SINAD 和 ENOB：SINAD 等于功率谱上基波信号（输入正弦波）的能量比上整个奈奎斯特域内的余下噪声和谐波能量之和。有效位数 ENOB＝(SINAD-1.76)/6.02

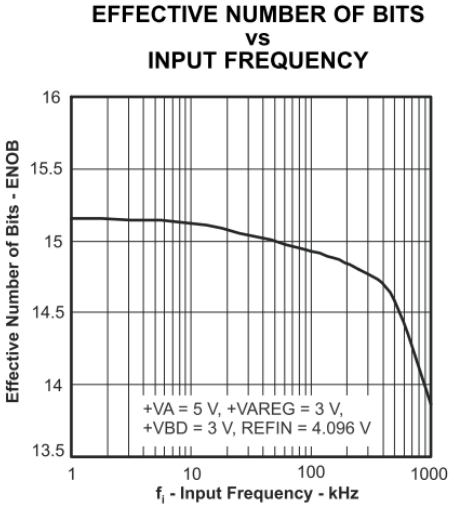
SFDR：定义为基波能量与余下最大谐波能量之比，或在 dB 为单位时，即为相减。如下图：



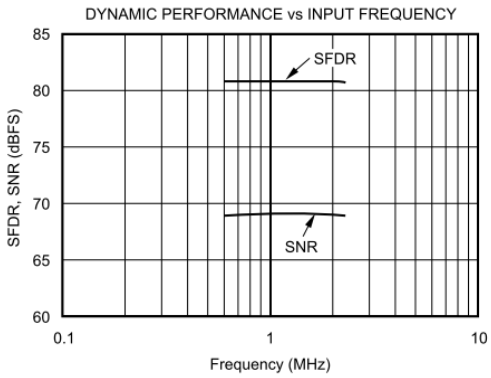
输入－3dB 带宽和优化性能带宽：定义为输入被衰减 3dB 时所处的带宽，比如 ADS5424 的－3dB 带宽为 2GHz；但更有用的优化性能带宽定义为在保证 ADC 数据表上的性能时能达到的带宽，显然这个带宽会小于－3dB 带宽，ADS5424 的优化性能带宽大致为 500MHz。

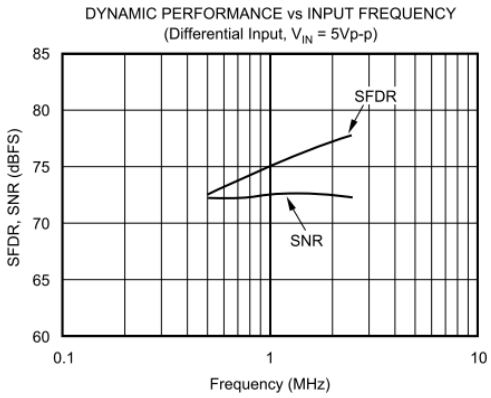
有时你会看到一颗高速 SAR 型 ADC 和低速 Pipeline 型 ADC 拥有相近的采样率，比如 ADS8422 和 ADS803 都在 5MSPS 左右，但是他们的输入带宽却相差很多，ADS8422 的为 30MHz，而 ADS803 为 270MHz，而且随着输入频率升高，SAR 型 ADC 的性能下降得非常之快：



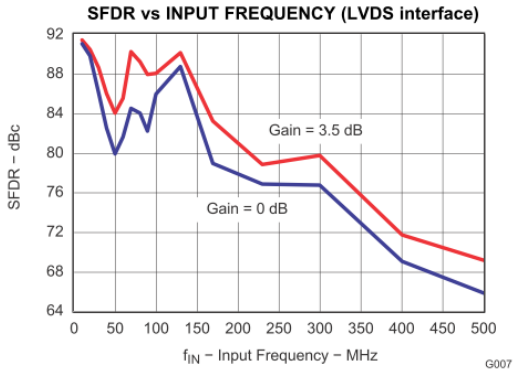


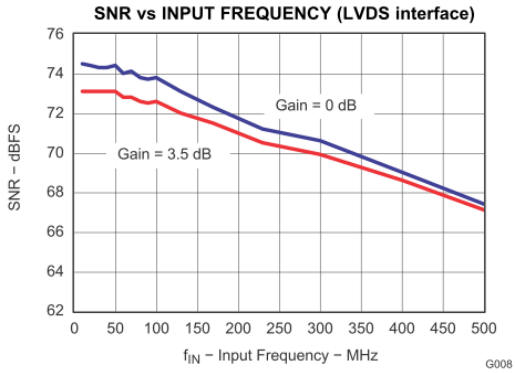
ADS8422 的 SINAD 和有效位数随频率升高而急剧下降，在还没有达到奈奎斯特频率时 ENOB 已经下降到 14 位，ADS8422 的奈奎斯特频率为 2MHz。作为对比，ADS803 的表现好了很多，虽然没有欠采样时的测试数据，但是至少在整个奈奎斯特频段都拥有良好表现：





作为最现代的高速 ADC，14 位 125MSPS 的 ADS6145 给出了在欠采样下的优异表现，注意到从 0Hz 到 500MHz 的输入信号，SNR 仅下降了 10dB。



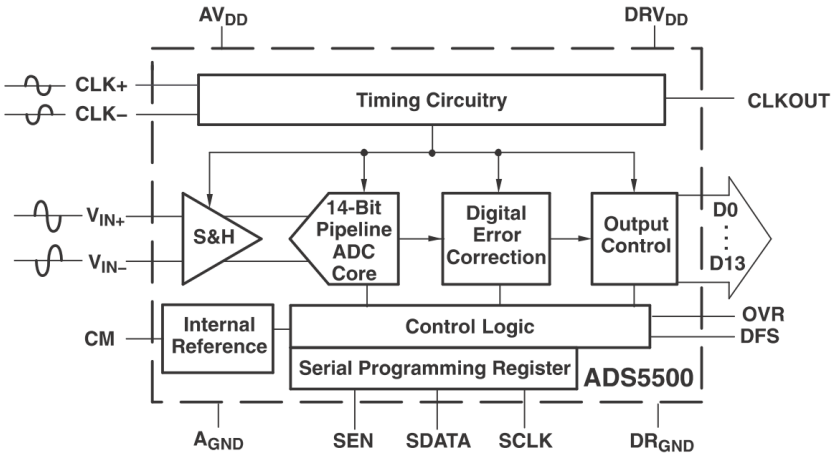


我们向大学推荐使用的 TI 流水线型 ADC 有：

器件	简介	价格 (美元) (单位:片)	封装
ADS5237IPAG	双路 10 位 65MSPS 流水线型 ADC	7.5	TQFP
ADS822E	10 位 40MSPS 流水线型 ADC	5.5	SSOP
ADS828E	10 位 75MSPS 流水线型 ADC	10.5	SSOP
ADS803E	12 位 5MSPS 流水线型 ADC	9.25	SSOP
ADS805E	12 位 20MSPS 流水线型 ADC	9.9	SSOP
ADS850Y/250	14 位 10MSPS 流水线型 ADC	18.5	TQFP
ADS62C15IRGCT	双路 11 位 125MSPS，SNR@Boost = 77.5dBFS	51.5	VQFN
ADS62C17IRGCT	双路 11 位 200MSPS，SNR@Boost = 79.8dBFS	82.5	VQFN
ADS62P15IRGCT	双路 11 位 125MSPS，CMOS or DDR LVDS 输出	24.75	VQFN
ADS5517IRGZT	双路 11 位 200MSPS，CMOS or DDR LVDS 输出	42.5	VQFN
ADS6124IRHBT	12 位 105MSPS，CMOS or DDR LVDS 输出	23	QFN
ADS62P24IRGCT	双路 12 位 105MSPS，CMOS or DDR LVDS 输出	34.5	VQFN
ADS6123IRHBT	12 位 80MSPS，CMOS or DDR LVDS 输出	16.5	QFN
ADS62P23IRGCT	双路 12 位 80MSPS，CMOS or DDR LVDS 输出	20.5	VQFN
ADS6122IRHBT	12 位 65MSPS，CMOS or DDR LVDS 输出	12	QFN
ADS62P22IRGCT	双路 12 位 65MSPS，CMOS or DDR LVDS 输出	18.1	VQFN

下面我们将通过 ADS5500 的测试来讨论高速 ADC 的外设和设计考虑（更多详细信息请参考 TI 应用笔记 SLYT074，SLWA034 和 SLYT119）。ADS5500 是一款采样速率为 125-MSPS、精度为 14 位的高速流水线 CMOS 模数转换器。2004 年 3 月，德州仪器（TI）推出了这款芯片，它是当时世界市场上第一款拥有如此高采样速率和高精度的模数转换器。ADS5500 适用于诸如无线通讯、测试和测量仪表、控制系统、医疗成像和高速数字化等应用领域。

ADS5500 包含一个采样-保持输入级、一个 14 位流水线内核、一个内置电平基准、一个时钟电路、数字误差校正、一个数字输出驱动和一个 3.3V 的单电源。



ADS5500 的主要特色和优点是达到 750MHz 的信号输入带宽，峰峰值达到 2.3V 的动

态差分输入信号，在宽频带上的高信噪比（SNR）和无杂散动态范围（SFDR），为接收器应用提供的在低信号幅度下高至 74dBFS 的优质 SNR，和超低功耗（780mW）。例如，当 ADS5500 工作在 125MSPS 采样速率状态下，输入信号幅度为-1dBFS，输入信号频率为 190MHz 并且正确配置输入电路，芯片的 SNR 大约为 70dB，SFDR 在 82dB 以上。而如果采样速率和输入信号频率与上例相同，当输入信号幅度为-15dBFS 时，ADS5500 的 SNR 为 74dBFS，SFDR 为 83dBFS。

ADS5500 的高性能给予了它广泛的应用范围。然而，由于芯片的高速率和高精度，对它进行评估有时会很复杂。基于这个原因，这里介绍了 ADS5500 的一个评估系统，它包含了测试设备、系统配置、测试电路、基本的高速 ADC 的测试概念和测试数据。

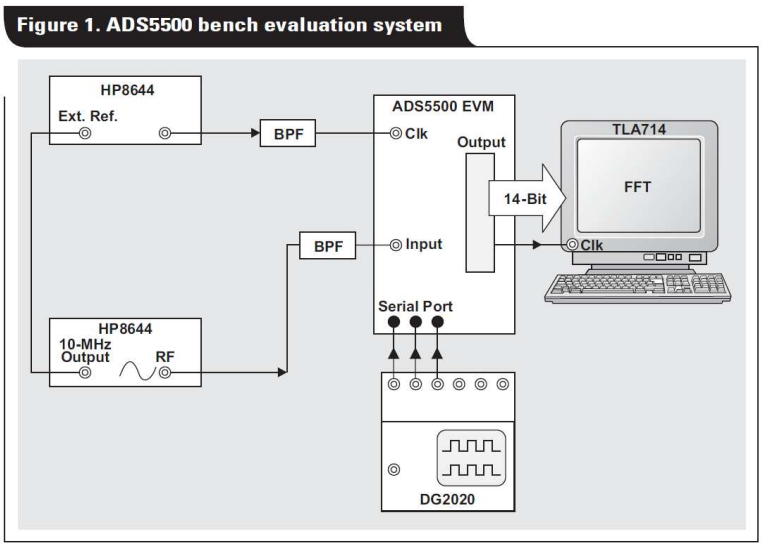


图 4.3 ADS5500 动态性能测试系统

图 4.3 即为 ADS5500 的一个小型动态性能测试系统，它由一个信号源（HP8644），一个时钟信号源（HP8644），一个数字逻辑分析仪（TLA714），一个数据发生器（DG2020），带通滤波器（BPFs），一个测试板和一个快速傅立叶变换（FFT）程序组成。信号源产生一个用于测试 ADS5500 所必需的单频正弦信号。时钟信号产生一个正弦波进入 ADS5500 的外部时钟调理电路，这个电路可以是变压器或 PECL 驱动器从而产生“理想的”采样时钟信号。数据发生器为控制寄存器产生一系列的数据。逻辑分析仪（TLA）用来从 ADS5500 获取数据并利用快速傅立叶变换程序（FFT）来分析它。如果没有上述的仪器，也可以用一个 FIFO 或一个 FPGA 板和一台电脑来代替逻辑分析仪（TLA）或数据发生器。

系统中设备的一些重要规格包括信号带宽、信号功率、信号阻抗、噪声、谐波、抖动、锁相功能和 ADS5500 的数字负载。数字缓冲存储器、数字化数据采集板或逻辑分析仪等设备的低输入容抗也很重要。图 4.3 中的逻辑分析仪有 2-pF 的输入容抗。ADS5500 的最大数字输出负载是 12pF，大于 12pF 的负载将会影响芯片的评估。输出数字数据的捕获时钟和 ADC 的输出数据间的时序也很重要，如果使用了外部时钟信号来捕获 ADC 的输出数据，

那么该时钟信号与模数转换器（ADC）的输出数据之间的时序必须满足数据手册中的要求：数据必须在数据有效时间内被捕获。强烈建议使用 ADS5500 的输出时钟信号来捕获芯片的输出数据，因为该输出时钟信号与芯片输出的数据信号是同步的。在输入时钟信号（ADC 的驱动时钟信号）与输出数据的驱动时钟信号之间会有延时，并且该延时会随着芯片的不同、温度差异和供给电压的变化而改变，因此不推荐用输入时钟信号（ADC 的驱动时钟信号）来获取数据，特别是在高速工作状态下。

在 ADS5500 的模拟功能一侧，图 4.3 中所示的所有的信号和时钟信号发生器都有锁相功能，低噪声模式，50-Ω 信号阻抗和 20dBm 的信号功率。为了避免在信号传输通路上出现能量反射，ADC 的等效输入阻抗，包括外部输入电路阻抗在内，都应该与信号源阻抗相匹配。如图 4.4 所示。在特定测试条件下，当输入频率很高时，因为带通滤波器和输入电路产生的衰减，信号源可能提供不了足够的幅度以驱动模数转换器（ADC）。在这种情况下，就需要一个具有特定增益和大小为 50-Ω 的输入/输出阻抗的宽频带放大器（例如 THS900x 或 ZHL-64），来为 ADS5500 提供充足的能量。适当地减小 R1 和 R2，并且增加 R_{T1} 和 R_{T2} 可以减小在高频输入条件下对电源功率的需求。

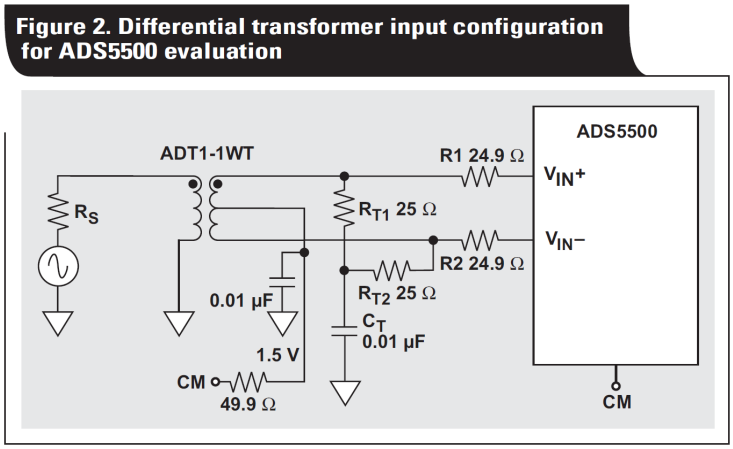


图 4.4 使用变压器驱动 ADS5500 的模拟输入

实际的测试系统中，在 ADS5500 的信号输入通路中使用带通滤波器（BPF），将来自信号源的谐波和噪声降到最低。在时钟信号输入通路上使用一个窄带带通滤波器，将来自时钟信号源的抖动降到最低，并且在采样速率很高时产生一个好的时钟信号占空比。实际测试结果表明，在信号输入通路上使用带通滤波器（BPF）时的快速傅立叶变换（FFT）结果与不使用时显著不同。此外，使用如图 4.3 所示的测试系统和高频输入时，在信号输入通路上放置窄带带通滤波器（3-MHz 带宽）后得到的 SNR，比放置宽带带通滤波器（10-MHz 带宽）后得到的 SNR 好 0.3dB。在当前的评估板上，当时钟信号为 125-MHz，输入信号频率很高的情况下，放置在时钟信号输入通路上的带通滤波器能使 SNR 改善超过 0.5dB，使 SFDR 改善超过 2dB。在任何情况下，都要测试带通滤波器（BPF）来保证滤波器自身的工作状态良好。带通滤波器（BPF）的输入和输出阻抗要与信号源的阻抗以及模数转换器（ADC）的输入阻抗相匹配。最小阻带衰减为 50dBc 的 TTE KC 系列带通滤波器是一个不

错的选择，能使评估达到较好的效果。

在 ADS5500 测试中可以观察到，ADS5500 对系统抖动、模拟输入配置和测试电路板的布局非常敏感。这些将在接下来的几部分进行讨论。

4.2.1 高速数据采集系统中的时钟

为了得到好的评估效果，ADS5500 要求它的输入时钟信号有尽量小的抖动、50%的占空比和 3Vpp 的差动幅度（如果输入时钟信号是正弦波）或 1.5Vpp（如果输入时钟信号为方波）。输入时钟信号边沿越陡，得到的 SNR 越好。ADS5500 芯片内部为输入时钟电路提供一个直流偏置，因此，推荐为时钟信号提供一个交流耦合通路。为了产生较陡的时钟信号沿和最低的外部电路噪声，从而在 ADS5500 的评估板上得到最好的效果，使用一个 1：2 的匝比变压器来将一个正弦波耦合到 ADS5500 的时钟信号输入，如图 4.5 所示。

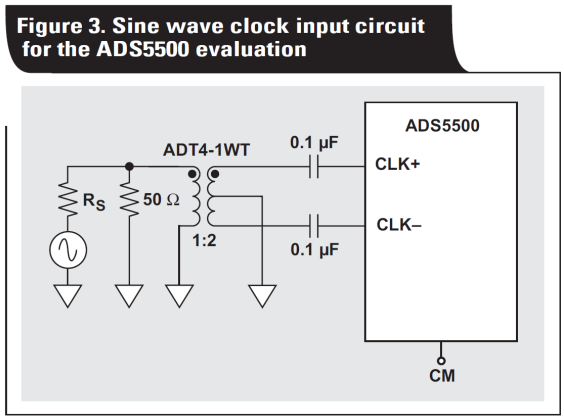


图 4.5 差分正弦信号作为 ADS5500 的驱动时钟

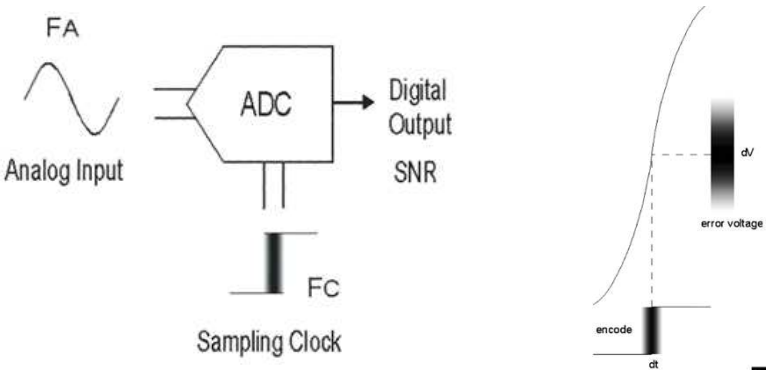
在高时钟信号频率的情况下，如果有必要，推荐在输入通路上放置如 TTE KC4T-125M-3M-50-69A BPF 的带通滤波器，可以减少来自信号源的时钟信号抖动噪声。为了保持 ADS5500 良好的交流性能，得到最好的评估效果，为测试提供低抖动的时钟信号源是至关重要的。下面我们讨论时钟抖动，时钟幅度和时钟同步三个方面给数据采集系统带来的影响。

1. 时钟抖动的影响

高速 ADC 的动态特性的最大瓶颈在于采样抖动（jitter），包括采样保持电路的孔径抖动（来自于 ADC 自身）和采样时钟的抖动（来自于采样时钟电路），这也是现代流水线型 12－14 位 ADC 的 ENOB 很难突破 12 位的主要原因（TI 新推出的 16 位 100MSPS＋的数据转换器的 ENOB 可以接近 13 位）。

什么是抖动？抖动就是由于采样时刻的不确定性带来的采样误差，如下图，在每个时钟周期的采样时刻的不确定性，导致数字化后幅度的不确定性，这种不确定性导致 ADC 采样的可重复性大大降低，而可重复性就决定了 ADC 的频域性能。因此频域性能受 Jitter

的影响非常大。



让我们看看 ADS5500 的内部 Jitter 有多大：

ADC Internal S/H Circuit Jitter

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
SWITCHING SPECIFICATION						
t_A	Aperture delay	Input CLK falling edge to data sampling point		1		ns
	Aperture jitter (uncertainty)	Uncertainty in sampling instant		300		fs

ADS5500 的内部采样抖动为 300fs，已经非常地小了。不过这部分 jitter 我们控制不了，是 TI 的事情去尽量减小它（实际上，ADS5500 是 2004 年的产品，现在最新的 14 位 125MSPS 的 ADS6145 已经将这个数值减小到 150fs，从而获得了更加卓越的 SNR 和 SFDR）。我们能干预的是外部采样时钟的抖动性能。那么我们需要一个质量多好的外部时钟？让我们先计算一下总的 jitter 对 SNR 的影响有多大，再反推如果对 100MHz 的正弦信号采样，若需要 70dBc 的 SINAD，需要外部时钟的抖动为多少：

第一步，是一个经典公式，表示了 Fin，Jitter 和 SNR 的关系：

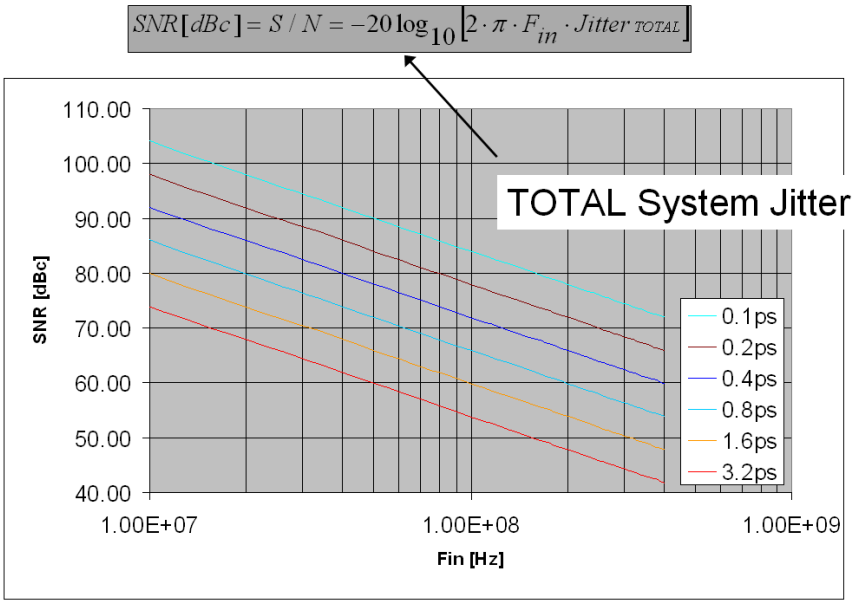
$$SNR[dBc] = -20\log_{10}\left[2\cdot\pi\cdot F_{in}\cdot Jitter_{TOTAL}\right]$$

反推出总 Jitter 的大小应该符合：

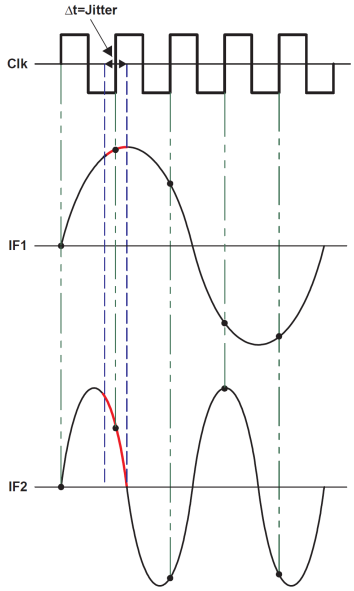
$Jitter_{TOTAL} = (10\wedge(-SNR[dBc]/20))/2\cdot\pi\cdot F_{in}$，代入数值有：

$$(10\wedge(-70/20))/2\cdot\pi\cdot 100e^{6} = 503\,fs$$

如果要求 SNR 为 70dBc，那么总 jitter 应该为 503fs! 非常小的数字。一个更明显的图表表示了输入信号频率，系统总体抖动和 SNR 的关系：



从上图我们看到当输出信号为 100MHz 时，若要获得 70dBc 以上的信噪比，ADC 的采样抖动要小于 400fs，而一个 1.6ps 的系统抖动将使信噪比降低到 60dBc（不足 10 位）！而且我们也可以发现输入信号的频率越高，对采样抖动的要求越苛刻，我们可以从下面这一个图中理解，在输入频率升高时，同样的采样抖动在高频信号上带来了更大的采样幅度误差，因此带来的 SNR 误差越大，这也可以理解为可重复性变差了。



接下来，我们从计算出来的系统抖动和 ADC 孔径抖动来反推最大允许的时钟抖动，因为系统抖动可以由下式计算：

$$(Jitter_{total})^2 = (jitter_{ADC})^2 + (jitter_{CLOCK})^2$$

从而得到时钟抖动的计算方式：

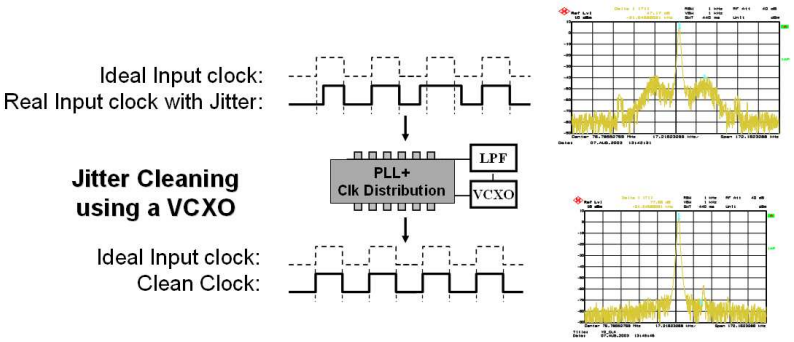
$$jitter_{CLOCK} = [(jitter_{TOTAL})^2 - (jitter_{ADC})^2]^{0.5}$$

代入数据：

$Jitter_{CLOCK}$ = [(503e-15)^2 – (300e-15)^2] ^ 0.5 = 403fs

计算得到时钟的抖动不能超过 403fs!! 这时，让我们看看在学校里做高速 ADC 设计最容易犯的一个错误：用 FPGA 或 DSP 的时钟输出驱动高速 ADC，这是非常不可取的，因为 FPGA 和 DSP 这类数字器件的时钟输出的抖动非常的大，一般在 50ps 就已经非常不错了，这样的时钟质量驱动数字电路不会有太大问题，但驱动高速 ADC 会导致 ADC 的 SNR 和 SFDR 急剧下降，而在时域上你可能察觉不到这些问题："波形还是很正弦嘛"!

采样时钟的 Jitter 在时域上看是指采样时刻的不确定性，即抖动；在频域上看，就是其带外噪声，比如如果你看到在频谱仪上你的采样时钟如同下图右上一样穿了一个"裙子"，那么说明你的采样时钟的质量不够好，在时域上会有较大的抖动。降低时钟抖动的主要方法是采用 PLL 和外部高质量 VCO，利用 PLL 的环路滤波器减小输入参考时钟的宽带噪声对 VCO 的影响，从而有效抑制输出时钟的宽带噪声（因此也称为 Jitter Cleaner），其效果如下图所示：



2. 时钟幅度的影响

对于理想的方波时钟，采样在波形的过零点完成。进一步的，在一些 ADC 件中，例如 ADS5500，利用时钟的高低电平循环，可以对数据进行采样和锁存。因此，让时钟有一个 50%占空比是很重要的。之前，我们已经知道了时钟的抖动影响了输入波形的采样点，从而使得信噪比降低。一个非理想的时钟源的热噪声也会助长信噪比的下降。

热噪声会对时钟源产生一个随机的幅度向量。对于理想的方波时钟源，时钟信号将可能从一个状态立即转变为另外一个状态。在这种情况下，由噪声产生的细微的幅度向量将不会对过渡采样点产生影响。实际上，即使是一个好的方波时钟源，从一个状态过渡到另外一个状态也不是瞬间的。过渡需要一个有限长的时间。波形上的噪声改变了信号，以至于采样点（过零点）稍稍偏离了理想的位置。这样就导致了一个采样点的小误差，使得信噪比下降。图 4.6 是一个放大了的在过零点附近的混有热噪声的上升时钟沿和理想上升时钟沿的对比，过零部分上附加了随机噪声向量。噪声分量 Δn，在误差 Δt 处将时钟信号提升到了过渡点，造成了采样时刻的误差。

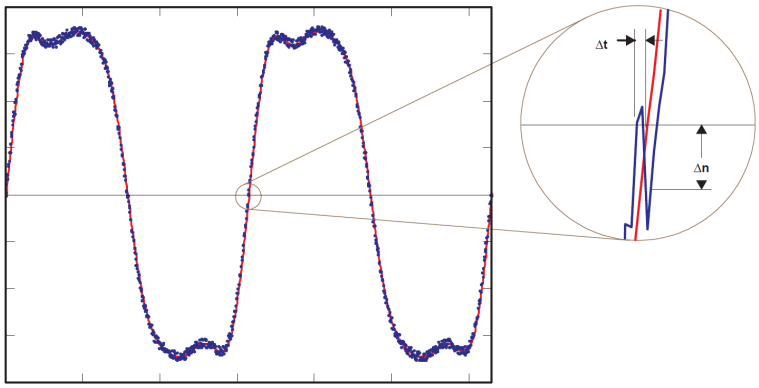


Figure 4. Thermal Noise Component Causing Sampling Error

图 4.6 混有热噪声的时钟上升沿

一种将热噪声影响降到最低的方法是让过渡的沿更加陡。换句话说，通过增加时钟信号过渡沿的陡峭程度，使得时钟信号更加接近理想的方波。相反的，一个平缓的过渡沿更容易受到热噪声带来的对信噪比的影响。下图表示两个时钟源的过渡沿受到同样的热噪声影响的情况。对于两个过渡沿来说，噪声向量是相同的，但是对于较缓的斜坡，其产生的时间上的误差 Δt 更大。因此，尽可能地使过渡沿陡峭对于减小热噪声的影响是有利的。

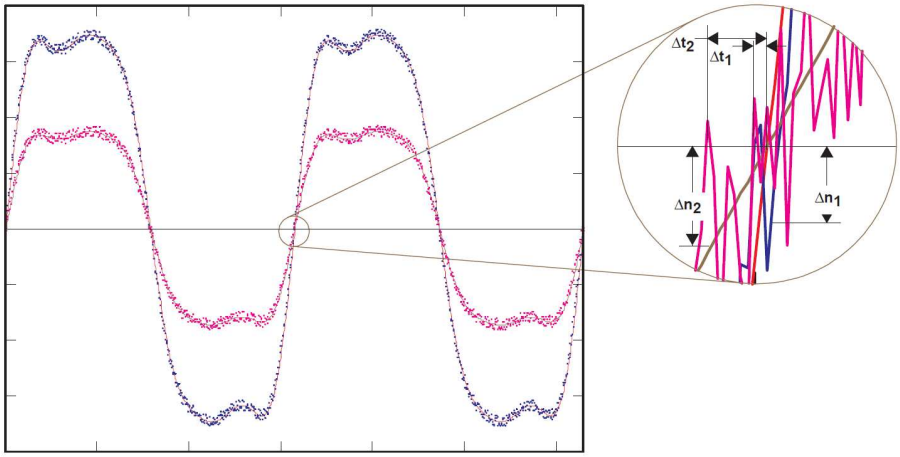


Figure 5. Thermal Noise Effect for Different Slope Clock Signals

时钟的热噪声分量可以通过加入一个带通滤波器来减小，其通带中心频率与选择的时钟频率的相同。任何一个适宜的带通滤波器拓扑都是可以的，比如 L-C 滤波器、SAW 滤波器，或者是晶体滤波器。因为时钟频率只是一个单一的频率，最窄带宽的带通滤波器能起到最好的效果。给定的时钟频率的范围是 60MHz 到 125MHz，一个窄带宽的晶体带通滤波器是最合适的选择，而且晶体滤波器通常与超低相位噪声的振荡器配套使用。

为时钟信号加上带通滤波器能够减小通频带以外的噪声，但是这也会影响到时钟信号的过渡沿。一个方波时钟信号是由一个基频时钟信号以及一系列的高次谐波信号叠加而成的。引入带通滤波器，高次谐波信号也会被消除掉。其结果是在频域里只有一个纯净的基频信号，或者说在时域里只有纯净的正弦波信号。虽然滤波器能够有效地减小噪声分量，但也会使得时钟信号沿变得平缓，因为正弦波比方波上升沿慢。就如之前看到的，平缓的

过渡沿更容易受到噪声的影响。除此之外，带通滤波器不仅将时钟信号的高次谐波滤去，使之变成了正弦波信号，而且还会引入 2dB 到 6dB 的插入损耗。这种插入损耗会进一步降低时钟信号的幅度，并且使得信号过渡沿更加平缓。为了保持一个急速的过渡，需要加强正弦波信号的幅度。

下图展示了更大幅度的正弦波信号能够减小由热噪声带来的误差的方法，因为它能够有效地增加信号的陡峭程度。因此，可以在带通滤波器前加上一个低噪声的放大器，来增加信号的幅度，从而尽可能地使信号的过渡沿陡峭。

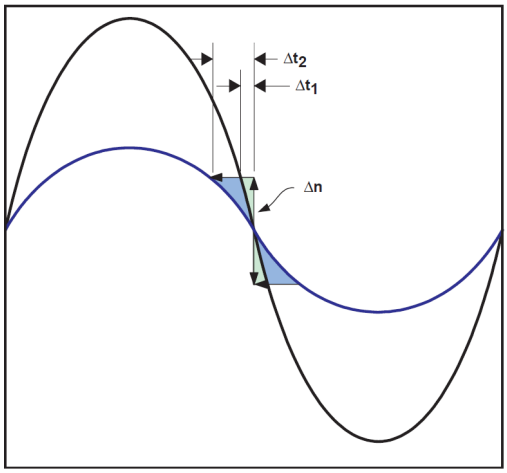


Figure 6. Thermal Noise Effect for Different Amplitude Sinusoids

3. 时钟同步的要求

前面我们提到过，使用 PLL 可以降低时钟上的带外噪声，同时，利用 PLL+VCO+时钟分配，我们可以给中频数字化系统中的 ADC，DAC，ASIC 和 FPGA 提供全局的多路同步时钟，满足接收机对同步的要求。

德州仪器公司为 ADS5500 和其它高速 ADC 引入了一个使用 CDC7005 时钟分配芯片的板级低相位噪声同步时钟解决方案。通过合适的配置，CDC7005 能够配合德州仪器的高速 ADC 获得理想的性能，使得它适合于在印制电路板设计中直接实现。除此之外，CDC7005 有能力驱动五个相互独立的输出，这些输出能够独立地被分成基准频率的 $1/2^n$ （n 能从 0 变化到 4）。 这样就允许一个时钟回路不仅可以为高性能的 ADC 提供时钟源，也可以为其它在电路板上的需要独立时钟源的硬件提供时钟源，例如，DACs、DDCs、DUCs 等。图 1 说明了在一个经典的收发器里 CDC7005 是怎样和 ADC 以及其它的硬件一起使用的。

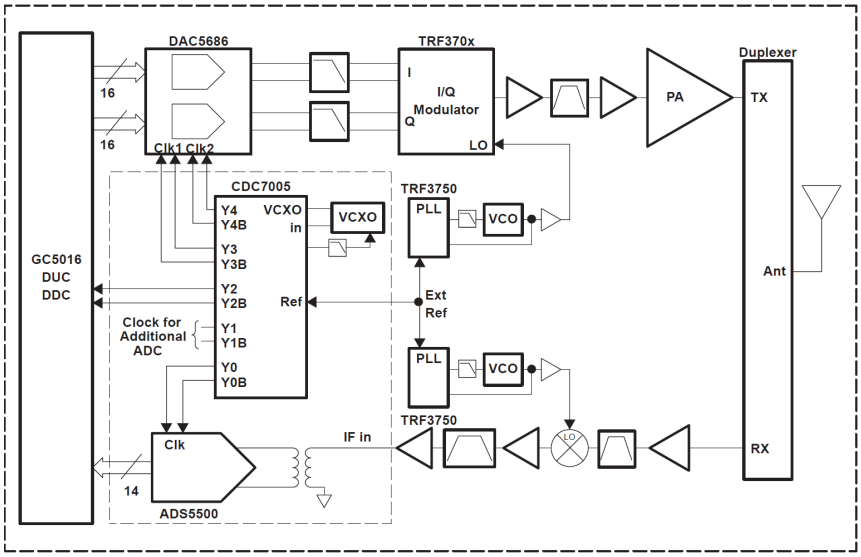


Figure 1. ADS5500 ADC With CDC7005 Clocking Solution Within A Typical Base Station Architecture

CDC7005 是高性能、低抖动的差分时钟驱动和时钟分配芯片。它有 5 个独立的受控输出端，都能够用来作为高性能 ADC（例如 ADS5500）的时钟源，也能够满足印制板上其它需要同步时钟源的器件的要求。CDC7005 能参照一个参考输入时钟为整个系统提供多路同步时钟方案。 CDC7005 的主要特点是：

1. 参考时钟能够与任何 VCXO 的频率同步
2. 参考时钟的抖动被消除了
3. 低抖动输出
4. 五个独立的频率输出，输出频率为可选的 $1/2^n$ 倍基准频率，
5. 差分 LVPECL 接口。

此外，在输出频率 100MHz 以上时，CDC7005 仅附加 100fs 的抖动，而且输出频率越高，附加抖动越小。因此，如果采用高质量的 VCXO 辅以 CDC7005，其输出时钟频率达到 100MHz 以上时系统的整体抖动完全可以达到 300fs 以下。

推荐使用的 TI 时钟芯片有：

器件	简介	价格 (美元) (单位:片)	封装
CDCE925PW	2 内置 PLL，5 输出，峰峰值 60ps 抖动，最大输出 230MHz，CMOS 输出，电脑主板及多媒体系统时钟方案	1.95	TSSOP
CDCE62002RHBT	具有集成双路 VCO 的 4 路输出时钟发生器/抖动消除器	7	QFN
CDCM7005RGZT	集成 PLL 的超低附加抖动，5 输出同步时钟分配器	10.45	TQFP
CDCE421RGET	集成 PLL 和 VCO 的低抖动时钟发生器，最大输出 1.1GHz	7.7	VQFN
CDCM61001RHBT	集成 PLL 和 VCO 的低抖动（500fs）时钟发生器，最大输出 680MHz	4.65	QFN
TRF3750IPW	High Performance Integer-N PLL Frequency Synthesizer	2.7	TSSOP
TRF3761-GIRHAT	集成 VCO 的 PLL，输出范围 1.92G-2.05G，1/2/4 可选分频输出	9.95	QFN

4.2.2 驱动高速 ADC 的模拟输入

ADS5500 的模拟输入配置对评估过程很重要，高速高精度 ADC 的模拟输入都是差分的，差分有很多好处：

A、 差分信号天生具有共模干扰的抑制能力；

B、 差分信号相当于一对相位相差 180 度的单端信号相减，因此能提供两倍于单端信号的输入信号动态范围；

C、若同样提供 2Vpp 的信号，差分信号的每一条仅为 1Vpp，信号越小，净空越多，失真越小。同时，减小对运放供电电压的要求；

D、 差分信号能充分减小偶次谐波的幅度。因为偶次谐波的功率为偶数次方，在差分信号相减时因为符号一致而抵消。

自然界的信号都是单端信号，我们可以利用变压器和全差分放大器来实现单端到差分的转换和阻抗匹配，从而很好的驱动高速放大器的输入。

1. 变压器驱动高速 ADC

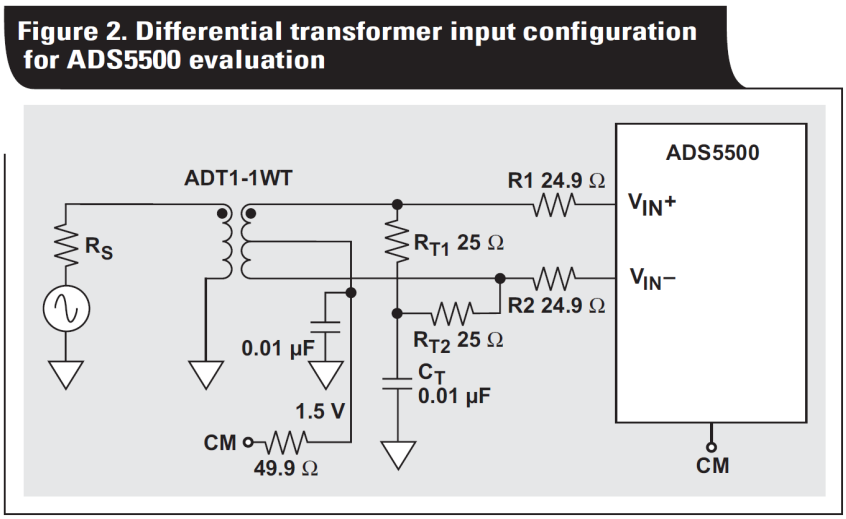


图 4.4 使用变压器驱动 ADS5500 的模拟输入

虽然变压器会造成一些插入损耗，但其可以在很宽的频带内都只产生很低的噪声和谐波。它还提供了交流耦合差分输入和较宽的信号带宽，这就为 ADS5500 的评估创造了很好的条件。运算放大器除了广泛应用于信号整形和给提供增益外，还被用于直流耦合。

在变压器配置中，ADS5500 的输入阻抗是一个重要的考虑因素。ADS5500 的输入阻抗是容性的，并且是由采样时钟信号频率和输入信号频率共同决定的。当采样和输入信号频率都相对较低时，ADS5500 输入阻抗会相对较高，从而不难与信号源的阻抗相匹配。而当采样速率非常高（达到 125MHz）并且输入信号频率也很高时，模数转换器的输入阻抗则会相应较低。在这种情况下，等效输入阻抗可能会比 50 Ω 还小，有可能会造成与信号源阻抗不匹配从而需要更高的信号源驱动电流。这种情况在评估中应该考虑在内。

图 4.4 中给出了评估 ADS5500 用的一个变压器耦合模拟输入电路。R_{T1} 和 R_{T2} 是与信

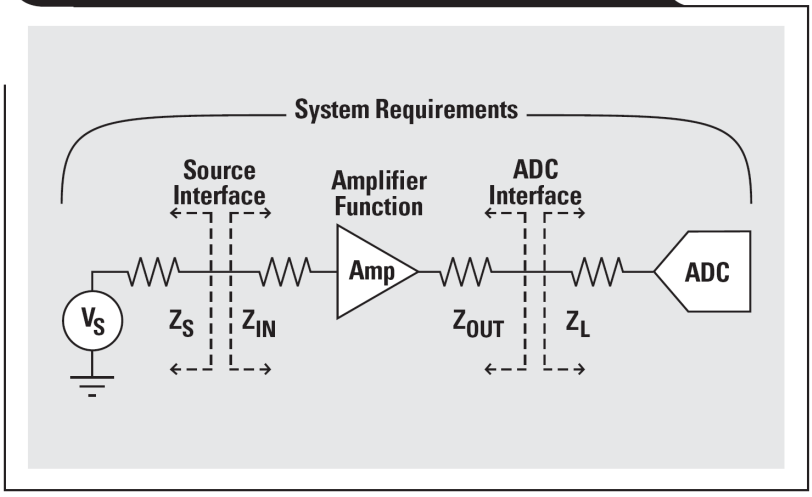
号阻抗匹配的终端电阻；它们还和 C_T 一起组成了低通滤波器。我们测试得到在输入信号频率低于 150MHz 时，如果 $R_{T1} + R_{T2} = 50\ \Omega$，则能得到最好的 SNR 和 SFDR；而在输入信号频率高于 150MHz 时，因为模数转换器的输入阻抗较低，并且变压器损耗较高，在评估电路中可使用高一些的 R_{T1} 和 R_{T2}。R1 和 R2 是用于隔离模数转换器开关电容输入和信号源的模拟输入串联电阻。它们还同 ADS5500 输入电容一起组成低通滤波器。合适的 R1 和 R2 值对于得到最好的性能是必要的。如果 R1 和 R2 太小的话，SFDR 会减小；而如果它们阻值太大的话，信号源的输出功率需要增大。我们可以看到，在输入电路中使用了一个变压器耦合后，R1 和 R2 取 25Ω 能得到最好的效果。有的输入电路中使用了两个变压器以达到最好的差分信号平衡；但这造成了模数转换器前端从 70MHz 到 350MHz 的输入信号会有 9dB 的衰减，所以需要一个输出功率更大的信号源。正是因此，一些测试只使用了一个变压器。我们也发现用一个或两个变压器没有显著的性能差异。在我们的测试中，变压器用于交流信号的耦合和单端到差分信号的转换。

2. 全差分放大器驱动高速 ADC

TI 公司的 THS45xx 全差分运算放大器系列具有高带宽、低失真以及低噪声的特点，非常适合于运用在 12 位或者 14 位的数据转换器中。

如下图所示，数据采集系统可以分成 4 个部分：整个系统的指标需求、信号源接口、放大器的功能以及 ADC 接口。必须要采用合适的放大器功能去实现 ADC 与信号源之间的接口以达到系统的需求。

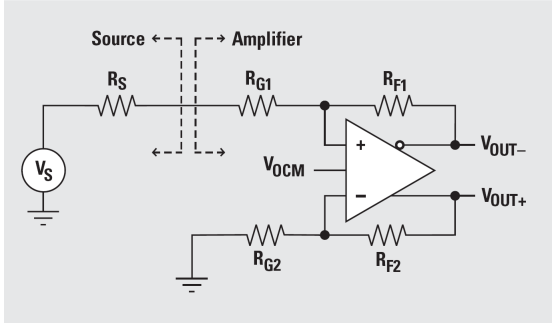
Figure 1. The data acquisition problem



A. 信号源与放大器的接口

让我们考虑单端信号源，使用全差分放大器来实现单端到差分的转换。放大器的输入阻抗是放大器设计中最重要的一点，差分运算放大器也是如此。

Figure 2. Single-ended source



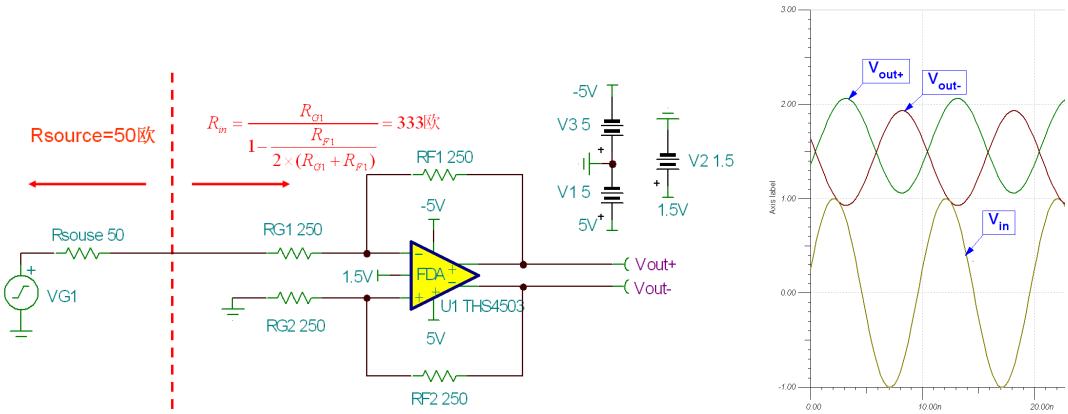
我们将以这个电路为基础，将一个输入±1V 的 100MHz 正弦波，转换为满足 ADS5500 输入的差分信号。查阅 ADS5500 的数据手册，在输入部分有这样的描述：

ANALOG INPUT					
	Differential input range		2.3		V_{PP}
V_{CM}	Input common-mode voltage(1)	1.45	1.55	1.65	V

给模拟输入留出一些净空，我们的设计目标即为一个差模电压为 2Vpp，共模电压为 1.5V V_{CM} 的差分信号对。

平衡与增益

与差动放大器（INA）一样，全差分放大器的电阻网络的平衡也非常重要，当稍微复杂的是，在中频采样中，信号路径上的阻抗匹配是非常重要的。常用的信号源的输出阻抗为 50 欧姆，如下图所示：

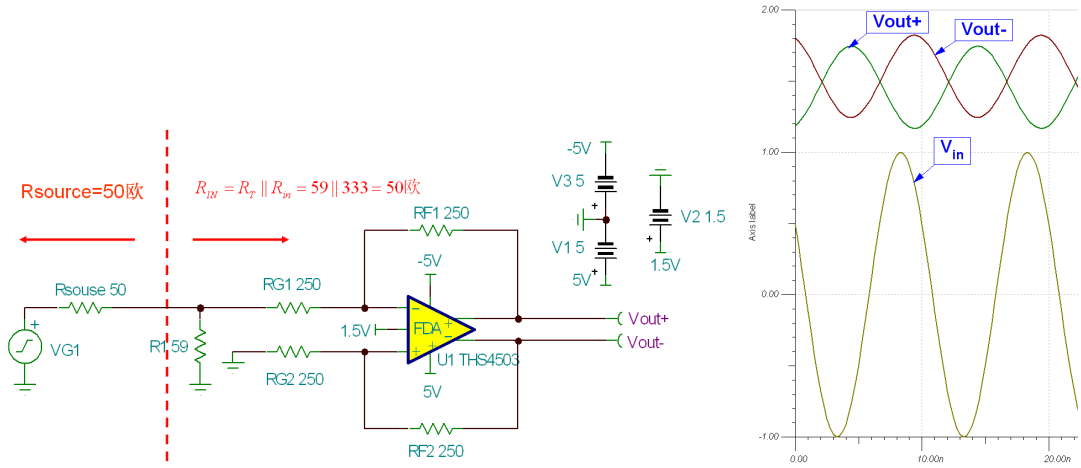


上图左的问题在于忽略了阻抗匹配（信号源的输出阻抗为 50 欧姆， 要求运放的输入阻抗也为 50 欧姆，从而避免信号的反射），同时在全差分运放的单端转差分操作中忘记了这个 50 欧姆的源阻抗，反相输入端的 RG＝RG1+Rsource，破坏了原来 RG1 和 RG2 相等的关系，结果得到了上图（右）中的不匹配的输出结果。

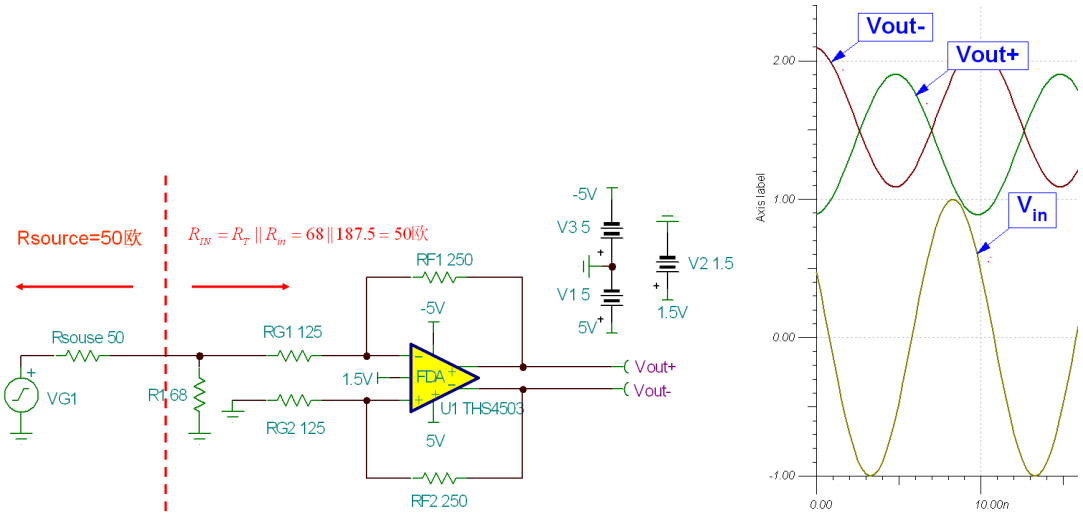
让我们首先解决阻抗匹配的问题，再想办法保持全差分放大器的平衡。首先，计算出上图中差分放大器的输入阻抗 Rin 等于：

$$Rin=\frac{R_{G1}}{1-\frac{K}{2\times(1+K)}}$$，K 为放大器的增益，这里的 $K=R_{F1}/R_{G1}=1$，得到 Rin=333 欧姆。

为了使 Rsource 和 Rin 能够匹配。我们可以放置一个 R_T 和 Rin 并联，使得新的输入阻抗：$R_{IN}=R_T||Rin=50$ 欧，反推得到 $R_T=59$ 欧姆：

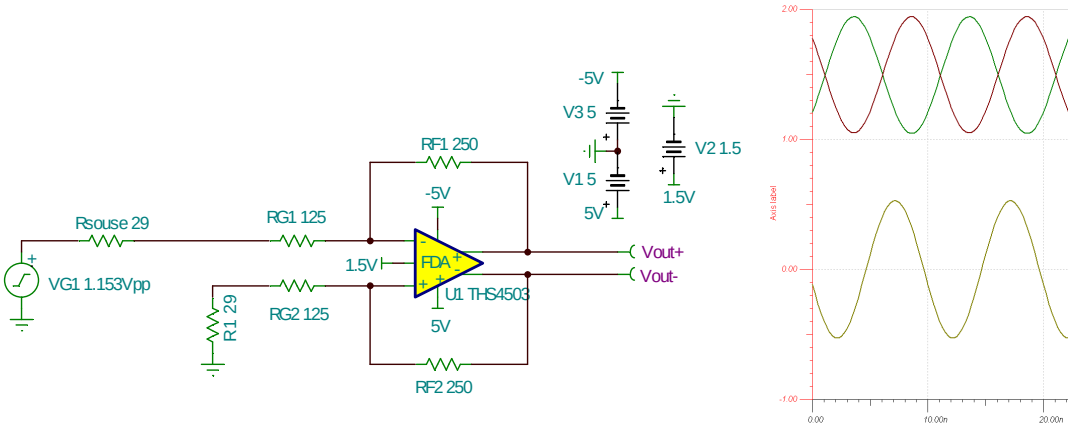


通过放置 R_T，我们解决了阻抗匹配的问题，但是我们由于信号源的输出阻抗和运放的输入阻抗的分压作用，输出信号的幅度降低了一半。于是，我们降低 RG1 为原来的一半即 125 欧姆，重复上面的设计过程：

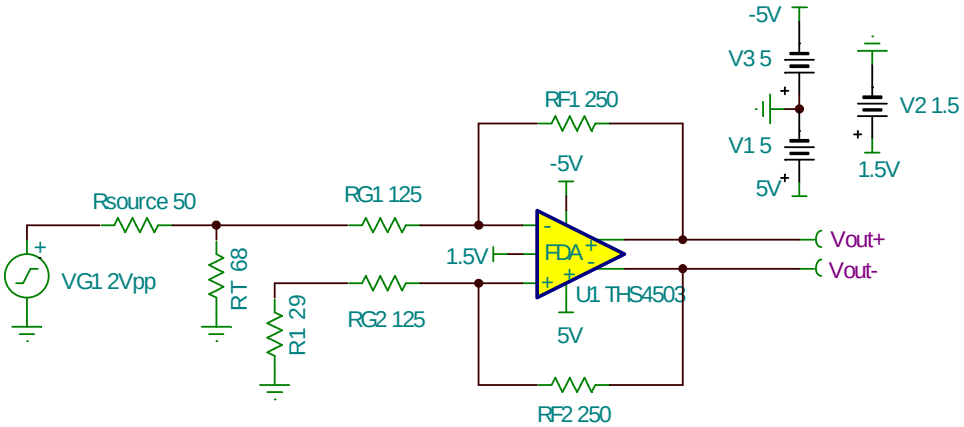


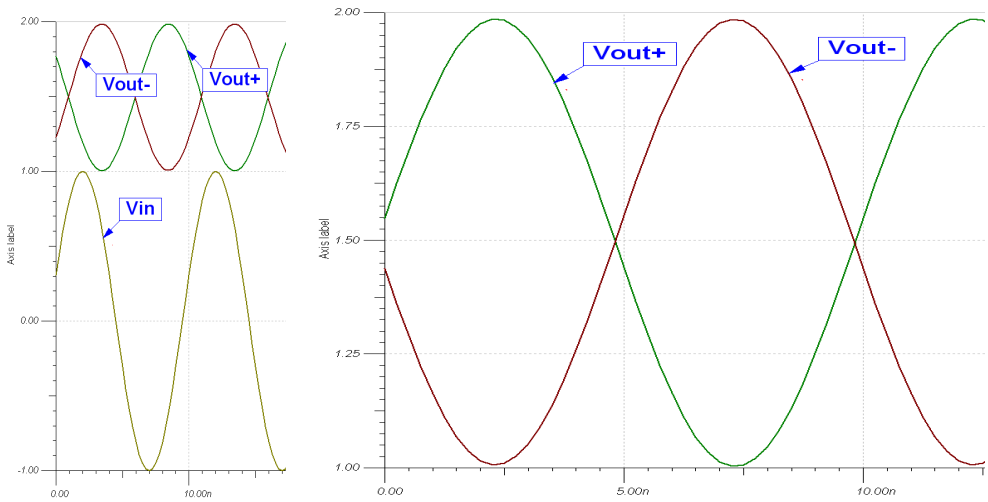
更改 RG1=125 欧姆，设置 $R_T=68$ 欧后，THS4503 的输入阻抗为 50 欧姆，衰减两倍和放大两倍抵消后，信号的幅度恢复了差模 2Vpp。但是差分信号仍然没有平衡，我们需要对 Rsource 和 R_T 进行戴维南等效电路分析，得出一个等效电路：

于是，我们在 RG2 端也串入一个 29 欧到地的电阻，就可以获得平衡的输出：



上图为等效电路，实际的最终电路如下：





至此，我们成功将单端输入的±1V，100MHz 正弦波转化为了 2Vpp 差模信号，1.5V

共模信号的差分对。值得强调的是，1.5V 共模信号的设置是由 THS4503 的 V_{OCM} 的引脚输入 1.5V 直流电平来提供的，这个 1.5V 的直流电平在实际设计中由 ADS5500 的 V_{CM} 引脚输出来提供，这个直流电平不包含任何有用的信息，但是为差分信号满足 ADS5500 的输入范围提供了参考共模电压，注意 ADS5500 的这个输出电压范围在 1.45V 到 1.65V 间，这其实是无关紧要的，我们这里仅以 1.5V 为例子。在后面我们会详述 THS4503 的 V_{OCM} 引脚。

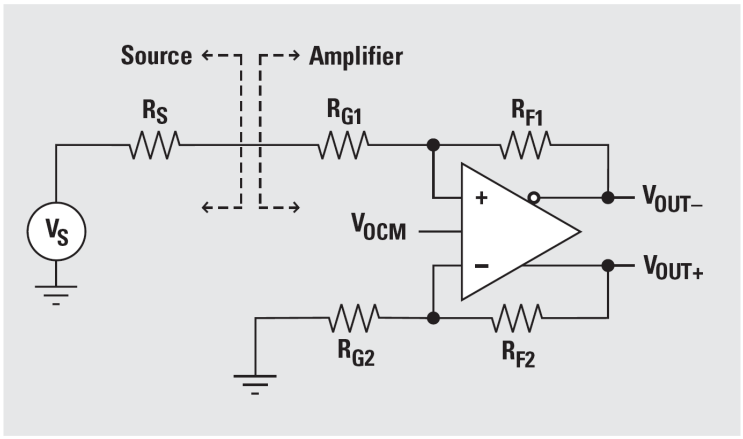
输入共模电压

不能够超过运算放大器的输入共模电压（V_{ICR}）的范围。假设运算放大器工作在线性区域，同相和反相输入管脚间的压降只有若干毫伏；因此通过确定某一输入管脚上电压就可确定共模电压的大小。运算放大器反相输入管脚上的电压等于：

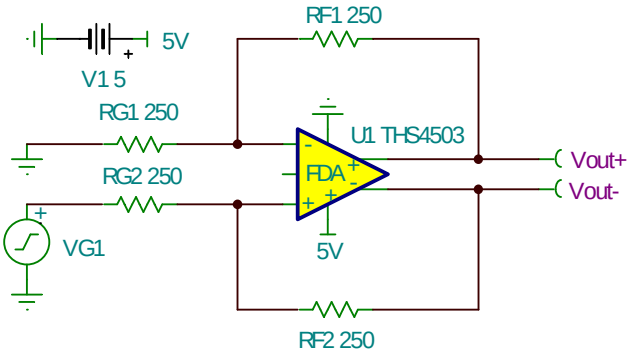
$$V_{IN-} = V_{OUT+} \times \frac{R_{G2}}{R_{G2} + R_{F2}} = V_{ICR}, \qquad \text{式 4.1}$$

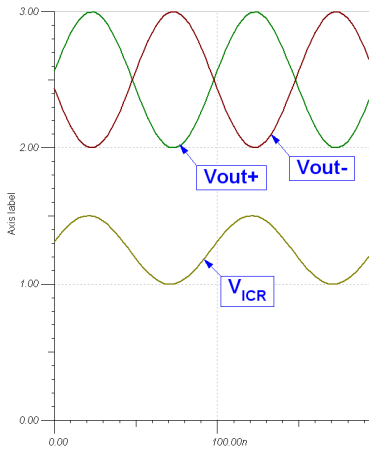
为了确定运算放大器的 V_{ICR}，反相输入管脚的电压可以通过 V_{OUT+}的极限值来估算。当放大器工作在单电源模式下并且需要提供高增益的时候，输入共模电压的范围会更明显地影响放大器的性能。

Figure 2. Single-ended source



例如，假设 THS4503 采用如上图配置，工作在 +5V 单电源下，输入信号±1V，10MHz 正弦波，V_{OCM} = +2.5 V（当 V_{OCM} 悬空时，V_{OCM} 的电压即为电源轨的中点），差分输出电压等于 $V_{OD} = 2V_{PP}$，则 V_{OUT+}在 2V 到 3V 间摆动，仿真如下：

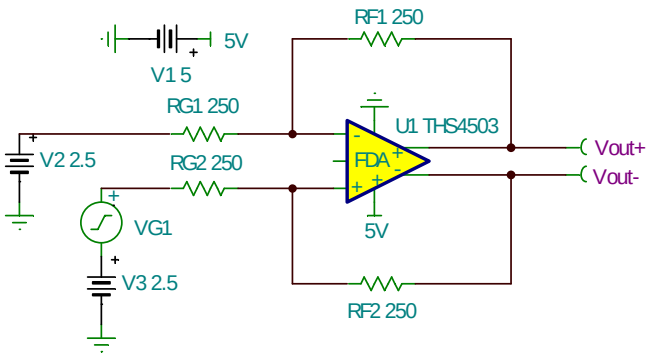


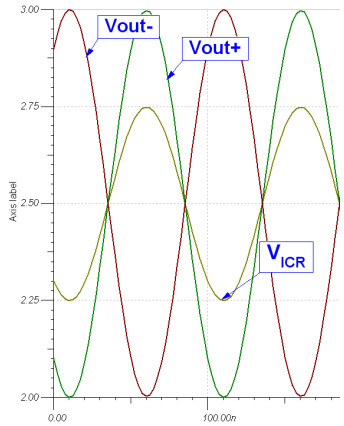


一个放大器的增益等于 1（即 R_F/R_G=1，代入式 4.1，得到 V_{IN-}= V_{ICR} 均从 1V 到 1.5V），此时的共模输入电压范围 V_{ICR} 从 1V 到 1.5V。THS4503 在 5V 供电时的输入共模电压为：

PARAMETER	TEST CONDITIONS	THS4502 AND THS4503					
		TYP	OVER TEMPERATURE				MIN/ TYP/ MAX
		25°C	25°C	0°C to 70°C	−40°C to 85°C	UNITS	
INPUT							
Common-mode input range		1 / 4	1.3 / 3.7	1.6 / 3.4	1.6 / 3.4	V	Min

THS4503 在 5V 单电源供电时的输入共模范围的典型值为 1V 到 4V，这里计算得到的 1V 到 1.5V 的输入共模电压范围正好满足要求。实际上，THS4503 的最优输入共模范围被设计为电源轨的 1/2 处，若输入信号的共模电压为 $(V_{EE}+V_{CC})/2$ 时，可以得到最好的动态范围。例如，上图中，我们的 THS4503 的单端输入信号是以 V_{EE}（这里为地电平）为参考的（±1V 输入），而 THS4503 在 5V 单电源供电时的最佳共模信号为 2.5V。因此，如果输入信号以 2.5V 为直流偏置，那么我们可以采用下面的电路来进行放大：



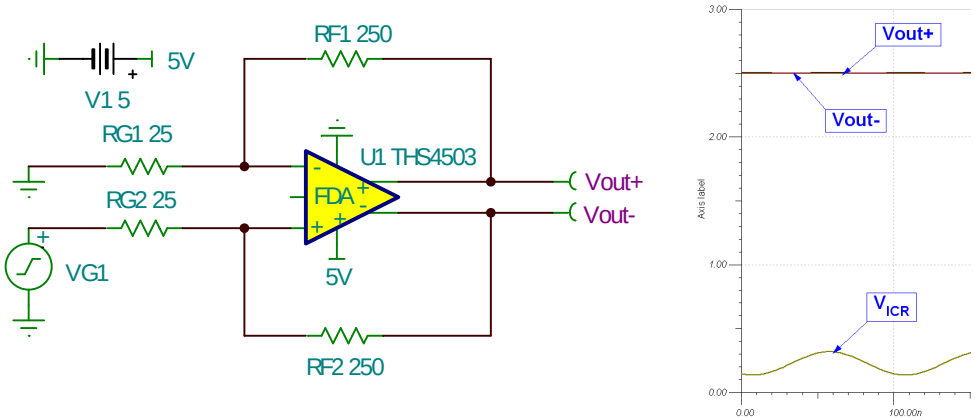


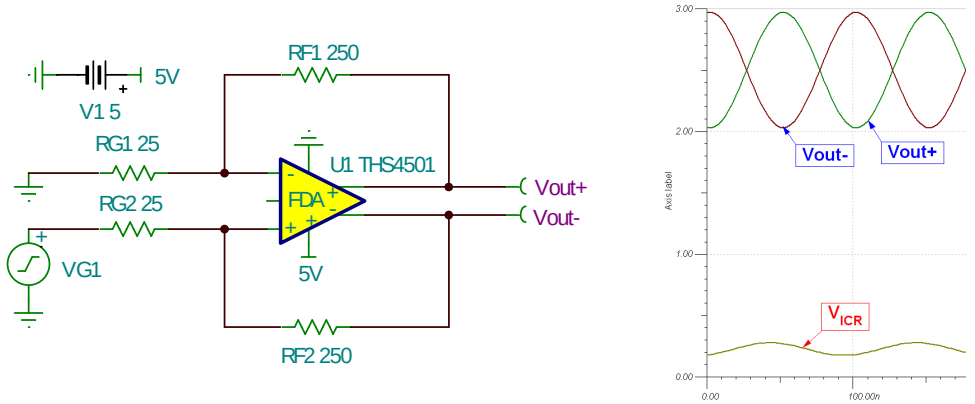
如上面的仿真结果，VICR 以 2.5V 为直流电平，从而在其允许的范围内（1V 到 4V 间）可以获得最大的动态范围。因此，若输入信号以$(V_{EE}+V_{CC})/2$ 为参考，应该选择 THS4503；如果输入信号以 V_{EE} 为参考，我们可以选择 THS4501，其输入共模电压范围如下：

PARAMETER	TEST CONDITIONS	THS4502 AND THS4503					
		TYP	OVER TEMPERATURE				MIN/ TYP/ MAX
		25°C	25°C	0°C to 70°C	−40°C to 85°C	UNITS	
INPUT							
Common-mode input range		–0.7/2.6	–0.4/2.3	–0.1/2	–0.1/2	V	Min

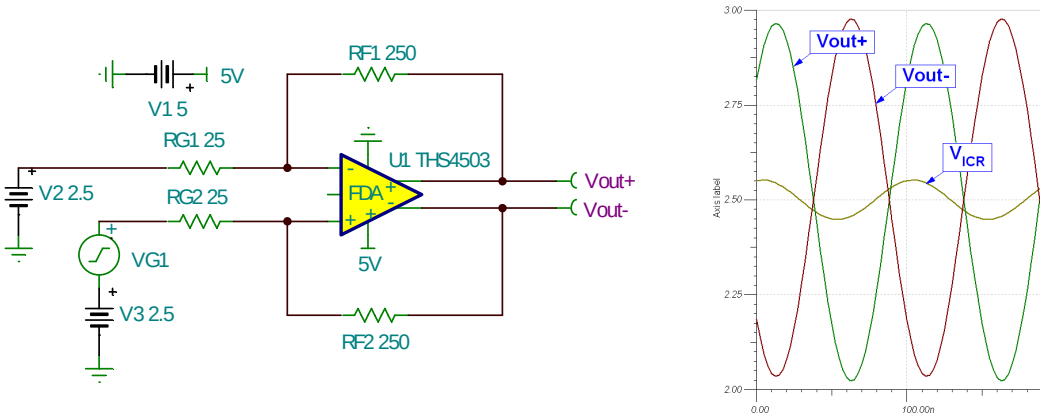
THS4501 的应用在下面这个例子中得到体现：

降低输入信号的幅度为±0.1V，设定放大器的增益等于 10（即 R_F/R_G=10，代入式 4.1，得到 V_{IN-}= V_{ICR} 均从 0.18V 到 0.27V），此时的共模输入电压范围 V_{ICR} 从 0.18 到 0.27 V，非常接近电源的最小值，对于 THS4503 来说，已经无法实现放大，而对于 THS4501 来说，却仍然可以正常工作：





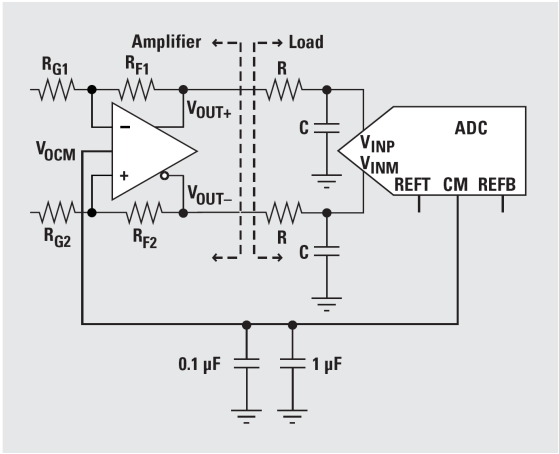
通过修改电路，让 THS4503 的输入信号以 2.5V 为参考，我们也可以用 THS4503 得到期望的结果，如下图：



B. 放大器与 ADC 的接口

放大器的一个基本功能就是对输入的信号进行预处理，使得信号可以得到正确的偏置以及幅度，从而可以最大限度的发挥ADC的性能。显然，要达到这个目标放大器必需具备相应的带宽与交流特性，从而使得信号可以不受到损害。下图中给出了一个简单的放大器—ADC接口。这个接口设计的基本要点就是：1. 确定放大器需要驱动的负载； 2. 设置正确的输出共模电压值。

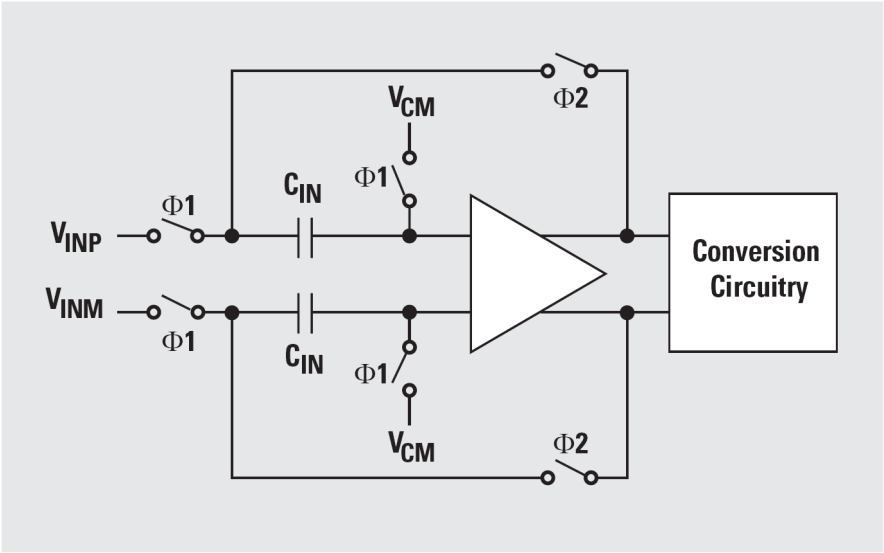
Figure 4. Fully differential op amp-to-ADC interface



1. ADC 的输入

下图给出了一个高性能ADC的功能结构图。Φ1阶段，输入电容中将会储存输入信号与V_{CM}的差值（这就是采样周期——通常是时钟周期的一半）。Φ2阶段，储存的信号将会被传输到数据转换电路系统中，转换成数字信号。

Figure 5. High-performance ADC input

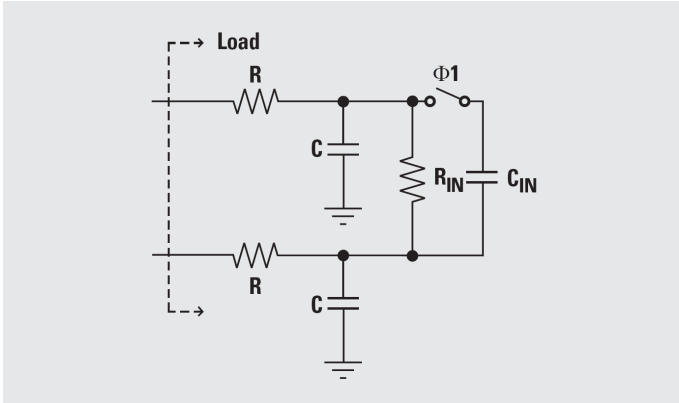


通常都会在放大器的输出端口与ADC的输入端口之间加入一个电阻与电容，加入的这个电阻电容组合有多个作用：

- 电容是ADC的电荷储存器：在信号采样阶段，需要有一定的电流给ADC输入端口的采样电容充电。如果在输入端口处直接放置一个外部电容，所有的电流都可以由它提供。它们可以被看作是电抗值非常低的信号源。它们作用与电源的旁路电容一样，与放大器一起提供一个瞬态的电流，然后提供所需的电荷。通常，一个10到100 pF的电容即可满足要求。
- 电阻隔离了放大器与ADC：ADC输入端口的电容以及它的开关电容采样保持电路的本质都是高速放大器的负载驱动问题中会遇到的最坏的情况。通过简单的加入一个隔离电阻，就可以分隔开反馈网络所带来的相位移动，从而保证放大器的相位冗余度。通常，一个10到100 Ω的电阻即可满足要求。
- 它们还组成了一个低通的噪声滤波器：R与C一起在S平面上形成了一个是实极点，这个极点所对应的频率为：$f_P = 1/2\pi RC$。可以将这个极点放置在信号最高频率的十倍的地方，从而它不会对信号产生影响。由于通常情况下电阻的阻值都很小，因此将这个极点放置在信号频率上（或者附近）的方法非常不妥当。在极点频率上，放大器驱动的负载的幅度等于$\sqrt{2}\times$R。如果R只是10 Ω左右，在高于极点频率的时候放大器将会发生过载的现象，因此会产生额外的失真。

2. 放大器的负载

Figure 6. ADC input load model



在ADC的输入端口加入了RC的组合后，放大器的负载可以由图6中的模型来表示。有时ADC的输入阻抗为：$R_{IN} >> R$ and $C_{IN} << C$。在这种情况下中间值可以被忽略，因此输入的模型即为RC的组合。为了正确的分析放大器的性能，必需以这个负载测试放大器。

运算放大器的输出阻抗对于考虑输出端口的影响非常重要。由于负反馈，运算放大器的输出阻抗几乎在它的所有频带上都非常低：

$$Z_O = \frac{z_O}{1 + A_F\beta},$$

其中，Z_O是闭环输出阻抗；z_O是开环输出阻抗；A_F是放大器的开环增益，与频率有关；β是反馈系数：

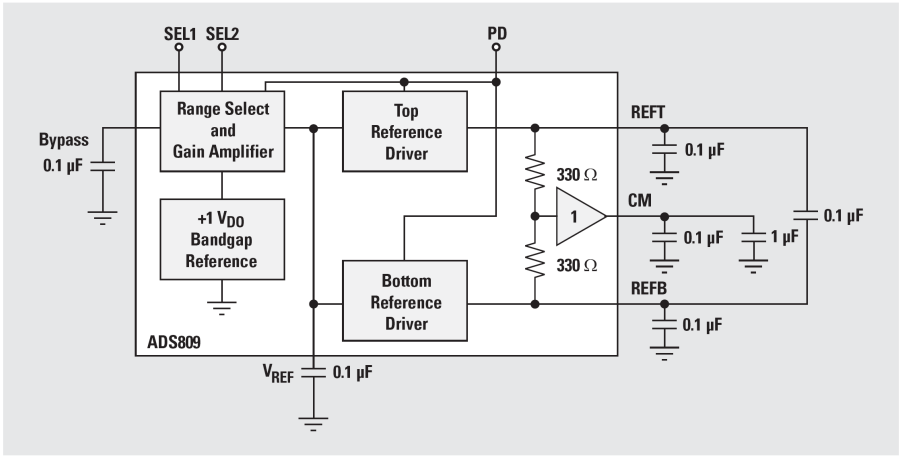
$$\beta = \left(1 + \frac{R_F}{R_G}\right)。$$

在低频时$A_F\beta$非常大因此输出阻抗趋于0。开环增益随着频率的升高而降低。因此，应该使得放大器工作在保持$A_F\beta$非常大的频率下。这样可以使输出阻抗对于负载上电压的影响程度最小。

3. ADC 的参考信号以及输入共模电压

如下图，ADC的参考电压，REFT与REFB，决定了数据转换器的电压输入范围，而共模电压CM处于REFT与REFB的中点。为了充分利用ADC的动态范围，输入信号必需以CM为中心对称摆动。这意味着放大器输出的共模电压必需与这个电压匹配。

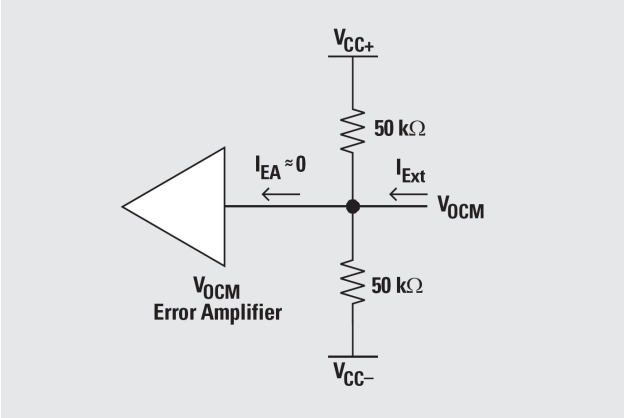
Figure 7. ADS809 internal reference circuit and recommended bypass scheme



THS45xx的V_{OCM}输入管脚就是为这个目的提供的。内部的电路系统强制使得输出信号的共模电压等于这个管脚上的输入电压。因此，V_{OUT+}与V_{OUT-}以V_{OCM}为中心对称摆动。在很多场合下，需要做的就是将CM管脚与V_{OCM}连接起来，加上一些必要的旁路电容与地线相连（典型取值为0.1 µF到10 µF）。

下图给出了一个THS45xx上V_{OCM}输入的简化电路图。当V_{OCM}断开的时候，分压器使得电压等于电源电压的一半。

Figure 8. V_{OCM}

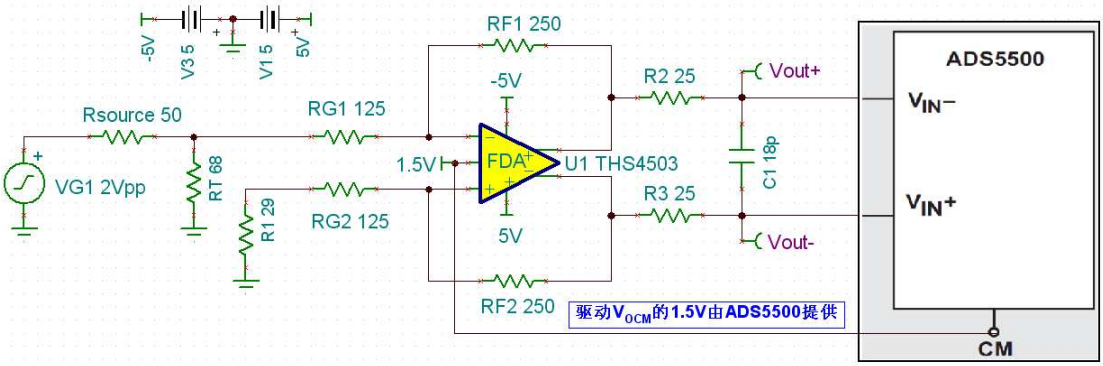


上图中的I_{EXT}可以用下式计算：$I_{Ext} = (2V_{OCM} - (V_{CC+} + V_{CC-}))/50k\Omega$，这个式子给出了为了得到这样一个电压，怎样计算所需外部电流的方法。很容易观察到当V_{OCM}等于电源电压的一半时（比如在+5 V单电源供电的情况下），不需要外部的电流。另一方面，如果放大器采用±5 V的电压而V_{OCM} ＝ 2.5 V，则需要一个100 μA的外部电流。根据ADC的CM端口可以提供的驱动能力，可能需要一个缓冲器提供这个电流。

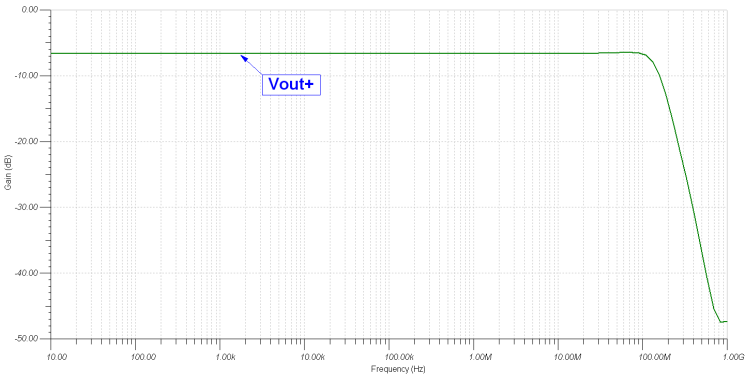
采用差分输入方式的大多数ADC都有一个可以设置驱动电路共模电压的输出端口。不同的生产商采用了不同的命名方式：CM，REF，VREF，VCM或者VOCM。不管它们的名称是什么，都有重要的两点需要记住：

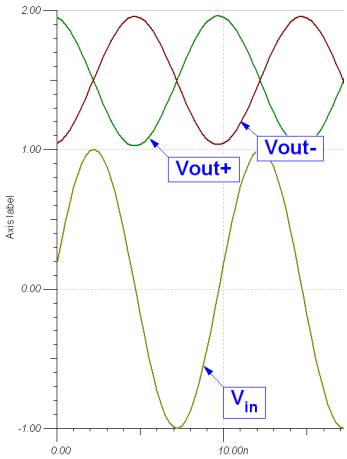
1) 当V_{OCM}不在电源电压的中点时确保它们有足够的驱动能力；
2) 采用旁路电容以减少共模噪声。

结合考虑信号源与全差分放大器、全差分放大器与ADC的接口，我们可以用下面的电路来实现ADS5500的输入驱动：

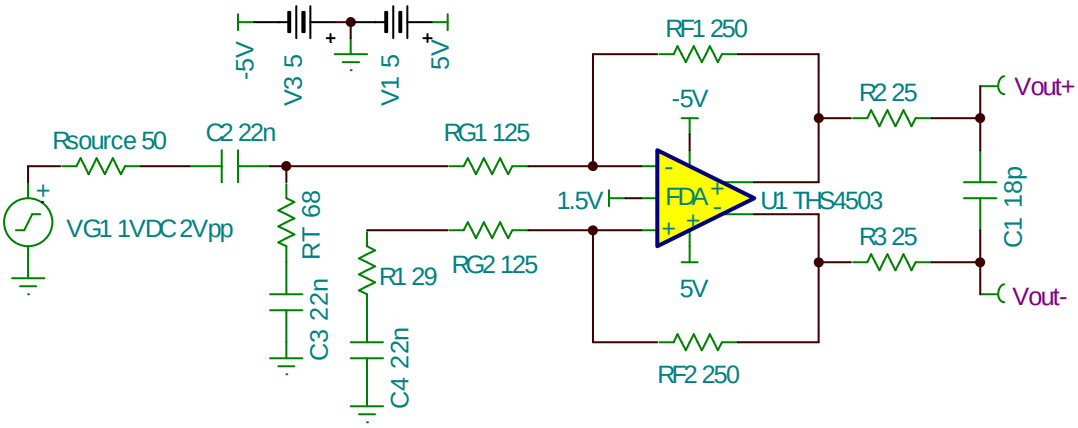


该电路的频率响应和时域输出（输入±1V，100MHz正弦波）如下所示：

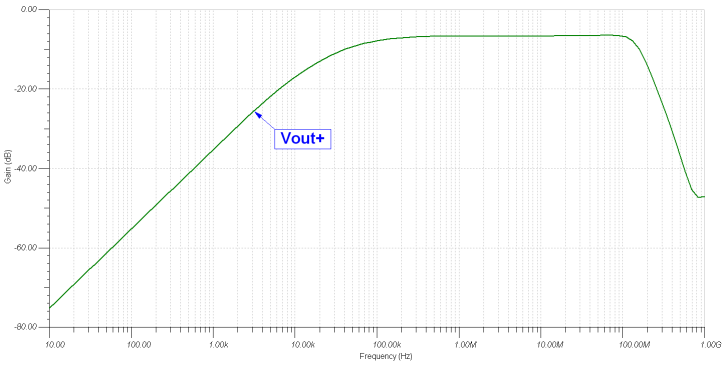


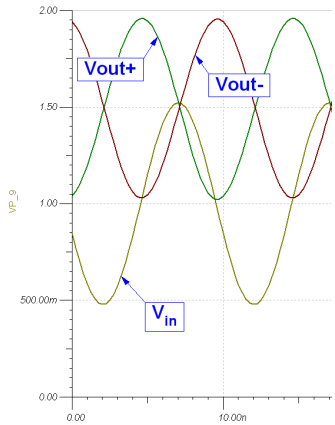


这里我们采用的是直流耦合的方式，适用于输入信号以地电平为参考。若输入差分信号含有直流偏置，如1V，我们可以采用交流耦合的方式，避免1V的直流偏置被放大：



该电路的频率响应和时域输出如下所示：





对于全差分放大器，我们就讨论到这里，下面是一些需要牢记的要点：

信号源接口

- 输入阻抗：

– 单端信号源的情况，$Z_{IN} = \dfrac{R_{G1}}{1-\dfrac{K}{2\times(1+K)}}$，K 为放大器的增益（$R_{F1}/R_{G1}$）；

- 增益计算中需要包含信号源的内阻；
- 保证放大器有足够的输入共模电压范围；

ADC 接口

- 低频时放大器的输出阻抗非常小，趋向于0，但是在高频时需要仔细考虑；
- 放大器与ADC之间的RC组合
  – 提供隔离
  – 可以作为一个电荷储存器，并且
  – 可以起一个低通的噪声滤波器的作用
- V_{OCM}提供了一个设置输出共模电压的简便方式，当V_{OCM}不等于电源电压的一半时需要保证V_{OCM}的驱动能力；

放大器的功能

- 增益计算中需要包含信号源的内阻；
- 通过VOCM管脚实现电平移动；
- 可以方便的实现一阶、二阶有源低通滤波器的功能；

推荐使用的 TI 全差分放大器有：

器件	简介	价格 (美元) (单位:片)	封装
OPA1632D	±16V，GBW=180MHz, SR＝50V/uS, THD＝0.000022％,音频全差分放大器	1.75	SOIC
THS4151ID	±15V，GBW=340MHz, SR＝650V/ uS, 高速宽电压全差分放大器	6.25	SOIC
THS4521ID	2.5V-5.5V，GBW=95MHz, HD_2: -133 dBc at 10 kHz, 适合驱动 SAR，Σ-△型 ADC 的全差分放大器	1.1	SOIC
THS4503ID	±5V，GBW=300MHz，全差分放大器, 共模电压包括电源中点	4	SOIC
THS4501ID	GBW=300MHz，全差分放大器,共模电压包括 VEE	4	SOIC
THS4511RGTT	GBW=2000MHz，SR＝4900V/uS，HD_2: -72 dBc at 70MHz, 驱动宽带流水线型 ADC 的全差分放大器, 共模电压包括 VEE	4.5	QFN
THS4513RGTT	GBW=2000MHz，SR＝4900V/uS，HD_2: -72 dBc at 70MHz, 驱动宽带流水线型 ADC 的全差分放大器,共模电压包括电源中点	4.5	QFN

4.2.3 使用 FFT 测试高速 ADC

在第二章的精密信号链中，我们的 ADC 测试主要关注 ADC 的直流精度，包括其 DNL，INL，失调，最小分辨率和 ADC 的输入噪声。我们通常不会在频域来计算对直流采样 ADC

的 SNR，这是因为频域计算基于一个单频正弦波，而我们在精密 ADC 采集中面对的常是变化非常缓慢的信号。因此对于直流采样 ADC 来说，在时域上能达到的最小分辨率和系统噪声是我们关注的焦点。

当然，第二章中的 ADC 很多也拥有数百 KSPS 甚至数 MSPS 的采样率，在音频范围内的交流信号采样也是非常有用处的。本章中的高速 ADC 更是常常对数百 MHz 的信号进行欠采样。这时我们需要从另一个角度来衡量 ADC 的表现。对交流信号采样的 ADC 来说，我们关注更多的是其可重复性，也即频域特性，ADC 的 INL 会显著的影响 ADC 输出的总谐波失真，采样抖动会显著的影响 ADC 的 SNR，我们常用的衡量高速 ADC 性能优良的几个指标就是采样率、输入-3dB 带宽、SFDR、SNR 和 ENOB。下面我们着重介绍后面三个指标：

高速 ADC 的主要测试指标

以往，放大器的一些传统技术参数，例如信噪比，谐波失真, 无寄生动态范围等等，被用于定义一个系统的质量。这些技术参数通过系统需求得到，例如分辨率，灵敏度，误比特率等等。

现代数据采集系统设计中的重点在于数据转换器的选择。对于高速及高性能的数据采集系统来说，交流性能参数如无寄生动态范围(SFDR), 有效位（effective number of bits，ENOB）以及采样率等起着决定性作用，而直流误差则显得没有那么重要。

为了确定总体的交流特性，设计人员必需将系统作为一个整体来分析。下文中讨论了如何将SFDR 以及 ENOB结合起来对系统的总体性能进行分析。

快速傅立叶变换分析（FFT）

在 ADS5500 的动态性能评估中，快速傅立叶变换（FFT）用来在图 1 所示的测试系统中确定芯片的 SNR、总谐波失真（THD）和 SFDR。快速傅立叶变换（FFT）对信号进行频域分析并提供了一个信号频谱波形。当一个单一频率信号经过一个非理想或真实的系统，信号频谱总是在变化。变化的信号频谱显示了系统的动态特性。

当测试一个高性能的模数转换器时，一个与之同步匹配的系统至关重要。因此用户一定要确保输入信号和采样时钟源是同步的，而且它们要符合下列同步采样的要求，以避免在快速傅立叶变换（FFT）中出现频谱泄漏问题。

$$f_{IN} = m\frac{f_s}{N}$$

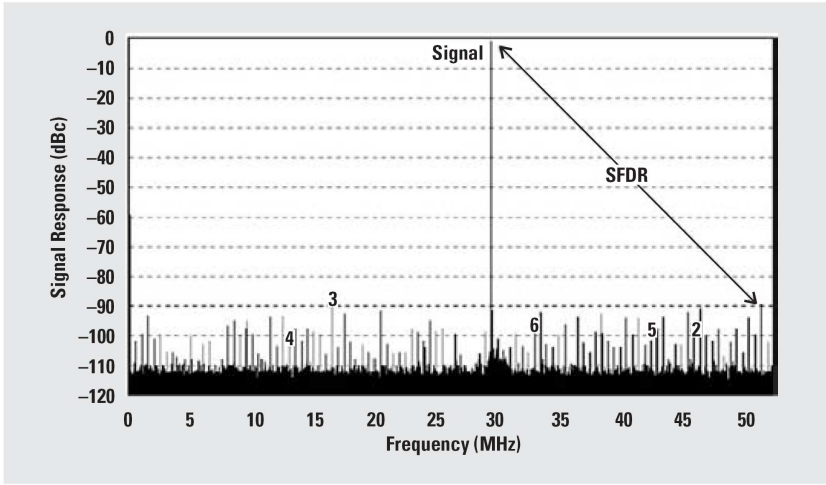
变量 f_{IN} 是输入信号的频率，fs 是采样时钟信号的频率，N 是采样数据大小，m 是一个奇数。如果无法保证同步采样，那么可以在快速傅立叶变换中使用窗口技术。

SFDR

无寄生动态范围（SFDR）是信号与寄生毛刺的最大强度之差，通常以dBc来衡量。图

11给出了一个高性能ADC的快速傅立叶（FFT）变换。输入信号谐波的寄生毛刺响应以谐波阶数（2-6）来标记。这些谐波对应于输入采样保持放大器的非线性特性。在下图中可以看出有一些寄生毛刺并非输入信号的谐波。这些寄生毛刺来自采样过程。可以看到图中ADC的SFDR是由一个不属于信号谐波的寄生毛刺确定的。

Figure 11. FFT of a high-performance ADC



当使用运放来驱动ADC时，运放的谐波失真会影响到ADC的输出谐波失真。为了确定一个放大器+ADC系统的SFDR值，需要将放大器输出信号的频谱与ADC的频谱叠加，由于电气距离的不同导致了不同的相位位移，因此这两种信号源只有通过功率的型式相加。ADC输出的FFT是在一个特定的输入级别上计算，通常是-1dBFS。放大器的谐波也应该在这个级别上进行测量。然后放大器与ADC各自的谐波幅度将会被从dBc转化为标量并且相加。结果再转化为dBc，方程如下：

$$\mathrm{HDx}_{\mathrm{Combined}}(\mathrm{dBc}) = 10\times\log_{10}\left[10^{\left(\frac{\mathrm{HDx_Amp}}{10}\right)} + 10^{\left(\frac{\mathrm{HDx_ADC}}{10}\right)}\right]$$

，其中 HDx_Amp 与HDx_ADC分别是放大器以及ADC属于谐波分量的寄生毛刺,以dBc表示。

一些简单的关系有助于在不需要任何数学计算的情况下快速的对系统进行分析。如果ADC和运放的谐波大小相等，则总的谐波大小加上3.01 dB。如果在不同的谐波级别之间差别大于10 dB，忽略较小的一个只会带来很小的误差。

对于一个线性放大器来说，最显著的寄生毛刺通常是二阶、三阶谐波。一般仅需评估这两阶谐波即可。

SNR 和 ENOB

你会一遍又一遍地听到，一个理想 ADC 的信噪比的表达式为：6.02N+1.76dB（不包括△Σ数据转换器）。1. 这个理想表达式是从何而来的？2. 对于一个实际的 ADC 而言，如何测量 SNR 的值？

SNR 是通过计算得到的值，它代表了信号的有效值和噪声的有效值之间的比值。然后，对这个比值取 $\log_{10}$，再乘以 20，从而得到 dB 形式的 SNR 的值。正如我上面所提到的，一个理想 ADC 的信噪比等于 6.02N+1.76dB，这里 N 是指 ADC 的比特数。

推导上述公式，首先需要确定信号的有效值。假设输入信号是正弦信号，则信号的有效值等于 ADC 的满幅度量程除以 $\sqrt{2}$ 。如果 ADC 的增益为 1，你可以将信噪比的等式转换为用比特数表示：信号有效值=$\left(2^{(N-1)}\times q\right)/\sqrt{2}$，这里 q 表示最小比特步长（1LSB）。

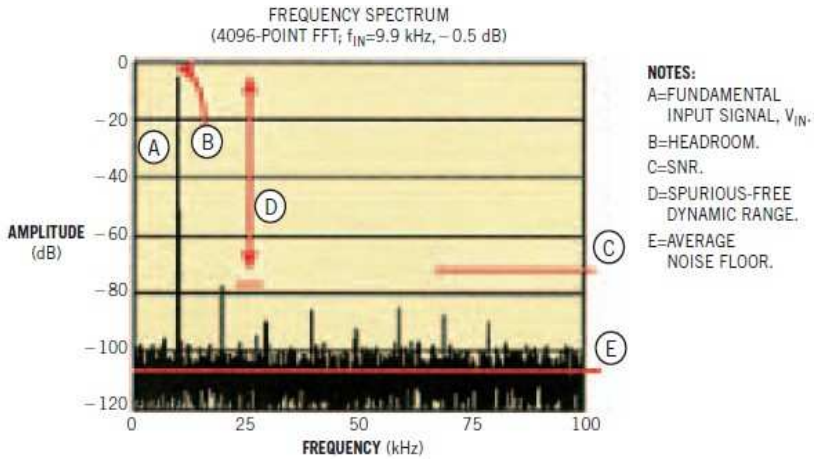
所有 ADC 都会由量化误差而产生量化噪声（(在理想情况下，ADC 的唯一噪声来源是其量化噪声)），由此而产生的噪声有效值等于 $q/\sqrt{12}$ 。这个式子的得来如下：

任何 ADC 的不确定值的大小等于 $\pm 1/2$ LSB。当然，这种假设是基于 ADC 是没有差分非线性误差的理想 ADC。现在我们需要确定的是 1LSB 的有效值。我们可以认为量化误差是由模拟输入信号引起的三角波，而三角波信号的有效值等于信号幅度除以 $\sqrt{3}$，所以最终得到的噪声有效值=$\pm\left(LSB/2\right)/\sqrt{3}=q/\sqrt{12}$ 。

然后，对这些数字进行整理：

$$\text{SNR（dB）}=20\log\frac{\text{信号有效值}}{\text{噪声有效值}}=20\log\left(\frac{\left(2^{N-1}\times q/\sqrt{2}\right)}{q/\sqrt{12}}\right)=6.02N+1.76$$

现在，知道了如何计算理想的信噪比，接下来可以解决第二个问题了。使用 ADC 对基频输入信号采样，获得含有噪声的 FFT 数值，从而计算出 ADC 真实的信噪比。图 1 给出了一个输入信号为 9.9KHz 的 12 比特 ADC 的 FFT 频谱图。在实际测试中，正弦输入信号的噪声应小于 ADC 理想噪声的 1/3，在这种情况下，信号有效值才准确等于信号幅度除以 $\sqrt{2}$ 。



12Bit ADC 的 FFT 图

根据上图所示的 FFT 幅度值，可以计算出 ADC 的 SNR。计算 SNR 的时候我们不把谐波能量计算到噪声中去：$SNR=10\log_{10}(P_s/P_N)$，这里，Ps 是基波信号功率，P_N 是所有噪声频率分量的功率之和；而 SINAD（信号与噪声加谐波失真比）将将谐波功率包括在噪声的计算中：

$SINAD = 10\log_{10}(\frac{P_s}{P_N + P_D})$，这里，Ps 是基波信号功率，$P_N$ 是所有噪声频率分量的功率之和，P_D 是所有失真频率分量的功率之和。因此 SINAD 肯定会小于 SNR 的值。

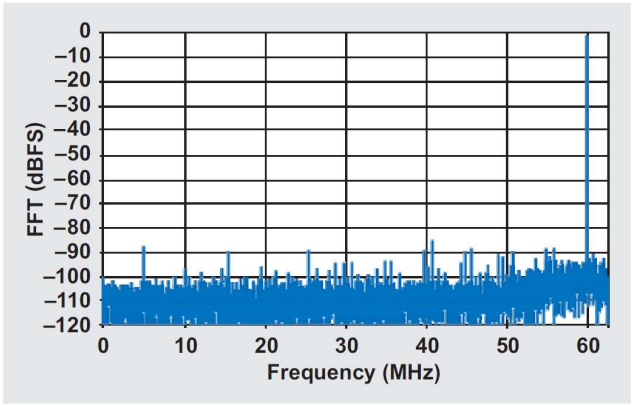
我们还可以利用 SINAD 来估算出 ADC 的有效位数(effect number of bits，简称 ENOB)：ENOB=(SINAD-1.76)/6.02；

运放+ADC组合系统的ENOB可以通过将放大器的有效位数以及ADC的ENOB以功率的方式相加来得到。如果放大器的ENOB与ADC的ENOB相等，则SINAD的数值也相等。在这种情况下，组合的SINAD将会降低3.01 dB，组合的ENOB将会减少0.5位。

ADS5500 测试数据

以此测试系统作为较好的应用示例，对于当前的 ADS5500 数据手册没有包含的一些用户设计，在这里提供一些测试数据。这些数据包含一组变压器驱动下的快速傅立叶变换（FFT）、一组由运算放大器驱动的 ADC 的快速傅立叶变换（FFT）。

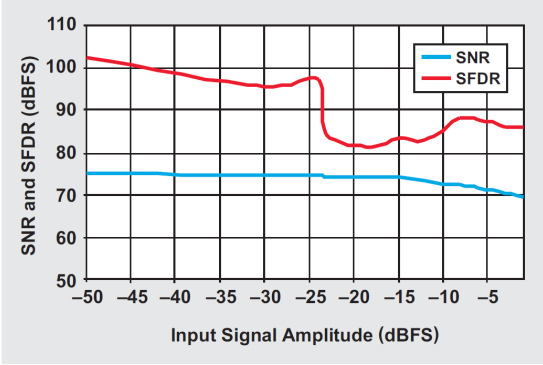
Figure 5. FFT plot of ADS5500 with 190-MHz input frequency and 125-MHz sampling clock



通过一套变压器耦合差分输入配置，上图给出了一个对 ADS5500 在高频输入条件和 125-MHz 采样时钟条件下的快速傅立叶变换（FFT）曲线图。输入信号的频率为 190MHz，幅度为-1dBFS。快速傅立叶变换（FFT）分析显示 SNR 为 69.6dBFS， SFDR 为 85dBFS。在这种情况下，输入阻抗（在 R_{T1}，R_{T2} 和 ADC 的输入阻抗共同作用下）大约为 200Ω，输入电路中的 R1 和 R2 都小于 25Ω。

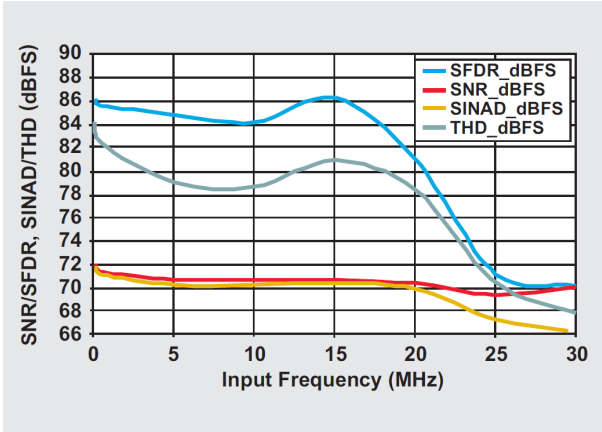
下图显示了在输入信号频率为 190-MHz、采样时钟频率为 125-MHz 条件下，输入信号幅度不同时 ADS5500 的动态性能。这组数据显示，在如此高的输入信号频率和低输入信号幅度条件下，ADS5500 芯片的 SNR 为 74-dBFS，同时 SFDR 也较高。

Figure 6. Dynamic performance of ADS5500 with different input amplitudes, 190-MHz input frequency, and 125-MHz sampling clock



下图显示了 ADS5500 和 THS4503 结合后的动态性能。这些数据是基于我们前面给出的电路（仅将运放和 ADC 间的串联电阻改为了 62 欧姆），在不同输入频率下测量得到的，采样时钟信号频率为 125-MHz。这些数据表明，与 THS4503 结合后，在输入信号频率到达 18MHz 时，ADS5500 的信噪比为 71dBFS，无杂散动态范围在 86dBFS 以上。在输入信号频率高于 20MHz 时，由于 THS4503 的带宽限制，芯片的性能开始下降。如果要使用运算放大器来驱动 ADS5500 应用于宽频带，则推荐使用 THS4511，THS4509 或 OPA695。

Figure 9. Dynamic performance of ADS5500 with THS4503 vs. input frequency with 125-MHz sampling clock



4.3 电流引导型高速 DAC

和高速ADC对应，高速DAC被广泛使用在波形产生，测试设备及无线基础设施中，当代高速DAC的制造是基于亚微米CMOS或BiCMOS的工艺，已经达到了一个全新的性能水准，实现了1GSPS的刷新率以及14位，甚至16位的分辨率。为了达到如此高的刷新率和分辨率，DAC采用了一种带分段(segmented)电流源的电流导引型(current steering)架构。此类单片电路

DAC的核心单元是电流源阵列(array)，其设计用于输送出满刻度输出电流，典型值为20mA。内置的解码器在每次DAC刷新的时刻驱动(addresses)差分电流开关。导引源自各个电流源的电流，输出到相应信号输出电流的差分输出端。在此采用差分信号是为了改善动态性能，同时降低负载电阻上承载的输出电压的摆动。理想情况下，此类信号电压摆幅是越小越好，以确保DAC有最适宜的线性度。此信号电压的上限，以及相关的负载电阻，通过输出电压所遵循的规格实现定义。分段电流引导架构的意义在于降低了电路复杂性，并因此降低了杂散脉冲的能量。这些，都从整体上改善了DAC的线性度及交流性能。作为一种全新的系统架构，其高刷新率和卓越的动态性能，使得其输出频率的合成能力达到百兆赫兹的范围，而这种方式通常被称为“直接中频”。

我们推荐使用的 TI 高速 DAC 有：

器件	简介	每整包所含芯片数	价格(美元)(单位:片)	封装
DAC902E	12 位 165MSPS，高速 DAC	50	6.3	TSSOP
DAC5662IPFB	双路 12 位 275MSPS,高速 DAC	250	11.55	TQFP
DAC904E	14 位 165MSPS，高速 DAC	50	7.75	TSSOP
DAC5672IPFB	双路 14 位 275MSPS,高速 DAC	250	13.25	TQFP
DAC5687IPZP	双路 16 位 500MSPS，1x/2x/4x/8x 插值 DAC	90	28.5	HTQFP

同样的，使用高速 DAC 时，也需要小心设计它们的模拟接口和时钟接口，在模拟接口方面，需要进行差分电流转单端电压，可用高速运放也可用变压器设计模拟输出接口（更多这方面的设计要点请分别参考应用笔记 SBAA135 和 SLAA399），最后在单端信号输出端进行滤波。在时钟接口方面，和 ADC 类似，若想得到好的本底噪声和 SNR。请用高质量时钟来驱动它们。

4.4 其他高速器件

音频应用的放大器和数据转换器

By Products:

Amplifiers

- Pre Amps: GBW<=50MHz OPA, below 100mW
- Class AB PA, below 3W
- Analog input Class D PA, from 1W to 40W
- Digital input Class D PA, up to 300W

ADC/DAC

- Codec: Dynamic Range to 100dB, 96KSPS, Potable
- ADC: Dynamic Range to 124dB, 216KSPS, High End
- DAC: Dynamic Range to 132dB, 216KSPS, High End

Amp and PA By Application:

- Drive Earphone: <=100mW – 1.5W (into 32Ohm)
  - OP Amps: NE5532, OPA13x, OPA227, OPA604, OPA627
  - Class AB: TPA61xxxxx, Output Power from 50mW to 1.5W
- Portable with Speaker: <=3W
  - Class AB: Stereo: TPA60xxx; Mono: TPA62xxx, TPA7xx
  - Analog Input Class D: Mono: TPA20xxxD1; Stereo: TPA20xxxD2
- Media Player used Speakers (TV, DVD, etc) <=40W/Channel
  - Class D: Mono: TPA30xxxD1; TPA31xxxD1; Stereo: ***D2
- Home Theater Speakers <=200W/Channel, PurePath Digital Audio:
  - Controller: TAS50xx, TAS55xx
  - Speaker PA: TAS57xx, <=20W/Channel
  - Power Stage: TAS51xx, TAS53xx, TAS56xx

推荐使用的 TI Class AB 和 Class D 音频功率放大器有：

器件	简介	每整包所含芯片数	价格(美元)(单位:片)	封装
TPA3120D2PWP	25W，立体声 Class D 放大器	60	3.2	HTSSOP
TPA3001D1PWP	20W，单通道 Class D 放大器	60	2.7	HTSSOP
TPA2013D1RGPR	2.7W，单通道 Class D 放大器		1.45	QFN
TPA751D	700mW, Class AB 音频功放	75	0.35	SOIC
TPA6211A1DGN	3W, Class AB 音频功放	80	0.55	MSOP

音频Σ-△ ADC & DAC

ADC/DAC by application;

- Wide Dynamic Range: up to 90dB: 24bits ADC/DAC
- Audio Frequency Range: 20 – 20K
  - High Performance needs 96ksps – 216ksps
- Best Choice: AC Focused Delta-Sigma ADC and DACs
- Potable needs:
  - Low Power Codec: TLV320AICxx, 24bits, up to 96ksps
- High End Needs: 24bits, up to 216ksps
  - ADC: PCM42xx, PCM18xx
  - DAC: PCM16xx, PCM17xx
  - High Performance Codec: PCM31xx, PCM30xx

器件	简介	价格(美元)(单位:片)	封装
TLV320AIC23BPW	24 位，96KSPS，音频 Codec	3.35	TSSOP
PCM1753DBQ	24 位，192KSPS，SNR=106dB，音频 DAC	1.05	SSOP
PCM1804DB	24 位，192KSPS，SNR=116dB，音频 ADC	4	SSOP
PCM1803ADB	24 位，96KSPS，SNR=103dB，音频 ADC	1.1	SSOP

视频滤波放大器

TI通过推出THS7303、THS7313及THS7353，为市场引入新技术。此类三通道器件首次为每个通道独立的全部功能引入了完全的I^2C总线编程能力，使设计者能灵活的按照所需配置其视频系统或实现onthe-fly（飞速写入方式），而无须对硬件进行升级和更改。此类器件的设计集成了5阶Butterworth滤波器，为诸如机顶盒、数字电视、个人视频录像机/DVD读盘器及便携式USB器件等视频应用提供了所需的模拟信号调整能力。并且由于采用了更高层次的集成和更先进的封装技术，使得此类高集成度器件进一步节约了空间占用。

集成特性与最优化设计的强化集成使得TI的THS7327及新型的THS7347极为适用于投影仪和专业视频系统。这两个3通道RGBHV视频缓冲器均具有单个监视器直通(pass-thru)放大器、单位增益缓冲器、2:1输入多路复用、用于每一通道全部功能的I^2C控制、带可调节施密特触发器的HV（水平及垂直）同步通路、可选择的偏置模式以及轨至轨输出——摆幅在电源轨100mV以内，支持任意交流或直流耦合。THS7347所整合的500MHz带宽、1200V/μs的单位增益缓冲器使其理想的适用于驱动ADC及视频解码器，而THS7327则为每一通道集成了5阶巴特沃兹抗锯齿滤波器。此类滤波器消除了DAC镜像，从而改善了图像品质。

虽然THS73系列是为视频应用开发的内建滤波器的宽带放大器，但这些内建的难以设计的5阶滤波器，有没有其他的用途呢？

推荐使用的TI视频滤波放大器有：

器件	简介	每整包所含芯片数	价格(美元)(单位:片)	封装
THS7353PW	3-Channel Low Power Video Amp w/I2C Control, 9MHz/16MHz/35MHz/150MHz Selectable Filters, 0dB Gain, 2:1 MUX	70	1.65	TSSOP
THS7303PW	3-Ch Low Power Video Amp w/I2C Control, 9MHz/16MHz/35MHz/190MHz Select Filters, +6db Gain, 2:1 Input MUX	70	1.65	TSSOP
THS7327PHP	3-Channel RGBHV Video Buffer with I2C Control, 9MHz/16MHz/35MHz/75MHz/500MHz Selectable Filters, 2:1 MUX	250	3.35	TQFP

4.5 高速器件总结

高速运算放大器：

- OPAy8xx: 电压反馈（含去补偿）, GBW up to 4G, SR up to 1000V/Us, <=10V
- OPAy6xx: 电压反馈(含去补偿),电流反馈; <=10V, SR up to 4KV/Us, BW up to 1.5G
- THS4xxx: 电压反馈，<=30V, SR up to 1KV/Us, GBW up to 1G

  其中：THS45xx: 电压反馈, 全差分, <=15V, SR up to 6KV/Us, GBW up to 3GHz

  THS41xx: 电压反馈, 全差分, <=30V, SR up to 700V/Us, GBW up to 400MHz
- THS3xxx: 电流反馈, <=30V, SR up to 6KV/Us, BW up to 1.8G
- THS73xx: 带滤波器的视频运放, <=5.5V, 三通道, SR to 1300V/Us, BW to 500MHz
- VCA8xx: 压控增益放大器，Bandwidth up to 430MHz，80dB 增益调节范围

高速ADC & DAC

Delta-Sigma型：

ADS16xx: 16-24bit, Delta-Sigma, up to 10MSPS

流水线型高速ADCs:

ADS55xx/6xxx/4xxx: 11-16bit, up to 250MSPS, 低功耗，高性能，含串行LVDS输出

ADS54xx: 11-16bit, up to 1GSPS, 最高性能

ADS51xx/52xx: 10-12 bit, max 70MSPS, 8通道同时采样，医疗等多通道信号采集设备

ADS8xx: 8-12bit, up to 80MSPS, 低端流水线型ADC，适合本科学生使用

Current Steering DACs:

直接型高速DAC：

DACy90x: 8 – 14bits, up to 200MSPS, 单/双通道

DAC56x2: 10 – 14 bits, up to 275MSPS, 双通道

全功能型DAC：

DAC568x/32xx: 16 bits, up to 1GSPS, 单/双通道，不带/带插值滤波功能