

闩锁效应 (latch up)

闩锁效应 (latch up) 是 CMOS 必须注意的现象, latch 我认为解释为回路更合适, 大家以后看到 latch up 就联想到在 NMOS 与 PMOS 里面的回路, 其实你就懂了一半了.

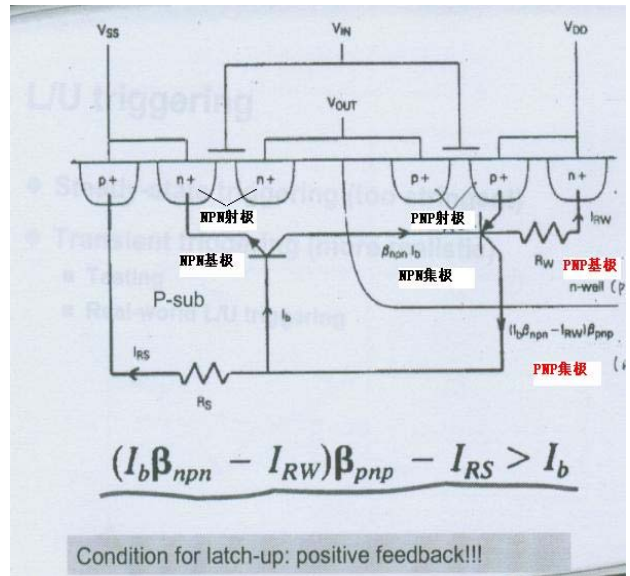
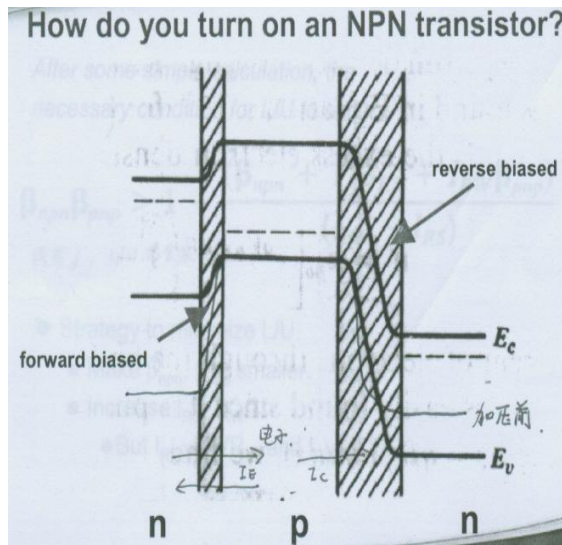
为什么它这么重要? 因为它会导致整个芯片的失效, 所以 latch up 是 QUAL 测试的一种, 并且与 ESD (静电防护) 紧密相关.

第一部分 latch up 的原理

我用一句最简单的话来概括, 大家只要记住这句话就行了: latch-up 是 PNPN 的连接, 本质是两个寄生双载子 transistor 的连接, 每一个 transistor 的基极 (base) 与集极 (collector) 相连, 也可以反过来说, 每一个 transistor 的集极 (collector) 与另一个 transistor 的基极 (base) 相连, 形成 positive feedback loop (正反馈回路),

下面我分别解释.

我们先复习什么是 npn, 如图 1, 在 n 端加正偏压, np 之间的势垒就会降低, n 端电子为主要载流子, 于是电子就很开心地跑到 p, 其中有一部分电子跑得太开心了, 中间的 p 又不够厚, 于是就到 pn 的交界处, 这时右边的 n 端是逆偏压, 于是就很容易就过去了. 所以, 左边的 n 为射极 (emitter, 发射电子), 中间 P 为基极 (base), 右边 n 为集极 (collector, 收集电子嘛)



比如在 P+ 加 5V-->电洞被从 P+ 推到 N well-->越过 n well 再到 p sub-->这个时候，大家注意，电洞有两条路可走，一是跑到 NMOS 的 N+，二是跑到旁边的 Nwell，nwell 比 n+ 深，当然更好去，所以电洞又回去了。这样就形成回路，而且会循环下去，gate 基本上就成了摆设，完全控制不了电子或电洞的走向，所以 CMOS 就失效了。

图 4 是一个公式，我也不知道是什么意思，反正 2 个 β 变小，latch up 就不容易发生

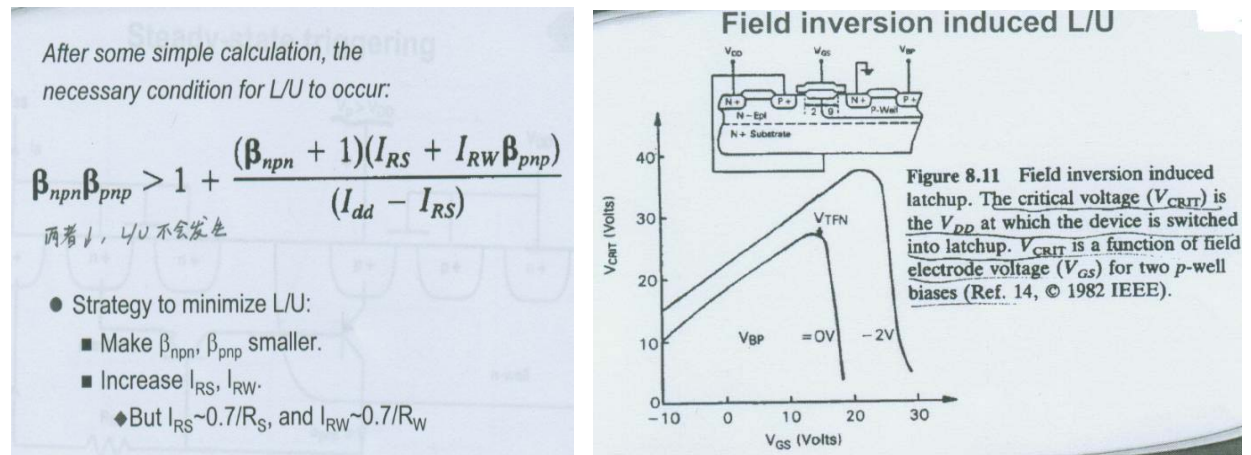


图 5 是首位发现 latch up 的达人做出的解释：latch up 是由于 field inversion（反转电场），值得记住，但我不懂。

第二部分 如何解决 latch up?

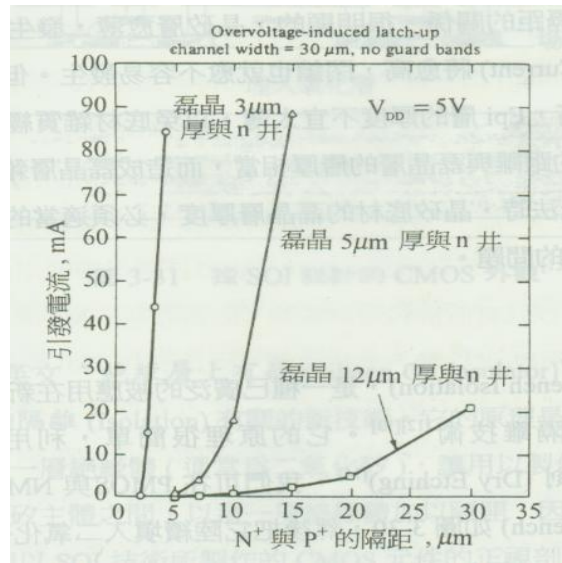
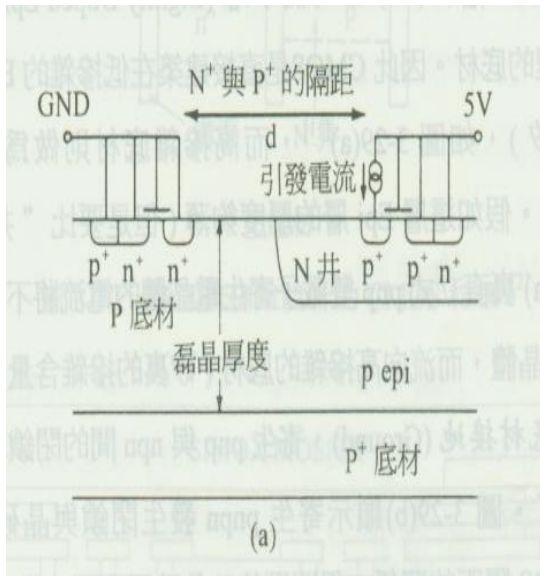
大家只要记住一句话，电子和电洞，都是单纯的家伙，哪里容易去，他们就去哪里，就像他们本来想去看朋友，走到半路看到一个美女在对他们打招呼，于是就很自然的跑到美女那边去了，不去本来该去的地方。

所以，下面所有的解决方法，要么是阻止电子或电洞去看美女，或者找个更漂亮的美女吸引他们过去。

解决方法目前为止，我总结出 7 个，如下：

1. 加大 N+，P+ 距离，这是最容易想到的办法，虽然前面有美女，但是太远，所以还是不去。电子或电洞也是这样。
但是，这样的，必然会导致芯片的集成度下降，所以这是很傻的办法，没人用。
2. 加深 Isolation.就是在 NMOS 和 PMOS 之间加隔离，比如 STI(0.25um 以下)和 Field OX(0.35um 以上)。但是，隔离深度总是有限的，电子或电洞总有办法绕过去。
3. SOI. Silicon on Insulator,在 Si 的表面加一层 SiO2，使 well 或者 N+无法直接与 P-sub 连接，这样电子或电洞就到不了下面。
4. Retrograded well，倒阱，用高能离子注入将杂质打入阱底部，这种阱不像常规的阱表面浓度最高，阱底部浓度最低，而是正相反，所以叫做倒阱。
这个概念极为重要！下面的浓度很大，那么电子或电洞到了基极以后，高浓深井可以有效的增加复合，就不想到集极去了，降低 bipolar 的放大系数，使没有 backbias 偏置的晶体管免于 latch-up。
5. EPI wafer。这也是一个重要的概念，在 heavy doped substrate 上面，加上一层轻微掺杂的 EPI layer，这就是 EPI wafer。当这层 EPI layer 够薄的时候，pnp 的载流子就不想去 npn 了，而是跑到更舒服的 heavy doped substrate，因为 heavy doped 底材的浓度比 P-sub 的掺杂浓度高多了。如图 6 很明显，EPI layer 越薄越好，如图 7，3um 的 EPI layer，trigger current（引发 latch up 的电流）最大，最不容易发生 latch up 但是不能太薄，不然底

材的离子就扩散到 EPI layer 里面，造成离子浓度改变。这是用 EPI wafer 的原因，EPI wafer 缺点只有一个：贵！



6. Guard ring。在 N+ 和 P+ 的旁边加一个 guard band，相当于保险，如图 8。大家看图 9，应该会明白为什么 Guard ring 能防止 latch up，与 EPI 是类似的道理。

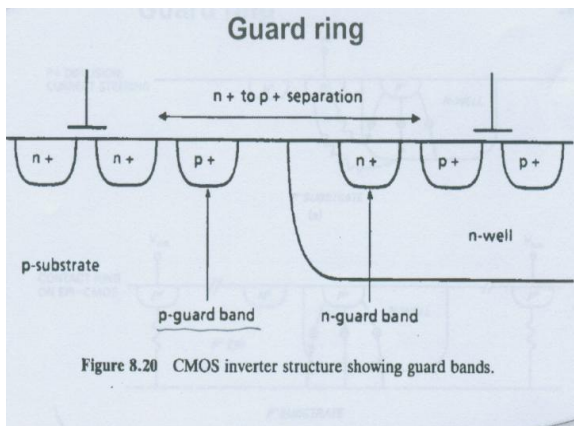
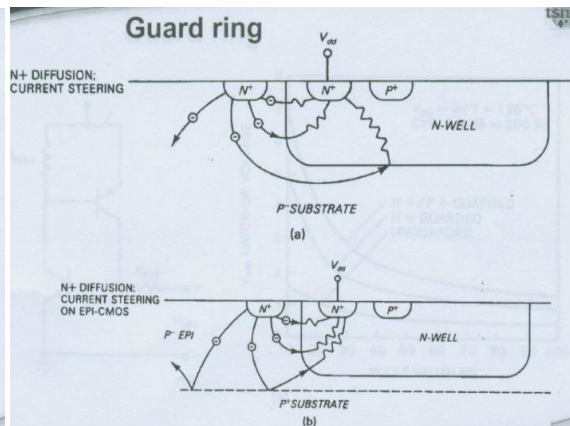


Figure 8.20 CMOS inverter structure showing guard bands.



7. Design rule。这个很简单，在 design 的时候，会规定 P+，N+ 的距离，guard ring 离 P+，N+ 的距离等等。

最后一个问题是，这么多解决方法，到底用哪一个？答案还是很简单，只要你有钱，能一起用就一起用。

latch up (闕锁反应)

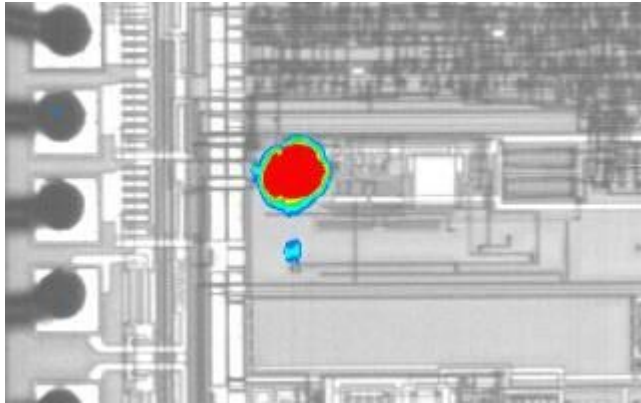
我们无可逃避，只能坚强应对。首先来看一下 latch up 时拍到的照片

放大后的照片 红点部分就是发生latch up的位置，latch up可谓芯片杀手，通过循环放大

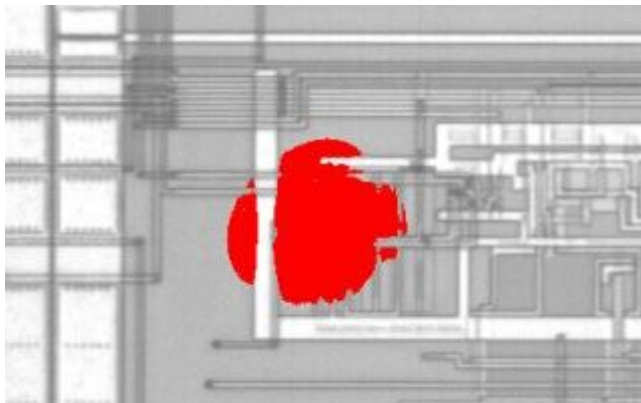
最终将芯片烧毁。我不想告诉大家latch up有多可怕，但有一点是应该知道的

这种现象损害了芯片。

 图片附件: [latch01.jpg](#) (2007-1-30 16:38, 11.73 K)



 图片附件: [latch02.jpg](#) (2007-1-30 16:38, 10.62 K)



在CMOS制程里，这种情况就是由于nnp或pnp结构形成的放大电路造成的。

所以要了解latch up现象，就必然首先了解放大电路是如何构成的，而最根本的就

归结到nnp或pnp晶体管是如何工作的。了解晶体管的工作原理是研究latch up的重点。

而解决这一问题的关键又在于了解放大电路是如何构成的，这是两个方面，以下着重讨论。

一、晶体管的工作原理

半导体工艺中，由高纯度的本征半导体进行掺杂，从而形成不同的形态。如果掺杂 5 价原子因电子数大于空穴

数即称为n型半导体，若掺杂 3 价原子因电子数小于空穴数即称为p型半导体。空穴和电子都能搬运电荷，因而称载流子。

将两种形态的半导体相邻结合到一起，由于彼此所含电子和空穴数浓度不同，因而相互扩散，由浓度高的向浓度低的地方移动，电子和空穴会在一定时间内相互结合而消失，以保持中性，这样形成一段没有载流子的空间，称为耗尽层。耗尽层存在电位差，有电场的存在，称之为内电场。在电场的作用下载流子发生定向移动，称之为漂移。扩散使电场增加，空间电荷范围加大，而漂移则在减弱空间电荷范围。这种将pn相邻结合到一起制成的晶体结构，称之为pn结。

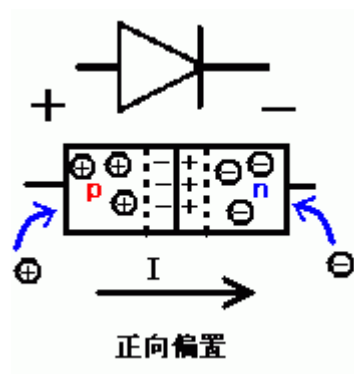
pn结在没有外力的情况下，处于热平衡状态，这种平衡状态是处于动态之中的，即扩散运动与漂移运行达成的平衡状态。

pn结的外加电压，如果p端的电位高于n端的电位，这样的外电电场削弱了内电场，有利于多数载流子的扩散，形成从p流向n的电流，称为正向偏置，反之，载流子则几乎不发生移动，称为反向偏置。反向电压大于某一值时，会有导致pn结击穿，称为齐纳击穿或隧道击穿。另一种情况，是pn结两侧的杂质浓度过小，在高的反向电压作用下，

引起价键的断裂，从而使电流成倍增加，称为电子雪崩现象或雪崩击穿。pn结制作成元器件使用就是二极管。

pn结，p区空穴向n区扩散，n区电子向p区扩散，在相遇处复合。p区空穴扩散后留下负离子，而n区电子扩散后留下正离子，形成由n指向p的内电场。正向偏置时，p区不断提供复合留下的负离子，n区则复合留下的正离子，使得内电场范围缩小，扩散运动大于漂移运动，平衡状态发生破坏，因而有电流的产生。反向偏置，少数载流子的漂移处于优势，但因少数载流子浓度太低，引起的反向电流远小于正向电流。所以问题关键在于扩散与漂移运动是否平衡。

 图片附件: [psbias.gif](#) (2007-1-30 16:38, 2.26 K)



半导体三极管，存在两个pn结，了解半导体三极管的工作原理就是要了解这两个pn结的平衡状态，在发生什么变化。

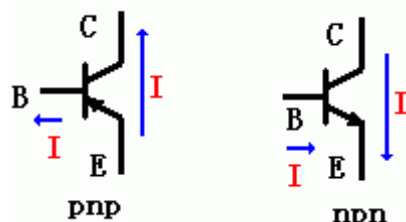
这是三极管的符号，B(base)代表基电极，C(collector)代表集电极，E(emitter)代表发射极。

晶体管的制作要求，从浓度大小来看，发射区最大，集电区最小。从尺寸看，集电区最大，基区最小。如果条件

不能满足，晶体管将无法工作。

以下以基极接地(共基极)为例进行分析：

图片附件: [pnpsymbol.gif](#) (2007-1-30 16:38, 1.87 K)



如上图所示，在E-B之间加正向偏置，在B-C之间加反向偏置。

此时发射区的电子浓度上升，在正向偏置的情况下，大部分电子都扩散到基区

因为基区很薄，有少部分电子流出，但大部分在电场的作用下，漂移到集电区。

其中有些情况，比如基区向发射区的漂移(发射区很高的杂质浓度)，集电区向基区的扩散等微乎其微(反向偏置)，所以可以忽略。

所示npn的能够工作，除了发射区浓度很高，基区很薄，还有保证E-B正向偏置，B-C反向偏置。

相应电流关系如下：

$$I_e = I_b + I_c$$

假设 I_e 占 I_c 的比例为 a ,即 $I_c = a I_e$, $I_b = (1-a) I_e$

称为电流传输率。

$$I_c / I_b = (I_e a) / [(1-a) I_e] = a / (1-a)$$

设定 $a / (1-a)$ 为 β ，称为电流放大倍数。

通过比例关系可知，如果电流传输率为 90%，电流放大 9 倍

如果电流传输率为 99%，电流将放大 99 倍。

90%到 99%，放大倍数的骤增，可以想像 I_b 只要有小的变动，电流放大倍数就有大的变化。

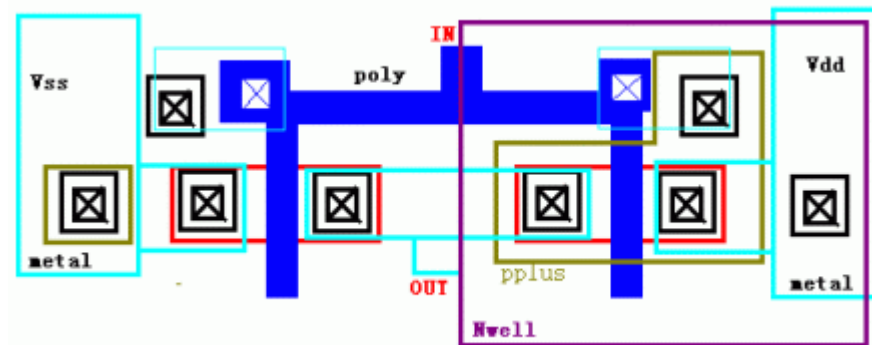
如此可见，晶体管是电流控制器件。

二、放大电路是如何构成及触发条件

现在进行实际操作，为了分析方便，以如图所示的电路具体进行分析。

对应CMOS的简单版图如下：

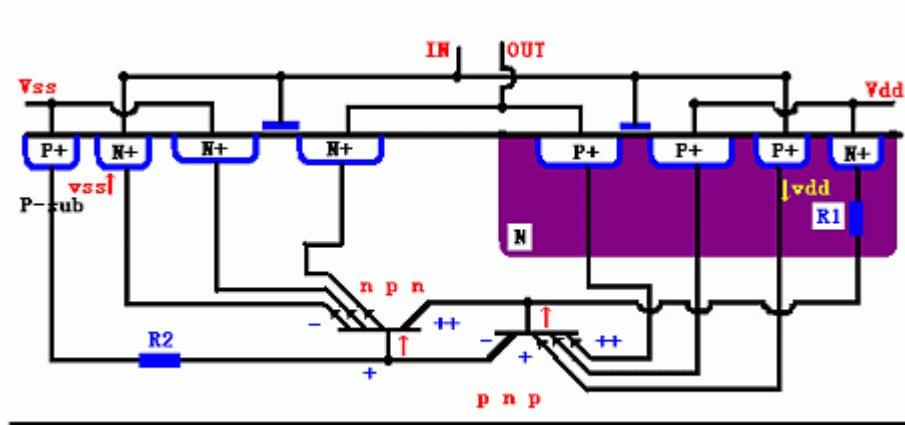
图片附件: [latchupfg02.gif](#) (2007-1-30 16:38, 12.4 K)



图画得不好，还请

谅解。以下来看一下对应的剖面图。

图片附件: [latchupfg03.gif](#) (2007-1-30 16:38, 10.2 K)



任何相邻的pnp或npn都可以构成晶体管，所以考虑起来似乎比例麻烦!!
 从晶体管偏置来看，npn的基区p+与p-sub成反向偏置，发射区为衬底上的任一n+型区域，集电区为nwell及nwell上的n+。此时npn,基区接vss
 发射区接vss/in/out,集电区接vdd。就正反偏的原则来看，只要发射区联接电压小于vss,即npn可以触发。而另一边的pnp,基区接vdd,发射区接out/vdd/in，集电区接vss,触发的可能就是发射区电位高于vdd。从浓度与尺寸来看,也就是发射区浓度最高，基区尺寸最小，集电区有足够的大。

基区的尺寸在npn管看来，似乎比较乐观，可惜npn的构成是横向的，也就是说如果把pmos与nmos画得太近的话就有问题了。对nwell来说，如果nwell的厚度很薄，因为npn的形成是在衬底横向的，而pnp却是在nwell中的纵向。nwell厚度足够的薄，意味着势垒相对较低，实现触发的可能性很大。对于日新月异的现在科技来讲，尺寸在不断的缩小，这也是在表明基区在逐渐的变小，触发的可能突显出来。

为了便于分析，将等效的电路提取出来

接上面讲到的提取电路，如图所示：

我们提到了正反偏的触发和浓度及尺寸的触发，现在我们不得不对

寄生电阻产生兴趣。对上述电路中，nwell和p-sub上形成的寄生电阻最有可能影响到晶体管的触发。R1是nwell寄生于pnp基区与发射区的电阻。R2是p-sub寄生于npn的基区与发射区的电阻。在正常情况下，没有过高或过低电压出现，浓度与尺寸

不去考虑的情况下，R1拉低了pnp基区的电位，R2阻碍了npn基区电位的降低。B-C反偏，B-E正偏的情况就会出现，触发的可能存在。上面我们只是单方面的对一个管子进行分析，既然是存在在两个三极管在电路中，就有可能

其中一个受另一个的影响。当其中一个触发时，另一个晶体管有可能被这个晶体管触发。三、一些解决办法的介绍

通常我们提到减少latch up的可能时，都会想到加guard ring。想法简单，而且我们从来就没有怀疑过，也没有真正考虑过，加guard ring这么几个词的意义何在。更可惜的是，这种想法并不是我们自己的，是别人跟你讲，你就认同了，是被别人迷惑了还是被别人收买了呢？!!

而且，你有没有发现，增加guard ring时有附加了design rule吗？做layout的真是自由，爱加多宽就加多宽，爱加几道就几道，孰不知，要是加出问题来，该归究谁的责任呢？!!如果

加得太宽，增加了面积，增加的成本，老板可不会对你客气。

遗憾的是计算这个rule，确实可以写成一篇论文，然后买个好价钱，也可以天天过上老婆

孩子热炕头的好日子。

回到正题，解决的方法多种多样，如果出发点不同，解决的方法也就各异。比如可以在工艺上

控制杂质浓度，基区尺寸，加外延层等。对layout来讲，比较简单的还是加guard ring，主要的作用会在下面详细分析。在电路上加钳位二极管控制电位，但对钳位二极管的开关速度等方面的参数需要

慎重考虑。上图为加guard ring后的效果。

[1]中认为在nwell中扩散n+或在p-sub中扩散p+所做的guard ring为多数载流子保护环，

反之则为少数载流子保护环。

少数载流子保护环作用是先于寄生集电区，提前收集会引起触发的少数载流子。这种结构

对横向寄生晶体管有效，但对纵向晶体管几乎没有作用。而且这种保护环并不见得都要成封闭状态，

它应该包围在潜在的发射区。

多数载流子保护环，在局部位置减轻了寄生电阻，并且在发射区的远近上，分别称为

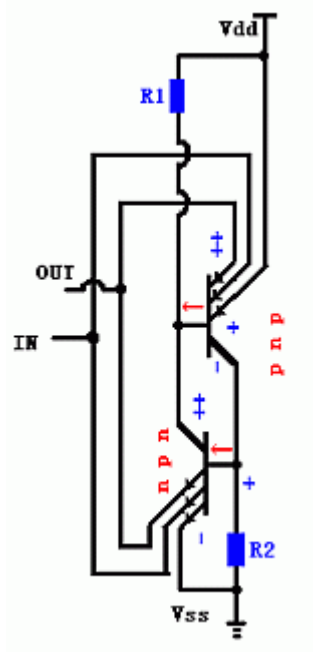
弱勢结构和强势结构。强势结构较为有效，因为它靠发射区较近，有电流导向的作用。

上图中所加的guard ring中，从左到右，依次为强弱弱强结构。

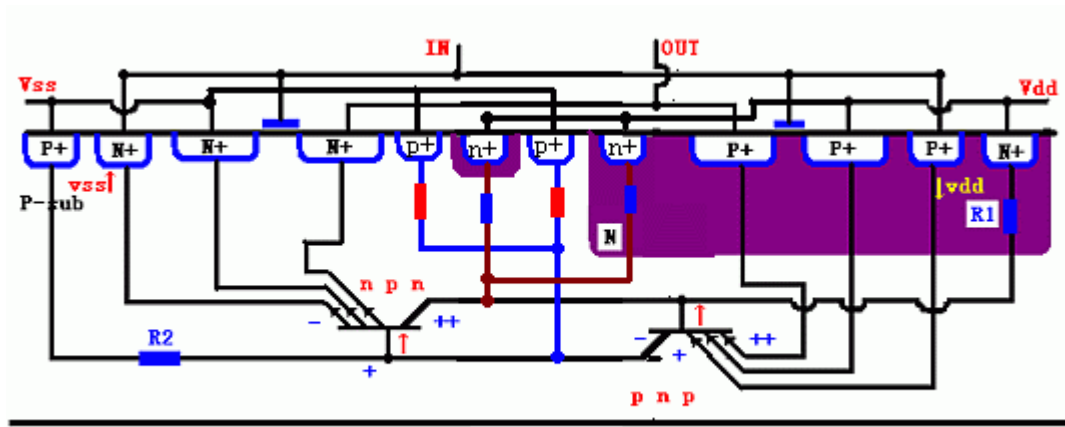
建议多打nwell contact和p-sub contact，以减轻连入的寄生电阻。

上述办法，完全是针对layout而言的。对其他的解决方法也只能靠关流程的工程师做相应的对策了。

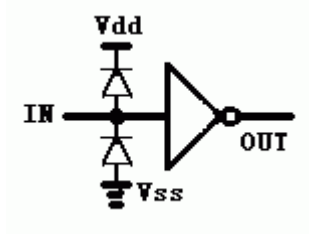
好，就暂时写这些了。其实要把latch up研究清楚还需要花很多的时间。



图片附件: [latchupfg05.gif](#) (2007-1-30 16:38, 12.02 K)



图片附件: [latchupfg.gif](#) (2007-1-30 16:38, 1.51 K)



图片附件: [npnillu.gif](#) (2007-1-30 16:38, 2.61 K)

