

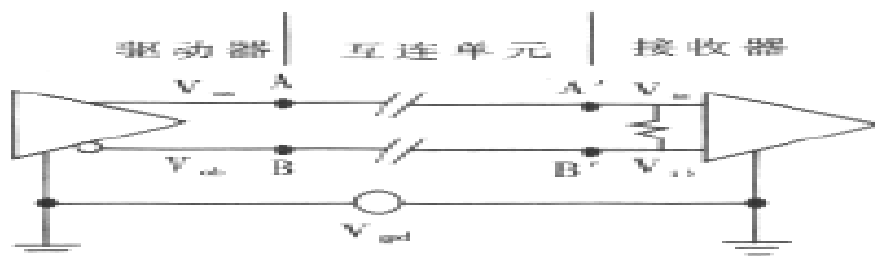
## 实际运用中差分信号线的分析和 LAYOUT

随着近几年对速率的要求快速提高，新的总线协议不断的提出更高的速率。传统的总线协议已经不能够满足要求了。串行总线由于更好的抗干扰性，和更少的信号线，更高的速率获得了众多设计者的青睐。而串行总线又尤以差分信号的方式为最多。所以在这篇中整理了些有关差分信号线的设计和跟大家探讨下。

关键字：差分信号线，LVDS，眼图，LAYOUT。

### 1. 差分信号线的原理和优缺点

差分信号 (Differential Signal) 在高速电路设计中的应用越来越广泛，电路中最关键的信号往往都要采用差分结构设计，什么另它这么倍受青睐呢？在 PCB 设计中又如何能保证其良好的性能呢？带着这两个问题，我们进行下一部分的讨论。何为差分信号？通俗地说，就是驱动端发送两个等值、反相的信号，接收端通过比较这两个电压的差值来判断逻辑状态“0”还是“1”。而承载差分信号的那一对走线就称为差分走线。

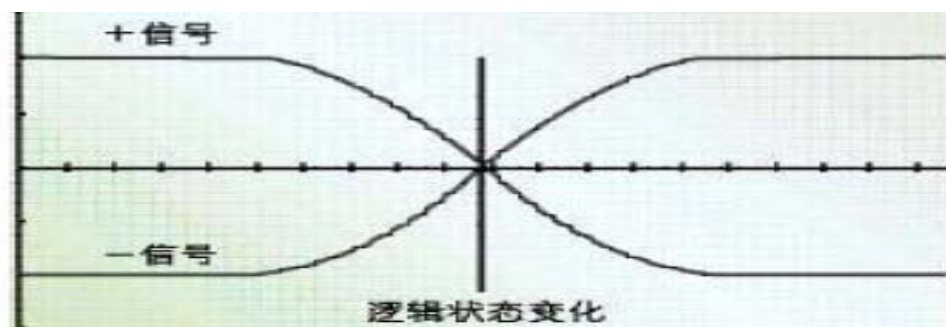


差分信号和普通的单端信号走线相比，最明显的优势体现在以下三个方面：

- 抗干扰能力强，因为两根差分走线之间的耦合很好，当外界存在噪声干扰时，几乎是同时被耦合到两条线上，而接收端关心的只是两信号的差值，所以外界的共模噪声可以被完全抵消。
- 能有效抑制 EMI，同样的道理，由于两根信号的极性相反，他们对外辐射的电磁场可以相互抵消，如图在 A-A' 的电流是从右到左，那 B-B' 的是从左到右，那么按右手螺旋定则，那他们的磁力线是互相抵消的。耦合的越紧密，互相抵消的磁力线就越多。泄放到外界的电磁能量越少。
- 时序定位精确，由于差分信号的开关变化是位于两个信号的交点，而不像普通单端信号依靠高低两个阈值电压判断，因而受工艺，温度的影响小，能降低时序上的误差，同时也更适合于低幅度信号的电路。目前流行的 LVDS (low voltage differential signaling) 就是指这种小振幅差分信号技术。

### 2. 差分信号的一个实例：LVDS

LVDS (Low Voltage Differential Signaling) 是一种低摆幅的电流型差分信号技术，它使得信号能在差分 PCB 线对或平衡电缆上以几百 Mbps 的速率传输，其低压幅和低电流驱动输出实现了低噪声和低功耗。LVDS 驱动器由一个驱动差分线对的电流源组成 (通常电流为 3.5mA)，LVDS 接收器具有很高的输入阻抗，因此驱动器输出的电流大部分都流过  $100\ \Omega$  的匹配电阻，并在接收器的输入端产生大约 350mV 的电压。当驱动器翻转时，它改变流经电阻的电流方向，因此产生有效的逻辑“1”和逻辑“0”状态。低摆幅驱动信号实现了高速操作并减小了功率消耗，差分信号提供了适当噪声边缘和功率消耗大幅减少的低压摆幅。功率的大幅降低允许在单个集成电路上集成多个接口驱动器和接收器。这提高了 PCB 板的效能，减少了成本。



不管使用的LVDS传输媒质是PCB线对还是电缆，都必须采取措施防止信号在媒质终端发生反射，同时减少电磁干扰。LVDS要求使用一个与媒质相匹配的终端电阻（ $100 \pm 20 \Omega$ ），该电阻终止了环流信号，应该将它尽可能靠近接收器输入端放置。LVDS驱动器能以超过155.5Mbps的速度驱动双绞线对，距离超过10m。对速度的实际限制是：①送到驱动器的TTL数据的速度；②媒质的带宽性能。通常在驱动器侧使用复用器、在接收器侧使用解复用器来实现多个TTL信道和一个LVDS信道的复用转换，以提高信号速率，降低功耗。并减少传输媒质和接口数，降低设备复杂性。

LVDS接收器可以承受至少 $\pm 1V$ 的驱动器与接收器之间的地的电压变化。由于LVDS驱动器典型的偏置电压为+1.2V，地的电压变化、驱动器偏置电压以及轻度耦合到的噪声之和，在接收器的输入端相对于接收器的地是共模电压。这个共模范围是： $+0.2V \sim +2.2V$ 。建议接收器的输入电压范围为： $0V \sim +2.4V$ 。

LVDS接收器可以承受至少 $\pm 1V$ 的驱动器与接收器之间的地的电压变化。由于LVDS驱动器典型的偏置电压为+1.2V，地的电压变化、驱动器偏置电压以及轻度耦合到的噪声之和，在接收器的输入端相对于接收器的地是共模电压。这个共模范围是： $+0.2V \sim +2.2V$ 。建议接收器的输入电压范围为： $0V \sim +2.4V$ 。

### 3.差分信号的布线要求：

对于PCB工程师来说，最关注的还是如何确保在实际走线中能完全发挥差分走线的这些优势。也许只要是接触过Layout的人都会了解差分走线的一般要求，即差分对的布线有两点要注意，一是两条线的长度要尽量一样长，等长是为了保证两个差分信号时刻保持相反极性，减少共模分量。另一是两线的间距（此间距由差分阻抗决定）要一直保持不变，也就是要保持平行。平行的方式有两种，一为两条线走在同一走线层（side-by-side），一为两条线走在上下相邻两层（over-under）。一般以前者 side-by-side 实现的方式较多。等距则主要是为了保证两者差分阻抗一致，减少反射。对差分对的布线方式应该要适当的靠近且平行。所谓适当的靠近是因为这间距会影响到差分

阻抗（differential impedance）的值，此值是设计差分对的重要参数。需要平行也是因为要保持差分阻抗的一致性。若两线忽远忽近，差分阻抗就会不一致，就会影响信号完整性（signal integrity）及时间延迟（timing delay）。

下面是差分传输线模型

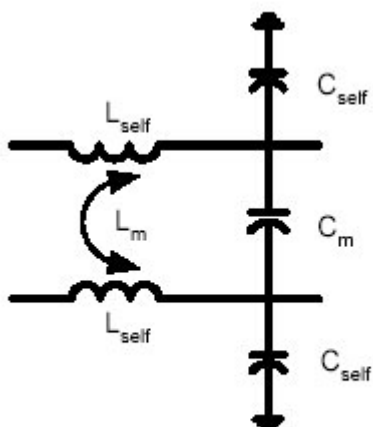


图 5 一小段差分传输线对的等效电路图

为便于分析，差分线对常常根据它的奇模和偶模阻抗和延迟来描述，而这些与其差模和共模对应的部分是密切相关的，因此可以用方程 1 来计算。

$$Z_{odd} = \sqrt{\frac{L_{self} - L_m}{C_{tot} + C_m}}$$

$$Z_{even} = \sqrt{\frac{L_{self} + L_m}{C_{tot} - C_m}}$$

$$t_{odd} = \sqrt{(L_{self} - L_m)(C_{tot} + C_m)}$$

$$t_{even} = \sqrt{(L_{self} + L_m)(C_{tot} - C_m)}$$

这儿  $C_{tot} = C_{self} + C_m$ 。  $C_{self}$  是一条线与地之间的电容，而  $C_m$  是两条线之间的电容。  
 $L_{self}$  和  $L_m$  分别是一条线的自电感，和两条线之间的互电感。

差分阻抗被定义为在两条差分驱动的导线之间所测得的阻抗。（所谓差分驱动就是指当两个完全一样，但极性相反的信号）。差分阻抗是对着奇模阻抗而言的，所谓奇模阻抗是指当两条导线被差分驱动[3]时，在差分线对中一条传输导线的阻抗。偶模阻抗是指当两条导线都被一个单一的对地共模信号驱动时，在差分线对中两条导线的阻抗。

利用方程 1，可以推得：

差分阻抗

$$Z_{differential} = 2Z_{odd}$$

共模阻抗

$$Z_{common} = Z_{even} / 2$$

但所有这些规则都不是用来生搬硬套的，不少工程师似乎还不了解高速差分信号传输的本质。下面重点讨论一下 PCB 差分信号设计中几个常见的误区。

误区一：认为差分信号不需要地平面作为回流路径，或者认为差分走线彼此为对方提供回流途径。造成这种误区的原因是被表面现象迷惑，或者对高速信号传输的机理认识还不够深入。虽然差分电路对于类似地弹以及其它可能存在于电源和地平面上的噪音信号是不敏感的。地平面的部分回流抵消并不代表差分电路就不以参考平面作为信号返回路径，其实在信号回流分析上，差分走线和普通的单端走线的机理是一致的，即高频信号总是沿着电感最小的回路进行回流，最大的区别在于差分线除了有对地的耦合之外，还存在相互之间的耦合，哪一种耦合强，那一种就成为主要的回流通路。

在 PCB 电路设计中，一般差分走线之间的耦合较小，往往只占 10~20% 的耦合度，更多的还是对地的耦合，所以差分走线的主要回流路径还是存在于地平面。当地平面发生不连续的时候，无参考平面的区域，差分走线之间的耦合才会提供主要的回流通路。尽管参考平面的不连续对差分走线的影响没有对普通的单端走线来的严重，但还是会降低差分信号的质量，增加 EMI，要尽量避免。也有些设计人员认为，可以去掉差分走线下方的参考平面，以抑制差分传输中的部分共模信号，但从理论上讲这种做法是不可取的，阻抗如何控制？不给共模信号提供地阻抗回路，势必会造成 EMI 辐射，这种做法弊大于利。

所以要保持 PCB 地线层返回路径宽而短。尽量不要跨岛（跨过相邻电源或地层的分隔区域。）比如主板设计中的 USB 和 SATA 及 PCI-EXPRESS 等最好不要有跨岛的做法。保证这些信号的下面是个完整地平面或电源平面。

误区二：认为保持等间距比匹配线长更重要。在实际的 PCB 布线中，往往不能同时满足差分设计的要求。由于管脚分布，过孔，以及走线空间等因素存在，必须通过适当的绕线才能达到线长匹配的目的，但带来的结果必然是差分对的部分区域无法平行，其实间距不等造成的影响是微乎其微的，相比较而言，线长不匹配对时序的影响要大得多。再从理论分析来看，间距不一致虽然会导致差分阻抗发生变化，但因为差分对之间的耦合本身就不显著，所以阻抗变化范围也是很小的，通常在 10% 以内，只相当于一个过孔造成的反射，这对信号传输不会造成明显的影响。而线长一旦不匹配，除了时序上会发生偏移，还给差分信号中引入了共模的成分，降低信号的质量，增加了 EMI。

可以这么说，PCB 差分走线的设计中最重要的规则就是匹配线长，其它的规则都可以根据设计要求和实际应用进行灵活处理。同时为了弥补阻抗的匹配可以采用接收端差分线对之间加一匹配电阻。其值应等于差分阻抗的值。这样信号品质会好些。

所以建议如下两点：

(A) 使用终端电阻实现对差分传输线的最大匹配，阻值一般在 90~130  $\Omega$  之间，系统也需要此终端电阻来产生正常工作的差分电压；

(B) 最好使用精度 1~2% 的表面贴电阻跨接在差分线上，必要时也可使用两个阻值各为 50  $\Omega$  的电阻，并在中间通过一个电容接地，以滤去共模噪声。

通常对于差分信号的 CLOCK 等要求等长的匹配要求是  $\pm 10$  mils 之内。

误区三：认为差分走线一定要靠的很近。让差分走线靠近无非是为了增强他们的耦合，既可以提高对噪声的免疫力，还能充分利用磁场的相反极性来抵消对外界的电磁干扰。虽说这种做法在大多数情况下是非常有利的，但不是绝对的，如果能保证让它们得到充分的屏蔽，不受外界干扰，那么我们就没有必要再让通过彼此的强耦合达到抗干扰和抑制 EMI 的目的了。如何才能保证差分走线具有良好的隔离和屏蔽呢？增大与其它信号走线的间距是最基本的途径之一，电磁场能量是随着距离呈平方关系递减的，一般线间距超过 4 倍线宽时，它们之间的干扰就极其微弱了，基本可以忽略。此外，通过地平面的隔离也可以起到很好的

屏蔽作用，这种结构在高频的（10G 以上）IC 封装 PCB 设计中经常会用采用，被称为 CPW 结构，可以保证严格的差分阻抗控制（2Z0）。

差分走线也可以走在不同的信号层中，但一般不建议这种走法，因为不同的层产生的诸如阻抗、过孔的差别会破坏差模传输的效果，引入共模噪声。此外，如果相邻两层耦合不够紧密的话，会降低差分走线抵抗噪声的能力，但如果能保持和周围走线适当的间距，串扰就不是个问题。在一般频率（GHz 以下），EMI 也不会是很严重的问题，实验表明，相距 500Mils 的差分走线，在 3 米之外的辐射能量衰减已经达到 60dB，足以满足 FCC 的电磁辐射标准，所以设计者根本不用过分担心差分线耦合不够而造成电磁不兼容问题。

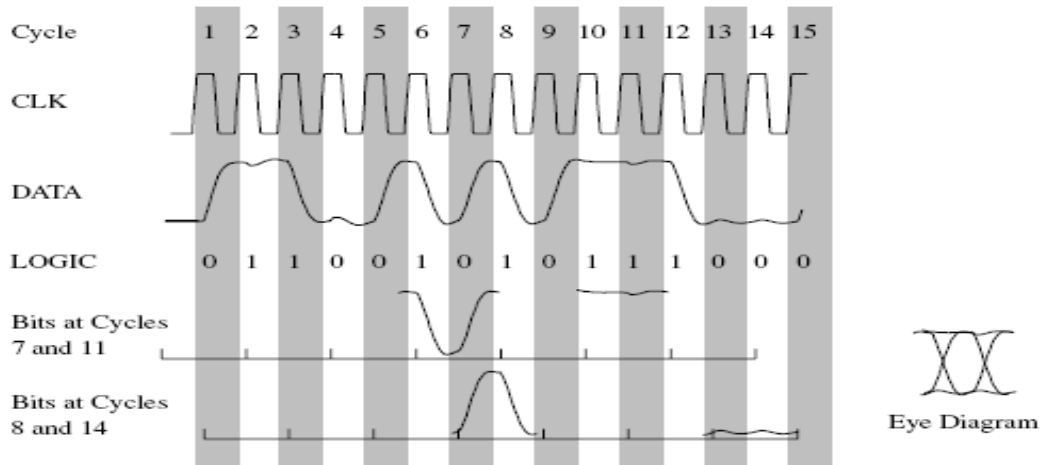
#### 4, 眼图

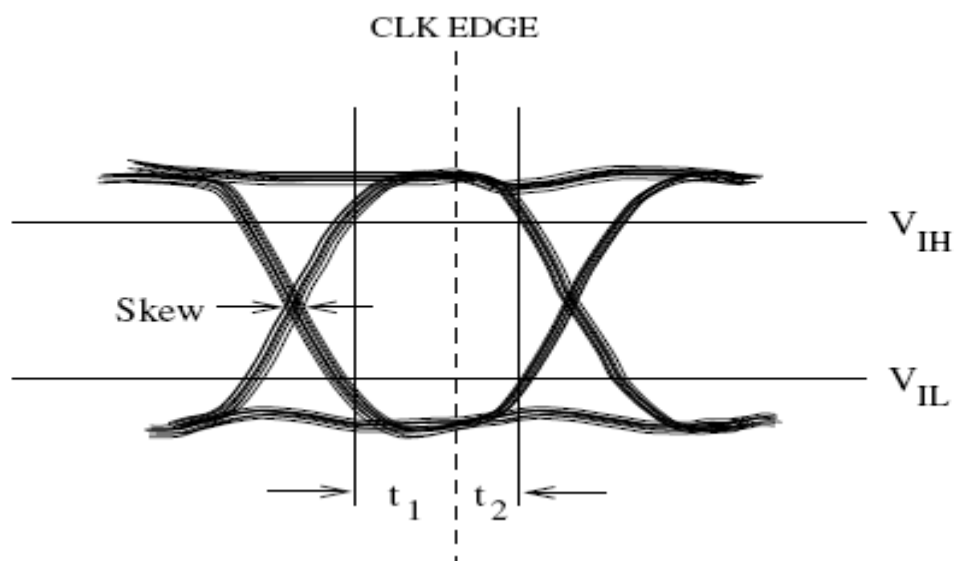
在差分信号的测试当中我们经常要遇到一个测试项目是眼图，也有很多设计初学者都或许听过眼图这个测试。但还是有很多不知道眼图到底是怎么来的。学会看眼图对于自己的测试和DEBUG是非常有用的。下面介绍下眼图。

在每一个时钟周期内都会有信号在传输。但是如果是一个很长的位流（bits），那么很难确定这个信号是否符合规范（specifications）。为了便于分析，那么所有的信号位都可以组成一个信号图形的话，那么就可以看这个把这些图形叠加起来看看是否符合规范。这就是眼图。

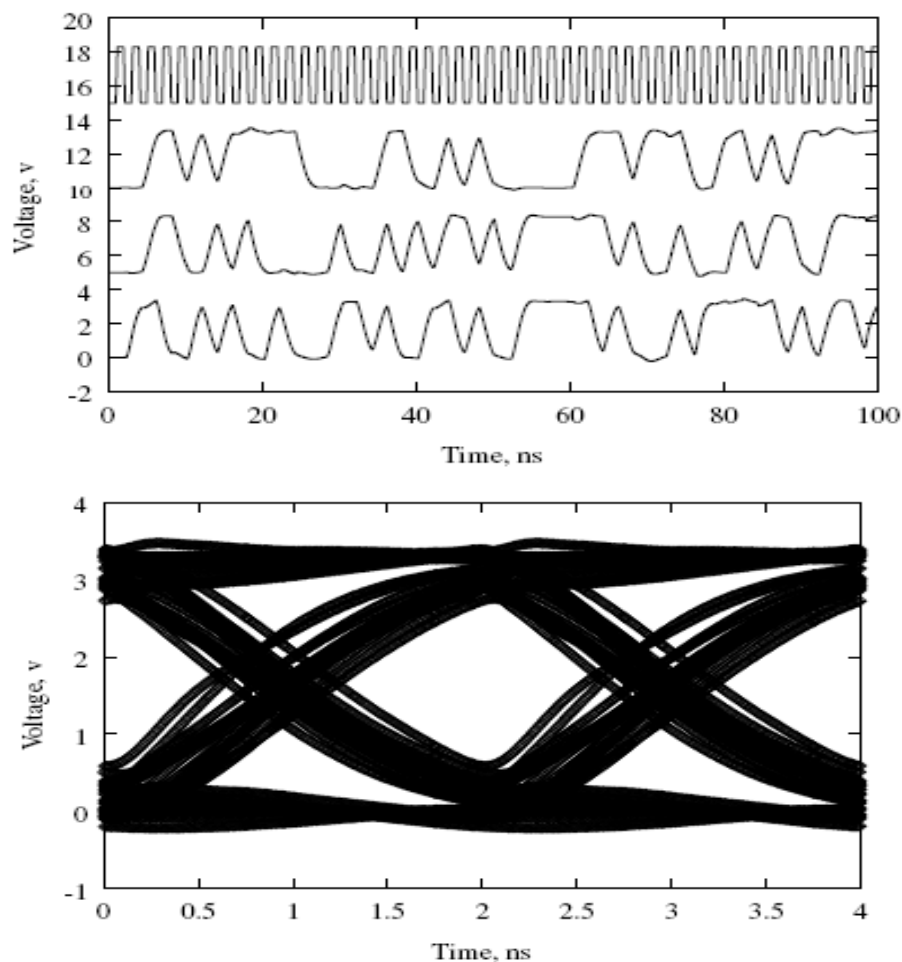
如下图，假设所有的信号都是在时钟的上升沿触发。那么把所有数据信号的波形都按上升沿取出来并叠加在一起。每一个这样的波形就叫一个SYMPLE。如图所示的那样（图上只取出一个波形来，以便读者能看清楚），这样就形成了眼图的前半截。接着按下降沿取出并叠加在一起，那么就可以形成眼图的后半截。同时为高电平或低电平的信号波形组成眼图的上面和下面。这样就形成了一个标准的眼图（如下图）。然后所要做的是按信号规范在眼图里定义进去就可以了。

当然下图是把CLK也表示出来了，实际串行的差分信号是不能在信号线上测到CLOCK的。





下面举个实例看下，从眼图上看，这信号质量是非常差的。那相对应它的SYMPLE也是可以看得到是很差的信号质量，上升沿和下降沿太缓，一致性太差，信号的HIGH LEVEL也不够，SKEW太大等。



### 5.差分信号的测量。

输入连接一般来说，差分放大器或探头与信号源的互连是产生误差的最大来源。为了维持输入的匹配，两个通道应尽可能一样。两个输入端的任何接线的都应长度相同。如果使用探头，其型号与长度也应相同。在测量高共模电压的低频信号时，应避免使用带衰减的探头。在高增益时则完全不能使用这种探头，因为

不可能精地平衡它们的衰减量。当高电压或高频率的应用需要衰减时，应使用为差分放大器专门设计的专用无源探头。这种探头具有能精密调整直流衰减和交流补偿的装置。为获得最佳的性能，每一个特定的放大器都应专用一套探头，而且要根据这套探头附带的程序针对该放大器进行校准。

一种常用的方法是将+ 和- 输入缆线成对绞扭在一起。这样可减少拾取线路频率干扰和其他噪声的可能。如果要抓取眼图的话要跟仪器厂家获得咨询，以获得最新的软件和夹具。一般这套软件和夹具是要另外收费的。

参考文献：

Digital Signal Integrity-Modeling and Simulation with Interconnects and Package. Brian Young

PCB Layout 中的走线策略 阿鸣

LVDS技术原理和设计简介 张 健 吴晓冰

另外感谢所引用作者（有的是没有找到文章具体出处的作者）提供的好文章。