

# 基于 FPGA 的 MPEG-4 可变长解码器设计

蒋勇 罗玉平

(中国科学技术大学电子科学与技术系, 合肥 230026)

**摘要:** 本文讨论了一种高吞吐量流水方式构建的 MPEG-4 可变长解码器的设计与仿真结果。在这种解码器中, 我们采用了基于 PLA 的并行解码算法, 这种算法能够实现每个时钟解码一个码字。同时, 为了提高解码的效率, 降低操作的延迟, 我们在设计中还引入了流水线操作方式、码表分割等技术, 这些技术有利于并行操作的实现。在文章的最后一部分, 我们给出了 FPGA 的仿真结果, 结果显示这种结构的解码器完全能够满足 MPEG-4 的可变长数据的解码需求。

**关键词:** 可变长解码 MPEG-4 现场可编程逻辑门阵列 硬件描述语言

## 1 引言

可变长编码作为视频压缩编码的一项重要技术, 在各种视频标准中被广泛采用, 如 MPEG-1/2/4、H.261/263 等。在 MPEG-4 标准中, 可变长编码技术主要应用在宏块层信息、块层信息的编码方面。可变长解码器 VLD 的设计是解压缩模块中重要的一环, 它根据从码流中得到的码字去查对应的变长码表, 以得到相应码值信息, 其性能在很大程度上决定和制约着整个解码器的性能和效率。

由信息论的原理可知, 数据压缩的理论极限是信息熵。如果要求在编码过程中不丢失信息量, 则要求保存信息熵, 这种信息保持编码称为熵编码。在 MPEG-4 中, 使用了两种重要的熵编码, 即 Huffman 编码和游程编码。

Huffman 编码的理论依据是可变字长编码。在可变字长编码中, 编码器按输入信息符号出现的统计概率, 分配不同字长的输出码字。对出现概率大的信息符号, 赋以短字长的输出码字; 对于出现概率小的信息符号, 赋以长字长的输出码字。可以证明, Huffman 编码输出的码字的平均码长最短, 与信源熵最接近。

游程编码是一种利用空间冗余度压缩图像的方法, 它以图像的统计特性为基础, 是一种无失真压缩编码方法。设图像中的某一行或某一块像素经采样或经某种方法变换后的系数为  $(x_1, x_2, \Lambda, x_m)$ , 其值  $x_i$  可分为  $k$  段, 长度为  $l_i$  的连续串, 每个串具有相同的值, 那么该图像的这一行或这一块可由一组偶对  $(g_i, l_i)$  来表示, 如  $(x_1, x_2, \Lambda, x_m) = (g_1, l_1), (g_2, l_2), \Lambda, (g_k, l_k)$ , 其中  $g_i$  为每个串代表的值;  $l_i$  为串的长度, 串长  $l_i$  就是游程长度。

在 MPEG-4 中, 宏块系数并不是直接逐个编码, 而是首先对宏块按某种顺序进行扫描, 得到 (last、run、level) 形式的事件(event)。然后, 对于出现概率较大的事件, 用一个变长码表来表示它们, 而对于码表中没有的小概率事件, 则用 ESCAPE 编码方法进行编码。

本文在第 2 节将围绕 MPEG-4 的变长码的码流特点, 讨论可变长解码的硬件实现算法, 在第 3 节将在第 2 节的基础上设计并实现 MPEG-4 解码器, 最后一节将给出仿真结果和相应结论。

本文在第 2 节将围绕 MPEG-4 的变长码的码流特点, 讨论可变长解码的硬件实现算法, 在第 3 节将在第 2 节的基础上设计并实现 MPEG-4 解码器, 最后一节将给出仿真结果和相应结论。

## 2 硬件解码算法

可变长解码实现从一组连续的码流中提取出可变长码字, 并将之转换为对应的信源符号。通常在

VLC编码过程中,码字之间不会加入任何分隔标识,这造成了在解码过程中识别码字的困难。因此在VLD过程中,变长码字必须逐一识别,只有码流中居前的码字被识别之后,才能定位后序码字的起始位置,这一点在很大程度上限制了VLD运行的效率。

从可变长解码的实现方式来看,大体上可分为串行操作方式和并行操作方式两大类。两者各具特点,应用于不同领域。

传统的可变长解码通常采用串行操作方式,连续的码流以位方式操作。串行可变长解码方式可视为是一种 Huffman 树的反向构建过程,连续输入的码流从 Huffman 树根开始以二进制方式进行匹配,所以这种方法又称为树搜索法。串行可变长解码存在两大缺陷。首先,由于每个时钟只能输入一位码,因此其效率非常低,难以满足一些实时性强的应用;其次,这种方式解码一个有效的符号的时延要由对应码值的长度来决定,因此其解码所需的时钟数是可变的,对于较短码字,其输出速度很快,对于较长码字的输出则需要较长时间,这使得无法按一定时钟节律进行像素处理,从而在解码系统控制时将非常复杂。

与串行可变长解码方式对应的是并行操作方式,通常这种方式可实现每个时钟输出一个解码值,这一点确保了有稳定的解码输出速率。在文献<sup>[1]</sup>中详细讨论了一种并行可变长解码的实现结构。在该结构的基础上,许多改进的并行可变长解码结构被提出<sup>[2-5]</sup>。改进的并行可变长解码结构通常是基于码字的排序 (ordering)、分割 (partitioning) 和簇化 (clustering) 等技术来实现的。并行可变长解码方式还可以将解码过程分解为若干个阶段,引入流水线操作,从而进一步提升解码的速度。

常见的可变长并行解码方式有基于 ROM 的并行查表法和基于 PLA(Programmable Logic Array)的并行解码算法等。

在基于 ROM 的并行查表法中,采用 ROM 来存储码表,解码过程通过查找 ROM 表来实现。由于在存储码表时,需要将可变长码表扩展为定长的,以适应 ROM 的存储需要,这一点使 ROM 的使用效率很低。在应用上,由于 MPEG-4 的码表非常庞大,这将需要大量的 ROM 来存储,这一点非常不利于 VLSI 的实现。相比之下,PLA 具有高速的特点,它的信号延迟仅是 PLA 的读出时间,且对输入变量的个数不

是很敏感。此外,由于 PLA 中存储的是以码流中的码字为输入、解码码值的码长为输出的真值表,没有多余的数据,因此它的面积可做到比 ROM 小得多。因此,它在存储面积、解码速度等方面都优于基于 ROM 的并行查表法<sup>[文献 6]</sup>。

基于 PLA 的并行解码算法采用查表机制实现解码,码值(对于 DCT 系数来说,码值包括最后一个非零系数指示(last)、游程(run)和电平(level)3 部分)和码长信息均存储在 PLA 中,PLA 直接由输入码流中的码字来寻址,解变长码的同时可给出当前码字的码长,从而实现对下一个码字起始位置的定位。本论文中的 VLD 设计将采用 PLA 并行解码算法来实现。

MPEG-4 对可变长解码的过程是一个非常复杂的过程,在纹理解码中,可变长编码的 DCT 系数的解码过程包括 DC 系数和 AC 系数的解码。在帧内编码中,DC 系数采用定长的差分编码方式,定长码的长度和所代表的值可在 ISO/IEC 14496-2 附录表 B-13 到表 B-15 中获得。其码流结构参见图 1。

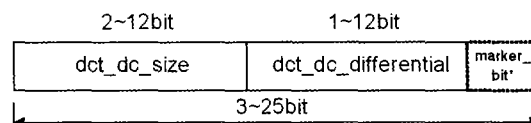


图 1 MPEG-4 格式的帧内 DC 码流结构图

在帧内编码中 AC 系数的编码和帧间编码中 DC 和 AC 系数的编码均采用可变长编码模式,其对应的码表是 ISO/IEC 14496-2 附录表 B-16 到表 B-17。其码流结构参见图 2。

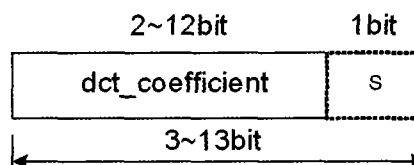


图 2 帧内 AC 和帧间 DC/AC 码流结构图

在表 B-16 到表 B-17 中列出了常见的事件(event),对于小概率事件,MPEG-4 采用 ESCAPE 编码方式。ESCAPE 编码共有五种模式,前三种用于 MPEG-4 格式的编码,第四种用于 H.263 编码模式,第 5 种用于可逆编码模式。其中模式一和模式二解码结果需要作进一步的调整才能获得最后的结果。模式一~模式三的码流格式如图 3~5 所示。

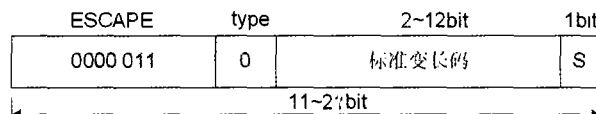


图 3 ESCAPE 模式一码流结构图

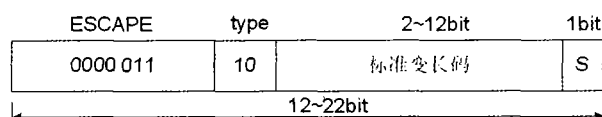


图 4 ESCAPE 模式二码流结构图

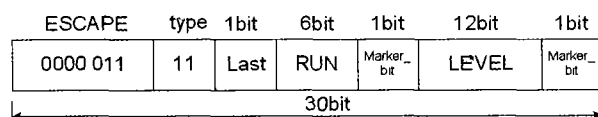


图 5 ESCAPE 模式三码流结构图

## 3 结构设计

MPEG-4 可变长解码器采用基于 PLA 的查找表方式来实现,考虑 MPEG-4 码流的特点,即帧内 DC 在解码后需要将解码值与预测值进行相加才能得到实际的 DC 值,以及 ESCAPE 编码在查表后需要对解码值做相应调整以得到实际解码值。因此为了提高效率,在结构设计中,我们引入了三级流水操作。第一级流水执行码流的输入及相应移位操作,第二级流水执行可变长码的查表解码操作,第三级流水执行查表后的相关操作。

本文所设计的 MPEG-4 的可变长解码器包括控制单元、输入单元、解码单元以及后处理单元等四个部分,其总体结构如图 6 所示。

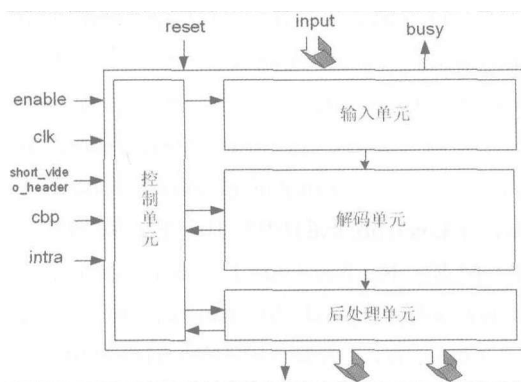


图 6 可变长解码器总体结构

可变长解码的控制部分是实现可变长(包括定长)解码的核心部分,它通过有限状态机(FSM)来实现。控制单元输出各种控制信息,控制输入单元的读写、解码码表的选择、后处理单元的控制、以及数据输出的写信号等。

在对 MPEG-4 的码流处理过程中,控制单元首先判断当前宏块的类型,对于帧内宏块,DC 系数采用定长差分方式解码;然后根据 CBP 判断 AC 系数是否编码,如果编码则进行可变长解码操作。对于

帧间宏块,控制系统根据 CBP 判断当前块是否编码,如果编码则 DC 与 AC 系数同时采用可变长解码操作。当遇到 ESCAPE 码时,首先判断码流编码(Short\_video\_header)类型,对于 MPEG-4 格式采用模式一~模式三进行处理,对于 H.263 格式采用模式四进行处理。其他系数则按照 MPEG-4 的规定相应的用变长码表中的一个进行解码,通过查表直接得到 last、run 和 level 以及码长信息。

输入单元实现码流的输入,它由三个 32 位寄存器、寄存器状态控制器、一个 61 位移位寄存器和两个 DMUX/MUX 组成。每个时钟寄存器状态控制器输出输入状态信号 Input\_State,该信号用来选择输入数据存储在哪个寄存器。当三个寄存器均为满时,状态控制器输出 Busy 信号,阻止码流输入。三个寄存器以 r0-r1、r2-r3、r3-r1 的组合组成三种状态,由状态机 State 控制向移位寄存器输入,移位寄存器完成相应的移位操作。输入单元的接口框图如图 7 所示。

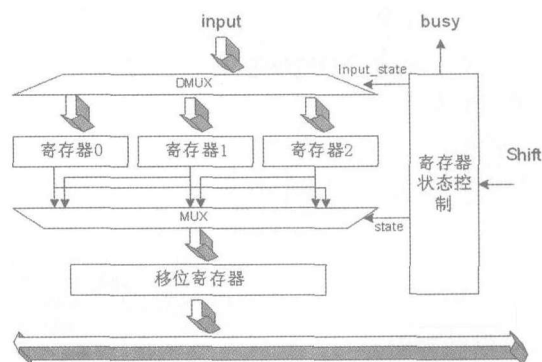


图 7 解码器输入单元结构框图

MPEG-4 的解码单元有许多变长码表组成,它们可完成帧内 DC 定长码的解码、帧内 AC 的解码、帧间 DC 和 AC 的解码,以及 ESCAPE 码模式三的处理等。解码单元可通过加入更多的码表,来实现不同变长码的解码操作。解码单元的结构框图如图 8。

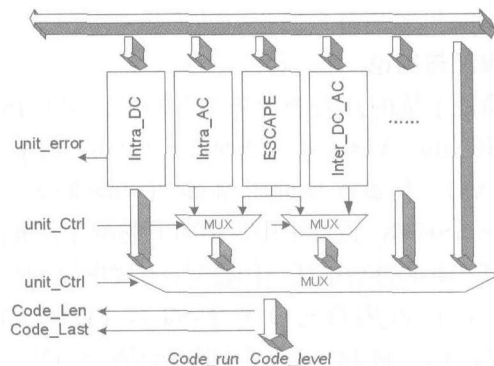


图 8 解码器解码单元结构框图

在上面的框图中加入了直通线,实现输入数据的直接输出。各码表的操作采用并行操作,对于码字较多的大码表,查表时间较长,这将增加整个解码单元的延迟。在MPEG-4中各可变长码表的大小相差悬殊,如B-13和B-14表只有13个码字,而B-16和B-17的码字总数超过100个,其码字长度的相差也很大。为了有效地减少延迟,在本设计中采取了码表分割的方法来实现。通过对大码表的分析不难发现,码字的长度是有一定规律的,长一些的码字完全可以从码字的前几位码来确定。我们将具有相同前缀的码字归为一个子表,这样就可以在解码时,根据由移位寄存器输出的前几位码流来确定表号,而以后几位作为表内偏移量。通过对大码表的有效分割,不仅可以减少单一码表的长度,而且可以减少码表内可变长码的长度。码表分割的结构如图9所示。

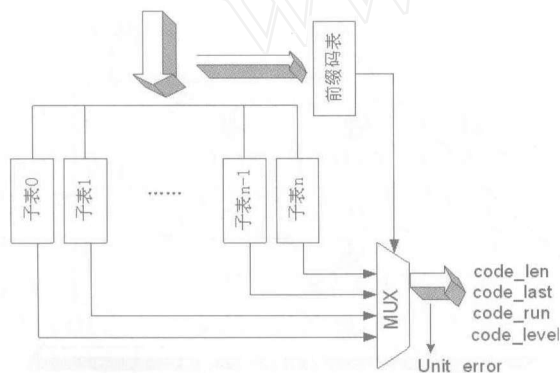


图9 大码表分割实现框图

MPEG-4的帧内DC采用差分编码方式,因此实际输出结构需要将解码的差分值与预测值相加,这一步由后处理单元来实现。同时,ESCAPE的模式一和模式二需要在解码后需要对RUN或LEVEL值进行调整,这一部分也由后处理单元来实现。

#### 4 验证与结论

验证系统的开发平台采用Xilinx公司的ISE,器件选用Xilinx Virtex-II xc2v500-6 fg256,综合采用Xilinx XST,仿真工具选用Model Technology公司的ModelSim SE 5.8。设计采用自顶向下的设计方案,各模块采用VHDL进行描述。仿真时序图如图10所示。

本设计占用资源988个Slices(32%)、272个Slice Flip Flops(4%)、1838个四输入查找表(29%)和1

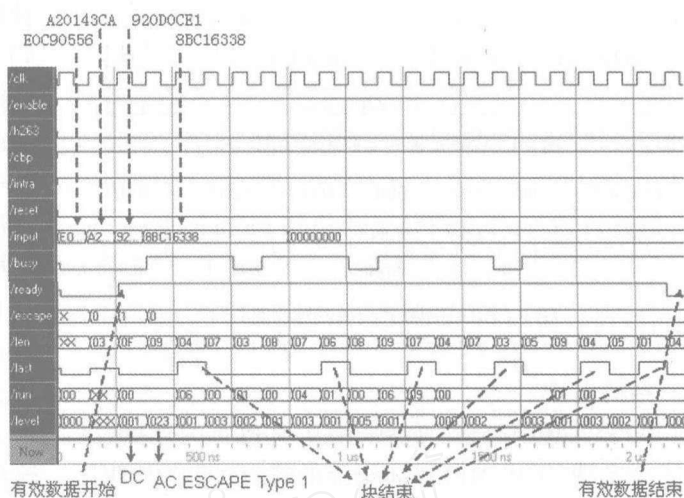


图10

个全局时钟(6%)。系统允许最大时钟频率为42.149MHz,完全满足MPEG-4 ASP@L5码流的实时解码需求。

#### 参考文献:

1. S.M.Lei and M.T.Sun, An entropy coding system for digital HDTV applications, IEEE Trans. Circuits Syst. Video Technol., vol1:147-155, mar. 1991.
2. Hashemian. R, Design and hardware implementation of a memory efficient Huffman decoding. IEEE Consumer Elec., 1994, 40(3):345-352
3. S.B.Choi and M.H.Lee, High speed pattern matching for a fast Huffman decoder, IEEE Trans. Consumer Electron, vol41:97-103, Feb.1995
4. M.K. Rudberd and L. Wanhammar, New approaches to high speed Huffman decoding, IEEE Int. Symp. Circuits Syst., Vol2:149-152, May 1996
5. ISO/IEC JTC1/SC29/WG11 N2202, Information Technology Generic Coding of Audio-Visual Objects, Part 2: Visual. ISO/IEC 14496-2, 1998.3
6. 毛讯,姚庆栋,虞露,VSP中的变字长解码器设计研究,浙江大学学报(工学版) 2001.06

#### 作者简介:

蒋勇(1975~),男,硕士生,主要研究运动图像处理与嵌入式系统;罗玉平,教授。