AM335x NAND 启动失败问题 Debug 方案

----Steven Liu

目前看到不少人遇到了 NAND flash 启动失败的问题，调试的时候也是出现了五花八门的情况。有的硬件设计有问题，有的 image 做的有问题，这里列出一些 debug 的方案供大家参考。

一般来说，第一步大家都会把 SD 卡启动先调通，至少能用 SD 卡启动到 UBOOT 阶段，可以进入命令行。（这样至少能保证你的相关软件移植是没问题的，减免了考虑 EEPROM、DDR 等软件配置方面的问题。）下面的调试方法都是基于这个基础上所进行的。

1. 查硬件（boot 模式相关，NAND FLASH 部分），确认重要信号都已经被妥善链接的，可以参考 GPEVM 板的 daughter board 原理图进行设计。
   特别注意：根据 TRM 手册的 26.1.7.4 NAND 启动章节描述“The data bus width is initially set to 16 bits; and changed to 8 bits if needed after device parameters determination.”，当使用 8bit NAND 的时候，需要特别注意高 8 位的 AD 管脚，即 GPMC_AD8~AD15，不要做上拉，否则会影响到 NAND 的识别，从而导致 NAND 启动失败。所以对于会将这部分管脚配置成为其他用途的设计，需要特别小心。

   26.1.7.4.2.2 Pins Used

   The list of device pins that are configured by the ROM in the case of NAND boot mode are as follows. Please note that all the pins might not be driven at boot time.

   NOTE: Caution must be taken when using an 8-bit NAND. The ROM initially configures all address and data signals (AD0-AD15) the GPMC uses when attempting to read configuration values from the NAND. If you use an 8-bit NAND, and connect AD15-AD8 to other functions (GPIOs, for example), there may be contention on these signals during the boot phase. AD15-AD8 are configured as outputs and will be driven by the ROM if NAND boot is selected. Ensure external circuits will not be in contention with these driven outputs.

2. 使用仿真器，通过 JTAG 口连接 AM335x，通过 memory browser 查看地址 0x44e10040 的值，确认 boot 模式的设置是正确的。有案例显示，部分客户设计的上下拉有时会出现问题。

Table 9-11. control_status Register Field Descriptions

Bit	Field	Type	Reset	Description
31-24	Reserved	R	0h	
23-22	sysboot1	R	X	Used to select crystal clock frequency. See SYSBOOT Configuration Pins. Reset value is from SYSBOOT[15:14].
21-20	testmd	R	X	Set to 00b. See SYSBOOT Configuration Pins for more information. Reset value is from SYSBOOT[13:12].
19-18	admux	R	X	GPMC CS0 Default Address Muxing 00: No Addr/Data Muxing 01: Addr/Addr/Data Muxing 10: Addr/Data Muxing 11: Reserved Reset value is from SYSBOOT[11:10].
17	waiten	R	X	GPMC CS0 Default Wait Enable 0: Ignore WAIT input 1: Use WAIT input See SYSBOOT Configuration Pins for more information. Reset value is from SYSBOOT[9].
16	bw	R	X	GPMC CS0 Default Bus Width 0: 8-bit data bus 1: 16-bit data bus See SYSBOOT Configuration Pins for more information. Reset value is from SYSBOOT[8].
15-11	Reserved	R	0h	
10-8	devtype	R	11b	000: Reserved 001: Reserved 010: Reserved 011: General Purpose (GP) Device 111: Reserved
7-0	sysboot0	R	X	Selected boot mode. See SYSBOOT Configuration Pins for more information. Reset value is from SYSBOOT[7:0].

PS: 如果没有引出 JTAG 口，无法使用仿真器连接，在可以使用 SD 卡启动的时候，建议把 boot 模式设置成为 NAND 启动在先，SD 卡启动在后。这样 NAND 启动失败了后，也可以通过 SD 启动成功。进入 UBOOT 后，通过命令行输入 **md 0x44e10040**， 也可查询当前的 boot 模式设置。

3. 测试 MLO：可以采用下列链接中的 MLO，运行成功能通过 UART0 输出信息。

   http://www.deyisupport.com/question_answer/dsp_arm/sitara_arm/f/25/t/53263.aspx

   可以通过 SD 卡、NAND 的方式，看是否能够启动成。

4. 此外，使用的 NAND 型号不同，可能会存在 ECC 的校验问题，BCH Issue.
   SDK6.0 中已经默认设置了 BCH8，软件配置的地方在：uboot\drivers\mtd\nand\omap_gpmc.c

   与 NAND 型号相关的 BCH Issue 可参考：

   http://e2e.ti.com/support/arm/sitara_arm/f/791/t/386565

   摘要：

   Based on the number of spare bytes per page, the ROM boot loader will try to use the largest ECC algorithm that it can. So for NAND flash memories with 64 bytes per page, the ROM boot loader will assume BCH8 as the ECC algorithm, which is what we have been using with all of our software, and why the ROM boot loader boots correctly from our NAND flash devices with 64 spare bytes per page.
   However, when we have 112 spare bytes per page, the ROM boot loader assumes that the ECC algorithm should be BCH16. Since we are using BCH8 during the flashing process, the ECC data in the spare memory is thus incorrect, and this is why the ROM boot loader is failing to boot.