

# 1 使用 WEBENCH 选择合适的稳压器

## Contents

1	使用 WEBENCH 选择合适的稳压器.....	1
2.1	WEBENCH 模拟设计工具包概述.....	2
2.2	WEBENCH 电源设计工具.....	2
2.2.1	电源选型.....	4
2.2.2	单电源设计.....	5
2.2.3	电源架构设计.....	7
2.2.4	FPGA/处理器电源设计.....	10
2.2.5	LED 电源设计.....	10
2.2.6	电源仿真.....	11
2.2.7	原理图导出.....	15
2.3	开关电源参数间的矛盾和联系.....	17
2.3.1	开关频率和电感.....	17
2.3.2	开关频率和 MOS 管.....	19
2.4	buck 开关电源设计实例.....	20
2.4.1	芯片优化选择.....	21
2.4.2	外围元件优化选择.....	22
2.4.3	三种优化方案对比.....	23
2.4.4	方案的仿真分析（图表、热、稳态、缓起）.....	24
2.4.5	方案原理图导出.....	41
2.5	boost 开关电源设计实例.....	42
2.5.1	Boost 电路电流路径分析.....	42
2.5.2	开关电源的波特图仿真.....	43
2.5.3	boost 开关电源效率仿真.....	45
2.6	FPGA 电源设计实例.....	46
2.6.1	FPGA 芯片选择.....	46
2.6.2	供电芯片组电源树设计.....	48

2.6.3	电源树优化设计.....	49
2.6.4	电源芯片优化选型.....	51
2.6.5	电源芯片外围电路优化.....	52
2.6.6	原理图导出.....	53

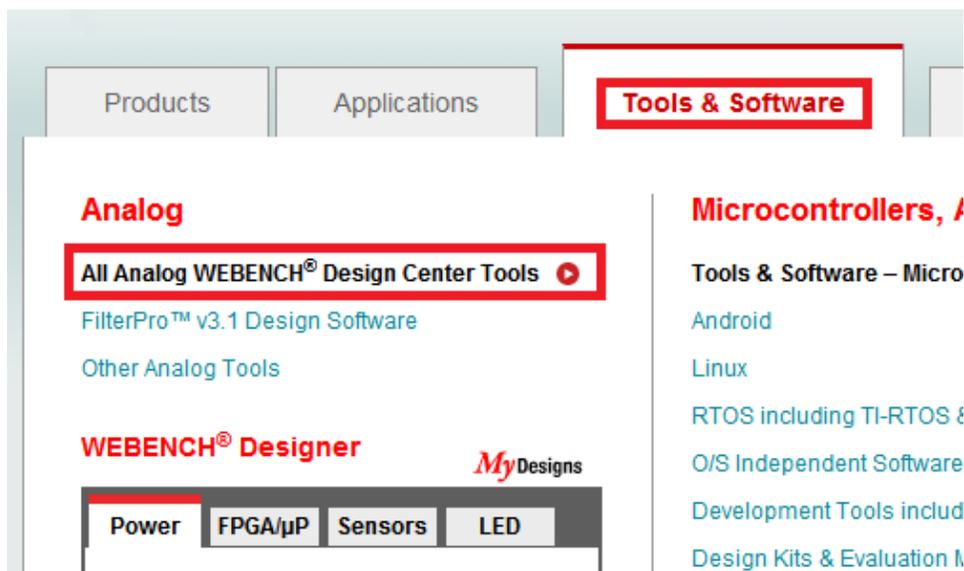
## 1.1 WEBENCH 模拟设计工具包概述

现代电子系统设计涉及的芯片越来越多，芯片功耗越来越大。之前 74 加 51 时代一个 5V 电压统治全板的情况不复存在。现代的电子系统对电源要求多种多样，电压方面：1V、1.2V、1.8V、3.3V 和 5V 等；性能方面：大电流的，高精度的，低噪声的，低功耗和高效率的等等。为了应对如此之多的需求，多种多样的电源芯片应运而生。

电源系统一般采用树形结构进行设计，各个芯片的电源作为树叶，各模块的支路电源作为树枝，为各个支路供电的电源作为树干。电源树中的电压自顶向下逐级变换，电源树中的电流自下而上逐级汇聚。根据这些电压和电流情况，并考虑到需要的性能、功耗和体积，工程师从众多的电源芯片中选型并优化。这是一个复杂而辛苦的过程，急需一种软件工具配合工程师工作，TI 为电源的设计选型提供了强大的设计软件：**WEBENCH**

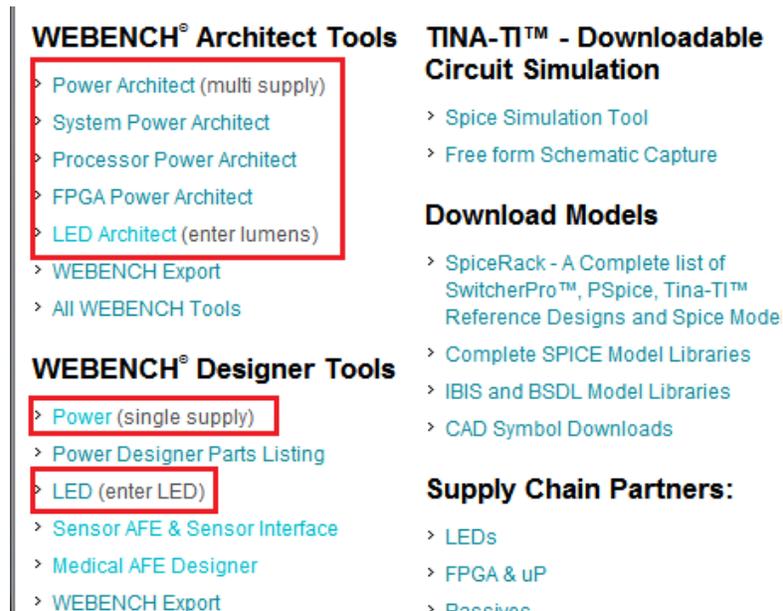
## 1.2 WEBENCH 电源设计工具

TI 的电源芯片种类齐全，按用途有 AC-DC，DC-DC 和 DC-AC，按照拓扑结构常见的有 buck、boost 和 buck-boost 等。从这些海量芯片中选取合适的芯片一个个看数据手册进行筛选是一件效率很低很耗精力的事情。TI 提供了电源设计软件，来帮助用户完成设计，并可以优化和仿真。

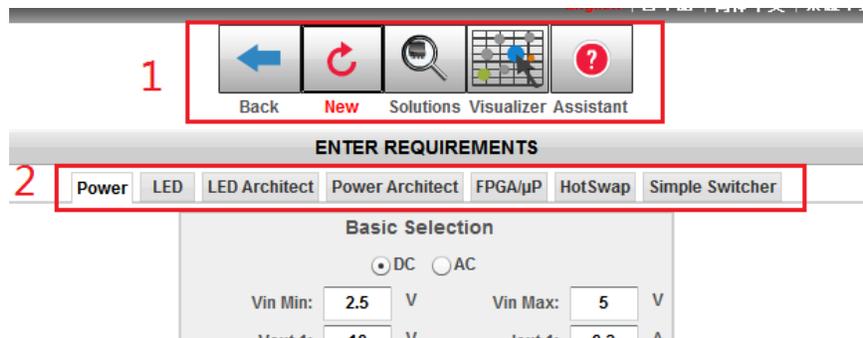


从主页 [www.ti.com](http://www.ti.com) 进入，可以看到上图方框中所示选项，在“tools & software”中可以看到电源设计工具：WEBENCH。

本章对 WEBENCH 的操作界面和设计流程进行介绍，旨在使读者对 WEBENCH 有一个直观的了解。掌握 WEBENCH 的基本操作，熟悉它的各项功能。点击“All Analog WEBENCH Design Center tools”可以进入 WEBENCH 工具中心。进入 WEBENCH 工具中心后可以看到有很多 tools 被分类排列出来。



上图方框中的工具是和电源设计相关。其中方框中的工具是电源选型、设计和优化仿真时使用，从方框中的分类可以看出 WEBENCH 工具有：系统电源架构、处理器电源架构、FPGA 电源架构、多电源架构和单电源架构，还有 LED 电源设计。这些并不是说 WEBENCH 有多个不同版本，而是进入 WEBENCH 相应功能的快捷方式。WEBENCH 工具包括这些设计功能。



WEBENCH 的软件界面如上图所示，图中方框 2 内的选项是 WEBENCH 包含的各个子功能。从左到右分别是：单电源设计（power）、LED 选型（LED）、LED 架构设计（LED Architect）、多电源架构设计（Power Architect）、FPGA 和处理器电源架构设计(FPGA/uP)、热拔插设计(HotSwap)、电源芯片选型(Simple Switcher)。LED 的设计在此暂不作说明。按照先易后难的顺序，对电源选型，单电源设计、电源架构设计和 FPGA/处理器电源设计进行说明。

## 1.2.1 电源选型

电源选型是根据用户输入的电压和电流参数，从库中搜索中满足条件的芯片。点击“Simple Switcher”进入如下界面。

ENTER REQUIREMENTS

Power LED LED Architect Power Architect FPGA/μP HotSwap **Simple Switcher**

Inputs  
Vin Min: 5 V Vin Max: 10

Outputs  
Vout: 3.3 V Iout: 2

Op Ambient Temp: 30 °C

Show Recommended Power Management ICs

输入 Vin 电压的范围、Vout 电压和 Iout 后，点击下方“Show …… ICs”绿色按钮系统开始筛选满足要求的芯片。第一个界面系统默认是在“solutions”下进行的（图片中的放大镜）。

RECOMMENDED PARTS

Module: LM3475  
Design Note: Hysteretic Buck ...  
Topology: Buck  
Footprint (mm2): 0  
Efficiency (%): NA  
Frequency (kHz): 0  
BOM Cost (\$): NA

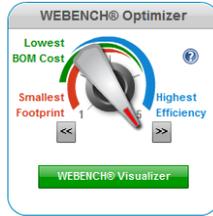
Regulator: LM22676-ADJ  
Design Note: Adjustable for V...  
Topology: Buck  
Max Current: 3.00  
Pk Efficiency: 92%  
Max Freq: 500  
IC Cost: \$1.80

系统给出两个推荐芯片列在网页的最上面。同时系统会把满足要求的芯片列表也给出，显示在网页的下方，列表中包含了芯片的特性和价格。供用户参考。

Switcher Solutions: (11 found)  Show All Columns

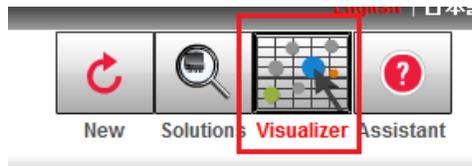
Part	Create	WEBENCH Tools	Efficiency (%)	Footprint (mm2)	Frequency (kHz)	BOM Cost (\$)	BOM Count	Iout Max (A)	New TEAM	Dirty TEAM	Design Considerations	IC Cost
LM22676-ADJ	<a href="#">Open Design</a>		88%	362	500	\$2.56	12	3.00	Y	TEAM	Adjustable for Vout less than V, Low Part Count	\$1.80
LM22680-ADJ	<a href="#">Open Design</a>		83%	329	482	\$2.60	12	2.00	Y	TEAM	Low Part Count	\$1.70
LM22673-ADJ	<a href="#">Open Design</a>		86%	376	500	\$2.63	13	3.00	Y	TEAM	Adjustable for Vout less than V, Low Part Count	\$1.85
LM22678-ADJ	<a href="#">Open Design</a>		85%	429	482	\$2.66	12	3.00	Y	TEAM	Adjustable for Vout less than V, Low Part Count	\$1.85
LM3102	<a href="#">Open Design</a>		87%	293	637	\$2.86	12	2.00	Y	TEAM	High Efficiency	\$2.15
LM22678-ADJ	<a href="#">Open Design</a>		85%	446	500	\$3.32	10	5.00	Y	TEAM	Adjustable for Vout less than V, Low Part Count	\$2.45
LM22677-ADJ	<a href="#">Open Design</a>		86%	459	482	\$3.38	11	5.00	Y	TEAM	Adjustable for Vout less than V, Low Part Count	\$2.58
LM22679-ADJ	<a href="#">Open Design</a>		85%	459	500	\$3.29	11	5.00	Y	TEAM	Adjustable for Vout less than V, Low Part Count	\$2.48
LMR24220	<a href="#">Open Design</a>		82%	247	470	\$2.81	12	2.00	Y	TEAM	High Efficiency	\$2.80
LM26003	<a href="#">Open Design</a>		87%	465	335	\$3.41	17	3.00	Y	TEAM	High Efficiency Sleep Mode	\$2.10
LM3475	<a href="#">Open Design</a>		NA	0	0	NA	1	5.00	Y	TEAM	Hysteretic Buck Controller, Small size	\$0.48

筛选芯片只是 WEBENCH 的一个小功能，优化选项是它的一个强项。用户可以在“recommended parts”旁边看到“旋钮”图标，从旋钮的刻度上可以看到有：效率、成本、封装三个优化刻度，这三个刻度是相互制约的，不能同时都达到，需要用户调节。旋钮有 5 个档位，用户选择后 WEBENCH 会在用户选择的 3 个特性条件下优化芯片选型，重新计算出芯片列表。

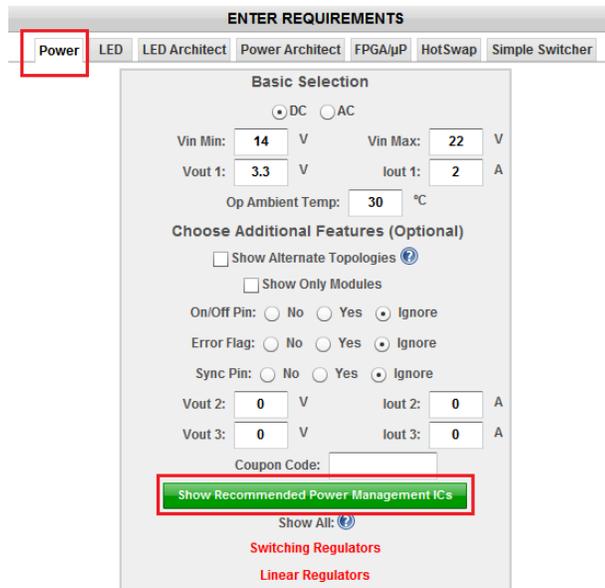


## 1.2.2 单电源设计

有两种方法进入单电源设计界面。第一种方法是在电源选型页面选择“visualizer”进入电源设计。如下图所示



第二种方法是回到开始界面，选择“power”，输入电源的设计条件，按绿色按钮进入电源设计界面。

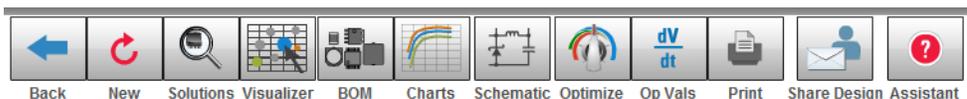


单电源设计是针对某个型号的 power IC 进行设计。在设计的过程中对效率、成本、封装三个方面进行优化。这个优化的步骤由 WEBENCH 工具辅助进行。先介绍一下单电源设计界面内几个主要的窗口。这些窗口对快速使用 WEBENCH 非常重要。

第一行是控制面板，“optimizer”旋钮控制优化算法，改变后工具会重新计算满足条件的器件，需要一定的时间相应。在设计过程中如果要改变先前的输入和输出条件，可以使用“change inputs”。重新输入参数后点击“recalculate”，工具会重新计算满足条件的器件。后面两个是“filter”筛选项，从当前结果中筛选，工具不会重新计算。可以看到“feature filter”中有电源常用的特性，封装、使能管脚、缓起、条件开关频率等等，可以勾选需要的选项从结果中二次筛选。“filter results”是对筛选结果进行细调，拖动三角块，即可改变筛选条件，在结果中二次筛选。



用于采购器件。有了原理图和器件工程师就可以把这个设计好的电源移植到自己项目的大图中。点击这些图和表就会放大，便于查看，点击“back”返回到从前。



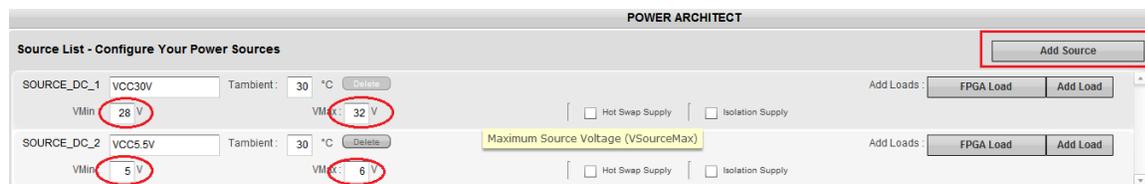
从上图这个工具条中的“bom”“charts”“schematic”“op vals”也可以进入原理图、料单、参数等大图中。

### 1.2.3 电源架构设计

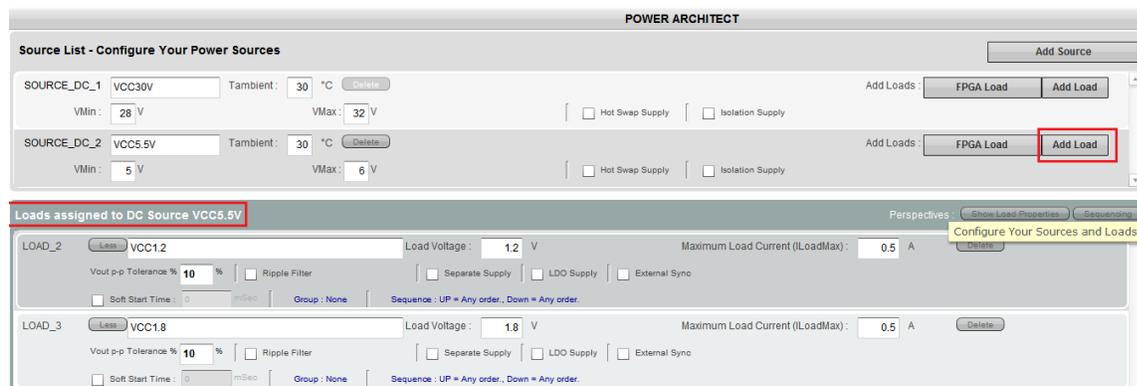
电源架构设计是用在系统中的设计方法。系统中各个工作单元众多，每个工作单元都需要电源供给，这些电源从总电源中分支成为支路电源，支路电源再分支成为某个芯片或者区域的电源。将这些电源画出来就成为树的结构，称之为“电源树”。电源架构设计就是应对电源树的设计方法。电源架构设计步骤：电源树设计->电源树芯片组优化选择->电源芯片优化选择->电源外部电路优化->仿真和原理图导出



在 WEBENCH 的开始界面点击“power architect”进入电源架构设计。WEBENCH 的电源架构设计正是本着“电源树”的设计思想进行设计的，把工程师从繁重的电流加减，电压分配、芯片选型中解脱出来，把精力放在系统电源总体设计上。

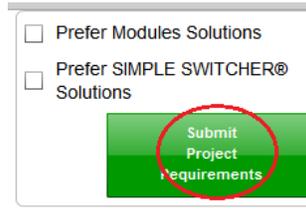


电源架构设计包括两个部分，电源树根的设计和电源树枝的设计。上图是电源树根的设计，“add source”是添加电源树的根。如果只有一个根则不用添加，如果电路板有两个电源输入就添加另一个根。例如上图中添加了 30V 和 5.5V 两个根，并同时设定电源的电压范围。

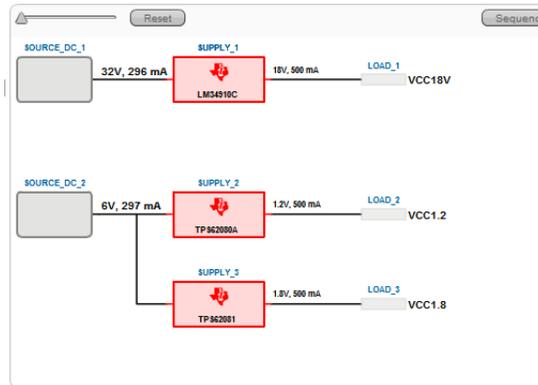


添加完电源树根后，就开始添加电源树的枝。在电源树根后面点击“add load”可以添加支路电源。注意这里有对应关系，例如点击 VCC5.5V 的“add load”，可以看到第二行的红圈中

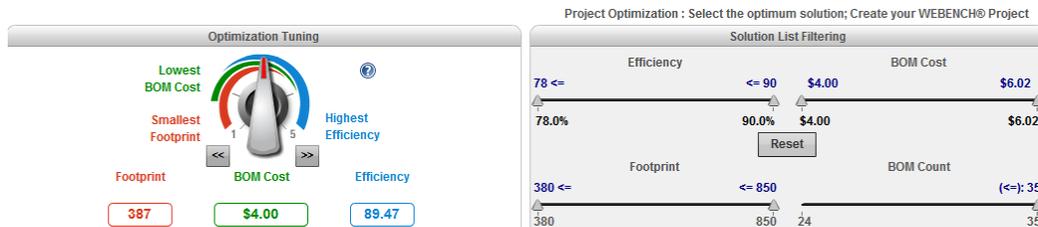
“loads assigned to DC source VCC5.5V”。图中例举添加了 1.2V 和 1.8V 两个支路。类似可以在 VCC30V 中也添加支路。



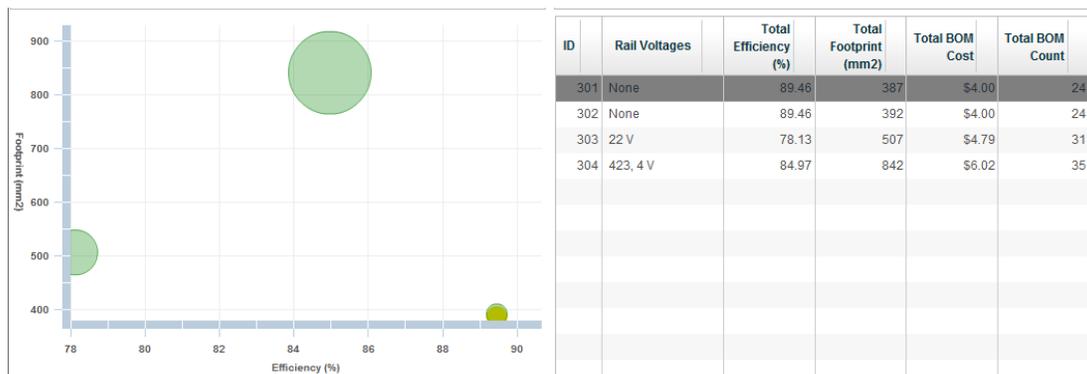
添加完毕后点击“submit”提交给 WEBENCH 处理。处理后的结果显示为多个图表。其中一个图形化的电源树，简析明了。



优化旋钮在电源树的设计中依旧存在，给工程师带来了很大便利，这里不再详述优化操作，可以参考之前的说明。



优化选择的二维图和选项表格也可以在这里看到，依旧保持对应关系，点击圆圈或者表格可以在两者间切换，非常方便按照项目的偏好确定效率、成本和封装的均衡。黄颜色代表被选择的圆圈。这里表示的是电源树整体的效率、成本和封装大小。



整体上的优化结束后，WEBENCH 工具计算出了待选器件。点击下图中的“view project details”进入下一步。

Selected Project: Next Step: [View Project Details](#)

Project ID: 3

Project Name: PA\_Project\_301

Intermediate Rails: None

Total Efficiency: 89.5%

Power Dissipation: 0.8 W

Total Footprint: 387 mm<sup>2</sup>

Total BOM Cost: \$4.00

这个步骤中对电源树上的具体的芯片进行选型。电源树（右边）和待选型表格（左边）有对应关系，

PA\_Project\_305 (modified from 304) [Rename](#) \$6.20 85.7% 864 mm<sup>2</sup>

Regulator Design Load List

VinMin: 3.60 V VinMax: 4.40 V

Vout: 1.2 [Update](#)

Iout (calculated): 0.5000 Iout Max: 0.6

Recommended Solution: LM3674-1.2

Select Alternate Regulator	Efficiency %	Footprint mm <sup>2</sup>	BOM Cost \$
LM3674MF-1.2/NOPB	0.824	74	\$0.1
LM3671MF-1.2/NOPB	0.780	66	\$0.1
LMR10515YMF/NOPB	0.747	119	\$0.1
LMR10510XMF/NOPB	0.735	113	\$0.1

每选择一个器件，工具都会计算具体的效率、成本和封装大小，并以饼图的形式显示出来，如下图所示。

View Edit Compare Next Step: [Cancel Changes](#) [Save Changes](#) [Create Project](#)

Project Charts Summary

Power Dissipation (Watts)

BOM Cost (\$)

Footprint (mm<sup>2</sup>)

点击饼图右上角的“creat project”生成最后的工程。可以看到工程中还有“优化旋钮”存在，可以保持芯片不变的情况下对外部电路进行优化，真可谓优化无处不在。

Power Architect - Project Navigator

Project ID: 2 [Rename](#)

Project Name: PA\_Project\_0 (modified from 0)

Intermediate Rails: 423, 4 V

Total Efficiency: 88.6 %

Power Dissipation: 1.2 W

Total Footprint: 740 mm<sup>2</sup>

Total BOM Cost: \$6.20

Optimization Tuning

Lowest BOM Cost

Smallest Footprint

Highest Efficiency

Footprint: 169 BOM Cost: \$4.77 Efficiency: 84

Advanced Options

User Preferred Frequency:

Frequency: 100kHz < 1.5 MHz < 1.5MHz

Update

Current Design: #11

IC: LM34910C

VinMin: 20.7 V

VinMax: 25.3 V

Vout: 1.8 V

Iout: 0.5 A

Name: LMR34910CSDNOPB 20.7V-25

Notes:

Save Name & Notes

POWER ARCHITECT SUMMARY

Charts

Schematic

0.3 FIT

WEBENCH® Optimizer

Design Complete: Step 1: Design, Selected

Power Dissipation Chart

Operating Values

Bill of Materials

Current Design: #11

QTY	REF	VALUE	DESCRIPTION
1	U1	LM34910C	20.7V-25.3V 0.5A
1	U2	LM34910C	20.7V-25.3V 0.5A
1	U3	LM34910C	20.7V-25.3V 0.5A
1	U4	LM34910C	20.7V-25.3V 0.5A
1	U5	LM34910C	20.7V-25.3V 0.5A
1	U6	LM34910C	20.7V-25.3V 0.5A
1	U7	LM34910C	20.7V-25.3V 0.5A
1	U8	LM34910C	20.7V-25.3V 0.5A
1	U9	LM34910C	20.7V-25.3V 0.5A
1	U10	LM34910C	20.7V-25.3V 0.5A
1	U11	LM34910C	20.7V-25.3V 0.5A
1	U12	LM34910C	20.7V-25.3V 0.5A
1	U13	LM34910C	20.7V-25.3V 0.5A
1	U14	LM34910C	20.7V-25.3V 0.5A
1	U15	LM34910C	20.7V-25.3V 0.5A
1	U16	LM34910C	20.7V-25.3V 0.5A
1	U17	LM34910C	20.7V-25.3V 0.5A
1	U18	LM34910C	20.7V-25.3V 0.5A
1	U19	LM34910C	20.7V-25.3V 0.5A
1	U20	LM34910C	20.7V-25.3V 0.5A

Your Complete Design

Product Folder View My Orders

ORDER Evaluation Boards, Samples, ICs

WEBENCH Downloads:

Design Documentation

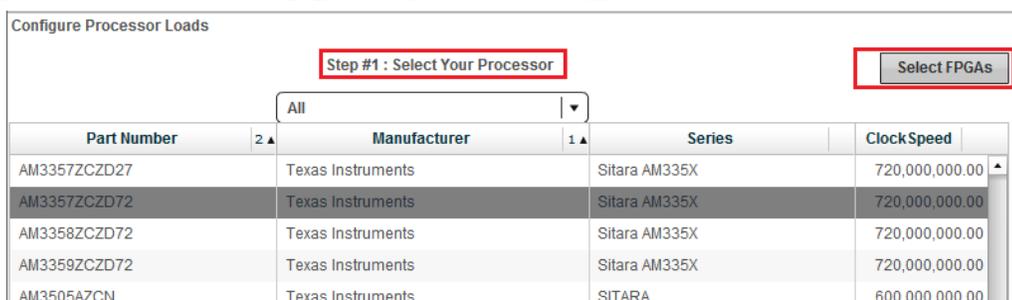
Share this project

Copy this Design

从上面的过程可以看出，电源架构的设计是这样一个过程：电源树设计->电源树优化筛选出一部分芯片->选择具体芯片->芯片外部电路优化。经过这样的过程，一个项目的电源就设计完毕了，工程师从众多的电源芯片中挑选出自己需要的芯片，所需的时间也就是十几分钟，按一下“optimizer”旋钮这么简单！有了 WEBENCH 谁都会爱上电源设计。

## 1.2.4 FPGA/处理器电源设计

FPGA 和处理器电源设计跟电源架构设计很相似，只是在最开始多了一个界面帮助导入 FPGA 和 CPU 的电源需求。例如下图，先选择好处理器和 FPGA 型号。



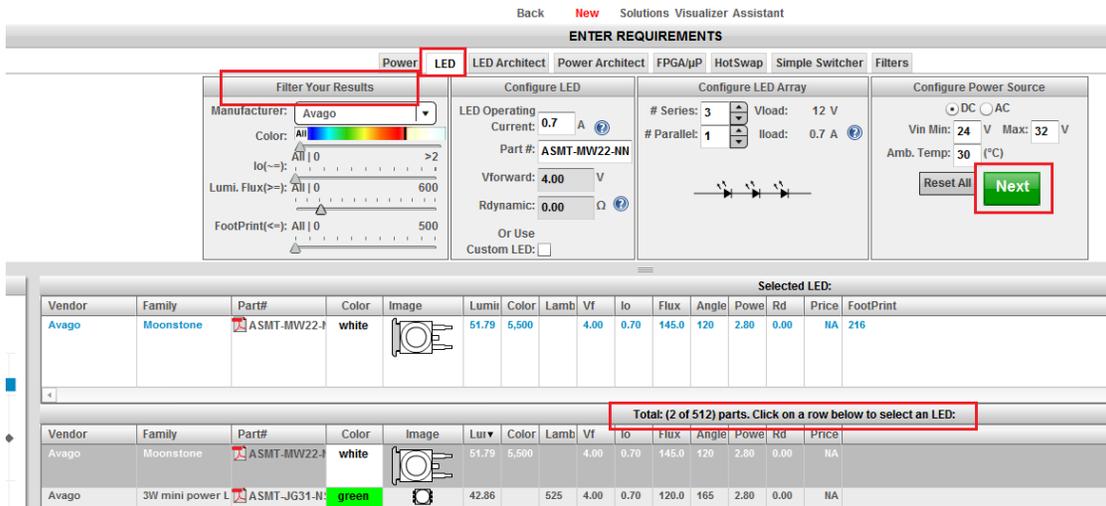
选择好型号后就会在右面的表格中显示出 FPGA 或者处理器的电源种类和电流。点击“add load”就把这些电源添加到电源架构设计中。



添加完 FPGA 和 CPU 的电源后，就进入了“电源架构”设计界面，可以参考上一个小组的讲解。

## 1.2.5 LED 电源设计

LED 电源设计方式之一：用户选择 LED 管和 LED 拓扑，WEBENCH 选择电源。然后进入电源设计。



LED 电源设计方式之二：用户输入对光源的要求，WEBENCH 选择 LED，然后提供用户 LED 拓扑选择，最后再进入电源设计

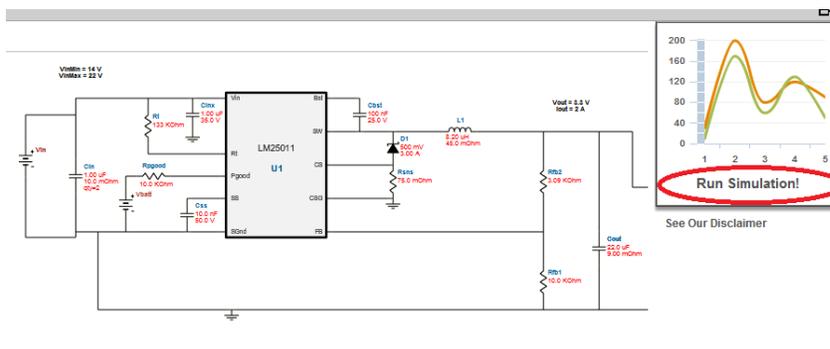


## 1.2.6 电源仿真

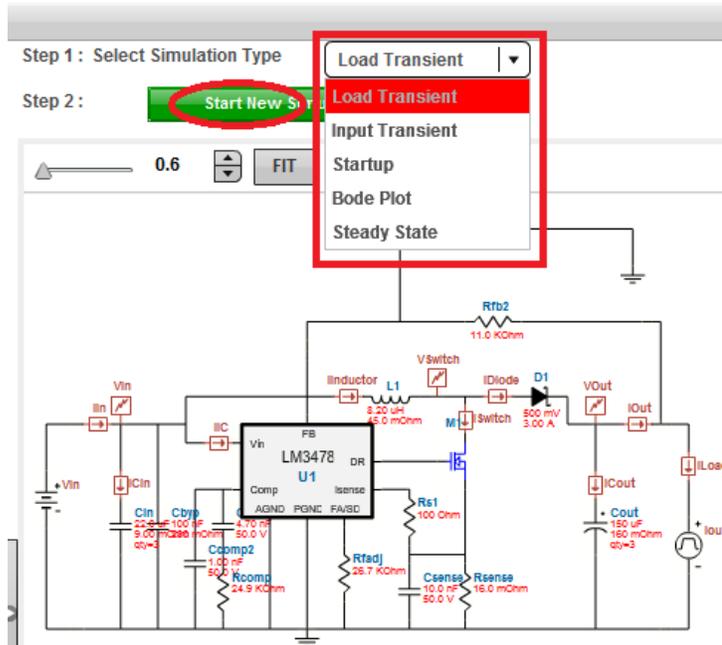
WEBENCH 工具不只能对芯片进行选型，也可以对电源芯片进行仿真。在上述电源设计的过程中，会看到设计面板，如下



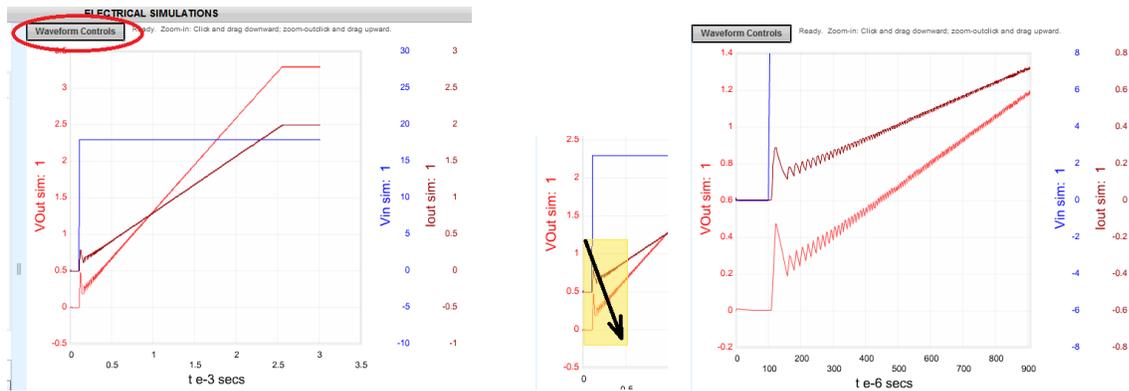
设计面板的原理图中可以进行仿真，点击原理图后即可进入电源电路，可以看到右上角有 Run Simulation，可以对电路进行仿真。



进入仿真界面，可以看到左上角的下拉菜单中的仿真项，从上往下分别可以对电源的负载暂态响应” “输入暂态响应” “上电” “波特图” ““稳态”进行仿真，从仿真结果中可以看到电路的性能。需要注意的是“波特图”仿真不是每个芯片都有，在选择带有外部补偿电路的芯片才可以进行这项仿真（有 comp 管脚）。



选择仿真项后，点击 start new simulation，仿真数据提交给 webench，仿真完毕后显示出图形曲线，这个过程根据网速不同一般要等待 1 分钟左右，上电仿真图如下



上电仿真图

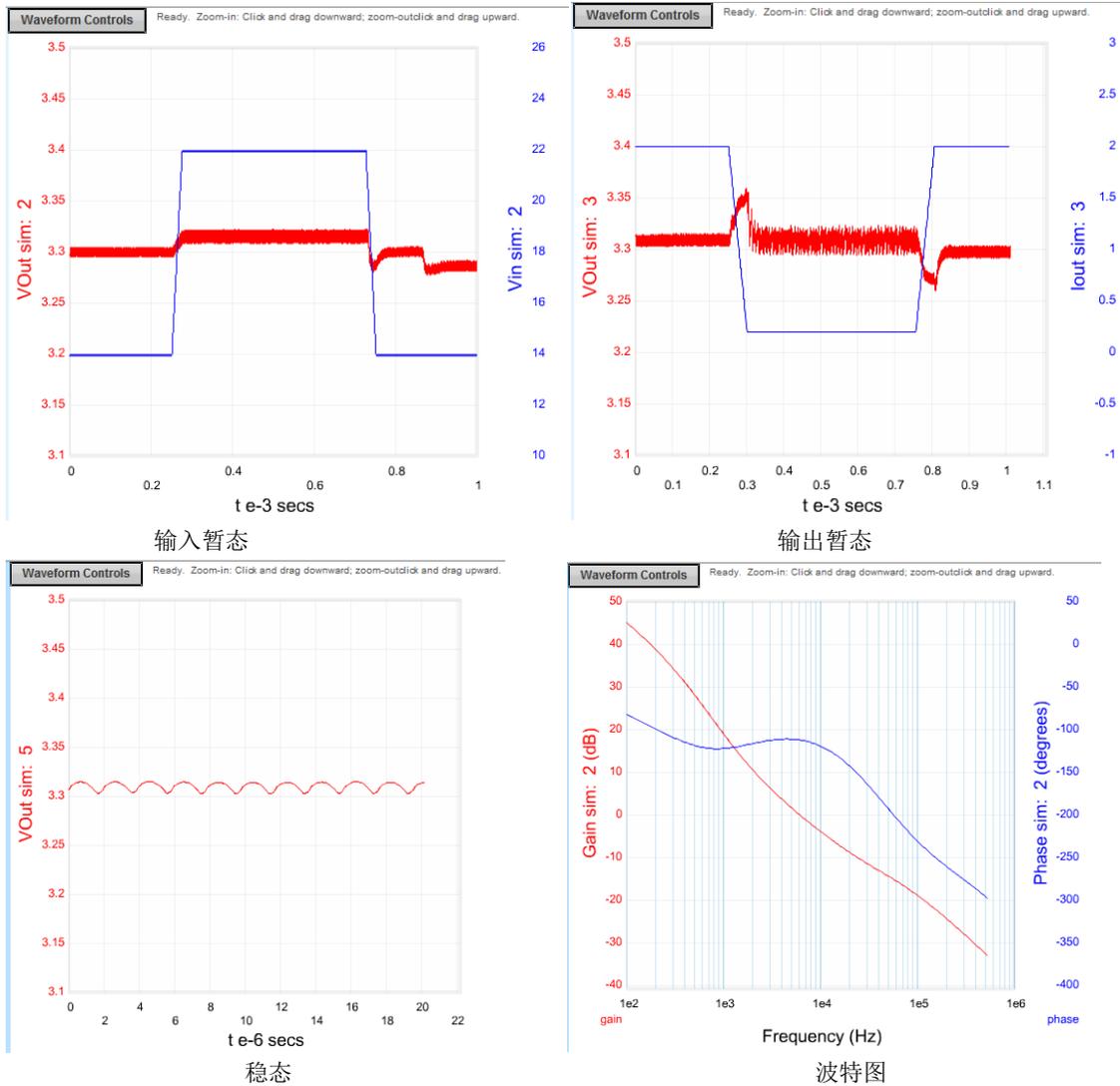
从左上角向右下角左键框住图形即可放大

图中默认将输入电压  $V_{in}$  和输出电压  $V_{out}$  进行显示，点击 Waveform control 按钮可以添加更多电路中的参数波形

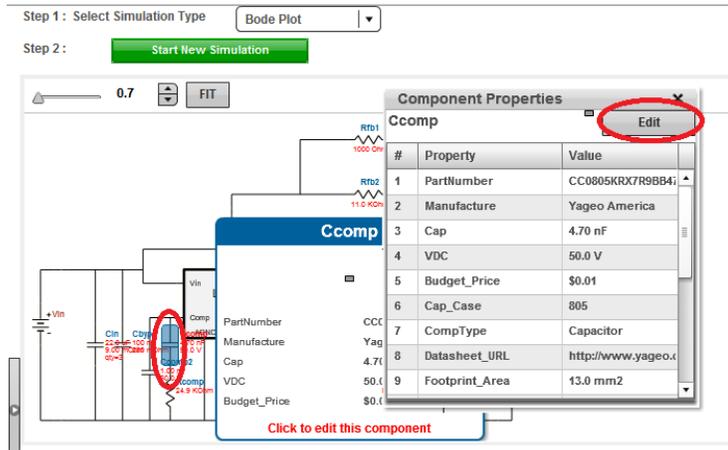
Loaded Waveforms					Add/Remove Waveforms	
Alias	Node	Delete	Available	Marker		
VOut	VOut	Delete	7675 point qty L			
VSW	VSW	Add	Available			
Vin	Vin	Delete	5249 point qty L			
Vpgood	Vpgood	Add	Available			
ICout	ICout	Add	Available			
IL1	IL1	Add	Available			
Iout	Iout	Delete	23400 point qty			
ILoad_1	ILoad_1	Add	Available			

在 Waveform control 界面中选择 Add/remove waveforms 选型卡，可以看到右侧有更多电路参数可以添加或者删除，图中将 Iout 添加。

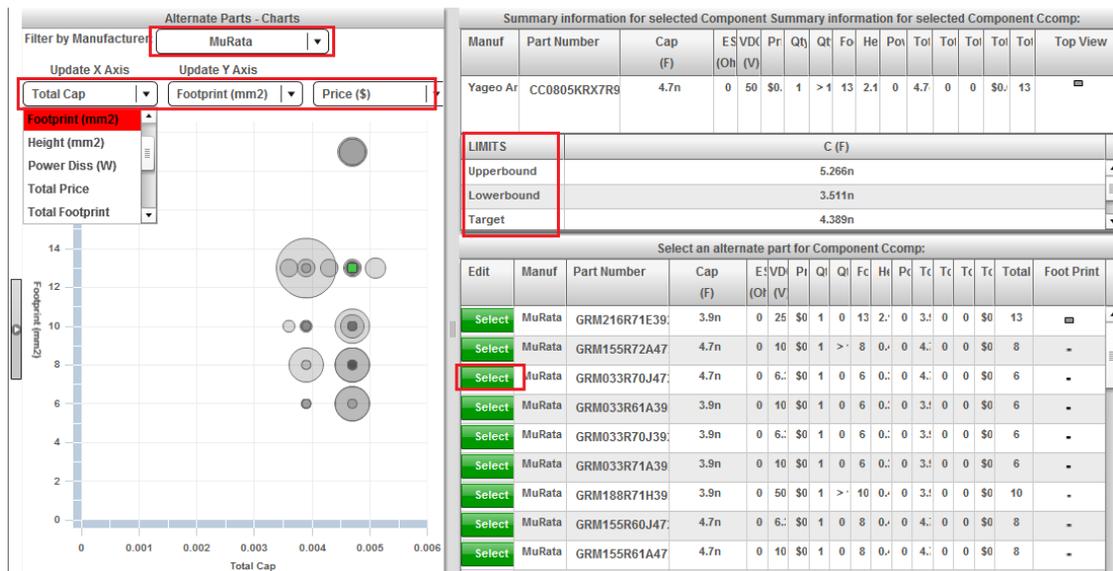
用相同方法，可以进行“输入暂态响应”“负载暂态响应”“稳态”“波特图”仿真，仿真图如下



在仿真过程中，用户可以改变元件的值查看仿真结果，这样可以用 WEBENCH 按照用户对电路进行二次设计。修改元件的方法如下



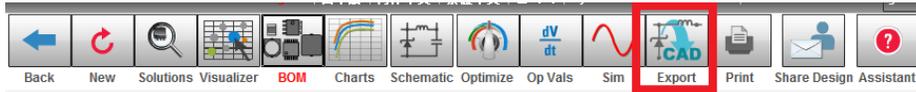
用鼠标左键点击元件，即可看到对话框，点击 **Edit** 后即可选择其他参数的元件。在下图元件编辑界面中分为两个部分。左边是以图形进行综合显示，帮助用户从整体上对元件的参数，第一行的下拉菜单可以对元件的厂家进行选择，第二行有三个下拉菜单，可以对图中的 X、Y 和 Z 轴进行控制，例如可以设置用 X 轴表示电容值，Y 轴表示封装大小，Z 轴表示价格（Z 轴用颜色的深浅表示）。右边是以表格的形式进行显示，表格中列出了元件的参数和厂家。右边最上边显示的是当期选择的元件，中间是 **WEBENCH** 推荐的元件参数的上限和下限，下方是各种待选元件。



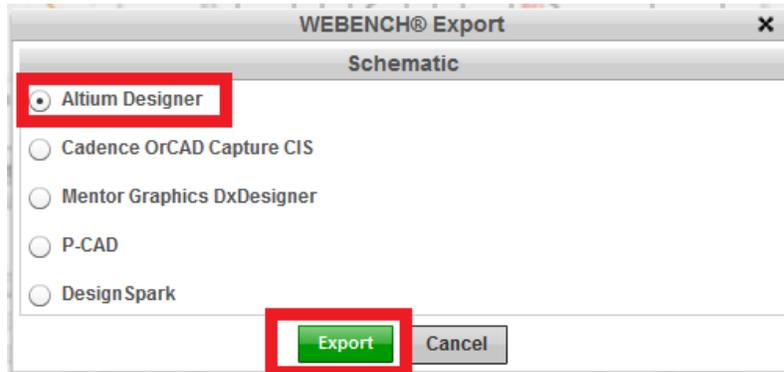
左边的图形和右边的表格是互相对应的，在图形中选择可以在表格中看到结果，在表格中选择可以在图形中看到所处的位置。点击表格中的“**Select**”对元件进行选择后即可返回到设计界面继续进行设计。

## 1.2.7 原理图导出

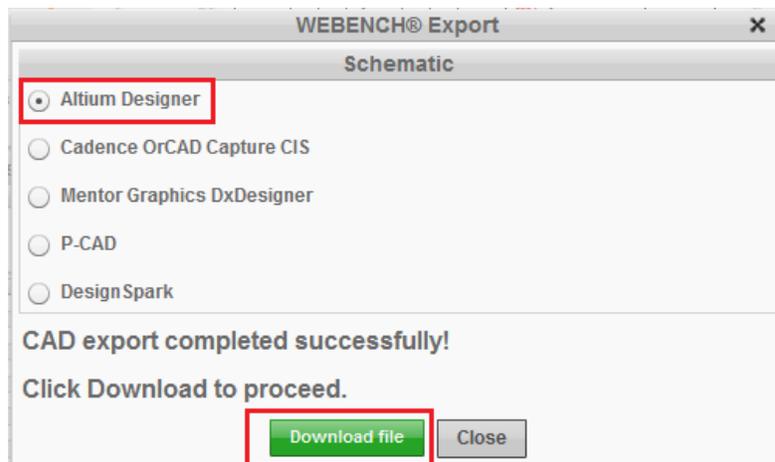
设计好电源后，可以对设计原理图进行导出，在 WEBENCH 界面的第一行可以看到“CAD export”按钮，控制对原理图的导出。



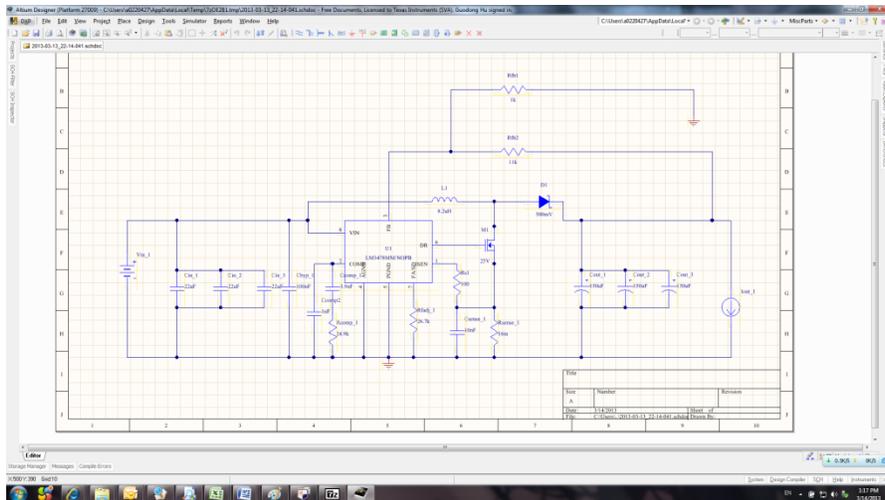
点击“CAD export”按钮后，打开导出对话框



WEBENCH 可以对业界多种 CAD 软件进行原理图导出，以 Altium 为例，选择 AltiumDesigner 后点击 export



WEBENCH 开始对原理图进行格式转换，转化完毕后点击“Download file”即可下载原理图。



将 Altium 格式的原理图下载保存后，用 Altium 打开可以看到设计好的电源原理图。需要注意的是元件封装没有包含在原理图中，需要用户根据实际采购的物料加入封装信息，然后导入 PCB 进行电路板设计。

综上所述 WEBENCH 工具最大优点是具备系统级的设计方法，并且每个步骤都具有优化功能，可以辅助工程师从电源芯片的海洋中挑选出适合项目的芯片和电源方案，并且具备详细的仿真功能，可以查看电路中的关键节点。是一个系统级的电源设计工具。

### 1.3 开关电源参数间的矛盾和联系

利用 WEBENCH 进行电源的设计和学习是一件很有意思的事情，WEBENCH 的最大好处在于它可以进行优化选择，在进行优化时 WEBENCH 也是遵循开关电源工作原理进行的。本小节对开关电源的几个相互制约的参数进行介绍，帮助读者更好的理解电源优化设计的过程。

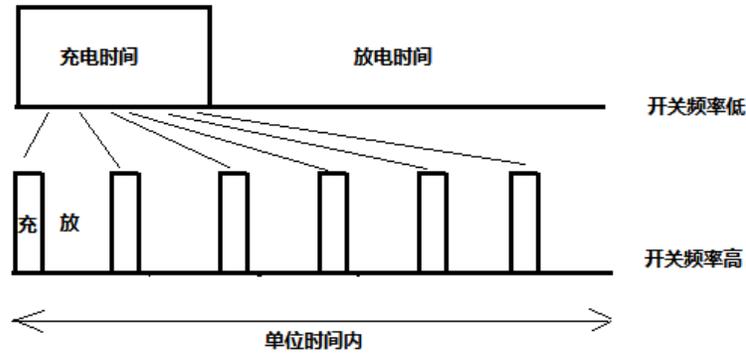
开关电源设计中主要关心的是效率、成本和体积，这几个方面不能同时达到最优。WEBENCH 也是围绕这三个方面进行优化的。跟效率、成本和体积紧密相关的因素包括：开关频率，电感，MOS 管开关损耗和 MOS 管导通损耗。

#### 1.3.1 开关频率和电感

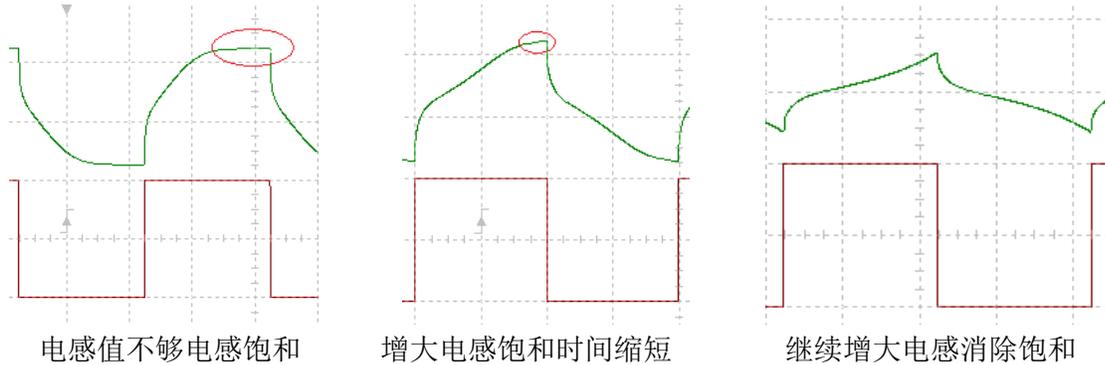
先来分析一下开关频率和电感之间的关系。开关电源中用到的就是电感的基本物理特性： $U=L \cdot di/dt$ 。把电感移到等式左边，电流的微分用电流变化量比上时间变化量来表示，即可得到

$$L = \frac{U \Delta t}{\Delta i} = \frac{U D}{\Delta i f_s}$$

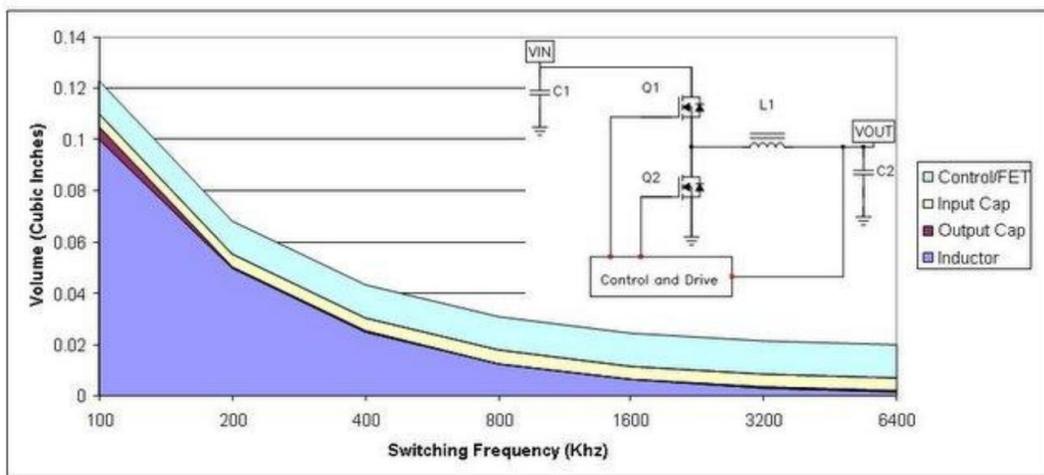
考虑到开关电源的占空比则  $\Delta t = \frac{D}{f_s}$ ，这样可以很清楚的看到电感和开关频率  $f_s$  的关系。在  $\Delta i$  不变的情况下开关频率增大可以降低  $L$  的值， $L$  值降低则意味着电感体积的减小。用图来解释更为直观，如下图：



图中将一个长时间的充电分散成为多个短时间的充电，总的充电时间不变。对于电感来说相当于一个储能元件，充电时将电流转换为电磁能，放电时将电磁能转换为电流。开关频率低时，充电时间长，就需要一个容量大的电感来吸收这些能量（电感容量越大，电感感值越大），如果容量不够则会引起电感的磁饱和。下图是电感值变化和磁饱和的关系图，从左至右随着电感值增加，电感饱和现象逐渐消失。



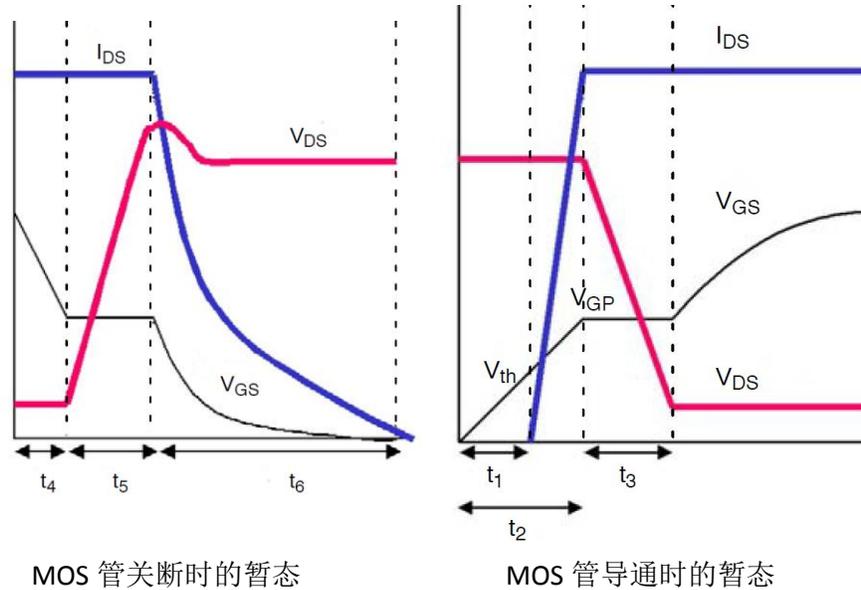
根据这个原理，在单位时间内将一个长时充电分散为多个短时充电，这样所需的电感容量就会下降。这样对应到开关电源中就是**升高开关频率可以有效降低电感体积**。如下图所示，Y轴表示体积，X轴表示开关频率。用一个基础的开关电源模型仿真，可以看到随着频率增加，电感（inductor）体积逐渐减小。



需要注意的是，开关频率不能过高，要考虑到电感磁芯的高频损耗。

### 1.3.2 开关频率和 MOS 管

再来分析一下开关频率和 MOS 管之间的关系。MOS 管在开关电源中是作为电子开关使用的，工作中截止和导通两个状态交替进行。下面分析一下这个交替过程中的电流和电压。下图是 MOS 管的关断和导通时的暂态，图中将这个短暂的瞬间进行了时间上的放大，清晰的展示了  $I_{DS}$  和  $V_{DS}$  的关系（ $I_{DS}$  是漏源电流， $V_{DS}$  是漏源电压，两者相乘就是 MOS 管的功率消耗）。



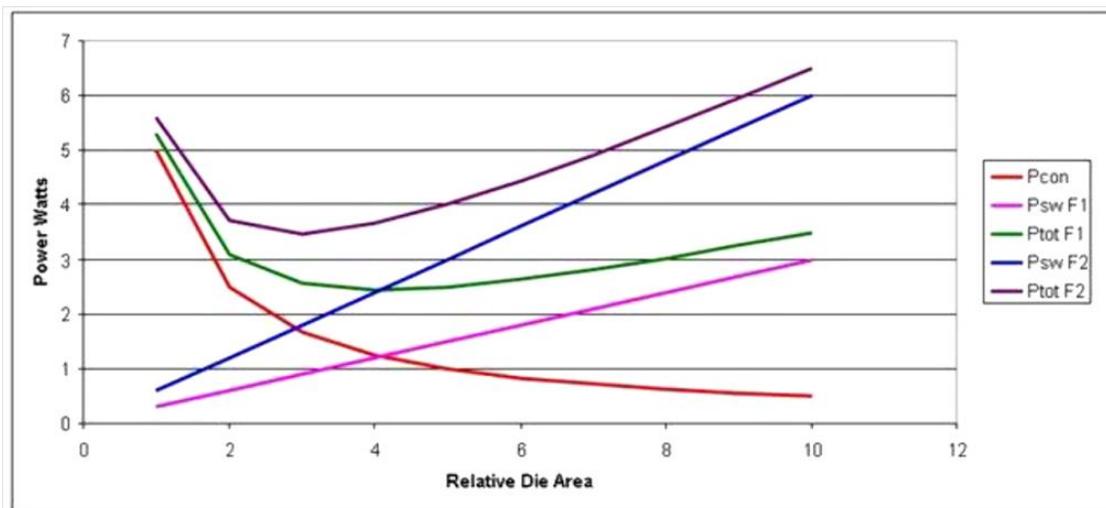
从图中可以看出，MOS 管并不是理想的开关，关断和导通是需要时间来完成的，在这个时间内（左图的  $t_5$ ，右图的  $t_3$ ） $I_{DS}$  和  $V_{DS}$  的乘积不能忽略，这个就是 MOS 管的开关损耗。这个损耗转化为 MOS 管的发热，关断和导通状态转换越多损耗越大，这也是所有数字器件工作频率越高功耗越大的原因。通过对 MOS 的分析，可以看出开关电源中，开关频率越高 MOS 管的开关损耗越大。

最后分析一下 MOS 管的开关损耗和传导损耗的关系。MOS 管的另外一个损耗是传导损耗，这个是因为 MOS 管导通后有电阻所致， $I^2 * R$  就会产生功率损耗。这个损耗跟 MOS 管的裸片面积成反比关系。MOS 管面积越大，其电阻和传导损耗就越低，但是大体积器件因为栅极输入电容较大延长了关断和导通的转换时间，增加了开关损耗。所以开关损耗跟传导损耗也是一个矛盾关系。MOS 管的数据手册中会说明导通电阻  $R_{DS(on)}$

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
<b>Static Characteristics</b>					
$R_{DS(on)}$ Drain to Source On Resistance	$V_{GS} = 4.5V, I_{DS} = 30A$		1.2	1.5	m $\Omega$
	$V_{GS} = 10V, I_{DS} = 30A$		0.9	1.07	m $\Omega$

下图显示了两种不同工作频率 (频率  $F_2 > F_1$ ) 下开关损耗和传导损耗之间的关系。X 轴表示 MOS 管芯的面积，Y 轴表示功率损耗。传导损耗 ( $P_{con}$ ) 与工作频率无关，只随管芯面积增

大而减小。而开关损耗 ( $P_{sw F1}$  和  $P_{sw F2}$ ) 与工作频率成正比例关系。因此更高的工作频率 ( $P_{sw F2}$ ) 会产生更高的开关损耗。当开关损耗和传导损耗相等时，每种工作频率的总损耗最低。



但是，在更高的工作频率下，最佳裸片面积较小（例如  $F2$  频率下最佳裸片面积小于  $F1$  频率下的），从而带来成本节约。实际上，在低频率下，通过调整裸片面积来最小化损耗会带来极高成本的设计。但是，转到更高工作频率后，我们就可以优化裸片面积来降低损耗，从而缩小电源的半导体体积。

通过上面的分析可以看出 MOS 管和电感对开关频率需求的矛盾关系，一方面提高开关频率可以有效的降低电感体积，即节省了 PCB 面积、节省了电感成本；另一方面提高开关频率增大了 MOS 管的开关损耗和电感磁芯损耗。这样就需要利用 WEBENCH 提供的优化旋钮，用户选择优化方向后 WEBENCH 计算出合适的开关频率，电感和 MOS 型号。总结几点常用的规律，列在表格中。

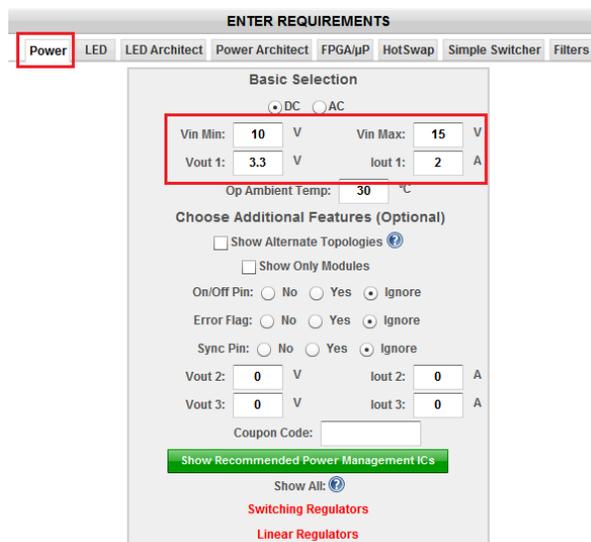
变量 1	变量 2	变量 3	变量 4	规律
开关频率	电感体积	效率	开关损耗	频率越高，电感值越小，感值越小电感体积越小，但是开关损耗越大，电源效率下降
MOS 管的传导电阻	MOS 管芯面积	开关频率	电感体积	MOS 管传导电阻越小，管芯面积越大，管芯面积越大允许的开关频率越小，开关频率越低电感体积越大

## 1.4 buck 开关电源设计实例

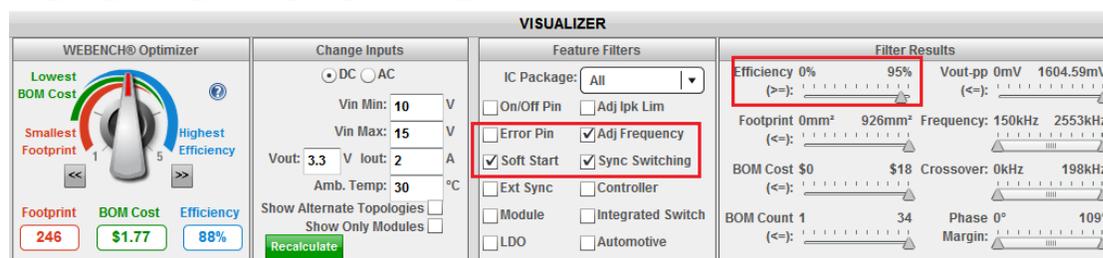
例如设计一个 BUCK 型降压开关电源，要求输入电压范围 10V-15V，输出 3.3V，负载电流 2A，效率优先并要求效率 90%以上。对电源的功能要求，要求带缓起（soft start），同步开关和开关频率可调。这个电路设计需要经过芯片优化选择和芯片外围电路优化两个步骤。

### 1.4.1 芯片优化选择

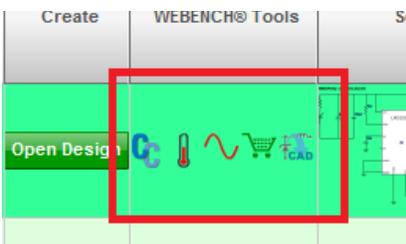
先进行芯片优化选择，按照之前单电源设计章节介绍进入 WEBENCH 开始界面，在 basic selection 中输入电压和电流的要求，然后点击“show recommended power management ICs”让 WEBENCH 选择合适的开关电源。



WEBENCH 进入设计界面，设计要求效率优先，可将优化旋钮调节在靠近“Highest efficiency”的位置（设计如果要求成本或者体积优先则可以波动到相应的位置），在设计界面中看到“feature filters”，选择所需要的功能，缓起，同步开关和开关频率可调。在“filter results”中对效率“efficiency”选项进行修改，拖动滚动条到 90%位置。WEBENCH 将按照用户输入的条件对电源列表进行选择，选择出能满足条件的电源芯片。



在列出的电源芯片中，可以看到 WEBENCH tools 一栏有 5 个小图标，这 5 个小图标表示这个芯片在 WEBENCH 能支持的功能。“cc”表示电路计算器，“温度计”表示可以进行热仿真，“正弦波”表示这个芯片电路可以仿真，“购物车”表示能够买到这个芯片的 demo 板，“CAD”表示支持原理图导出功能。



在图标中可以看到 WEBENCH 筛选出的几个解决方案。X 轴表示效率，Y 轴表示占用 PCB 面积，Z 轴表示成本（用圈的面积表示大小）。可以看到成本和效率较为折中的方案是中间的圆。右上方的圆虽然效率很高，但是成本和面积太大。点击中间的圆，可以看到表格中显示出 LM3150 芯片解决方案。

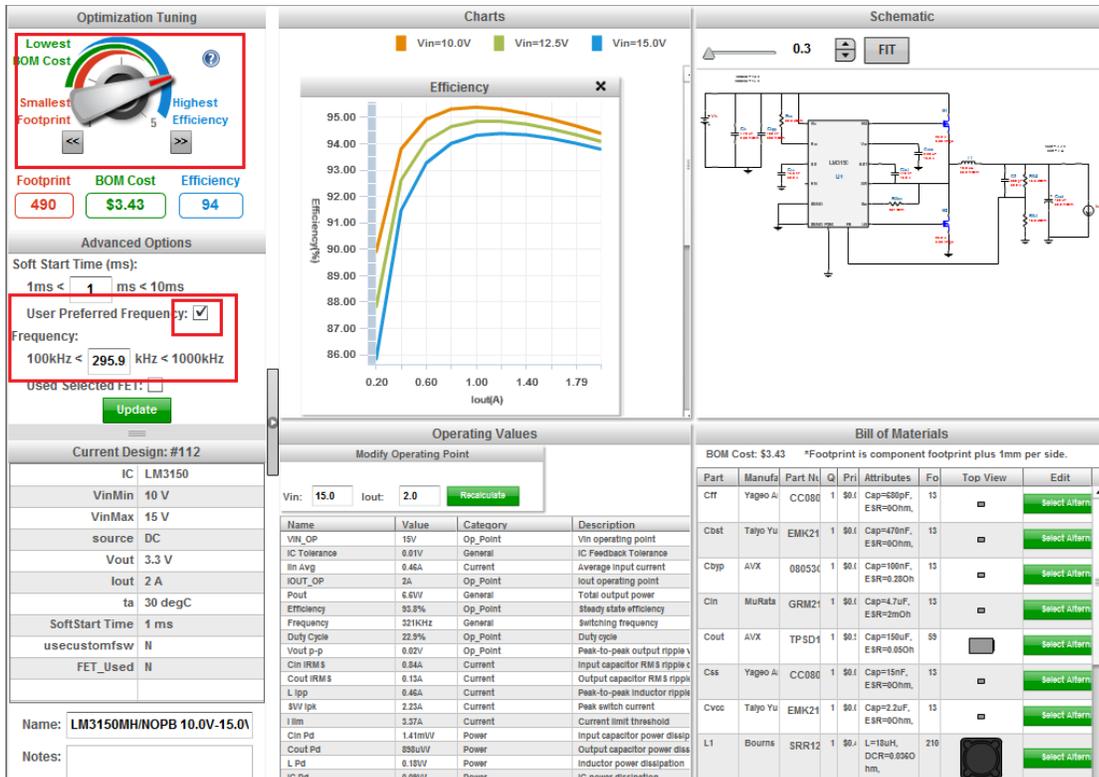


### 1.4.2 外围元件优化选择

点击 LM3150 的“open design”进入芯片外围电路设计界面。

LM3150	Open Design		621mm <sup>2</sup>	SIMPLE SWITCHER(r) Controller	621	\$4.55	93%
--------	-------------	--	--------------------	-------------------------------	-----	--------	-----

在设计界面中有几个地方可以进行优化，一个是“优化旋钮”在效率、成本、面积之间优化，一个是开关频率。优化旋钮下方可以看到优化结果的面积、成本和效率。需要注意的是频率的选择框中要打勾才能进行频率修改。



### 1.4.3 三种优化方案对比

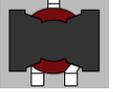
先来看看 WEBENCH 对 LM3150 在最高效率、最小面积和中间方案中的优化对比结果。方案对比如下：

方案	面积	开关频率	效率	成本
效率最高	1350	100K	95	10.71
面积最小	485	537.8K	92	3.87
折中	595	342.3K	93	4.07

可以看到在效率最高的方案中开关频率最低但占用面积最多，面积最小方案中开关频率最高但效率最低，这跟上一个小节中介绍的原理完全一致。高的开关频率使电感体积减小但是增大了 MOS 的开关损耗，低的开关频率则相反。从对比结果中还可以看到效率最高方案的成本是其他两个的 2 倍还多，下面的对比分析能说明其中的原因。

再来看看这几个方案中电感元件的对比。从对比中可以看到效率最高方案中电感的直流阻抗最小损耗最小，但是由于开关频率低需要使用大电感导致电感占用面积最大（直流电阻小的电感需要更粗的线圈，也增加了电感的体积）。这也验证了上一个小节的分析结果。并且其成本是其他两个电感的 30 倍，这样权衡下来选择效率最优方案并不明智。

方案	型号	直流电阻 欧	面积	感值	功率损耗	成本	图片
----	----	--------	----	----	------	----	----

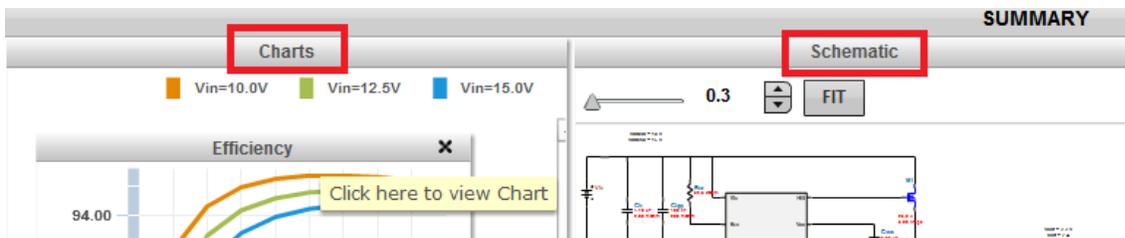
效率最高	7443634700	0.012	541	47uH	0.061	6.7	
面积最小	SRN8040	0.033	100	6.8uH	0.165	0.21	
折中	SRR1240-100M	0.032	210	10uH	0.16	0.41	

最后再对比一下 MOS 管的不同，在效率最高方案中为了降低 MOS 管的传导损耗，WEBENCH 选择了裸片面积大的 MOS。这个 MOS 具有最小的导通电阻，最强的通流能力，但是同时带来了两倍的占用面积和两倍的成本。这同时验证了上一节介绍的提高效率时 MOS 管的选择趋向。

方案	型号	导通电阻 RdsOn	封装 foot print	通流能力 current	成本 cost	图片
效率最高	CSD17308Q3	0.0094	58	47	0.34	
面积最小	CSD17313Q2	0.026	32	5	0.17	
折中	CSD17313Q2	0.026	32	5	0.17	

#### 1.4.4 方案的仿真分析（图表、热、稳态、缓起）

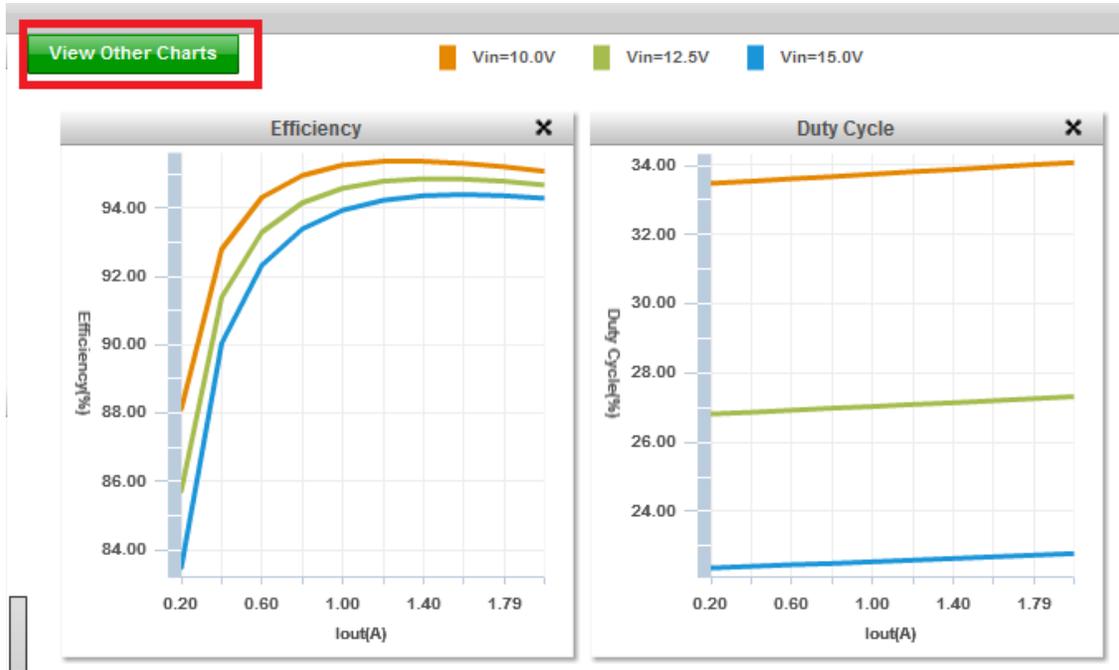
在选择了芯片和芯片外围方案后，就需要对电路进行仿真，查看电路的关键电气特性，例如效率随电流的变化，损耗随输入电压变化以及暂态响应、稳态响应等等。下面对 WEBENCH 可以提供的强大仿真功能进行分析和讲解。



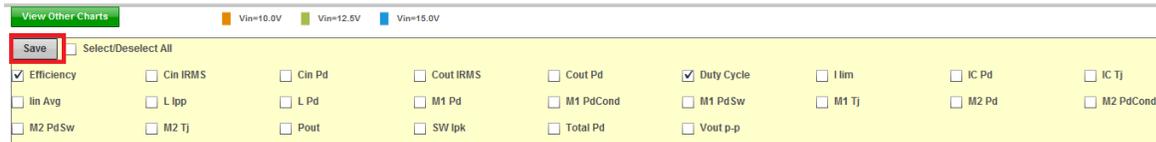
在 WEBENCH 的设计界面上有“Charts”和“Schematic”两个窗口可以对电路进行仿真。这两个仿真的不同之处在于“Charts”窗口是以图表的方式将电路的参数随输出电流，输入电压的变化规律表示出来，“Schematic”窗口是用时域图和频域图表示电路的暂态、稳态以及环路特性。从这两个仿真的特点可以看出，“Charts”是从宏观上分析电路，“Schematic”则分析电路的细节。电路设计者需要从整体上查看电路能否满足输入和输出要求时可以进入“Charts”进行仿真，需要检查电路的时域响应时可以进入“schematic”进行仿真。下面分别对这两个仿真窗口进行介绍。

### 1.4.4.1 图表仿真举例——理解效率随 Vin 变化曲线

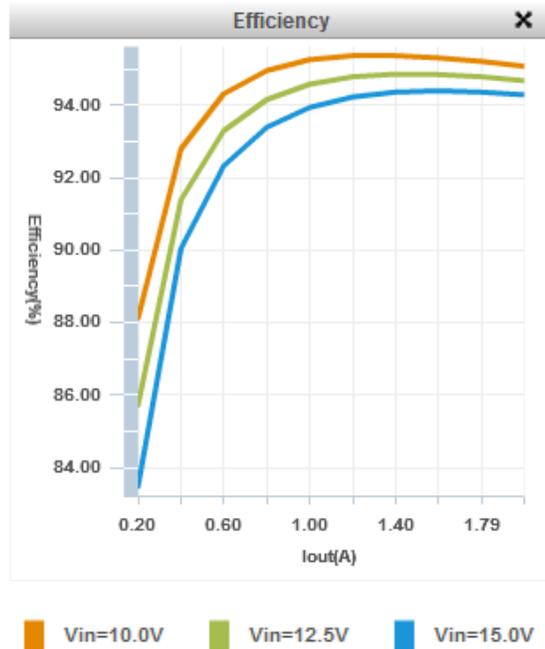
在电源设计界面点击“Charts”进入图表仿真。可以看到系统默认将效率和占空比仿真图绘制出来。



除了这两个重要的图表外，WEBENCH 还提供多个参数的图表，点击“View other Charts”可以添加多个参数随输入电压和输出电流的变化曲线。如下图，在方框中选择并点击“Save”即可。



下面对图表中的几个常用参数进行分析，使读者能结合 WEBENCH 更深入的理解开关电源的工作原理和规律。

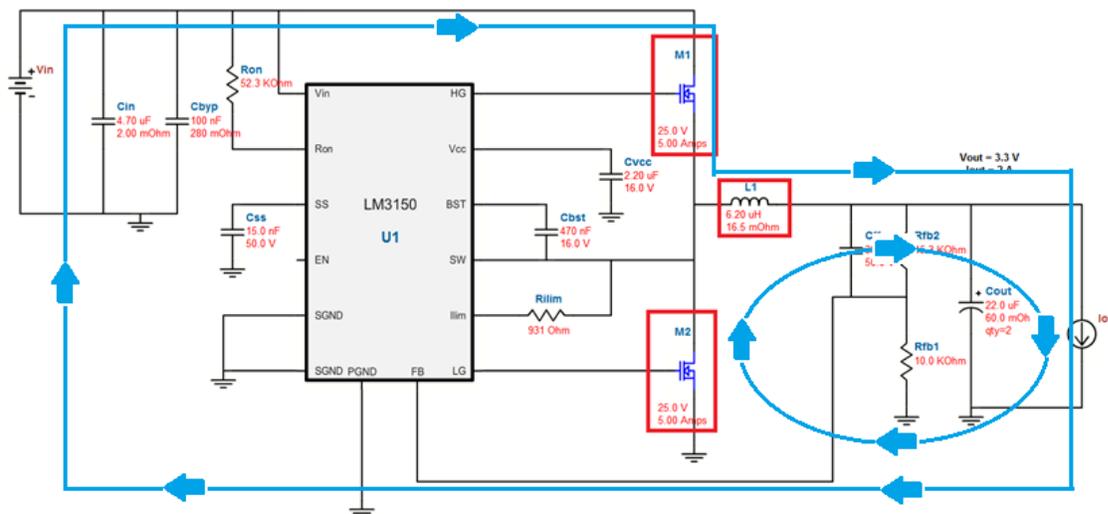


效率随输入电压和输出电流曲线

这个图是开关电源都会给出的效率曲线，它表示了开关电源在其应用场景中的效率表现。效率是衡量开关电源的一个很重要的指标，所以理解这个图对设计 BUCK 型开关电源使其工作在最佳效率很有帮助。图中 X 轴是输出电流，Y 轴是开关电源的总体效率。图三条曲线分别是低、中、高三个输入电压下的仿真结果。可以看到 BUCK 型开关电源效率曲线有两个变化规律：1、随输出电流变化有一个最高点，在这个最高点两边，效率都会下降。2、效率随输入电压的升高而降低。

在分析这个变化规律前，先看一下开关电源效率的定义。 $E = \frac{\text{输出有用功率}}{\text{输入总功率}}$ 。其中输入总功率减去输出有用功率等于开关电源的功率损耗。这是一个能量守恒的公式，开关电源本身不能产生能量，它只能把输入的能量进行转化，满足后级电路要求。在这个过程中开关电源的有源和无源元件都会产生损耗，使效率不能达到 100%。根据公式要分析效率的变化规律就要搞明白功率损耗的变化规律，理解了损耗的产生就能有目的并且有效的调整电路，使效率达到最优。

第一步：确定主要损耗元件



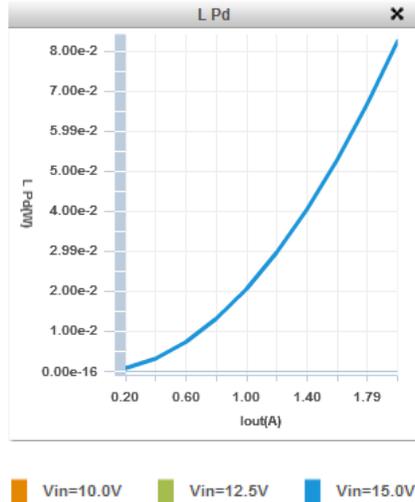
LM3150 同步 BUCK 电路

分析损耗前先看一下电路结构。WEBENCH 设计的 LM3150 是一个典型的 BUCK 型同步开关电源，之所以叫“同步”是因为 LM3150 有 LG 端口控制 M2 开关管，M2 替代了二极管最为放电中的回路开关。M1 和 M2 的通断状态是相反的同步的，所以称为“同步”型开关电源。充电周期 M1 导通 M2 关断，电流按照上图中大圈流动。放电周期 M1 关断 M2 导通，电流按照上图小圈流动。图中重要的功率相关外围元件包括：输入电容、输出电容、储能电感、MOS 管。其它元件是模拟小信号电路中的，自身损耗极小。在 WEBENCH 仿真中添加各个元件的损耗曲线，查看最大损耗汇总表格如下（M1 和 M2 选择了相同的型号 CSD16301Q2）：

元件	储能电感	MOS 管 M1	MOS 管 M2	输入电容	输出电容
损耗 (mW)	80	60	125	1.79	1.6

从表中可以看出，电路中 MOS 管和电感是功率损耗的主要元件，它们的损耗规律对开关电源的效率影响最大。

第二步：分析电感损耗随 Vin 变化

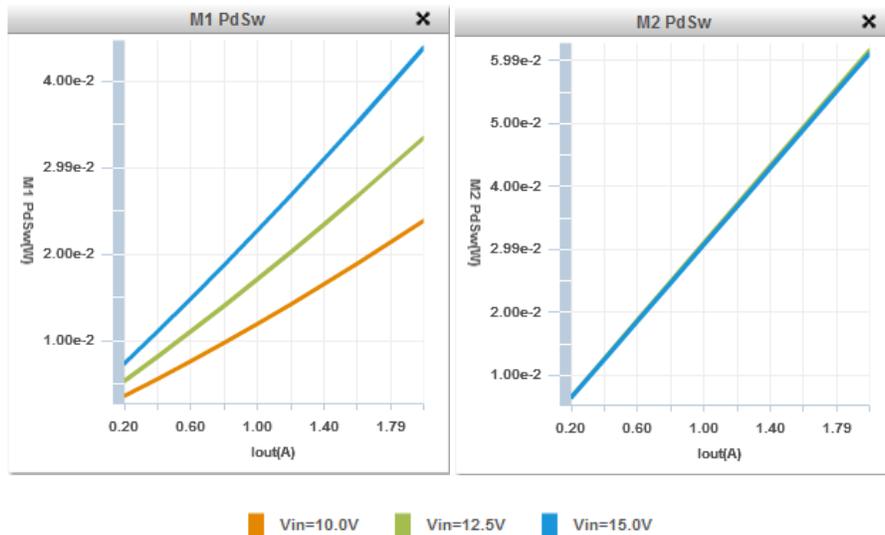


电感损耗

先看一下上图的电感损耗，X轴是输出电流，Y轴是损耗功率，三种颜色代表不同的输入电压。电感是无源器件，因为功率电感是带磁芯的线圈，线圈有电阻，所以电感存在磁损耗和电流损耗。磁损耗跟开关频率有关，不随输入电压变化，线圈的电阻损耗跟电流成正比。所以图中电感损耗的三条曲线重叠在一起，并随输出电流的增加而增加。

### 第三步：分析 MOS 管损耗

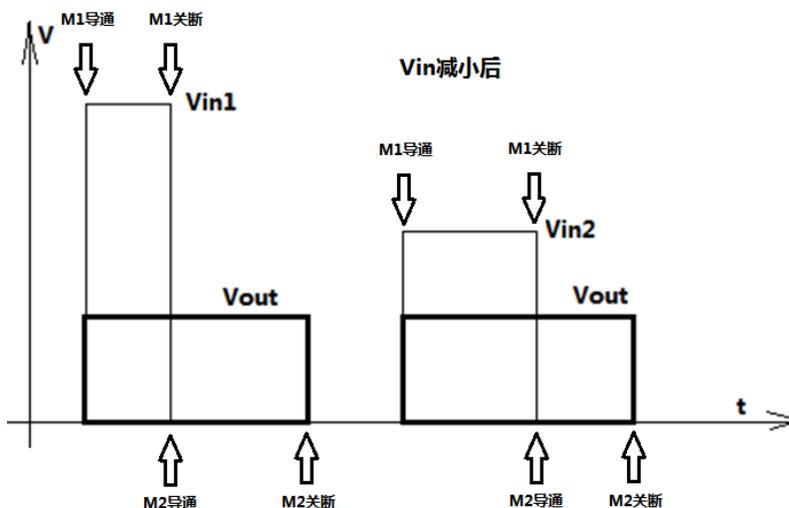
再来看一下 MOS 管的损耗，在同步型开关电源中有两个 MOS 管，负责充电回路的为 M1，负责放电回路的为 M2。如 3.1.2 节所述，MOS 管分为开关损耗和传导损耗，WEBENCH 仿真的开关损耗如下图：



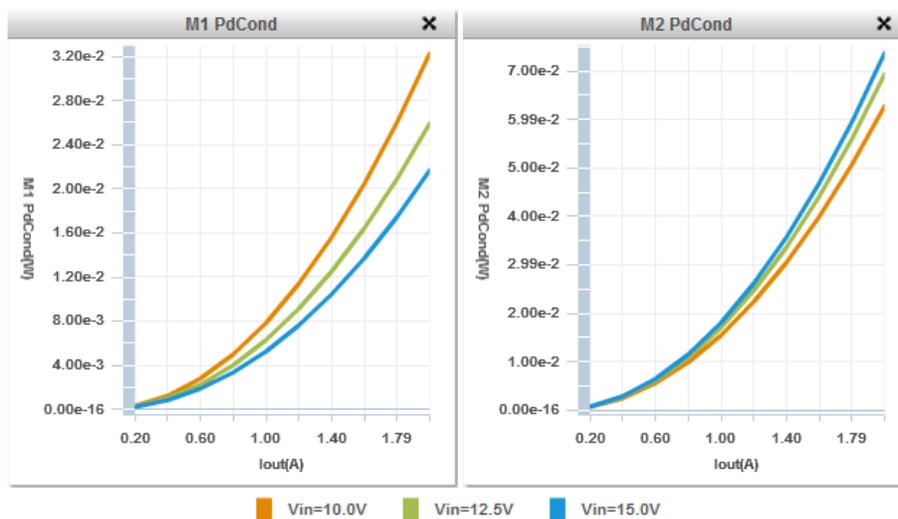
MOS 管开关损耗

可以看出 M1 和 M2 开关损耗有很大的不同，M1 开关损耗随输入电压变化较快，而 M2 的开关损耗随输入电压变化缓慢。两个 MOS 管随输出电流变化的趋势一致，随输出电流变大损耗增加。需要注意的是开关损耗是一个非线性过程，仿真软件很难做到跟实际电路一模一样，需要在实验中具体调试。

下面对比一下 M1 和 M2 的传导损耗，开关电源不同于 LDO 的连续能量传输，开关电源是一个非连续转换能量的过程，输入电压通过 M1 以脉冲方式给电感电容充电，放电过程通过 M2 进行。示意图如下



忽略元件损耗时输入能量近似等于输出能量，在上图中就是  $V_{in}$  的充电面积等于  $V_{out}$  的放电面积。 $V_{out}$  的面积没有变化，所以就要求  $V_{in1}$  和  $V_{in2}$  的面积相同，当  $V_{in1}$  降低为  $V_{in2}$  时为了保持能量不变， $V_{in2}$  的持续时间将会增加，图中表现为脉宽变宽。对应到开关电源中， $V_{in}$  降低时，M1 的导通时间增加（充电时间），M2 的导通时间缩短（放电时间），反之亦然（可参考上面 LM3150 同步 BUCK 电路图）。



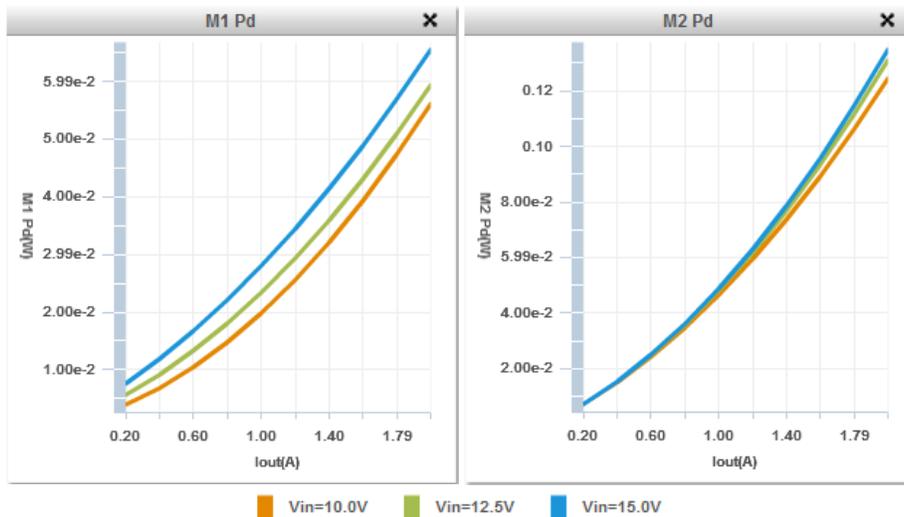
## MOS 管传导损耗

传导损耗跟导通时间和电流有关成正比。从上面的开关电源充放电分析可以看出， $V_{in}$  的大小影响了 M1 和 M2 的导通时间（占空比）。M1 和 M2 的导通关断是互补的，此消彼长，表现在图中也是随  $V_{in}$  的变化相反。

从 M1 和 M2 的传导损耗图中还可以得到一个很有用的规律：在不同的  $V_{in}$  条件下，M1 和 M2 的导通损耗和不变。正是由于 M1 和 M2 的互补性产生这一规律。从图中取点进行验证（鼠标指针放在在曲线上即可），如下表

Iout=1.4A 时				Iout=1.79A 时			
Vin(V)	M1(W)	M2(W)	sum(W)	Vin(V)	M1(W)	M2(W)	sum(W)
15	0.0356	0.0104	0.046	15	0.0595	0.0174	0.0769
12.5	0.0336	0.0124	0.046	12.5	0.0559	0.0209	0.0768
10	0.0305	0.0155	0.046	10	0.0507	0.026	0.0767

可以看到尽管  $V_{in}$  不同时 M1 和 M2 传导损耗不同，但是二者的和是不变的。上表中任意选择了 1.4A 和 1.79A 两个位置进行验证，都符合这一规律。



## MOS 管总体损耗

分析完 MOS 管的开关损耗和传导损耗，将两者加起来就可以得到 MOS 管总损耗，上图是 MOS 管的总损耗，可以看到随  $V_{in}$  的变化规律： $V_{in}$  越大 MOS 管的总损耗越大。结合开关损耗和传导损耗的分析结果得到：随着  $V_{in}$  增大，M1 的开关损耗增大而传导损耗减小，但是增大的幅度大于减小的幅度，最终 M1 表现为随  $V_{in}$  增大总损耗增大。对于 M2，随  $V_{in}$  增大，M2 的开关损耗不变，传导损耗增大，最终表现为随  $V_{in}$  增大总损耗增大。

通过对电感和 MOS 管随  $V_{in}$  的损耗分析可以看到，电感的损耗不随  $V_{in}$  变化，而 MOS 管损耗随  $V_{in}$  变大，这也就是为什么 BUCK 开关电源的效率会随  $V_{in}$  增大而降低的原因。在最优点的两边，效率都会下降，这个可以通过对比损耗 Pd 和有用功率 Pout 的变化率来分析，如下表：

Vin=10V 变化率是相对于 1.2A 时
------------------------

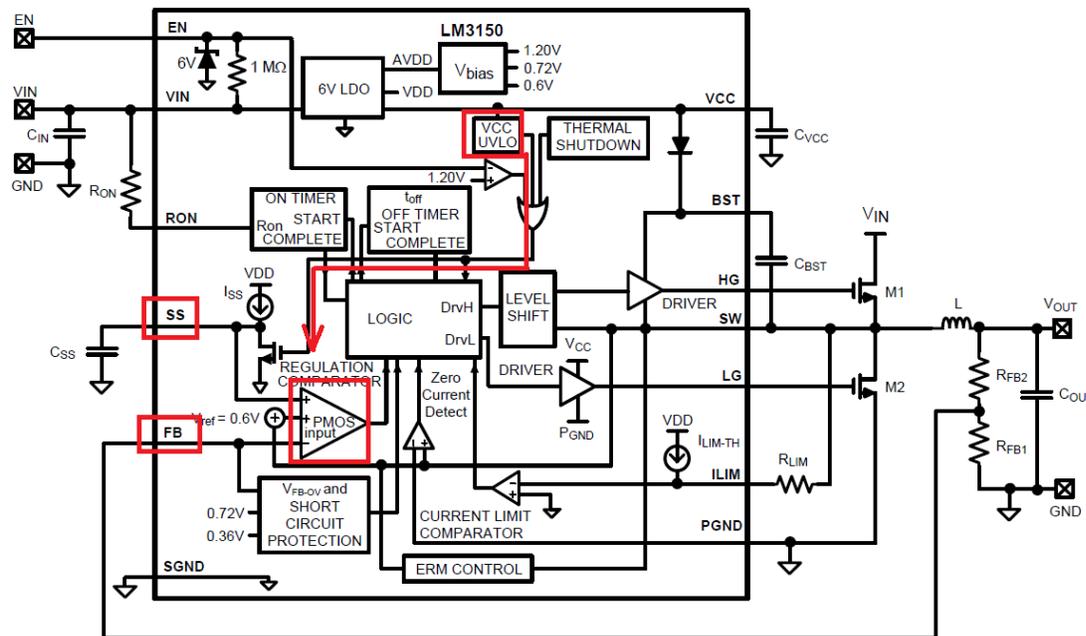
Iout (A)	M1 Pd (W)	M2 Pd (W)	L Pd (W)	IC Pd (W)	总 Pd (W)	Pd 变化率	Vout=3.3V Pout 功率 (W)	Pout 变化率
2.000	0.056	0.124	0.083	0.076	0.339	0.779	6.600	0.667
1.200	0.026	0.059	0.030	0.076	0.191	0.000	3.960	0.000
0.600	0.010	0.024	0.007	0.076	0.118	0.380	1.980	0.500

Vin 不变时，当 Iout 大于最优点的输出电流时，这时元件的损耗增加速度（77.9%）会大于有用功率增加速度（66.7%），当 Iout 低于最优点的输出电流时，特别是输出电流较小时效率会有急剧下降。这是因为损耗随 Iout 减小速度（38%）慢于有用功减小速度（50%）。所以在最优点的两边，效率都会下降。

通过 WEBENCH 的仿真可以帮助用户对开关电源有更深入的了解，从效率的分析可以看出，开关电源效率不只是跟电路的设计有关，也跟外部的输入电压和负载电流有关，在设计和测试开关电源时就要保证输入电压和负载电流不变，这样才能对比调节电路产生的效果。

#### 1.4.4.2 原理图仿真举例——开关电源的缓起

LM3150 具备缓起功能，缓起功能是为了调整开关电源的上电时间，使上电的启动斜率变缓，这样可以减小后级电路中电容的充电电流 ( $I=C \cdot \frac{dU}{dt}$ )。先看看 LM3150 的内部结构，了解一下缓起实现的方法。



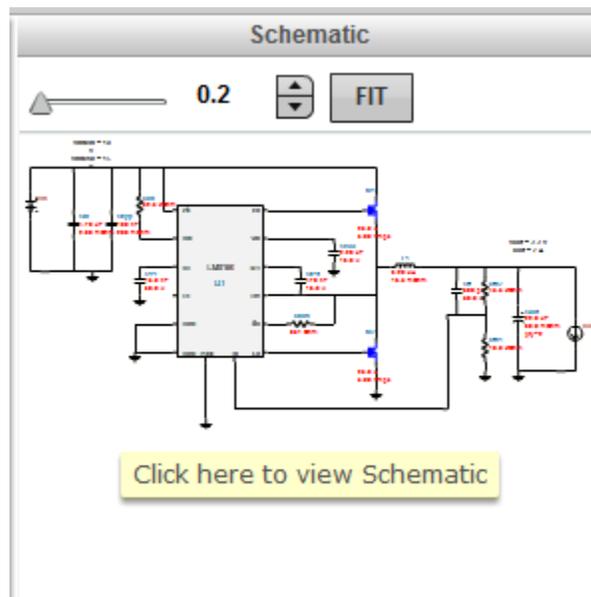
如上图所示，缓起单元由外部电容 C<sub>SS</sub>、内部电流源 I<sub>SS</sub>、内部比较器、内部参考 Ref0.6V 以及反馈 FB 组成。在上电的时刻，当 Vin 没有超过 UVLO（under voltage Lock out）门限时，电流源 I<sub>SS</sub> 会被下方的 MOS 管接地，也就是 SS 管脚接地。这时 Vout 被限制在 0V，这是一种保护机制，防止外部电压低时 Vout 出现异常对后级电路造成影响（例如 CPU 供电异常时其 IO 口会出现错误

状态，误触发外部硬件造成损坏)。当  $V_{in}$  超过  $UVLO$  门限后， $I_{SS}$  电流源开始对  $C_{SS}$  充电，这时  $SS$  管脚电压以斜坡方式增加，充电电流恒定则斜率不变。在  $SS$  管脚电压没有达到  $0.6V$  前，会限制  $FB$  跟随  $C_{SS}$  的充电斜率进行上电。由于  $V_{out}$  乘以分压等于  $FB$  电压，所以  $V_{out}$  也会以这个斜率上升直至达到额定电压。缓起时间由  $C_{SS}$  决定，计算公式如下：

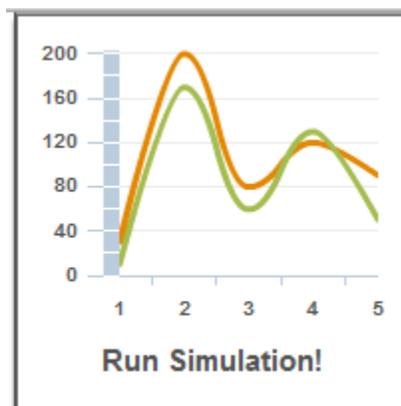
$$C_{SS} = \frac{I_{SS} \times t_{SS}}{V_{ref}}$$

$V_{ref}=0.6V, I_{SS}=7.7\mu A$

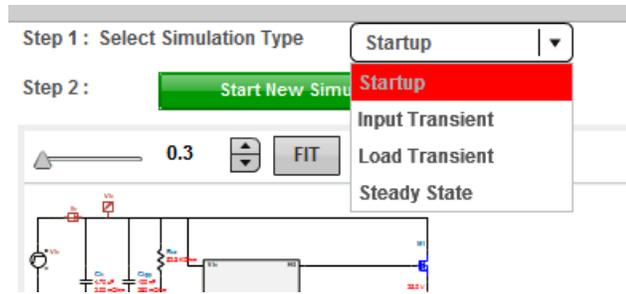
了解了 LM3150 的缓起功能后，可以用 WEBENCH 进行仿真，看看缓起的效果。在设计界面点击“Schematic”原理图即可进入仿真



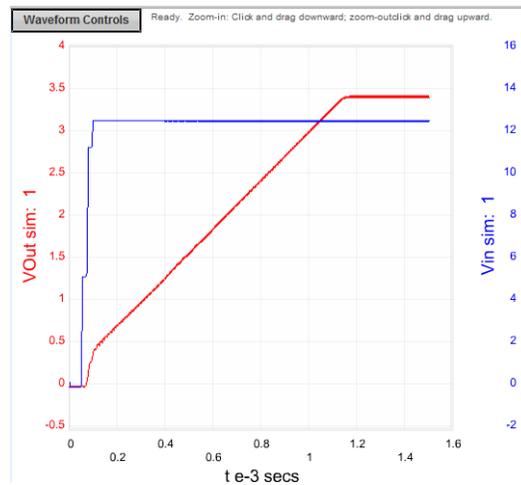
在仿真界面可以看到右上角的“simulation”图标，点击图标



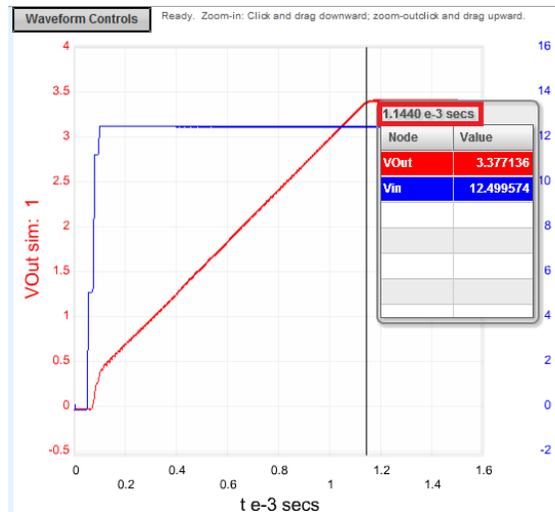
可以进入仿真控制窗口，在这里可以选择仿真的类型，我们选择 start up 仿真启动过程。



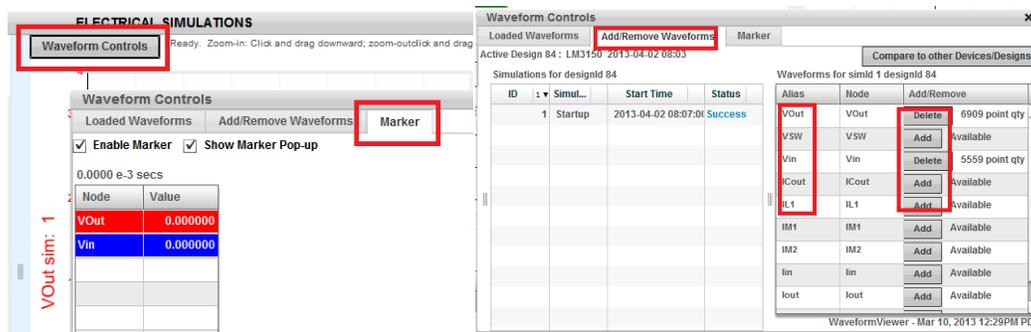
点击“start new simulation”进行仿真，几秒钟的计算后可以看到仿真结果



从图中可以看到蓝色 Vin 快速上电后 Vout 并没有立即上电，而是以斜坡方式缓起。启动时间通过添加 Marker 点查看，在电压达到额定电压时上电时间为 1.144ms。原理图中 C<sub>ss</sub> 取值为 15nF 带入前面公式，可以得到上电时间 T<sub>ss</sub>=1.17ms。两者十分吻合。



Mark 点的添加可以通过在仿真图左上角的“wave control”中进行，点击“wave control”按钮后可以看到如下对话框，不仅能添加 mark 点，也能添加原理图中其他元件的电参数波形。

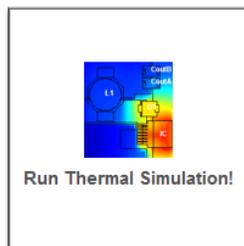


### 1.4.4.3 热仿真和PCB 布局

利用 WEBENCH 平台进行完毕芯片选型优化，电路优化和仿真后，一个电路方案已经初具雏形了，但是还有一个关键的步骤没有进行——这就是热仿真。热设计对于初级电子工程师来说较为陌生，当你将设计好的电路交给项目经理时，项目经理会问：这个电路发热量为多少？我需要让结构工程师设计多大的散热器来降温？这个电路的热量是否会使临近电路过温或者机壳温度超标？这些问题都涉及到热设计，你不能让结构工程师等你调试完电路并测试完发热量后才开始设计整机的结构。WEBENCH 提供强大的热仿真功能，帮助你提交更全面的设计方案，快速完成设计工作！

在介绍 WEBENCH 热仿真前先简单介绍一下热设计。为什么要进行热设计？高温对电子产品的影响：绝缘性能退化；元器件损坏；材料的热老化；低熔点焊缝开裂、焊点脱落。温度对元器件的影响：一般而言，温度升高电阻阻值降低；高温会降低电容器的使用寿命；高温会使变压器、扼流圈绝缘材料的性能下降，一般变压器、扼流圈的允许温度要低于 95C；温度过高还会造成焊点合金结构的变化—IMC 增厚，焊点变脆，机械强度降低；结温的升高会使晶体管的电流放大倍数迅速增加，导致集电极电流增加，又使结温进一步升高，最终导致组件失效。热设计的目的：控制产品内部所有电子元器件的温度，使其在所处的工作环境条件下不超过标准及规范所规定的最高温度。最高允许温度的计算应以元器件的应力分析为基础，并且与产品的可靠性要求以及分配给每一个元器件的失效率相一致。

在原理图仿真界面的右上角可以看到“Run thermal simulation”图标，点击后即可进入热仿真



热仿真要仿真的准确就要把电路所处的散热环境设定好，跟散热相关的一般包括：环境温度，PCB 铜皮厚度和芯片布局，风，单元电路周边区域温度。这些设置在 WEBENCH 热仿真中都支持，在热仿真界面的左边可以看到“thermal sim parameters”设置窗口。从上到下依次为：工作条件，

环境温度，电路板条件，气流，边缘温度。气流窗口中有 4 个方向可以设定风扇吹风的走向，也可以设定不用风扇自然散热。

**Thermal Sim Parameters**

**Operating Condition**  
Vin: 15 Iout: 2

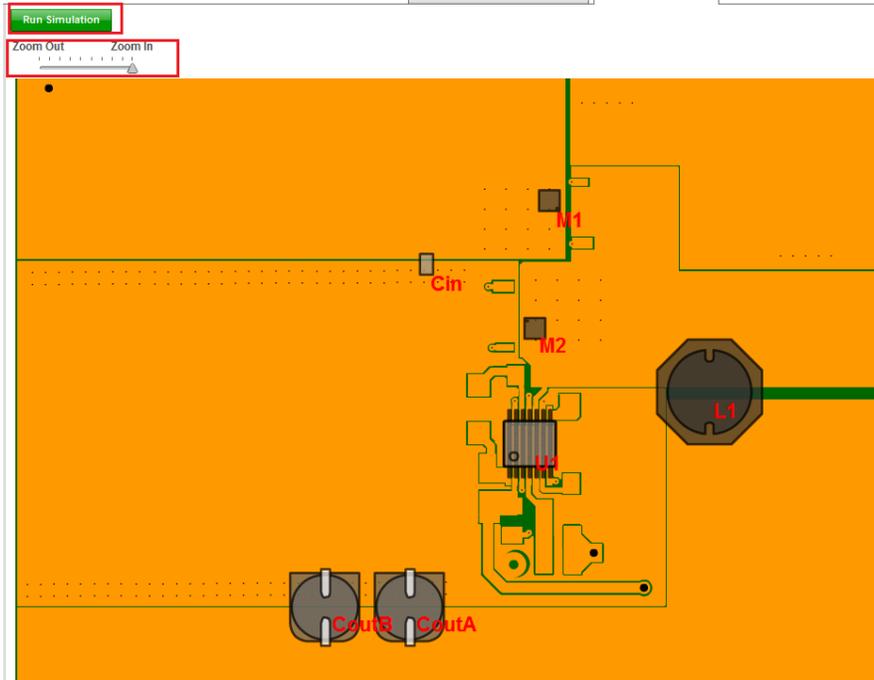
**Ambient Temperature**  
On Bottom: 30 °C On Top: 30 °C

**Board Condition**  
Copper Weight: 1 OZ.(0.03556 mm) Board Orientation: Component Side Up

**Air Flow**  
Direction: (Diagram showing 4 directions) Velocity: Use Fan None 0 LFM LMM

**Edge Temperatures**  
Edge 1  Insulated OR 30 °C  
Edge 2  Insulated OR 30 °C  
Edge 3  Insulated OR 30 °C  
Edge 4  Insulated OR 30 °C

在热设置窗口右面是 WEBENCH 热仿真用的 PCB 布局布线，需要注意的是，电源 PCB 中走线多用覆铜进行，图中看到的细线是分割线，分割线是没有铜的地方。覆铜代替走线可以增大导线的面积，提高通流能力，并且降低寄生电感，使滤波电容起到好的效果。调节放大和缩小将图调整到合适大小。点击“run simulation”即可开始热仿真。



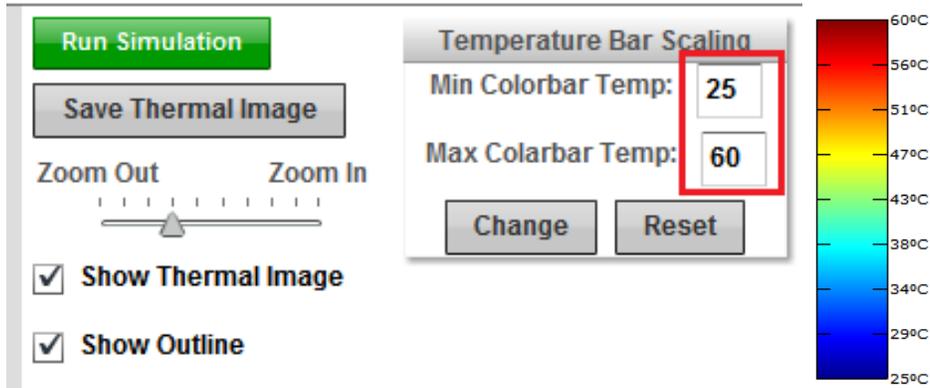
热仿真计算量大，系统需要 2 到 5 分钟的时间，仿真完毕后点击“current simulation”查看仿真结果



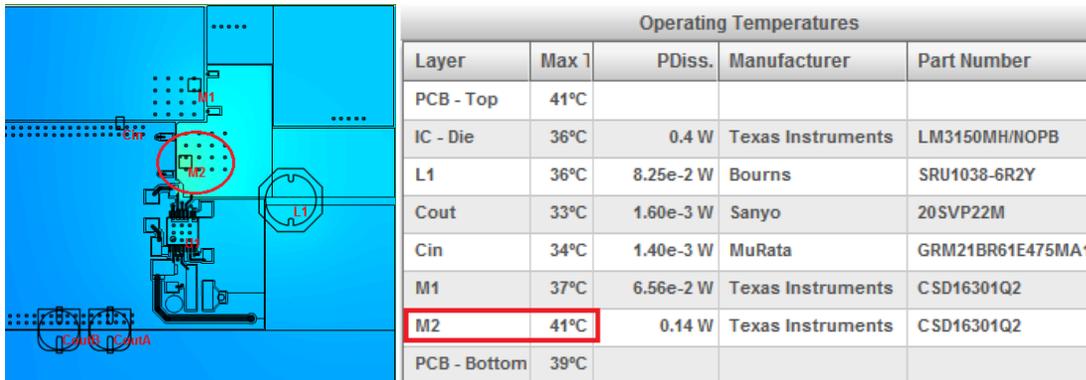
设置不同条件的仿真结果都存在“all webTHERM simulations”里，可以双击打开对比查看。要改变条件进行新仿真可以点击“creat a new simulation”按钮。

WEBTHERM™ SIMULATIONS					
<input type="button" value="All WebTHERM™ Simulations"/> <input type="button" value="Current Simulation"/>					
<input type="button" value="Create a New Simulation"/>					
ID	Name	Status	Submitted Date	Run Date	Comments
1	Simulation for Design 84	Completed	Apr 02, 2013 07:47 PM	Apr 02, 2013 07:48 PM	
2	Simulation for Design 84	Completed	Apr 02, 2013 08:20 PM	Apr 02, 2013 08:20 PM	

仿真结果是用颜色来表示的，越红温度越高，越蓝温度越低。查看时需要根据电路的发热情况设计最大和最小温度，才能使颜色分明方便查看。例如如果电路的最高温度在 50 度，设置显示的温度范围为 30 度到 125 度，则看到一片蓝色，高温区不明显了。应该设置为 25 度到 60 度，这样才能使颜色分明。



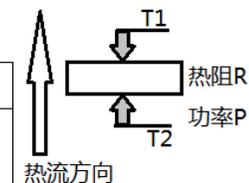
仿真结果如下图，可以看到 M2 的温度比 M1 高，M2 的功率损耗 140mW，M1 的功率损耗 65.6mW，所以在近似的散热条件下 M2 的温度升高的多一些。MOS 管 CSD16301Q2 数据手册上给出“junction to ambient”硅片热源节到表面空气的热阻为  $R_{ja}=69$  度/W，“junction to case”芯片热源到芯片表面的热阻为  $R_{jc}=8.4$  度/W，这样可以得到芯片表面到空气的热阻  $R_{ca}=R_{ja}-R_{jc}=60.6$  度/W。仿真设定的环境温度为 30 度，可以计算得到 MOS 管 M2 的表面温度为  $0.14 \times R_{ca} + 30 = 38.5$  度。WEBENCH 仿真汇总表中的 M2 温度 41 度，这是因为 WEBENCH 考虑到了周围器件的发热，所以比理论计算的 38.5 度高一些，更接近实际。有了 WEBENCH 的辅助功能，省去了热计算的繁琐工作，电路温度一目了然。



下图是 MOS 管 CSD16301Q2 手册中的热阻，热阻参数不止一个，描述的热阻位置也不一样。热阻的概念类似电阻，电流经过电阻会产生电压差，热流经过热阻会产生温差。电流从高压向低压流动，热流从高热向低热流动。如图根据热流方向： $T_2 - R \cdot P = T_1$ 。

#### THERMAL INFORMATION

THERMAL METRIC <sup>(1)(2)</sup>		CSD16301Q2	UNITS
		6 PINS	
$\theta_{JA}$	Junction-to-ambient thermal resistance <sup>(3)(4)</sup>	69	°C/W
$\theta_{JCTop}$	Junction-to-case (top) thermal resistance <sup>(3)</sup>	8.4	
$\theta_{JB}$	Junction-to-board thermal resistance		
$\Gamma_{m-}$	Junction-to-top characterization parameter		



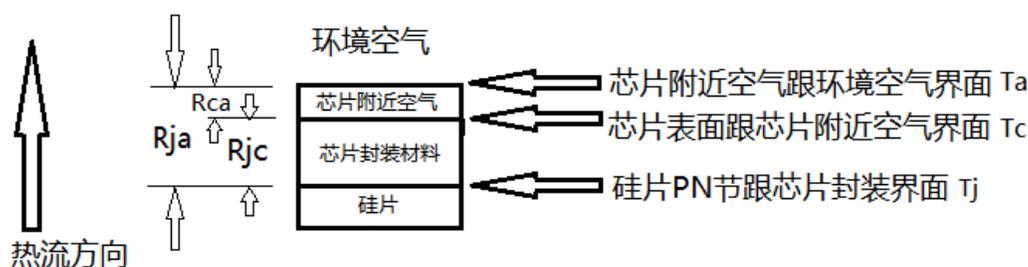
数据手册中常给出以下热阻参数： $R_{jc}$ （硅片 PN 节到芯片封装表面的热阻）， $R_{ja}$ （硅片 PN 节到芯片附近空气的热阻）。热设计中  $T_j$  为硅片 PN 节的温度，芯片手册对这个温度有最大值要求，过温影响芯片性能或者损坏。根据前面热流分析，这些参数有如下关系：

芯片表面温度  $T_c = T_j - R_{jc} * P$  或者  $T_c = T_a + R_{ca} * P$

芯片 PN 节温  $T_j = T_a + R_{ja} * P$

芯片表面到环境空气热阻  $R_{ca} = R_{ja} - R_{jc}$

这些公式都中在实际中可以测量到的是  $T_a$ （环境空气温度）和  $T_c$ （芯片表面温度）以及  $P$ （芯片功耗），根据手册的热阻可以计算出  $T_j$  温度， $T_j$  要求在手册说明的范围内电路才可靠。如果  $T_j$  超温就要改进散热途径，使  $T_a$  降低（例如加风扇或者加散热片，加散热片后芯片不再接触空气，使用  $R_{jc}$  热阻即可）。



以 LM3150 的手册热阻为例，如果测试芯片附近空气温度为 50 度，芯片功耗 0.1W，4 层板，则  $T_j = 50 + R_{ja} * P = 50 + 40 * 0.1 = 54$  度。

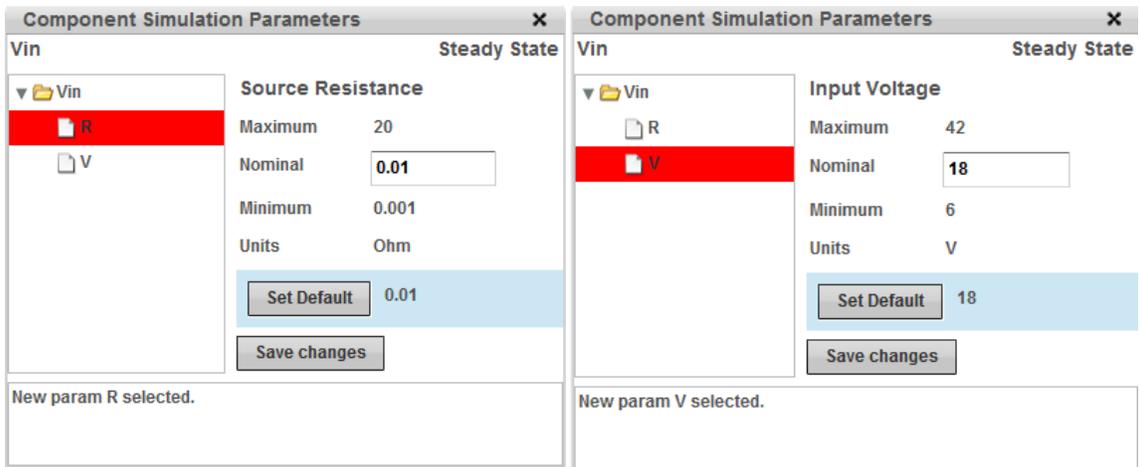
Symbol	Parameter	Conditions	Min	Typ	Max	Units
$T_{SD}$	Thermal Shutdown	Rising		165		°C
	Thermal Shutdown Hysteresis	Falling		15		°C
$\theta_{JA}$	Junction to Ambient	4 Layer JEDEC Printed Circuit Board, 9 Vias, No Air Flow		40		°C/W
		2 Layer JEDEC Printed Circuit Board, No Air Flow		140		
$\theta_{JC}$	Junction to Case	No Air Flow		4		°C/W

#### 1.4.4.4 开关电源稳态仿真

开关电源的稳态仿真是用于观察开关电源达到稳定后各部分的电压和电流。作用相当于用示波器的电压探头和电流探头对稳定工作的开关电源进行测试。所以利用 WEBENCH 提供的稳态仿真来设计开关电源是帮助读者理解和分析开关电源工作原理的好方法。

稳态仿真的进入方法在前面的内容中已经讲过，这里不再累述。下面举一个例子，看看如何利用 WEBENCH 的稳态仿真来分析开关电源。

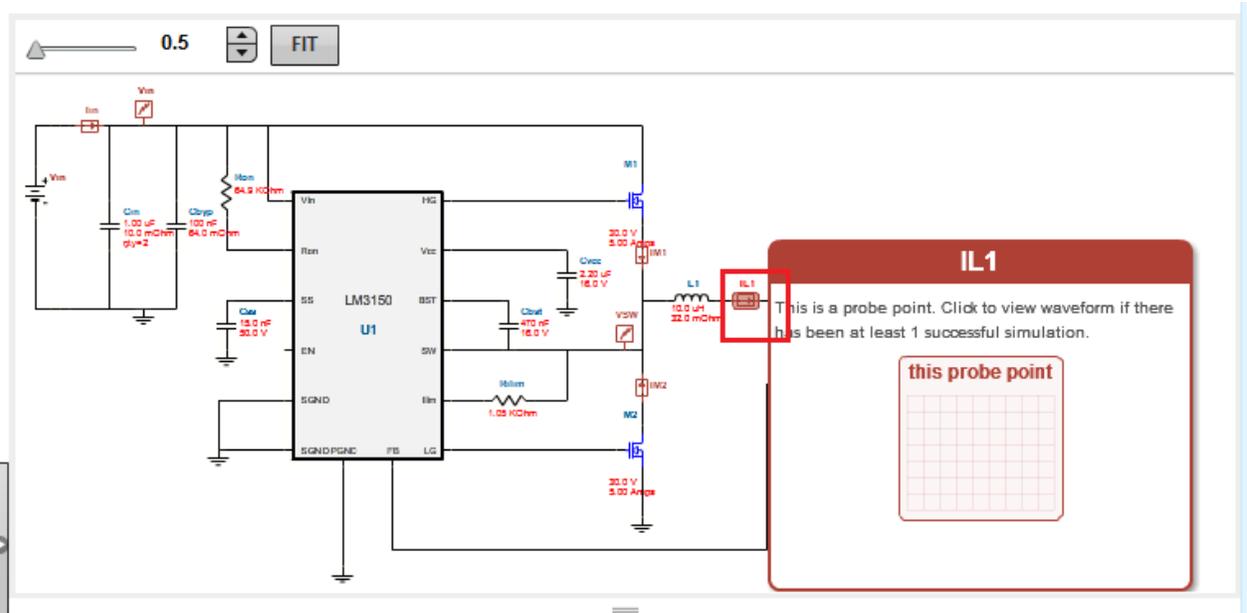
看一下占空比  $D$  随  $V_{in}$  的变化。在仿真界面的原理图中点左键点击电源进行设置，如下图



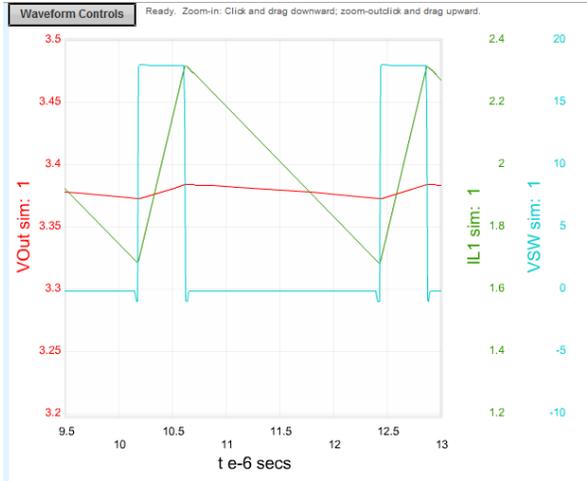
电源有两个设置项，一个是内阻，一个是电压。设定好电源电压后点击“save changes”进行保存才可以生效。然后点击“start new simulation”将设定好的电压进行仿真。



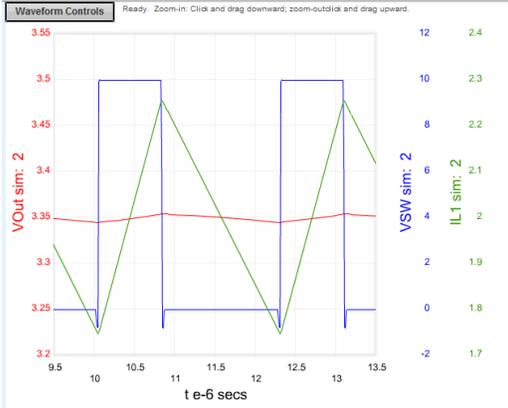
稳态仿真需要的时间较多，因为系统要计算电路中各元件的电压和电流。仿真结束后，默认将  $V_{out}$  波形显示出来。要查看更多元件的参数，需要手动添加，例如添加电感  $L1$  的电流  $IL1$ ，在原理图上左键双击  $IL1$  即可， $IL1$  的波形立即显示出来。鼠标指针放在  $IL1$  上可以看到系统给的提示。如下图



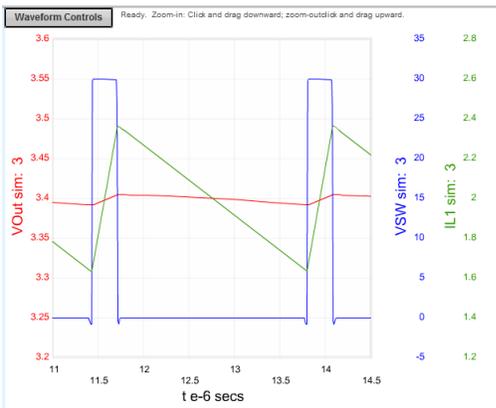
按照这个方法，我们将 VSW 电压波形添加显示。下图中截取了显示图，图中将一个周期进行了放大，方便查看。VSW 的电压高低反映出开关的导通和关闭状态，也就是占空比状态，高电压时 M1 导通，电感充电，低电压时 M2 导通，电感放电。可以看到电感的充放电斜率符合前面章节介绍的内容。



为了对比占空比随 Vin 的变化，我们将 Vin 分别设定为 10V 和 30V，将电感电流和 VSW 显示。从图中可以看到占空比的明显变化。



Vin=10V



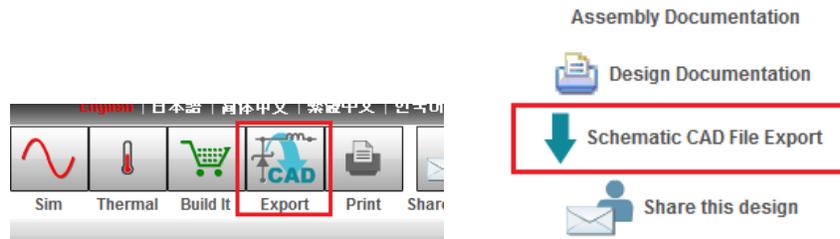
Vin=30V

在“waveform controls”菜单中使能 marker 功能，即可用鼠标指针查看图中具体的参数值，可以看到占空比具体的变化量。



### 1.4.5 方案原理图导出

设计方案经过优化和仿真后就要开始设计原理图和 PCB 了，WEBENCH 提供原理图导出功能，这样工程师不要再把设计原理图抄到 EDA 软件中了，节省了大量时间。在设计界面的上方工具条中点击“CAD”或者在右下角中选择“CAD export”。

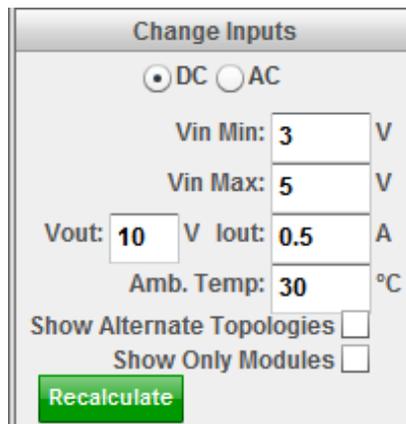


可以看到 WEBENCH 支持几种业界流行的 EDA 软件，例如 Altium、Cadence 和 Mentor 等。导出方法可以参考前面章节，此处不再累述。



## 1.5 boost 开关电源设计实例

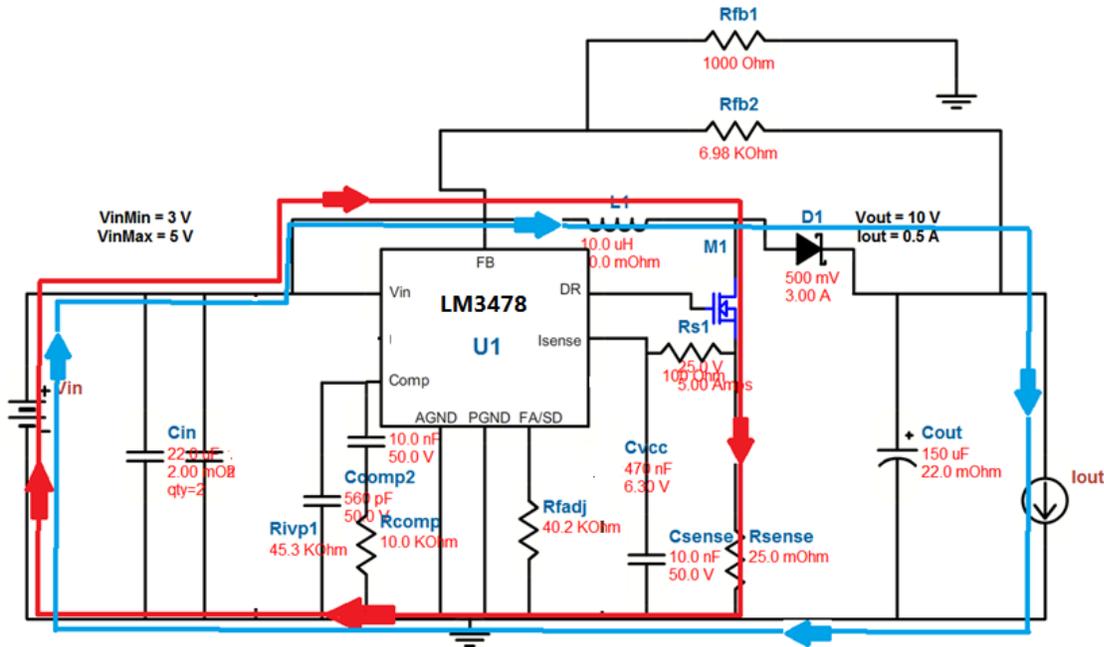
Boost 开关电源设计优化过程跟 BUCK 型开关电源类似，一些基本规律也一致，例如电感体积随开关频率升高而减小，开关损耗随开关频率升高而增加。充分理解开关电源的一个基本拓扑后对学习其它类型的拓扑很有帮助。在选型对话框中输入  $V_{in}$  电压范围和  $V_{out}$  电压，当  $V_{out}$  大于  $V_{in}$  后要求电源有升压功能，WEBENCH 会自动选择 BOOST 开关电源。



BOOST 开关电源选型中也会有类似 buck 电源的优化，在效率，体积，成本三个条件中进行，芯片选型后再进行外围电路优化，可以参考 buck 电源设计一节，这里不再累述。本节用一个具体例子介绍一下 boost 跟 buck 开关电源的区别。目的在于抛砖引玉，希望工程师在用 webench 设计电源中能充分利用其选型和仿真功能，快速高效的设计开关电源。

### 1.5.1 Boost 电路电流路径分析

下图是 LM3478 boost 开关电源电路，以这个基本 boost 电路为基础介绍一下 boost 电路以及和 buck 电路的区别。



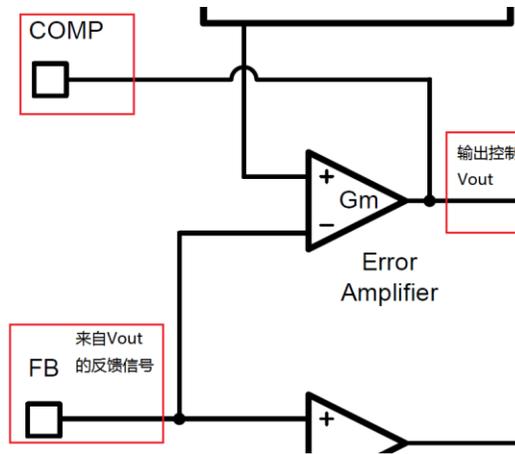
根据 WEBENCH 推荐的电路，先看一下 boost 电路的外围功率器件，LM3478 是 boost 电路的控制器，L1 是功率电感，M1 是外部 MOS 管控制充电，D1 是放电回路中的二极管。Cin 和 Cout 是输入和输出电容。

LM3478 是异步开关电源，让我们对比一下同步开关电源和异步开关电源的区别。上一节中介绍的 BUCK 电路 LM3150 有两个外部 MOS 管，一个负责对电感充电一个负责放电，此处 boost 电路中只有一个负责充电 MOS 管，电路中放电开关由 D1 二极管取代。D1 二极管是不受 LM3478 直接控制的，由加在两端的电压控制导通关断，所以 LM3150 这类两个 MOS 管的开关电源称作“同步开关电源”，LM3478 这类一个 MOS 加一个二极管的称作“异步开关电源”。

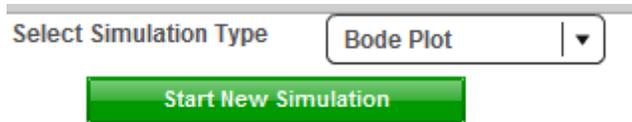
再分析一下 LM3478 电路的电流回路。在充电周期：M1 导通，M1 导通后 D1 的正向端接地，D1 关断，电流从 Vin 流出对 L1 充电后由 M1 流回 Vin 电源（如上图小圈回路）。放电周期：M1 关断，D1 的正向端得到释放，由于在 M1 断开时  $\frac{di}{dt}$  较大，所以 L1 的感应电动势会比 Vin 还高，D1 正向端电压为  $V_{in} + L \cdot \frac{di}{dt}$  高于负向端电压，D1 导通，电流从 Vin 流出经过 L1 再经过 D1 和负载流回 Vin 电源（如图中大圈回路所示）。Boost 电路利用了 L1 的感应电动势高的特点，使 Vout 得到升高，可以达到 Vin 的数倍。

## 1.5.2 开关电源的波特图仿真

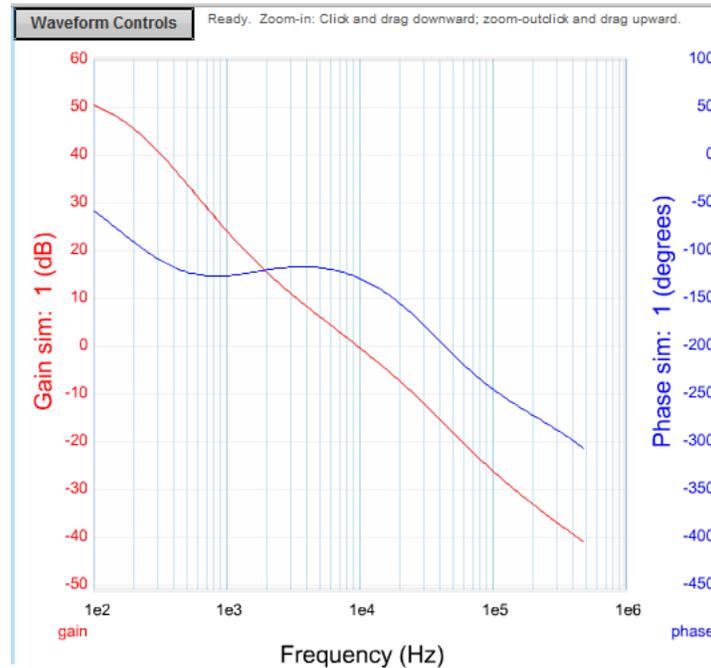
LM3478 开关电源有 COMP 管脚用于调节控制环路的补偿。所以在 LM3478 电路图仿真中有“bode plot”波特图仿真这一项。不只是 LM3478，只要是带有 COMP 管脚的控制器在 WEBENCH 中都有波特图仿真功能。上面介绍的 LM3150 没有 COMP 管脚，它的控制环路补偿基于“Constant On-Time (COT)”技术在芯片内部完成，节省了外部器件的数量。下图是 LM3478 的内部原理框图中误差放大器部分。



可以看到误差放大器的输出用于控制  $V_{out}$  电压， $V_{out}$  电压经分压后送入 FB 反馈管脚，FB 是连接在误差放大器的负向端，属于负反馈系统。与《模拟电子线路基础》课程中所讲的负反馈原理一致，开关电源的负反馈系统也涉及到稳定性问题，如果反馈的相移过大超过  $180^\circ$  度，则负反馈变为正反馈，开关电源将产生震荡。所以设计开关电源时要仿真其波特图，验证稳定性。

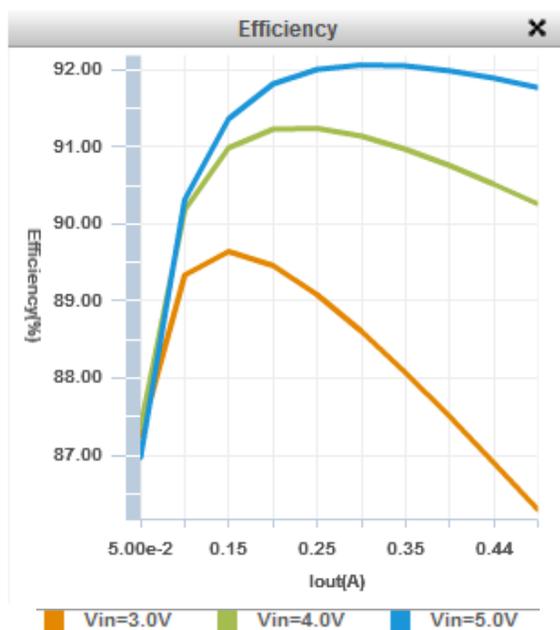


在原理图仿真界面中，选择仿真类型为“bode plot”，然后点击开始仿真，WEBENCH 将绘制电路的波特图。仿真结果如下，蓝色线是相位偏移，红线为环路增益，可以看到在环路增益 0db 时，相位偏移为正  $20^\circ$  度，满足稳定性条件。



### 1.5.3 boost 开关电源效率仿真

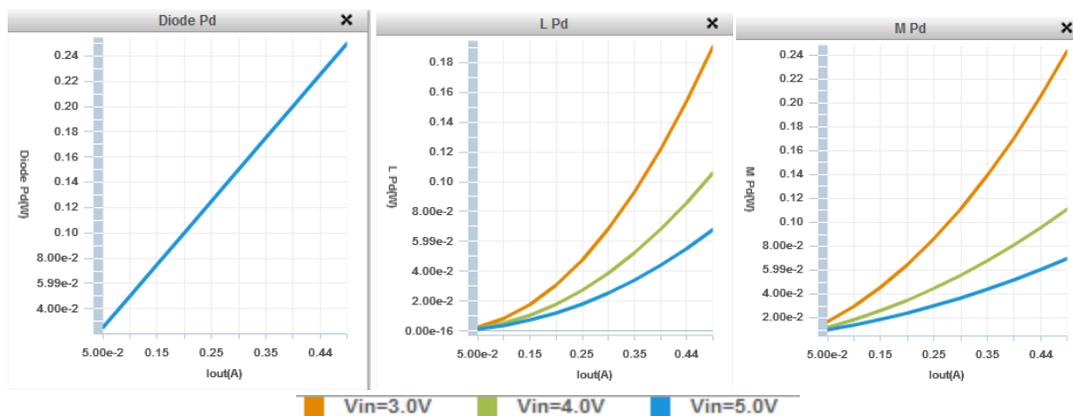
分析完稳定性再来看一下效率变化情况。在图表仿真中可以发现 Boost 开关电源与 buck 开关电源在效率随  $V_{in}$  变化上有区别： $V_{in}$  越高效率越高。这个变化跟 buck 电路正好相反。



同样的分析思路，先看看电路中损耗最大的元件，在图表仿真中将各个功率器件的损耗列入下表

元件	储能电感	MOS 管 M1	二极管管 D1	输入电容	输出电容
损耗 (mW)	190	243	249	0.04	13.4

可以看出储能电感、MOS 管和二极管是损耗最大的元件，分析他们的损耗情况就能找出效率随  $V_{in}$  变化的原因，下面导出他们的损耗曲线，如下图



从仿真结果可以看到，除了二极管随  $V_{in}$  变化的三条曲线重合外，MOS 管和 L 的损耗都是随  $V_{in}$  变大而降低。所以总体损耗也是随  $V_{in}$  增大而降低，从而得到效率随  $V_{in}$  增大而增加的结果。

从 BUCK 和 BOOST 开关电源的效率分析可以看出一个共同点：当  $V_{in}$  和  $V_{out}$  的差值缩小时电源效率升高。这原因从理想开关电源的角度递推更为直观：当  $V_{in}$  和  $V_{out}$  的差距缩小时，占空比逐渐增大，当  $V_{in}$  等于  $V_{out}$  时，占空比达到 100%，开关不用再切换，直接将  $V_{in}$  供给  $V_{out}$  即可，这种情况下效率能接近 100%。

## 1.6 FPGA 电源设计实例

FPGA 和处理器是大规模的集成电路，一般都分为核电压和 IO 口电压，并且根据芯片内部的集成资源还会有模拟电压和时钟电压等。所以这类芯片的供电设计是一件较复杂辛苦的事情。在没有 WEBENCH 软件时，工程师要阅读 FPGA 手册，详细看了电源说明后才能着手设计电源树并为电源树选择供电芯片。这将耗费工程师大量的时间和精力，如果因为不熟悉芯片出现错误，那么多层 PCB 板将报废并且耽误项目进度。

考虑到这种情况，WEBENCH 提供了支持 FPGA 和处理器电源设计的功能，合理使用此功能可以大大提高电源设计效率和成功率。

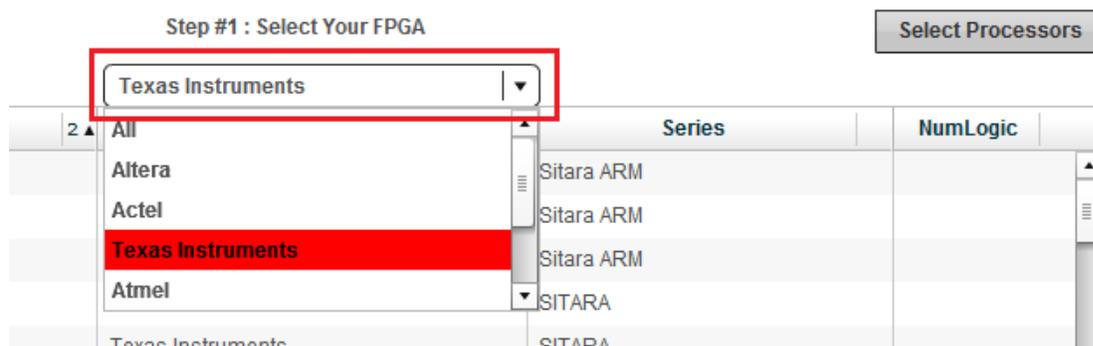
在前面的 2.3 和 2.4 节中简单介绍了 WEBENCH 中 FPGA 电源设计功能，本节将对这个功能详细介绍，一步一步进行 FPGA 电源设计。

### 1.6.1 FPGA 芯片选择

在 WEBENCH 首页选择 FPGA 和处理器电源设计，进入 FPGA 电源设计页面。



在下拉菜单中选择 FPGA 或处理器厂家，可以看到 WEBENCH 支持业界多家知名厂家的芯片，非常方便设计。



在此节的设计举例中选择 Altera 的 Cyclone III 作为例子。如下图

**Step #1 : Select Your FPGA** Select Processors

All

Part Number	Manufacturer	Series	NumLogic
EP2S60	Altera	Stratix II	60,440.00
EP2S90	Altera	Stratix II	90,960.00
EP3C10	Altera	Cyclone III	10,320.00
EP3C120	Altera	Cyclone III	119,088.00
EP3C16	Altera	Cyclone III	15,408.00

选择好芯片后可以看到右上角的芯片资源汇总，并且 WEBENCH 提供芯片 datasheet 的链接。列表中是 FPGA 的各个电源种类和典型电流。点击“add load”即可将这些电源添加入电源树。

**Step #2 : Add FPGA Supply Requirements**

Selected FPGA: Altera Cyclone III EP3C120

User I/Os : 531  
 Total RAM : 3888  
 Memories : 432  
 Logic Elements : 119088  
 Package : 780-FBGA  
 NumDiffChannel : 233  
 IO Banks : 8

[Datasheet](#)

Select Loads to Add Next Step : [Add Loads ->](#)

Load Name	Voltage	Current
<input checked="" type="checkbox"/> Vccaux	2.50 V	0.1 A
<input checked="" type="checkbox"/> Vccd_pll	1.20 V	0.2 A
<input checked="" type="checkbox"/> Vccint	1.20 V	7.5 A
<input checked="" type="checkbox"/> Vccio#1	1.2 V	0.38 A

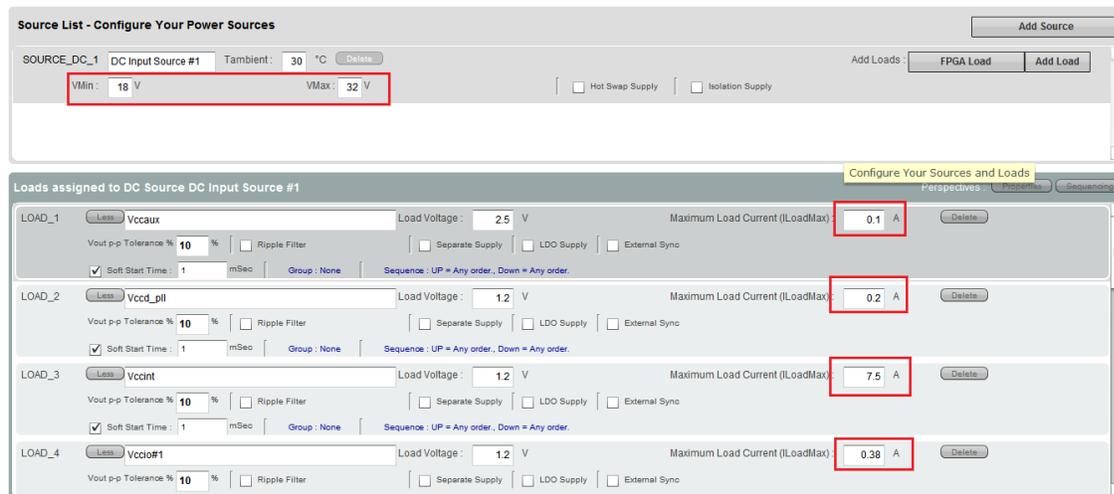
WEBENCH 为设计人员提供了最大的灵活性，每个 IO bank 的电压都可以根据项目选择。如下图：

Select Loads to Add Next Step : [Add Loads ->](#)

<input checked="" type="checkbox"/> Vccio#1	Voltage : <input type="text" value="1.2"/>	1.20 V	Current : 0.38 A
<input checked="" type="checkbox"/> Vccio#2	Voltage : <input type="text" value="2.5"/>	1.20 V	Current : 0.38 A
<input checked="" type="checkbox"/> Vccio#3	Voltage : <input type="text" value="1.2"/>	1.20 V	Current : 0.38 A
<input checked="" type="checkbox"/> Vccio#4	Voltage : <input type="text" value="1.2"/>	1.20 V	Current : 0.38 A

## 1.6.2 供电芯片组电源树设计

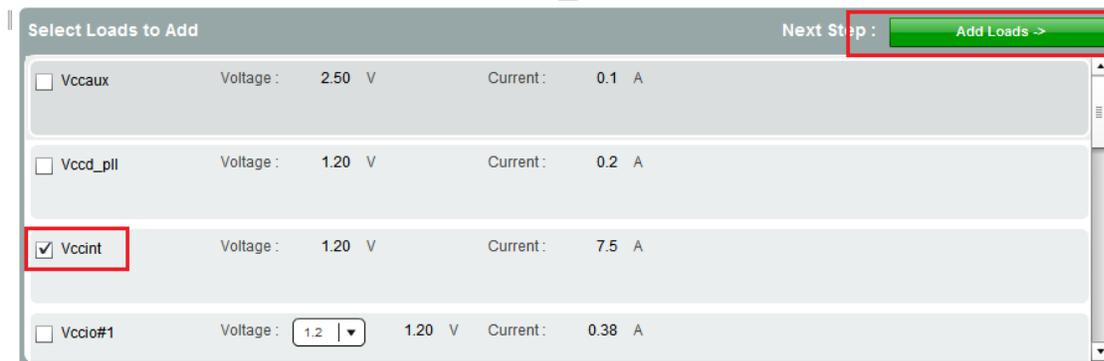
将 FPGA 电源添加进电源树后即可进入电源树设计界面，如下图，电源树第一行是“树根”下面几行是“树枝”。对树根的电压范围可以根据项目需求设置，并且 FPGA 的电源电流还可以进行设置，用以应对逻辑资源不同工作频率不同带来的功耗变化。



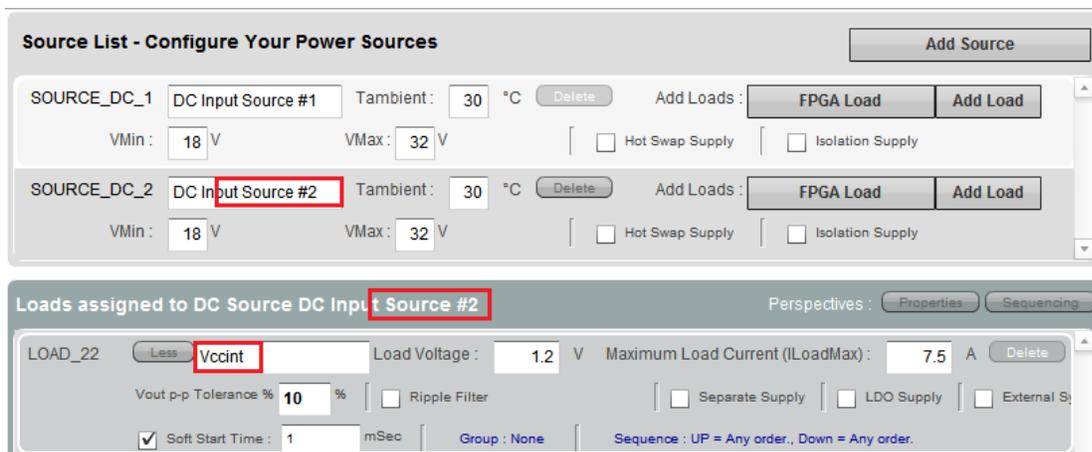
如果需要用两个“树根”给 FPGA 供电，例如将电流很大的核电压 Vccint 单独供电，可以另添加一路“树根”，点击“add source”即可。点击 add source 后可以看到“树根”出现了新的一行，为 source 2。



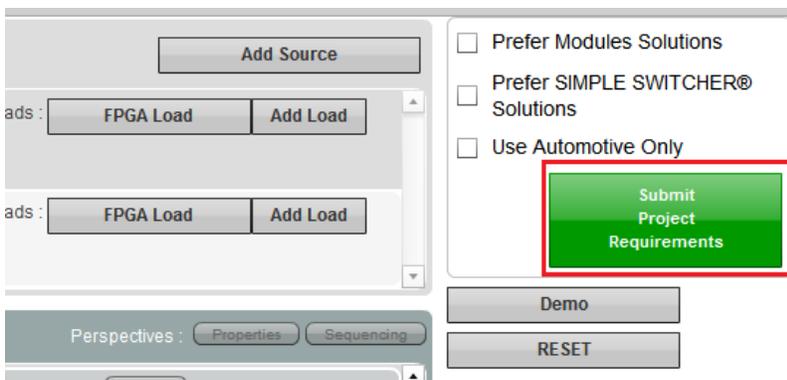
在 source 2 上点击“FPGA load”即可对新添加的“树根”选择 FPGA 电源。需要注意的是要把 source 1 中的 vccint 删除，避免出现重复。



添加好 FPGA 电源后可以看到 Vccint 出现在“树枝”行，并且行上标注 source 2，树枝和树根是一一对应的。如下图



FPGA 电源分配完毕后点击“submit project”即可进行电源树的优化。

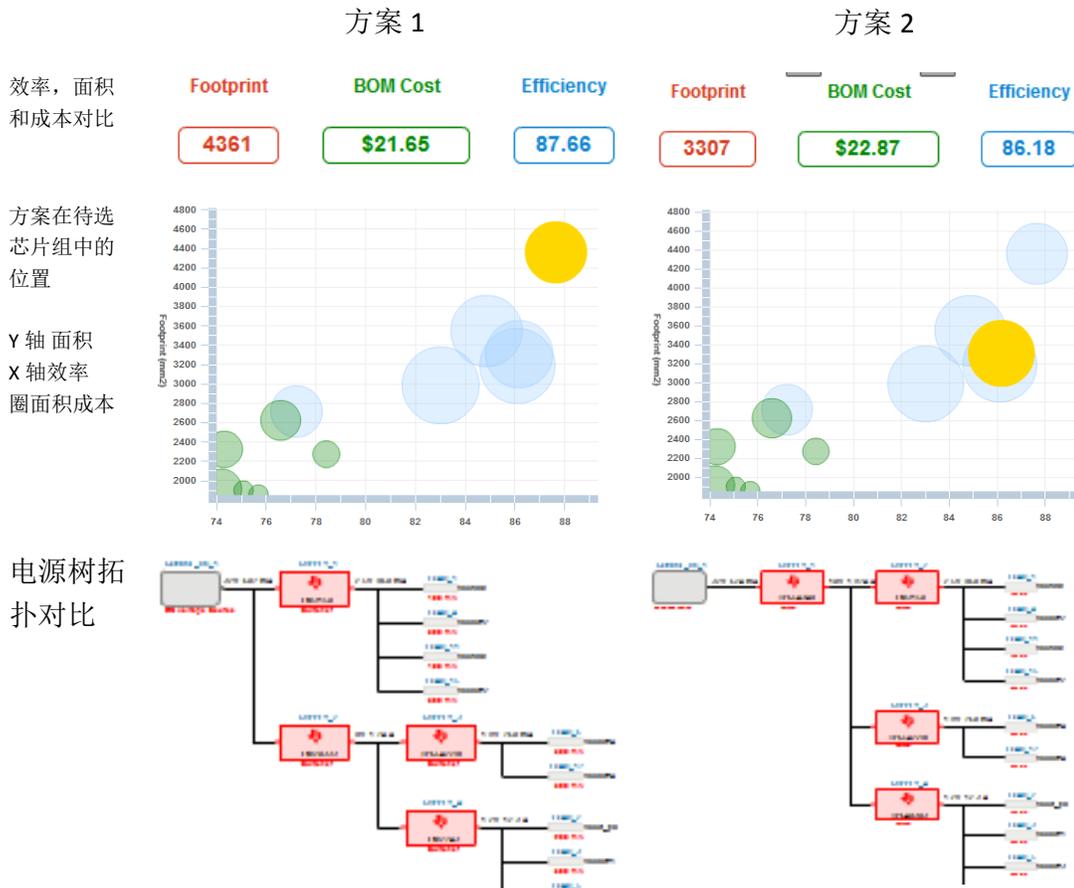


### 1.6.3 电源树优化设计

在电源树的优化中要完成芯片组的对比，选择合适的芯片组给电源树供电。WEBENCH 会将合适的芯片组列在待选方案中，用三维图表表示出来，X 轴是效率，Y 轴是占用 PCB 面积，Z 轴是成本，用圈的面积大小表示。待选方案的树形结构也会被绘制出来，方便工程师直观查看。如下图。



在这个步骤中，工程师不必纠结与具体芯片，只需关注芯片组的整体效率、成本和 PCB 占用面积。这也正是 WEBENCH 自顶向下的设计方法。下表例举了两个方案的对比，介绍方案选择的基本方法。



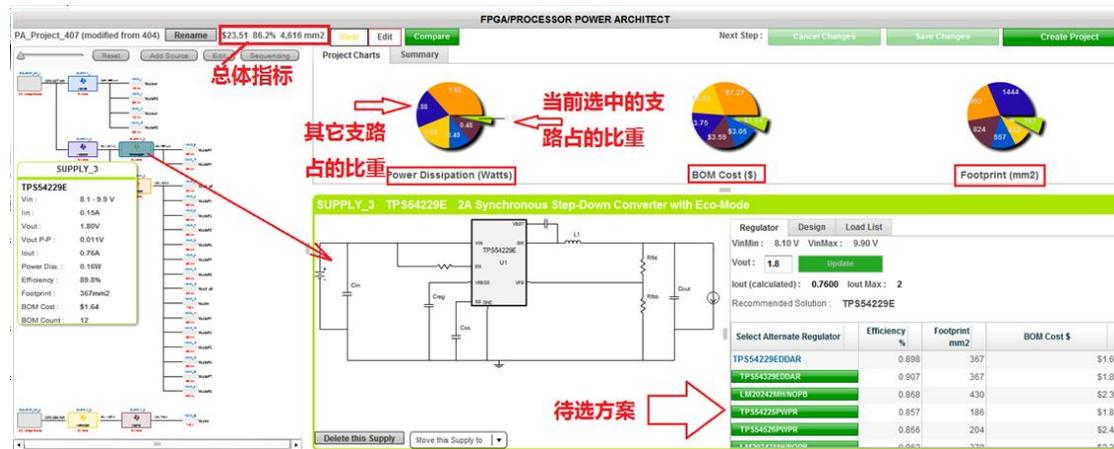
从表中可以看出，方案 2 效率降低了 1.5 个百分点，但是 PCB 占用面积缩减了 24%，成本相当，这个交换很划算。所以优先选择方案 2。

确定了芯片组方案后，点击“view project details”进入芯片优化选择。如下图



### 1.6.4 电源芯片优化选型

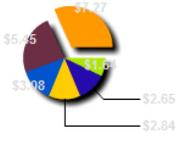
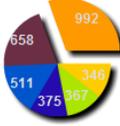
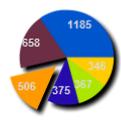
进入芯片优化选择页面后可以看到这个页面没有优化旋钮了，左面是电源树，右面是饼图和待选芯片列表。没有优化旋钮是因为 WEBENCH 已经优化过了芯片组，选择了一组推荐芯片。这个页面是提供给工程师更多的灵活性，对优化结果进行调整。



调整过程中电源树的每个芯片都可以被调整，WEBENCH 列出多个待选芯片。在这个步骤中要充分利用“饼图”的功能，三个饼图分别表示功耗、成本和占用 PCB 面积。饼图的每一块对应电源树中的一个树枝。从饼图中可以看到占比重最大的电源芯片。

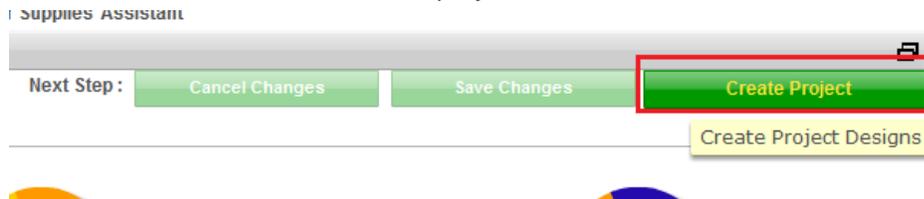
例如项目对成本敏感，则可以对成本饼图中最大的一块（supply 4）对应的芯片进行调整，可以用效率或者面积还换取成本。WEBENCH 的待选芯片中有成本低一些的 TPS40305 方案。下表中将 WEBENCH 推荐的 TPS40303 和待选芯片中的 TPS40305 对比。

	Supply4 用芯片 TPS40303	Supply4 用芯片 TPS40305	变化
功耗饼图	<p>Power Dissipation (Watts)</p>	<p>Power Dissipation (Watts)</p>	Supply 4 功耗增加了 78%

总效率	86.2	84.2	总效率降低 2%
成本饼图	 BOM Cost (\$)	 BOM Cost (\$)	Supply 4 成本降低 37%
总成本	22.93	21.52	总成本降低 6%
面积饼图	 Footprint (mm2)	 Footprint (mm2)	Supply 4 面积减小 49%
总面积	3249	3437	总面积增大 5.8%

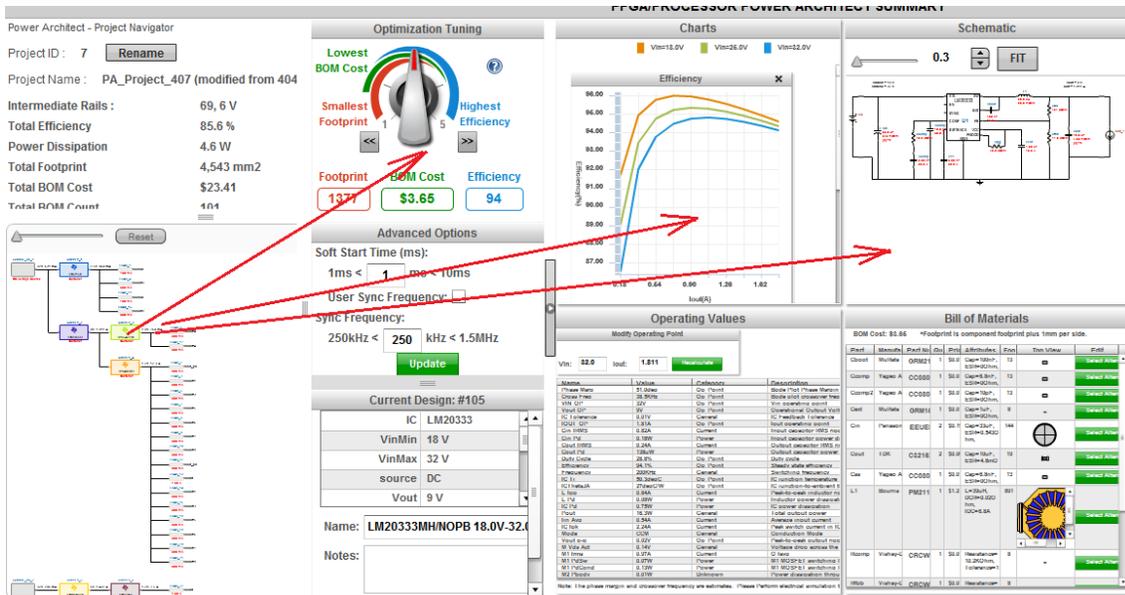
从表中的对比可以看出，调整 supply 4 后总成被降低了 6%，但是由于功耗增加导致 supply 4 前级供电 supply 1 要增加供电能力，带来了总面积 5.8% 的增大和总效率 2% 的降低。这么来看增加的 PCB 面积抵消了成本优势，并损失了效率。所以选择 WEBENCH 推荐的芯片。

选定电源芯片后点击“creat project”进入芯片外围电路优化。如下图：



### 1.6.5 电源芯片外围电路优化

在芯片外围电路优化中，又看到了优化旋钮和仿真界面。这时就和之前的单电源设计一样了。依次将电源树中的芯片优化和仿真，这里不再累述。



## 1.6.6 原理图导出

芯片外部电路确定后就可以导出原理图进行 PCB 设计了。WEBENCH 还不能将电源树的原理图一次性全部导出，需要工程师逐个导出。



导出后将原理图下载到本地，即可用 EDA 软件打开。如下图。

