

TI助力 模拟电路实践教学

清华大学电工电子实验教学中心
任艳频 renyp@tsinghua.edu.cn

一个核心

课外实践环节

新生参观
专业认知

SRT
课外科技活动

专业实践
学科竞赛

综合
论文
训练

研究生
课题

电子系统
设计综合
实践

课内实践环节

电子技术课程设计

电子技术实验

电路原理实验

电路原理实验

电工与电子技术

E D A 技术应用

电子电路分析与设计

P r o t e l 电路板设计

现代电子学及实验

大一

大二

大三

大四

研究生

贯穿学生培养全过程

三个层次

研究型

综合设计型

基础型

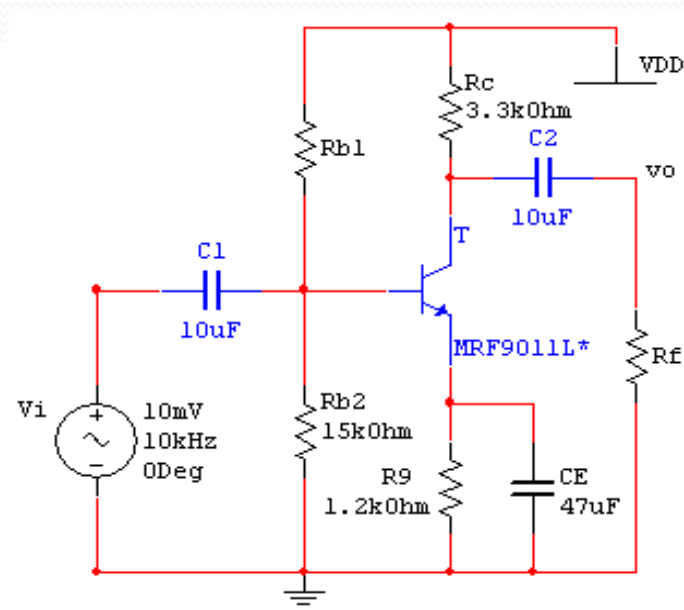
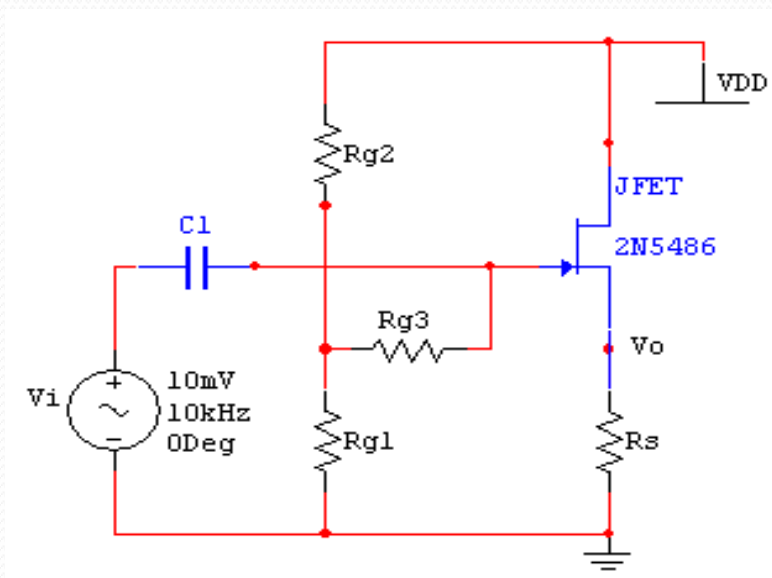
两个环节

电子技术实验-概况

- 《模拟电子技术基础》 / 《数字电子技术基础》 理论课的配套实验课程
- 在电工电子中心独立设课
- 开课学期：大二上/下学期
- 学分与学时：2学分，48学时

电子技术实验-部分实验项目

常用电子仪器的使用



模拟电路综合实验

电子技术实验-教学管理信息系统



清华大学
Tsinghua University

实验过程教学系统
Web Lab Teaching System

- 课程管理
- 课表管理
- 教学管理
- 资源管理
- 学生课表
- 项目学习
- 系统资料
 - 实验室维护
 - 角色资料维护
 - 用户资料维护
 - 课程资料维护
 - 学期资料维护
 - 上课时段维护
 - 个性资料维护
 - 验收模板维护
 - 人员资料维护
- 退出系统

设置课程 修改课程 分组选课 评教方案 放大

课程列表

学年 2011-2012 学期 秋季

序号	课程号	课程名称	开课系所	学时	主讲教师	合助教	项目选择	组数
1	21550022-0(1)	电子电路实验(0)	电机生医系	27	任艳频	玄建永 张弛 侯素芳	全做	6
2	21550012-3(1)	电子技术实验(3)	计算机系	27	侯素芳	刘京雷 朱立人	全做	6



课程: 电子电路实验(0)

新增 编辑 上移 下移 提交 重置 放大

共5项

序号	项目名称	学时	分值权重(%)
1	仪器使用	9	20
2	单管放大电路	6	13
3	负反馈放大电路	6	15
4	波形产生实验	3	12
5	模电实验考核	3	40

电子技术实验-实验器材

Supplier

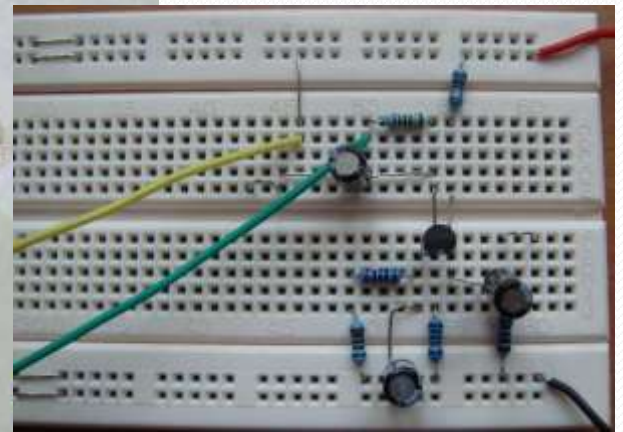
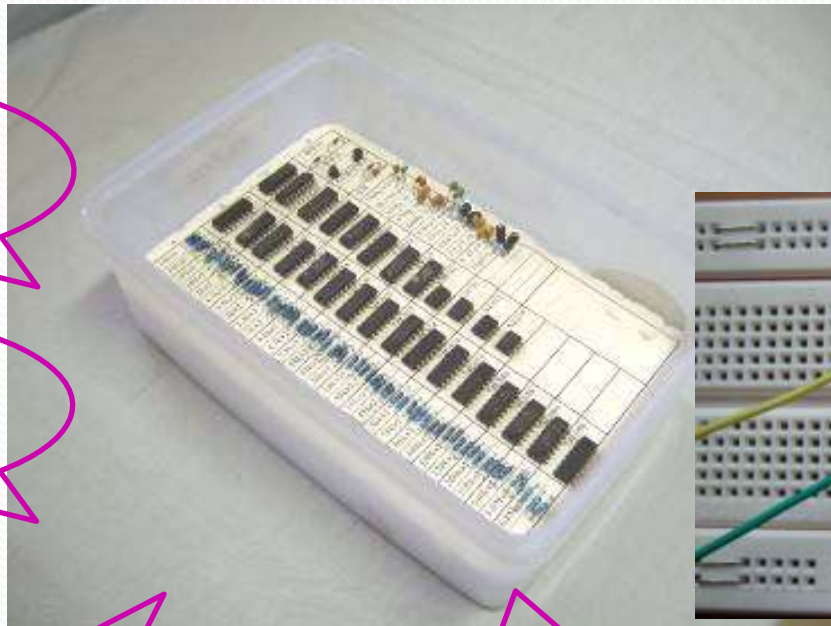
- 每同学发放一套电子元器件及面包板

TI Logic

TI Timer

**TI
Amplifier**

**TI
Comparator**



电子技术课程设计-概况

Motivator

电子技术
课程设计

(64学时 3学分)

数模混合系统实验

用分立元件和中小规模器件构造系统，
硬件为主

32学时

基于FPGA的数字系统

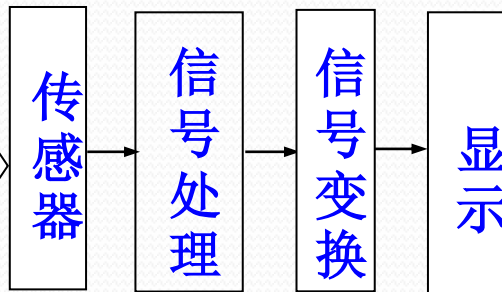
用可编程器件构造系统，软硬件开发环境

32学时

电子技术课程设计-数字称重计



压力



INA128



LF398

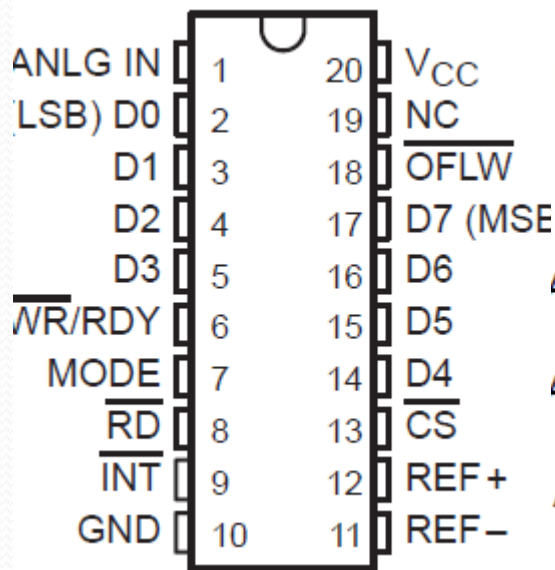


简易电子琴

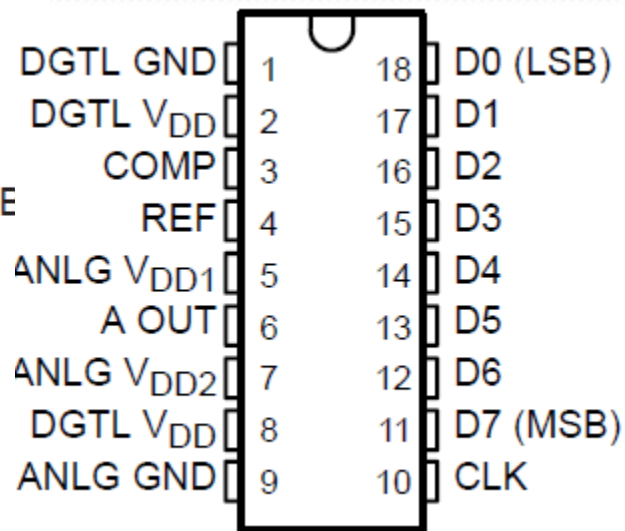
电子技术课程设计-开放选题

结合各类传感器和个人的兴趣，设计和制作：

- 吉他调音器
- 自行车测速仪
- 简易录音器
- 台阶测试仪
- 简易电子血压计



TLC0820 ADC



TLC5602 DAC

电子技术课程设计-IC Datasheet解读

DB, DW, OR N PACKAGE
(TOP VIEW)

ANLG IN (LSB) D0	1	20	V _{CC}
D1	2	19	NC
D2	3	18	OFLW
D3	4	17	D7 (MSB)
	5	16	D6

WR/RDY
MODE
INT
GND

TERMINAL NAME	NO.	I/O	DESCRIPTION
ANLG IN	1	I	Analog input
CS	13	I	Chip select. CS must be low in order for RD or WR to be recognized by the ADC.
D0	2	O	Digital, 3-state output data, bit 1 (LSB)
D1	3	O	Digital, 3-state output data, bit 2
D2	4	O	Digital, 3-state output data, bit 3
D3	5	O	Digital, 3-state output data, bit 4
D4	14	O	Digital, 3-state output data, bit 5
D5	15	O	Digital, 3-state output data, bit 6
D6	16	O	Digital, 3-state output data, bit 7
D7	17	O	Digital, 3-state output data, bit 8 (MSB)
GND	10		Ground
INT	9	O	Interrupt. In the write-read mode, the interrupt output (INT) going low indicates the time, t_{RDY} , is complete and the data result is in the output latch. The delay time $t_{a(R)}$ after the rising edge of WR (see operating characteristics and Figure 3). If RD goes low at the end of t_{RDY} , and the conversion results are available soon after the rising edge of either RD or CS.
MODE	7	I	Mode select. MODE is internally tied to GND through a 50- μ A current source, which acts like a pull-down resistor. When MODE is low, the read mode is selected. When MODE is high, the write-read mode is selected.
NC	19		No internal connection
OFLW	18	O	Overflow. Normally OFLW is a logical high. However, if the analog input is higher than V_{REF+} , OFLW will be low at the end of conversion. It can be used to cascade two or more devices to improve resolution (9 or 10 bits).
RD	8	I	Read. In the write-read mode with CS low, the 3-state data outputs D0 through D7 are activated when RD goes low. RD can also be used to increase the conversion speed by reading data prior to the end of the internal count-down delay time. As a result, the data transferred to the output latch is latched after the falling edge of RD. In the read mode with CS low, the conversion starts with RD going low. RD also enables the 3-state data outputs on completion of the conversion. RDY going into the high-impedance state and INT going low indicate completion of the conversion.
REF-	11	I	Reference voltage. REF- is placed on the bottom of the resistor ladder.
REF+	12	I	Reference voltage. REF+ is placed on the top of the resistor ladder.
V _{CC}	20		Power supply voltage
WR/RDY	6	I/O	Write ready. In the write-read mode with CS low, the conversion is started on the falling edge of the WR input signal. The result of the conversion is strobed into the output latch after the internal count-down delay time, t_{RDY} , provided that the RD input does not go low prior to this time. The delay time $t_{a(R)}$ is approximately 800 ns. In the read mode, RDY (an open-drain output) goes low after the falling edge of CS and goes into the high-impedance state when the conversion is strobed into the output latch. It is used to simplify the interface to a microprocessor system.

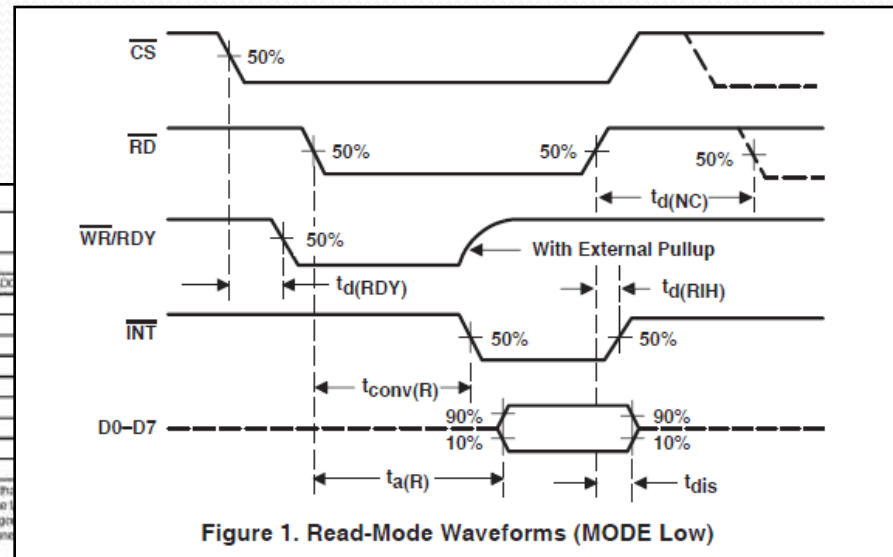


Figure 1. Read-Mode Waveforms (MODE Low)

电子设计大赛-概况



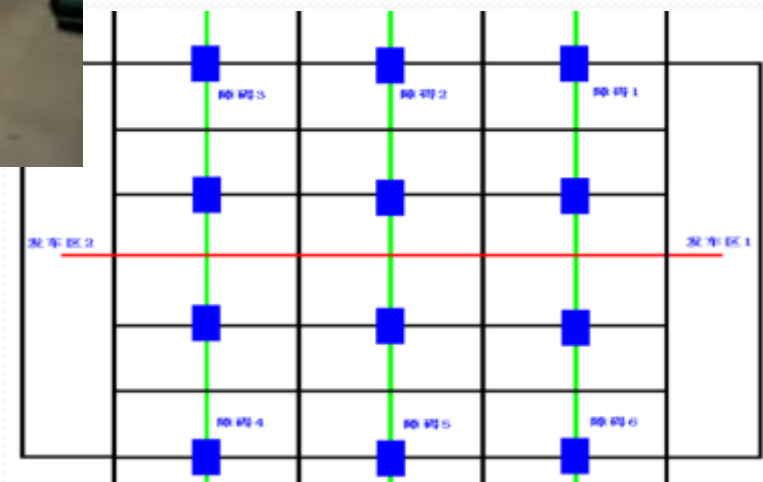
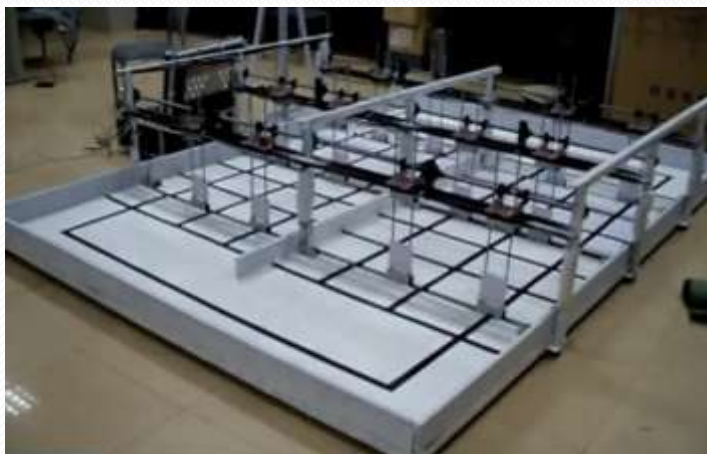
Sponsor

- ✓ 1994年，教育部与信产部创办全国高校电子设计大赛，旨在选拔优秀学生，锻炼和考查其**短时间**内软硬件设计制作与解决特定问题的能力。
- ✓ 1999年，清华大学电子设计大赛。
- ✓ 2003年，赛课合一。
- ✓ 清华电子设计大赛是一项**普及型**赛事，每届**百支**队伍参赛。内容类似于机器人设计，难度大，**观赏性强**，对参赛选手的软硬件素质要求更高。

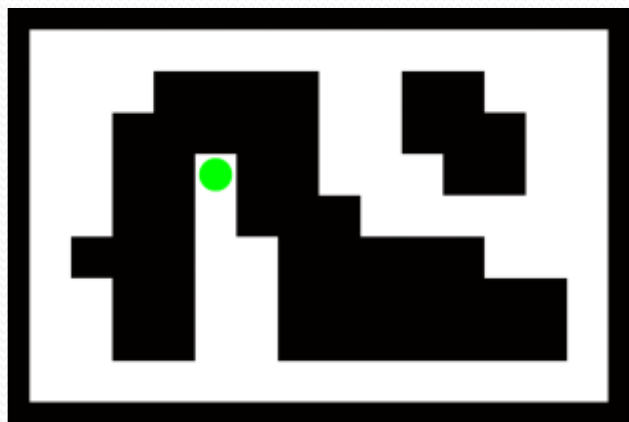
电子设计大赛-第10届

2008年第十届TI杯电设大赛：“凌波微步”

✓ 首次引入企业赞助，首次引入DSP平台



电子设计大赛-第13届



2011年第13届TI杯电设大赛： “Treasures”

- 小车完全自主决策，不接收任何场外信息或遥控
- 小车通过传感器识别和无线模块接收平台信息来确定自己及目标的位置
- 参赛小车从平台一角出发，追逐场上的（随时间变化的）发光目标。小车要在规定的时间内到达尽可能多的目标。



电子设计大赛-第15届

2013年第15届

“TI杯”电设大赛：

“装甲精英”



电子设计大赛-赛课合一-创新教育模式



学生课外科技活动-SRT



Platform

TI的优势:

- 广而深的产品线
- 优质的技术资源和服务

我们的一些活动:

- 无线充电产品应用研究
- 基于FPGA的综合电子实验平台

基于FPGA的综合电子实验平台-背景

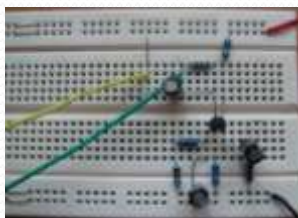
- 电子技术实验所需仪器设备：

学习机、直流电源、示波器、信号发生器、FPGA实验箱



基于FPGA的综合电子实验平台-目标

- 设计制作一款便携式的综合电子实验平台：

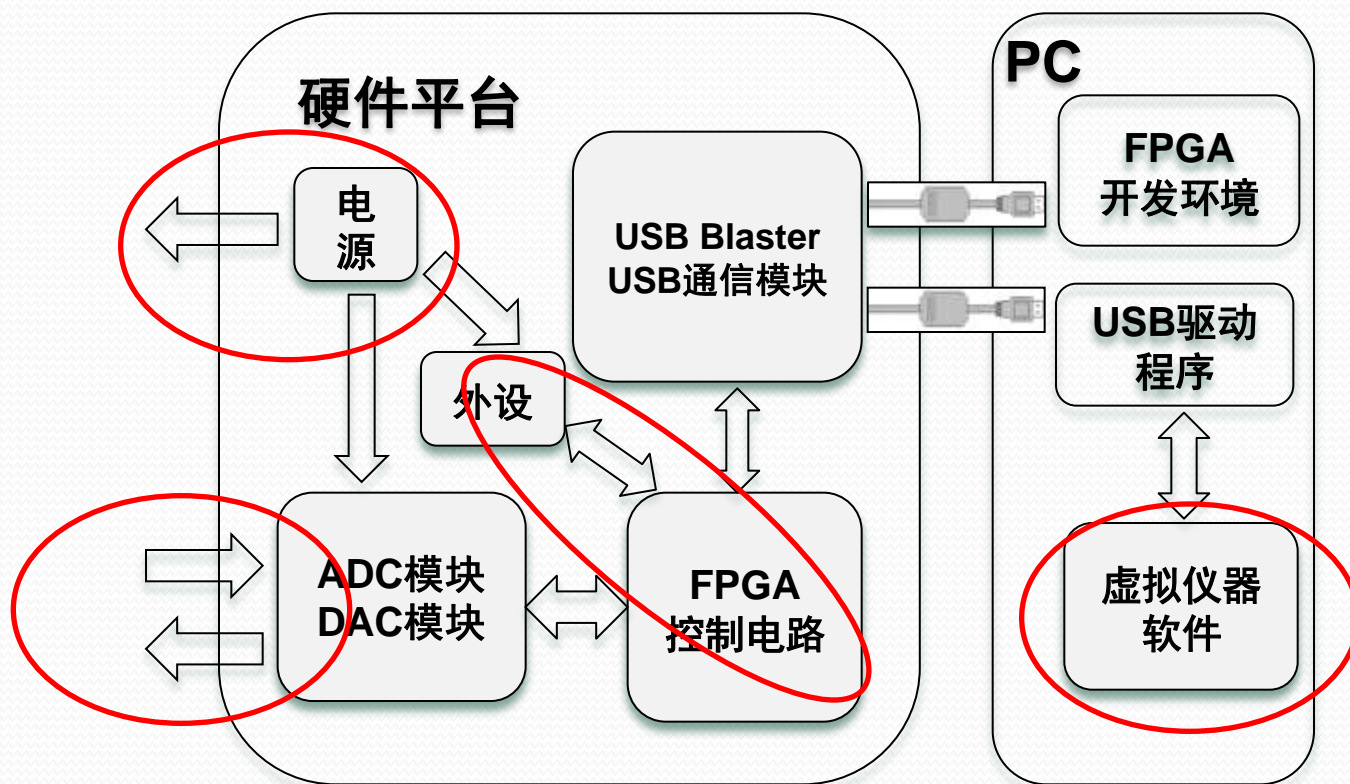


+

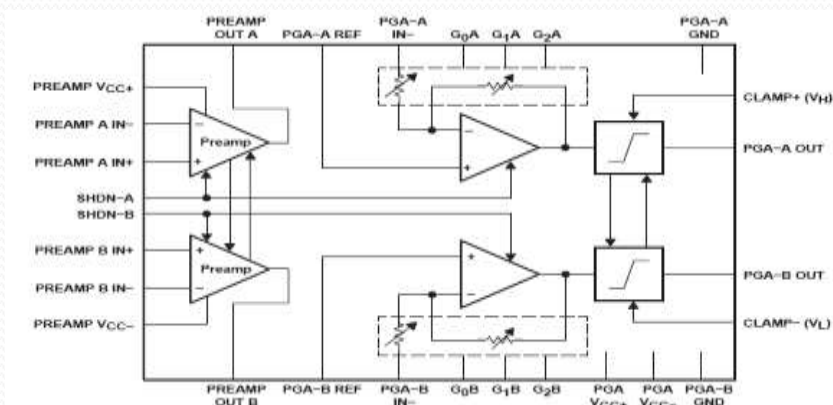
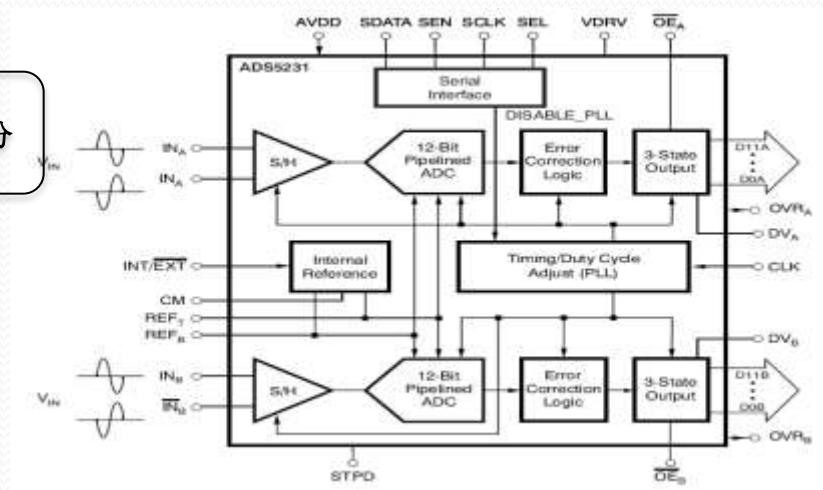
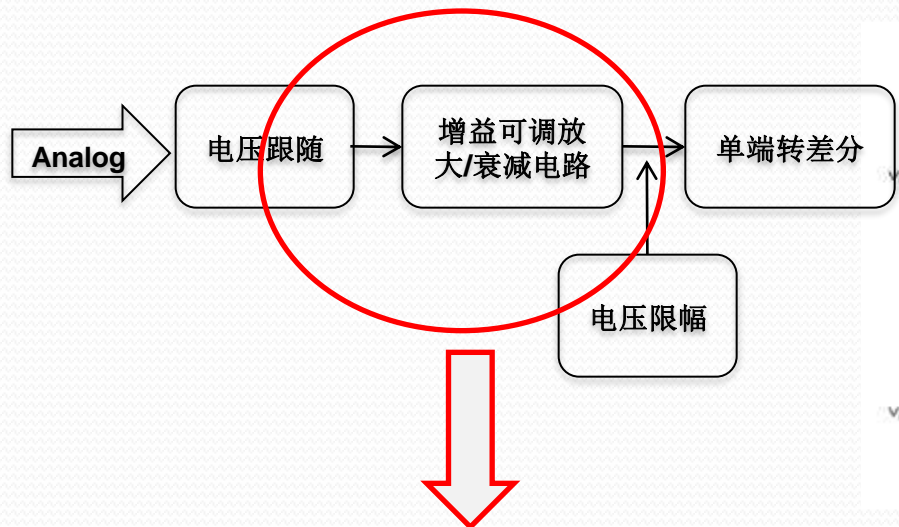


把实验室搬回家

基于FPGA的综合电子实验平台-总体架构



基于FPGA的综合电子实验平台-ADC

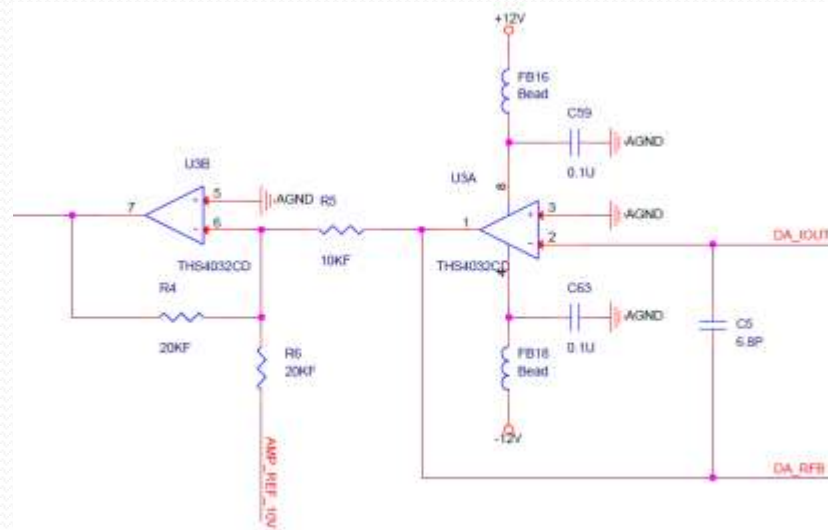
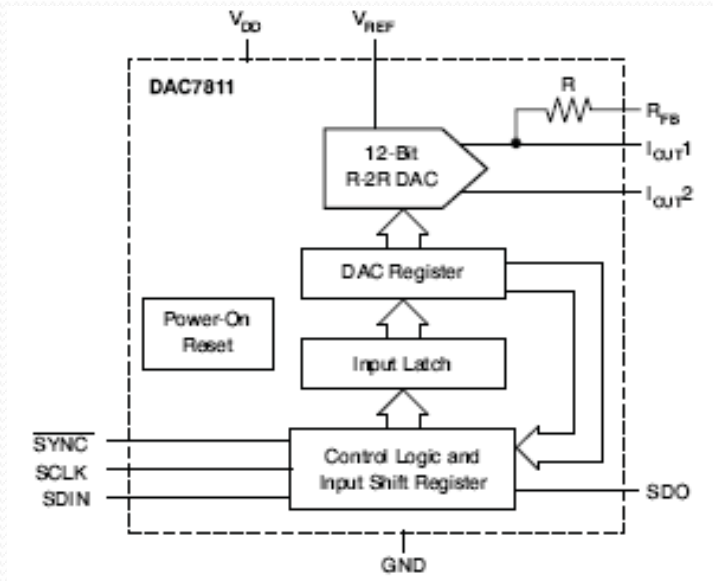


- ✓ TI ADS5231: 12bits、40MHz、双通道、并行输出
- ✓ TI THS7002: 0.08/10、70MHz、双通道、±12V供电
- ✓ TI THS4504: 单端输入，差分输出，260MHz

基于FPGA的综合电子实验平台-DAC

● TI DAC7811 :

单极性、电流输出、12bits、50MHz、单通道、17位串行输入



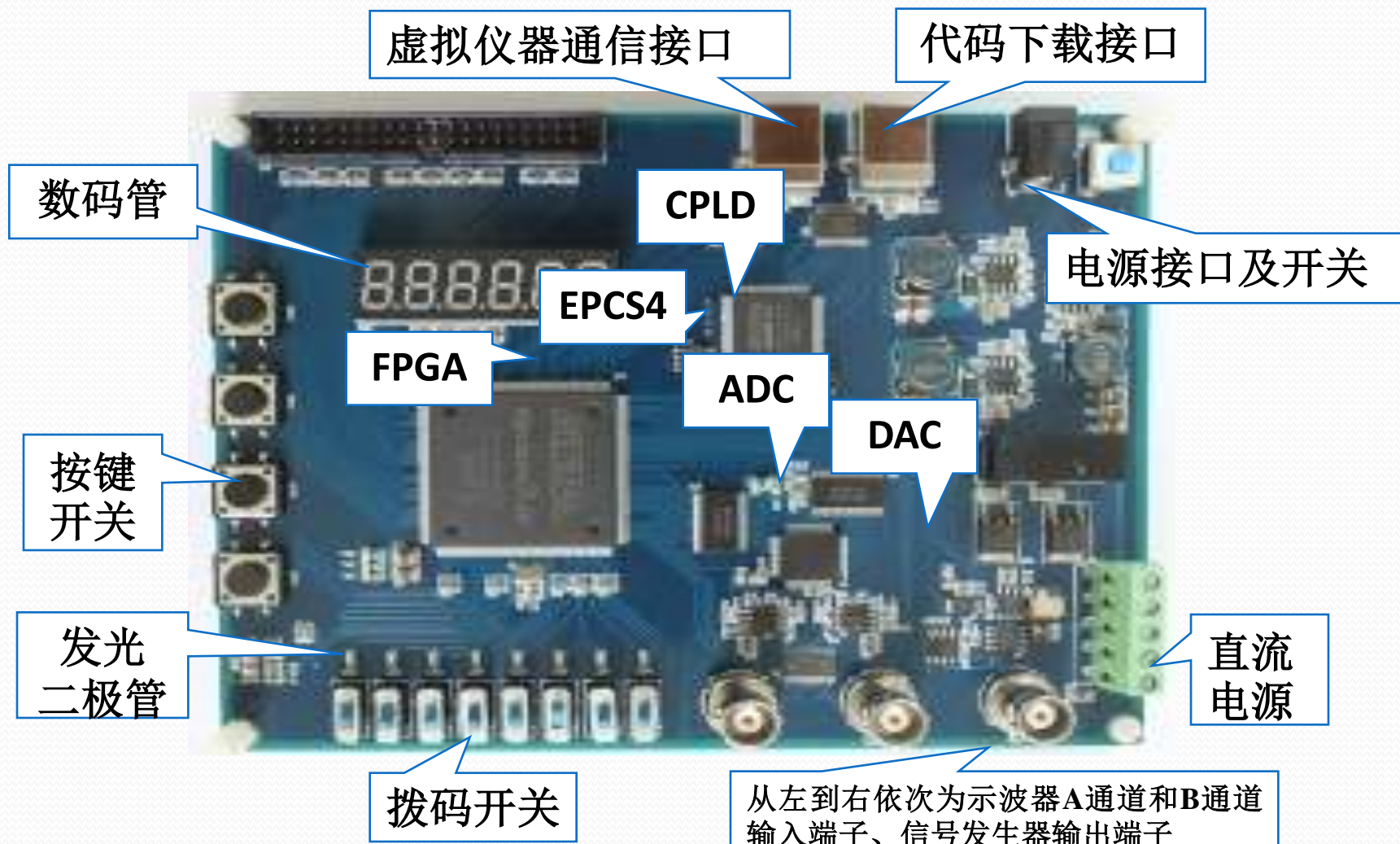
基于FPGA的综合电子实验平台-电源管理



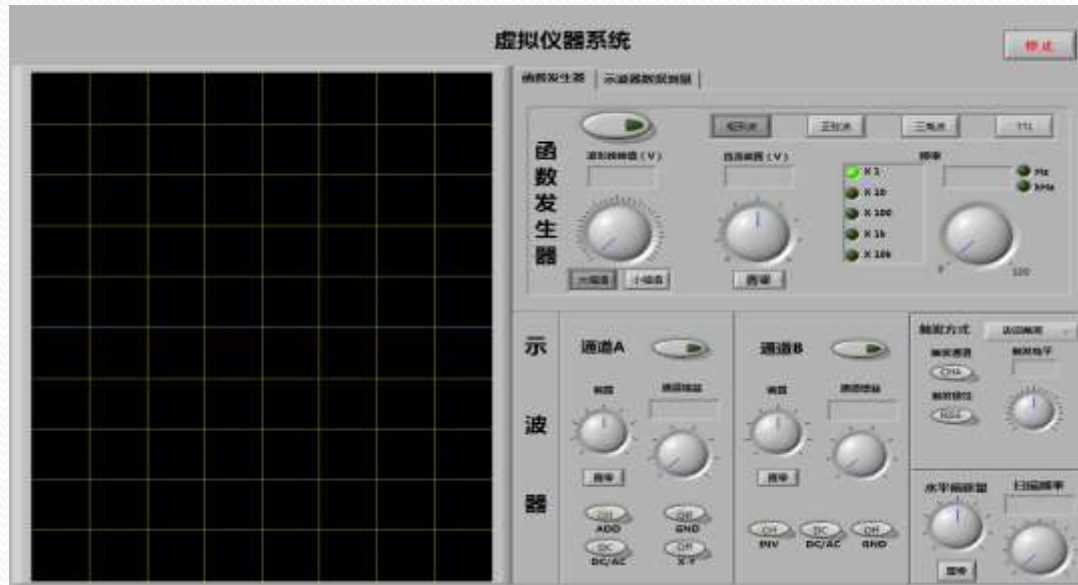
✓开关电源: TI TPS54231D(3.3V、1.2V、5V)

✓线性稳压器: TI TPS79525 (2.5V)

基于FPGA的综合电子实验平台-硬件平台

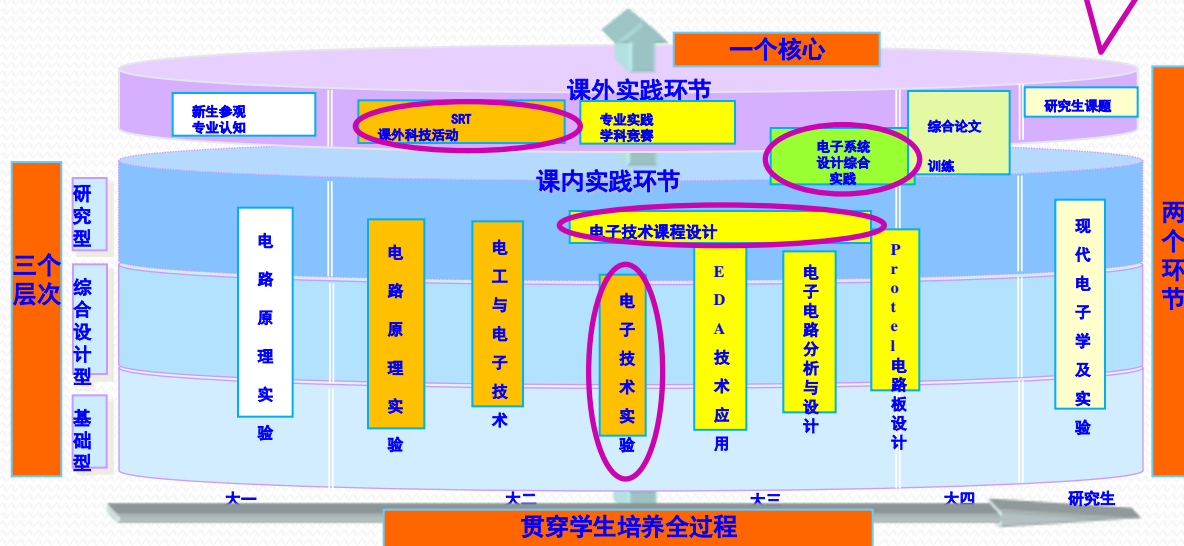


基于FPGA的综合电子实验平台-上位机



Supplier

Motivator



电工电子中心实践教学体系

Sponsor

Platform

TI助力 模拟电路实践教学

Thanks for everyone!